



(12) 发明专利

(10) 授权公告号 CN 102165533 B

(45) 授权公告日 2015. 01. 28

(21) 申请号 200980139398. 4

(22) 申请日 2009. 09. 11

(30) 优先权数据

2008-254100 2008. 09. 30 JP

(85) PCT国际申请进入国家阶段日

2011. 03. 29

(86) PCT国际申请的申请数据

PCT/JP2009/066321 2009. 09. 11

(87) PCT国际申请的公布数据

W02010/038630 EN 2010. 04. 08

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 王丸拓郎 热海知昭 斋藤利彦

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张政权

(51) Int. Cl.

G11C 29/04 (2006. 01)

(56) 对比文件

US 2007/0162786 A1, 2007. 07. 12, 说明书第 13-38 段, 附图 1-3, 权利要求 1-7, 摘要.

CN 1264127 A, 2000. 08. 23, 全文.

JP 特开 2006-107583 A, 2006. 04. 20, 全文.

US 7379331 B2, 2008. 05. 27, 全文.

审查员 吴媛媛

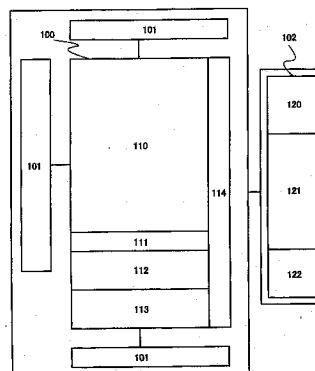
权利要求书2页 说明书10页 附图14页

(54) 发明名称

半导体存储器件

(57) 摘要

实现带缺陷校正的方便和快速的存储器访问。在半导体存储器件的备用存储器中, 设置存储校正缺陷次数的冗余存储器单元阵列。当从外部接收信号时, 将该信号切换至冗余存储器单元阵列, 并判断校正缺陷的数目。然后, 基于判断结果, 确定继续带缺陷存储单元的判断或结束判断以将数据写至主存储器单元。通过提供存储校正缺陷次数的冗余存储器单元阵列, 能以这种方式快速地观察校正缺陷的状态。



1. 一种半导体存储器件,包括:
控制电路;
读出驱动器;
第一存储器单元阵列,所述第一存储器单元阵列包括能写入和读出的存储器单元;以及
第二存储器单元阵列,所述第二存储器单元阵列包括:
第一区,所述第一区包括配置成存储校正写入缺陷的次数的第一冗余存储器单元;
第二区,所述第二区包括配置成存储带缺陷存储器单元的地址的第二冗余存储器单元;
第三区,所述第三区包括第三冗余存储器单元,该第三冗余存储器单元配置成存储所述第一存储器单元阵列的字的访问禁止地址;以及
第四区,所述第四区包括配置成替换所述带缺陷存储器单元的第四冗余存储器单元,
其中,在所述第二区的位中的第二冗余存储器单元之一中存储数据,所述位对应于包括所述带缺陷存储器单元的字。
2. 如权利要求 1 所述的半导体存储器件,其特征在于,还包括用于防止在所述第一存储器单元阵列的字和所述第四区的字中附加写入的存储器单元。
3. 如权利要求 2 所述的半导体存储器件,其特征在于,所述存储器单元包括配置成甚至在断电时也能保留存储的数据的非易失性存储器。
4. 如权利要求 1 所述的半导体存储器件,其特征在于,所述第三区的位地址对应于所述第一存储器单元阵列的字地址。
5. 如权利要求 1 所述的半导体存储器件,其特征在于,所述半导体存储器件是从由 DRAM、SRAM、掩模 ROM、PROM、EPROM、EEPROM 和闪存构成的组中选取的。
6. 如权利要求 1 所述的半导体存储器件,其特征在于,所述半导体存储器件纳入在能够无线通信的半导体器件中。
7. 如权利要求 1 所述的半导体存储器件,其特征在于,所述第四区的字数对应于所述第一区的位数。
8. 一种半导体存储器件,包括:
冗余控制电路;
读出驱动器;
第一存储器单元阵列,所述第一存储器单元阵列包括能写入和读出的存储器单元;以及
第二存储器单元阵列,所述第二存储器单元阵列包括:
第一区,所述第一区包括配置成存储校正写入缺陷的次数的第一冗余存储器单元;
第二区,所述第二区包括配置成存储带缺陷存储器单元的地址的第二冗余存储器单元;
第三区,所述第三区包括第三冗余存储器单元,该第三冗余存储器单元配置成存储所述第一存储器单元阵列的字的访问禁止地址;以及
第四区,所述第四区包括配置成替换所述带缺陷存储器单元的第四冗余存储器单元,
其中所述冗余控制电路和所述读出驱动器设置在所述半导体存储器件的外围,

其中在所述第二区的位中的第二冗余存储器单元之一中存储数据,所述位对应于包括所述带缺陷存储器单元的字,且

其中包括所述第二区的位的字对应于所述第一区的位。

9. 如权利要求 8 所述的半导体存储器件,其特征在于,还包括用于防止在所述第一存储器单元阵列的字和所述第四区的字中附加写入的存储器单元。

10. 如权利要求 9 所述的半导体存储器件,其特征在于,所述存储器单元包括配置成甚至在断电时也能保留存储的数据的非易失性存储器。

11. 如权利要求 8 所述的半导体存储器件,其特征在于,当所述第一冗余存储器单元中的每一个都存储数据时,在所述访问禁止地址中存储数据。

12. 如权利要求 8 所述的半导体存储器件,其特征在于,所述半导体存储器件是从由 DRAM、SRAM、掩模 ROM、PROM、EPROM、EEPROM 和闪存构成的组中选取的。

13. 如权利要求 8 所述的半导体存储器件,其特征在于,所述半导体存储器件纳入在能够无线通信的半导体器件中。

14. 如权利要求 6 或 13 所述的半导体存储器件,其特征在于,所述能够无线通信的半导体器件是 RFID。

15. 如权利要求 8 所述的半导体存储器件,其特征在于,所述第四区对应于所述第一区的位的字被配置为读取,以替换包括所述带缺陷存储器单元的字。

半导体存储器件

技术领域

[0001] 本技术领域涉及半导体存储器件中的缺陷校正技术。

背景技术

[0002] 近年来,由于随着半导体存储器件容量增大制造步骤增多及其复杂性,存储器单元的产量有降低的趋势。因此,为了提高半导体存储器件本身的产量,已提出对于包括缺陷存储器单元的存储器单元阵列的各种缺陷校正技术。

[0003] 例如,已提出一种用于校正缺陷的技术,这种技术用备用存储器单元替换由设置在半导体存储器件中的冗余电路确定为带缺陷的存储器单元(例如参见专利文献 1)。

[0004] 另外,又提出一种用于校正缺陷的技术,这种技术用安装在半导体存储器件中用于校正缺陷的 LSI 中的冗余用 RAM 部分来替换半导体存储器件内的 DRAM(动态随机存取存储器)中产生的缺陷(例如参见专利文献 2)。

[0005] [参考文献]

[0006] [专利文献 1] 日本已公开专利申请 No. 2006-107583

[0007] [专利文献 2] 日本已公开专利申请 No. H8-16486

发明内容

[0008] 然而,由于需要检测带缺陷的存储器单元和未使用的备用存储器的地址以校正缺陷,因此随着存储器容量增大,对存储器访问的次数增多,并且访问存储器所花费的时间更长。此外,随着存储器容量的增大,控制电路的结构也增大。

[0009] 有鉴于上述问题,本发明的目的是对存储器实现方便和快速的访问而不增大控制电路的结构。

[0010] 本发明的一个实施例是设置有冗余存储器单元阵列的半导体存储器件,该冗余存储器单元阵列将校正缺陷的数量存储在备用存储器中。当从外部接收信号时,将该信号切换至冗余存储器单元阵列,并判断校正缺陷的数量。然后,基于判断结果,继续带缺陷的存储器单元的判断或结束判断以将数据写至主存储器单元。

[0011] 半导体存储器件的一个实施例包括:具有能电读写的多个存储器单元的第一存储器单元阵列,具有多个冗余存储器单元的第二存储器单元阵列,以及控制电路;第二存储器单元阵列具有:包括存储校正写缺陷数目的冗余存储器单元的第一区、以及包括存储缺陷存储器单元地址的冗余存储器单元的第二区。

[0012] 这里,控制电路访问第一区以判断校正缺陷的数目,并根据判断结果判定是否访问第二区。

[0013] 第二存储器单元阵列可具有第三区,该第三区具有替换带缺陷存储器单元的冗余存储器单元。

[0014] 该半导体存储器件可包括存储正常写的存储器单元。

[0015] 半导体存储器件可应用于 DRAM、SRAM、掩模 ROM、PROM、EPROM、EEPROM、闪存及其

它。

[0016] 在半导体存储器件中,带缺陷存储器单元的地址是根据校正缺陷的数目判断的。因此,可实现更方便和更快的操作。另外,可将该操作应用于大容量存储器。

[0017] 此外,半导体存储器件的可靠性可通过监测校正缺陷的数目而予以评价。

[0018] 附图简述

[0019] 在附图中:

[0020] 图 1 是示出半导体存储器件的结构的框图;

[0021] 图 2 是示出当执行冗余存储器的控制过程时的程序的流程图;

[0022] 图 3 是示出当执行冗余存储器的控制过程时的程序的流程图;

[0023] 图 4 是存储器单元阵列的存储器映射图;

[0024] 图 5 是存储器单元阵列的存储器映射图;

[0025] 图 6 是存储器单元阵列的存储器映射图;

[0026] 图 7 是存储器单元阵列的存储器映射图;

[0027] 图 8 是存储器单元阵列的存储器映射图;

[0028] 图 9 是存储器单元阵列的存储器映射图;

[0029] 图 10 是存储器单元阵列的存储器映射图;

[0030] 图 11 是示出半导体器件的结构的框图;

[0031] 图 12 示出半导体存储器件的掩模布置的例子;以及

[0032] 图 13 是半导体存储器件的存储器单元的电路图。

具体实施方式

[0033] 下面参照附图公开本发明的实施例。注意,本发明不局限于下面的说明书,并且本领域内技术人员很容易理解,本发明的模式和细节可以各种方式变化而不脱离本发明的目的和范围。因此,应当注意本发明不应当解释为局限于对实施例的如下描述。

[0034] (实施例 1)

[0035] 在本实施例中描述半导体存储器件和用于校正半导体存储器件内的缺陷的技术的一个示例。

[0036] 首先,半导体存储器件的结构的一个例子将参照图 1 予以描述。这里,图 1 是根据该实施例的半导体存储器件的电路框图。如图 1 所示,半导体存储器件包括存储器单元阵列 100、在主存储器单元阵列 100 周围的读取驱动器 101 和冗余控制电路部分 102。

[0037] 存储器单元阵列 100 包括主存储器单元 110、备用存储器单元以及用于防止附加写入的存储器单元 114。注意,备用存储器单元设有冗余功能用存储器单元 111、冗余判断用存储器单元 112 以及替换用存储器单元 113。

[0038] 输入数据被写入主存储器单元 110 和替换用存储器单元 113。冗余功能用存储器单元 111 存储校正缺陷的数目。冗余判断用存储器单元 112 存储带缺陷存储器单元的地址和访问禁止地址。防止附加写入的存储器单元 114 将输入数据的正常写入存储至主存储器单元 110 和替换用存储器单元 113。

[0039] 备用存储器的存储器单元以及防止附加写入的存储器单元 114 包括甚至在断电时也永远保持所存储数据的非易失性存储器。注意,从安全角度讲,作为一种非易失存储器

并具有仅能写入一次的多个存储器单元的存储器是优选的,因为非易失存储器内的数据是难以篡改的。

[0040] 冗余控制电路部分 102 包括冗余控制电路 120、冗余比较器电路 121 以及冗余锁存电路 122。

[0041] 接着,将参照图 2 和图 3 对半导体存储器件的写入操作的例子进行描述。这里,图 2 是示出当执行冗余存储器的控制过程时的程序的流程图。在图 2 中,跟随在“S”之后的附图标记表示流程图中的每个步骤。

[0042] 在步骤 S201,当从外部接收到存储器访问开始信号时,冗余存储器的控制过程开始。首先,通过冗余控制电路 120 将信号从主存储器单元 110 切换至冗余功能用存储器单元 111。

[0043] 在步骤 S202,将存储在冗余功能用存储器单元 111、冗余判断用存储器单元 112 以及防止附加写入用存储器单元 114 中的数据读出。步骤 S202 的处理将参照图 3 进行描述。

[0044] 图 3 是示出在最大校正数为 n 的情况下当执行图 2 中的步骤 S202 时的过程的流程图。在图 3 中,跟随在“S”之后的附图标记表示流程图中的每个步骤。

[0045] 在步骤 S301,冗余功能用存储器单元 111 被读出,并且存储器单元的地址和数据被保留在冗余锁存电路 122 中的寄存器内。

[0046] 然后,当从外部接收到地址信号时,指定主存储器单元 110 的访问字。之后,通过冗余控制电路 120 将信号从主存储器单元 110 切换至冗余判断用存储器单元 112。

[0047] 在步骤 S302,通过从冗余功能用存储器单元 111 读出的数据判断校正缺陷的数目。当没有存储器单元将数据存储在冗余功能用存储器单元 111 时,即当校正缺陷的数目为零时,过程进至步骤 S304。另一方面,当一个或多个存储器单元将数据存储在冗余功能用存储器单元 111,即校正缺陷的数目为一个或多个时,过程进至步骤 S303。

[0048] 在步骤 303,与冗余判断用存储器单元 112 的访问字对应的位地址数(下文中适宜地将该位地址称为“相应的位地址”)的读出次数与对应于校正缺陷数目的位数相同。然后,存储器单元的地址和数据被保留在冗余锁存电路 122 的寄存器中。该步骤 S303 被称为缺陷字地址的判断。

[0049] 在步骤 S304,将与访问字对应的防止附加写入用存储器单元 114 读出。然后,存储器单元的地址和数据被保留在冗余锁存电路 122 的寄存器中。该步骤 S304 被称为防止附加写入用判断。

[0050] 接着,在图 2 中的步骤 S203-S207,保持在冗余锁存电路 122 中的寄存器内的校正缺陷数目判断、缺陷字地址判断和防止附加写入用判断的结果被读出。然后,确定电路的状态。

[0051] 首先,在步骤 S203,判断与访问字对应的防止附加写入用存储器单元 114 是否存储数据。当与访问字对应的防止附加写入用存储器单元 114 存储数据时,换句话说当访问字是附加写入防止字时,过程进至步骤 S204,并且冗余存储器的控制过程结束。另一方面,当访问字不是附加写入防止字时,过程进至步骤 S205。

[0052] 在步骤 S205,判断冗余判断用存储器单元 112 的相应位地址是否存储有数据。当存储有数据时,过程进至步骤 S206。另一方面,当不存储数据时,过程进至步骤 S207。

[0053] 注意,存储在冗余判断用存储器单元 112 的相应位地址中的数据意味着校正了访

问字中的缺陷并将替换用存储器单元 113 的字地址分配给访问字。

[0054] 在步骤 S206,地址信号被传送至替换用存储器单元 113 并执行数据写入。

[0055] 另一方面,在步骤 S207,将地址信号传送至主存储器单元 110 并执行数据写入。

[0056] 在步骤 S208,就在写入数据后从存储器单元读出数据,并在冗余比较电路 121 中执行读出数据和预期值之间的比较。作为读出数据和预期值之间的比较结果,当该数据与预期值不匹配时,即检测到带缺陷的存储器时,过程进至步骤 S209。另一方面,当没有检测出带缺陷的存储器时,过程进至步骤 S210。

[0057] 在步骤 S209,将数据存储在与校正缺陷数目对应的冗余功能用存储器单元 111 中。注意当整个冗余功能用存储器单元 111 存储数据时,就不存储数据。

[0058] 接着,将数据存储在与冗余判断用存储器单元 112 的缺陷发生的字地址对应的位地址中。注意,如果整个冗余功能用存储器单元 111 已存储数据,则将该数据存储于冗余判断用存储器单元 112 的最末一个字中(下文中将该最末字称为“访问禁止存储器单元”)。由此结束一连串的写入操作。

[0059] 为了校正写入失败的存储器单元,准备替换用存储器单元 113。然而,当写入失败的次数超过替换用存储器单元 113 的字数时,也就是当冗余功能用存储器单元 111 因整个冗余功能用存储器单元 111 已存储数据而无法存储数据时,校正存储器单元是不可能的。由于其中无法校正缺陷的存储器单元存储不完美的数据,因此使用该存储器单元是不合适的。

[0060] 因此,如果数据被存储在访问禁止的存储器单元中,则之后禁止对具有与存储数据的位地址对应的主存储器单元 110 的字地址的存储器单元的访问(写入和读出)。

[0061] 另一方面,在步骤 S210,防止附加写入用存储器单元 114 被访问并且写入正常结束的数据被存储。由此结束一连串的写入操作。

[0062] 如前所述,在半导体存储器件的写入操作中,在从外部接收到存储器访问开始信号后,通过访问备用存储器的每个电路来判断缺陷。根据该判断结果,确定拟访问哪个存储器单元:主存储器单元 110 或替换用存储器单元 113。因此,不需要访问整个存储器单元并且即使存储器单元的容量增大也有可能方便和快速地访问存储器单元。

[0063] 在半导体存储器件中,从外部接收存储器访问开始信号,并在这之后读出校正缺陷的数目。当校正缺陷的数目为零时,由于在之后的缺陷判断中不需要访问冗余判断用存储器单元 112,因此可实现更快的操作。当校正缺陷的数目为一个或多个时,像对应于校正缺陷数目的位数那么多的相应位地址被读出。另外,如果校正缺陷的数目达到上限,则可通过将存储器访问开始信号切换至另一器件等等,来防止写入失败。

[0064] 此外,半导体存储器件的可靠性可通过监测校正缺陷的数目而予以评价。

[0065] 此外,在半导体存储器件中,为了获得缺陷校正的状态,只需要访问冗余功能用存储器单元 111 以及冗余判断用存储器单元 112 的相应位地址。因此,缺陷校正的状态能比访问整个冗余判断用存储器单元 112 的情形更快地观察到。

[0066] 此外,在半导体存储器件中,写入正常结束的存储器单元受到保护,而对那些无法校正缺陷的存储器单元的访问(写入和读出)被禁止。因此,能改善该半导体存储器件的可靠性。

[0067] 接下来,参照下面的情形(1)-(8)和图 4-图 8 对校正半导体存储器件中的缺陷的

技术的特例进行说明。

[0068] 图4示出图1中的存储器单元阵列100的存储器映射的示例。图4中的存储器单元阵列设有尺寸为 32×32 的主存储器单元401、尺寸为 1×4 的冗余功能用存储器单元402、尺寸为 4×32 的冗余判断用存储器单元403、尺寸为 1×32 的访问禁止存储器单元404、尺寸为 4×32 的替换用存储器单元405以及尺寸为 36×1 的防止附加写入用存储器单元406。

[0069] 首先,描述在由地址信号指定第3字后对第25个位的写入失败的情形(1)。注意图4是接收到地址信号时的存储器映射。

[0070] 如前所述,当半导体存储器件从外部接收到信号时,执行校正缺陷数目的判断、缺陷字地址的判断以及防止附加写入的判断。

[0071] 在图4中,(i)当读出冗余功能用存储器单元402时,不对数据进行存储。因此,判断的结果是校正缺陷的数目预先调整归零,并且将该判断结果保持在寄存器中。

[0072] 接着,(ii)当读出作为冗余判断用存储器单元403相应位地址的第3位时,不对数据进行存储。因此,判断结果是不对主存储器单元401的第3字执行缺陷校正,并将该判断结果保持在寄存器中。

[0073] 接着,(iii)当读出作为访问禁止存储器单元404的相应位地址的第3位时,不对数据进行存储。因此,判断的结果是对第3字的访问(写入和读出)可行,并将判断结果保持在寄存器中。

[0074] 注意,由于判断的结果为校正缺陷的数目预先调整归零,因此缺陷字地址的判断(ii)是不需要的。

[0075] 最后,(iv)当读出主存储器单元401的第3字中的防止附加写入用存储器单元406时,不存储数据。因此,判断结果是可对主存储器单元401内的第3字执行写入操作,并将该判断结果保持在寄存器中。

[0076] 根据判断结果(i)-(iv),将地址信号发送给主存储器单元401的第3字以判定执行数据写入。之后,将数据写入(参见图5中的主存储器单元401)。

[0077] 当在写入数据之后立即从存储器单元读出数据并执行读出数据和预期值之间的比较时,由于在第25位写入失败,因此比较结果表示该数据与预期值不匹配。

[0078] 因此,数据被存储在冗余功能用存储器单元402中的第0位以及作为冗余判断用存储器单元403中的第0字的对应位地址的第3位中(参见图5中的冗余功能用存储器单元402和冗余判断用存储器单元403)。注意,该数据具有为校正第3字的缺陷而分配替换用存储器单元405中的第0字的功能。

[0079] 接着,描述在由地址信号指定第3字后对第3位写入失败的情形(2)。注意图5是接收到地址信号时的存储器映射。

[0080] 在图5中,(i)当读出冗余功能用存储器单元402时,将数据存储在第0位中。因此,判断的结果是校正缺陷的数目为1,并且将该判断结果保持在寄存器中。

[0081] 接着,(ii)当读出作为冗余判断用存储器单元403相应位地址的第3位时,将数据存储在第0位中。因此,判断结果是分配替换用存储器单元405的第0字以校正第3字中的缺陷,并将判断结果保持在寄存器中。

[0082] 接着,(iii)当读出作为访问禁止存储器单元404的相应位地址的第3位时,不对数据进行存储。因此,判断的结果是对主存储器单元401的第3字的访问(写入和读出)

可行,并将判断结果保持在寄存器中。

[0083] 最后,(iv) 当读出替换用存储器单元 405 的第 0 字中的防止附加写入用存储器单元 406 时,不存储数据。因此,判断结果是对替换用存储器单元 405 内的第 0 字的写入操作可行,并将该判断结果保持在寄存器中。

[0084] 根据上述判断结果,确定将地址信号传送至替换用存储器单元 405 的第 0 字以写入数据。之后,执行数据写入(参见图 6 中的替换用存储器单元 405)。

[0085] 当在写入数据后立即从存储器单元读出数据并执行读出数据和预期值之间的比较时,由于在第 3 位写入失败,因此比较结果表示该数据与预期值不匹配。

[0086] 因此,数据被存储在冗余功能用存储器单元 402 中的第 1 位以及作为冗余判断用存储器单元 403 中的第 1 字的对应位地址的第 3 位中(参见图 6 中的冗余功能用存储器单元 402 和冗余判断用存储器单元 403)。注意,该数据具有为校正第 3 字的缺陷而分配替换用存储器单元 405 中的第 1 字的功能。

[0087] 接着,描述在由地址信号指定第 29 字后对第 26 位的写入失败的情形(3)。注意图 6 是接收到地址信号时的存储器映射。

[0088] 在图 6 中,(i) 当读出冗余功能用存储器单元 402 时,将数据存储在第 0 位和第 1 位中。因此,判断的结果是校正缺陷的数目为 2,并且将该判断结果保持在寄存器中。

[0089] 接着,(ii) 当读出作为冗余判断用存储器单元 403 的相应位地址的第 29 位时,不对数据进行存储。因此,判断结果是不对主存储器单元 401 的第 29 字执行缺陷校正,并将该判断结果保持在寄存器中。

[0090] 接着,(iii) 当读出作为访问禁止存储器单元 404 的相应位地址的第 29 位时,不对数据进行存储。因此,判断的结果是对主存储器单元 401 的第 29 字的访问(写入和读出)可行,并将该判断结果保持在寄存器中。

[0091] 最后,(iv) 当读出主存储器单元 401 的第 29 字中的防止附加写入用存储器单元 406 时,不对数据进行存储。因此,判断结果是对主存储器单元 401 的第 29 字的写入操作可行,并将该判断结果保持在寄存器中。

[0092] 根据上述判断结果,确定将地址信号传送至主存储器单元 401 的第 29 字以写入数据。之后,执行数据写入(参见图 7 中的主存储器单元 401)。

[0093] 当在写入数据之后立即从存储器单元读出数据并执行读出数据和预期值之间的比较时,由于在第 26 位写入失败,因此比较结果表示该数据与预期值不匹配。

[0094] 因此,数据被存储在冗余功能用存储器单元 402 中的第 2 位以及作为冗余判断用存储器单元 403 中的第 2 字的对应位地址的第 29 位中(参见图 7 中的冗余功能用存储器单元 402 和冗余判断用存储器单元 403)。注意,该数据具有为校正第 29 字的缺陷而分配替换用存储器单元 405 中的第 2 字的功能。

[0095] 接着,描述在由地址信号指定第 29 字后对第 31 位的写入失败的情形(4)。注意,图 7 是接收到地址信号时的存储器映射。

[0096] 在图 7 中,(i) 当读出冗余功能用存储器单元 402 时,将数据存储在第 0 位、第 1 位和第 2 位中。因此,判断的结果是校正缺陷的数目为 3,并且将该判断结果保持在寄存器中。

[0097] 接着,(ii) 当读出作为冗余判断用存储器单元 403 的相应位地址的第 29 位时,将

数据存储在第 2 字中。因此,判断结果是分配替换用存储器单元 405 的第 2 字以校正第 29 字中的缺陷,并将该判断结果保持在寄存器中。

[0098] 接着,(iii) 当读出作为访问禁止存储器单元 404 的相应位地址的第 29 位时,不对数据进行存储。因此,判断的结果是对主存储器单元 401 的第 29 字的访问(写入和读出)可行,并将该判断结果保持在寄存器中。

[0099] 最后,(iv) 当读出替换用存储器单元 405 的第 2 字中的防止附加写入用存储器单元 406 时,不存储数据。因此,判断结果是对替换用存储器单元 405 的第 2 字的写入操作可行,并将该判断结果保持在寄存器中。

[0100] 根据上述判断结果,确定将地址信号传送至替换用存储器单元 405 的第 2 字以写入数据。之后,执行数据写入(参见图 8 中的替换用存储器单元 405)。

[0101] 当在写入数据后立即从存储器单元读出数据并执行读出数据和预期值之间的比较时,由于在第 31 位写入失败,因此比较结果表示该数据与预期值不匹配。

[0102] 因此,数据被存储在冗余功能用存储器单元 402 中的第 3 位以及作为冗余判断用存储器单元 403 中的第 3 字的对应位地址的第 29 位中(参见图 8 中的冗余功能用存储器单元 402 和冗余判断用存储器单元 403)。注意,该数据具有为校正第 29 字的缺陷而分配替换用存储器单元 405 中的第 3 字的功能。

[0103] 接着,描述在由地址信号指定第 1 字后对第 0 位写入失败的情形(5)。注意图 8 是接收到地址信号时的存储器映射。

[0104] 在图 8 中,(i) 当读出冗余功能用存储器单元 402 时,将数据存储在第 0 位、第 1 位、第 2 位和第 3 位中。因此,判断的结果是校正缺陷的数目为 4,并且将该判断结果保持在寄存器中。

[0105] 接着,(ii) 当读出作为冗余判断用存储器单元 403 相应位地址的第 1 位时,不对数据进行存储。因此,判断结果是不对主存储器单元 401 的第 1 字执行缺陷校正,并将该判断结果保持在寄存器中。

[0106] 接着,(iii) 当读出作为访问禁止存储器单元 404 的相应位地址的第 1 位时,不对数据进行存储。因此,判断的结果是对主存储器单元 401 的第 1 字的访问(写入和读出)可行,并将该判断结果保持在寄存器中。

[0107] 最后,(iv) 当读出主存储器单元 401 的第 1 字中的防止附加写入用存储器单元 406 时,不对数据进行存储。因此,判断结果是可对主存储器单元 401 内的第 1 字执行写入操作,并将该判断结果保持在寄存器中。

[0108] 根据(i)-(iv)的判断结果,确定将地址信号传送至主存储器单元 401 的第 1 字以写入数据。之后,执行数据写入(参见图 9 中的主存储器单元 401)。

[0109] 当在写入数据后立即从存储器单元读出数据并执行读出数据和预期值之间的比较时,由于在第 0 位写入失败,因此比较结果表示该数据与预期值不匹配。

[0110] 由于冗余功能用存储器单元 402 的第 0 位、第 1 位、第 2 位和第 3 位已完全使用,因此无法再对缺陷作校正。在这种情形下,将数据存储在为访问禁止存储器单元 404 的相应位地址的第 1 位中(参见图 9 中的访问禁止存储器单元 404)。因此,之后禁止对主存储器单元中的第 1 字的访问(写入和读出)。

[0111] 接着,描述地址信号指定第 1 字的情形(6)。注意图 9 是接收到地址信号时的存储

器映射。

[0112] 在图 9 中, (i)、(ii) 和 (iv) 的判断结果与前述情形 (5) 相同。由于只有 (iii) 的判断结果不同于情形 (5) 的判断结果, 因此下面对 (iii) 的判断结果进行描述。

[0113] (iii) 当读出作为访问禁止存储器单元 404 相应位地址的第 1 位时, 对数据进行存储。因此, 判断的结果是对第 1 字的访问 (写入和读出) 禁止, 并将该判断结果保持在寄存器中。

[0114] 根据 (i)-(iv) 的判断结果, 由于对第 1 字的访问 (写入和读出) 被禁止, 因此不执行数据写入并结束操作。

[0115] 接着, 描述地址信号指定第 3 字和写入正常结束的情形 (7)。注意图 9 是接收到地址信号时的存储器映射。

[0116] 在图 9 中, (i) 当读出冗余功能用存储器单元 402 时, 将数据存储在第 0 位、第 1 位、第 2 位和第 3 位中。因此, 判断的结果是校正缺陷的数目为 4, 并且将该判断结果保持在寄存器中。

[0117] 接着, (ii) 当读出作为冗余判断用存储器单元 403 相应位地址的第 3 位时, 将数据存储在第 1 字中。因此, 判断结果是分配替换用存储器单元 405 的第 1 字以校正第 3 字中的缺陷, 并将判断结果保持在寄存器中。

[0118] 接着, (iii) 当读出作为访问禁止存储器单元 404 相应位地址的第 3 位时, 不对数据进行存储。因此, 判断的结果是对主存储器单元 401 的第 3 字的访问 (写入和读出) 可行, 并将该判断结果保持在寄存器中。

[0119] 最后, (iv) 当读出替换用存储器单元 405 的第 1 字中的防止附加写入用存储器单元 406 时, 不存储数据。因此, 判断结果是对替换用存储器单元 405 的第 1 字可执行写入操作, 并将该判断结果保持在寄存器中。

[0120] 根据 (i)-(iv) 的判断结果, 确定将地址信号传送至替换用存储器单元 405 的第 1 字以写入数据。之后, 执行数据写入 (参见图 10 中的替换用存储器单元 405)。

[0121] 当在写入数据后立即从存储器单元读出数据并执行读出数据和预期值之间的比较时, 由于写入成功, 因此比较结果表示该数据与预期值匹配。

[0122] 因此, 数据被存储在替换用存储器单元 405 的第 1 字中的防止附加写入用存储器单元 406, 该第 1 字是写入成功的字地址 (参见图 10 中的防止附加写入 406 用存储器单元)。

[0123] 接着, 对地址信号指定第 3 字的情形 (8) 作出描述。注意图 10 是接收到地址信号时的存储器映射。

[0124] 在图 10 中, (i)、(ii) 和 (iii) 的判断结果与前述情形 (7) 相同。由于只有 (iv) 的判断结果不同于情形 (7) 的判断结果, 因此下面对 (iv) 的判断结果进行描述。

[0125] (iv) 当读出替换用存储器单元 405 的第 1 字中的防止附加写入用存储器单元 406 时, 存储数据。因此, 判断结果是对替换用存储器单元 405 的第 1 字无法执行写入操作, 并将该判断结果保持在寄存器中。

[0126] 根据 (i)-(iv) 的判断结果, 由于对替换用存储器单元 405 的第 1 字施加防止附加写入的功能, 因此不执行数据写入并且操作结束。

[0127] 实施例 2

[0128] 在该实施例中,对半导体存储器件中的存储器单元写入数据的方法示例进行描述。

[0129] 在该半导体存储器件中,当将数据写至存储器单元时,交替执行操作 A、操作 B 和操作 C 最多 4 次:操作 A:在预定时间段(例如 $75.5\mu s$)期间写入数据;操作 B:在预定时间段(例如 $18.9\mu s$)期间读出数据;以及操作 C:比较写入的数据和读出的数据。注意在下文中,按照操作 C 的数据比较被称为“校验功能”,而一系列操作 A、B 和 C 被称为“校验写入”。

[0130] 当对一个存储器单元重复 4 次校验写入时,如果校验功能的结果彼此不匹配,则结果不匹配的数据 α 被保持在电路中作为信息,此后过程进至下一个存储器单元。另一方面,如果校验功能的结果彼此对应,则过程在那个时候进至下一存储器单元。

[0131] 如果数据 α 保持在电路中,即如果当对最末存储器单元的校验写入结束时写入失败,则将数据存储在冗余功能用存储器单元和冗余判断用存储器单元中以校正缺陷。另一方面,如果数据 α 不保留在电路中,即如果当对最末存储器单元的校验写入结束时写入正常结束,则将数据存储在防止附加写入用存储器单元中以防止附加写入。

[0132] 对存储器单元写入数据的时间可通过校验写入而缩短。

[0133] 另外,校验写入对于仅能写入一次的存储器单元非常有效,因为需要以非常高的精确度控制写入后的状态。

[0134] 本实施例能自由地与任何其它实施例结合。

[0135] 实施例 3

[0136] 在本实施例中,参照图 11 对能够无线通信的半导体器件的结构示例进行了描述。这里,图 11 是示出能无线通信的半导体器件 900 的电路框图。如图 11 所示,半导体器件 900 包括存储器电路 901、数字电路 902、模拟电路 903 以及天线电路 904。

[0137] 天线电路 904 接收从读出器/写入器 910 发出的无线电波(电磁波)并将此时获得的信号输入至模拟电路 903。模拟电路 903 解调信号并将经解调的信号输入至数字电路 902。存储器电路 901 响应来自数字电路 902 的输出执行数据的写入和读出。

[0138] 通过将根据本发明的半导体存储器件应用于存储器电路 901,可提供能快速运作的高度可靠的半导体器件。

[0139] 由于半导体器件具有响应从外部接收的读取请求将存储在存储器电路 901 中的电子信息传送至外部的功能,因此该半导体器件可应用于宽泛范围的应用场合中。例如,存储电子信息的半导体器件可纳入到记录印刷信息的非电子记录介质中。

[0140] 本实施例能自由地与任何其它实施例结合。

[0141] 示例 1

[0142] 在本例中,参照图 12 和图 13 对半导体存储器件的掩模布置的示例进行说明。

[0143] 图 12 示出根据本发明的半导体存储器件的掩模布置。图 12 中示出存储器单元阵列 100 和存储器单元阵列 100 周围的读出驱动器 101。

[0144] 存储器单元阵列 100 包括主存储器单元 110 和备用存储器。注意,备用存储器单元设有用于冗余功能用存储器单元 111、冗余判断用存储器单元 112 以及替换用存储器单元 113。

[0145] 图 13 示出图 12 中的备用存储器中的存储器单元的电路图。

[0146] 读出电路 601 针对每条位线 603 设置并从 OUTPUT (输出) 输出对应于由字线 604 选择的存储器单元 602 的元件电阻的输出。OUTPUT 仅选择来自每个读出电路 601 中设置的时钟控制逆变器选择的位线 603 的输出。

[0147] OUTPUT 的输出是由节点 612 的电压确定的, 该电压是由 X 和 Y 的比值确定的, 其中 X 是存储器单元 602 中的元件电阻和选择 TFT 613 的电阻, 而 Y 是读出电路 601 中的比较 TFT 610 和地址 TFT 611 的电阻。

[0148] 因此, 需要确定所选 TFT 613 的电阻和比较 TFT 610 的电阻以使处于短路状态的电阻 $X < \text{电阻 } Y < \text{处于断开状态的电阻 } X$ 。注意, 由于地址 TFT 比比较 TFT 610 具有小得多的电阻, 因此地址 TFT 几乎可以忽略。

[0149] 另外, 存储器单元 602 设有辅助电容器 614。当将数据写至元件 615 时, 辅助电容器 614 蓄积通过选择 TFT 613 的电荷, 当元件 615 处于短路时提供电荷, 并补偿写入用电功率。

[0150] 本申请基于 2008 年 9 月 30 日向日本专利局提交的日本专利申请 S/N. 2008-254100, 该申请的全部内容通过引用结合于此。

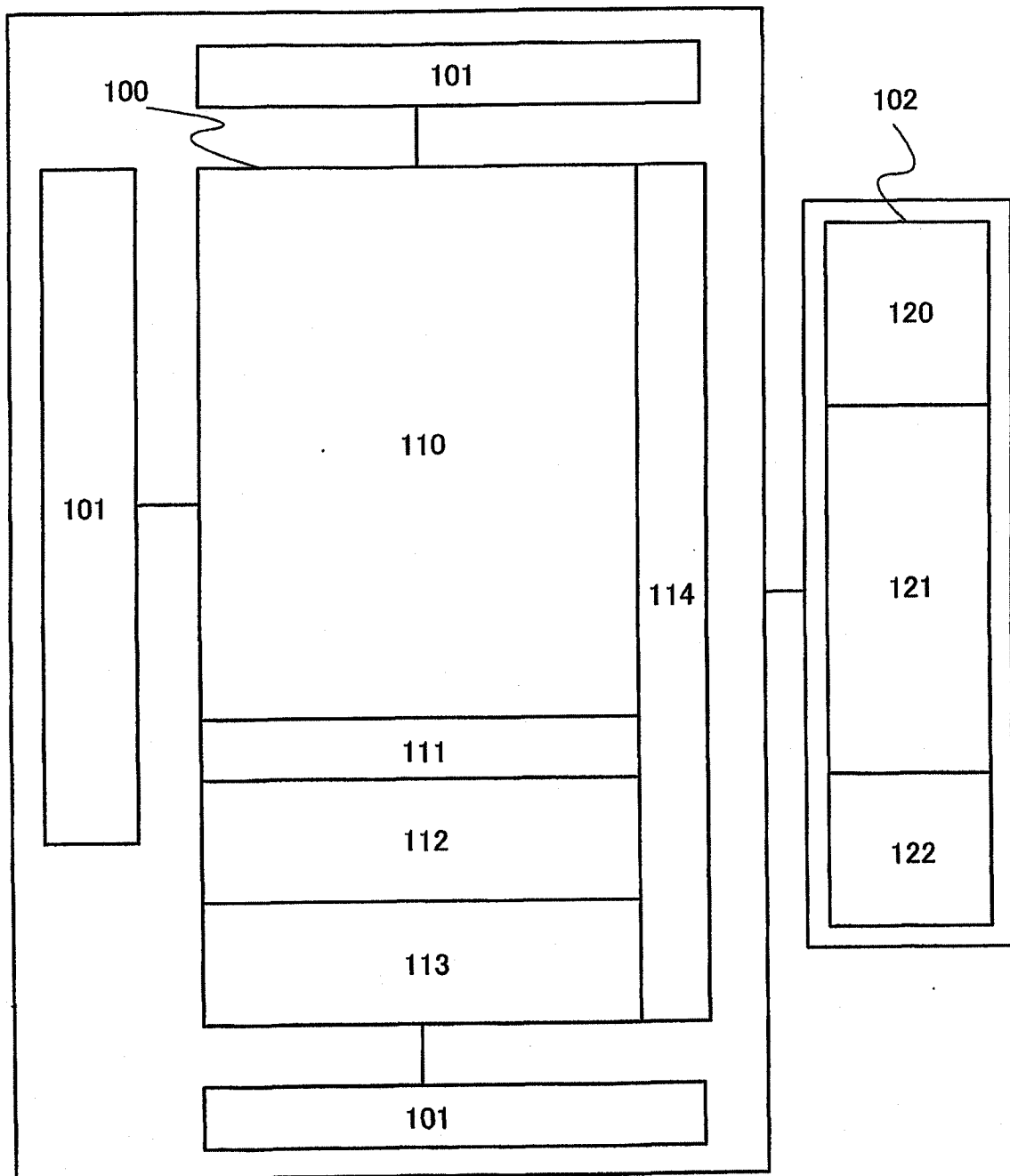


图 1

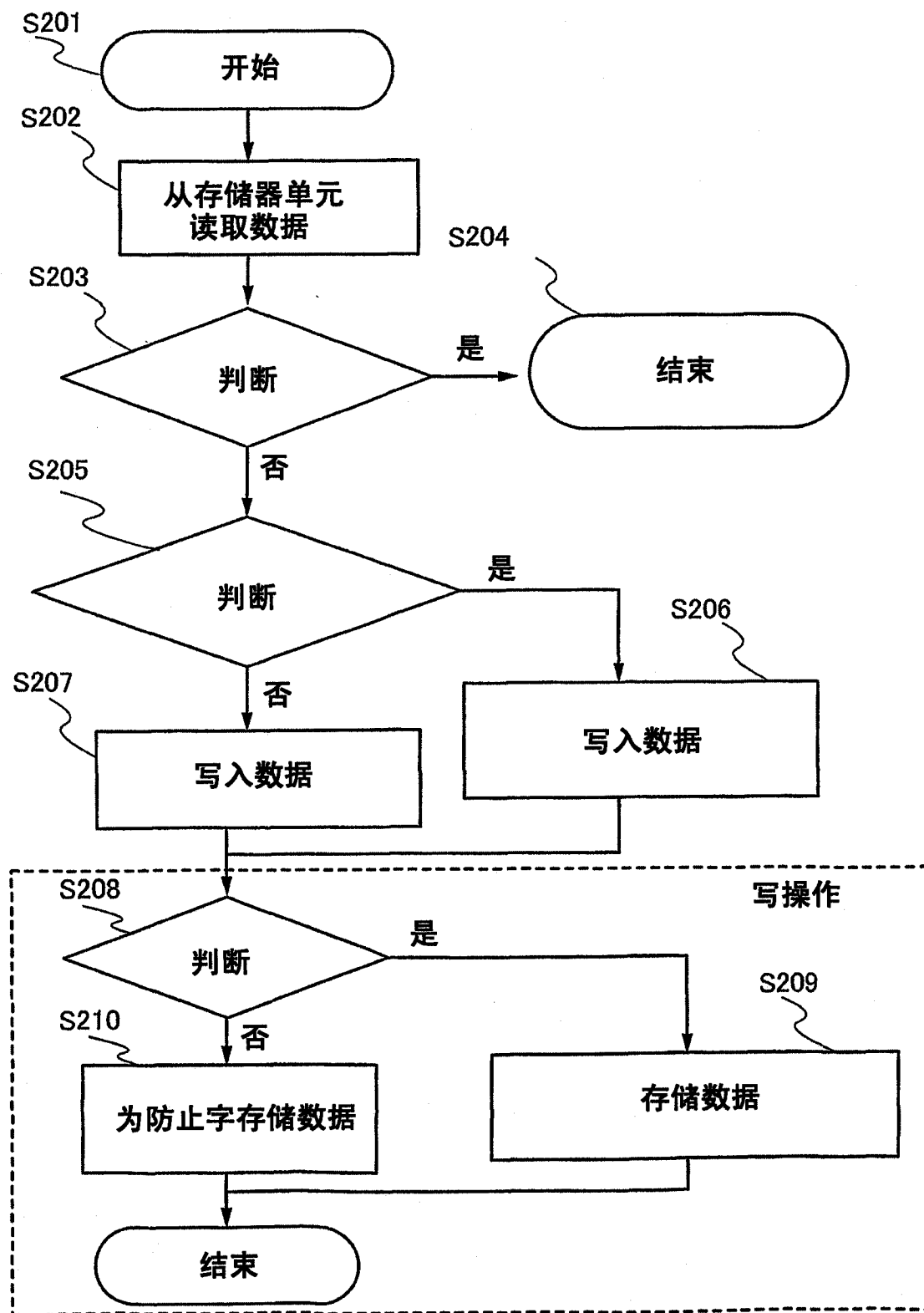


图 2

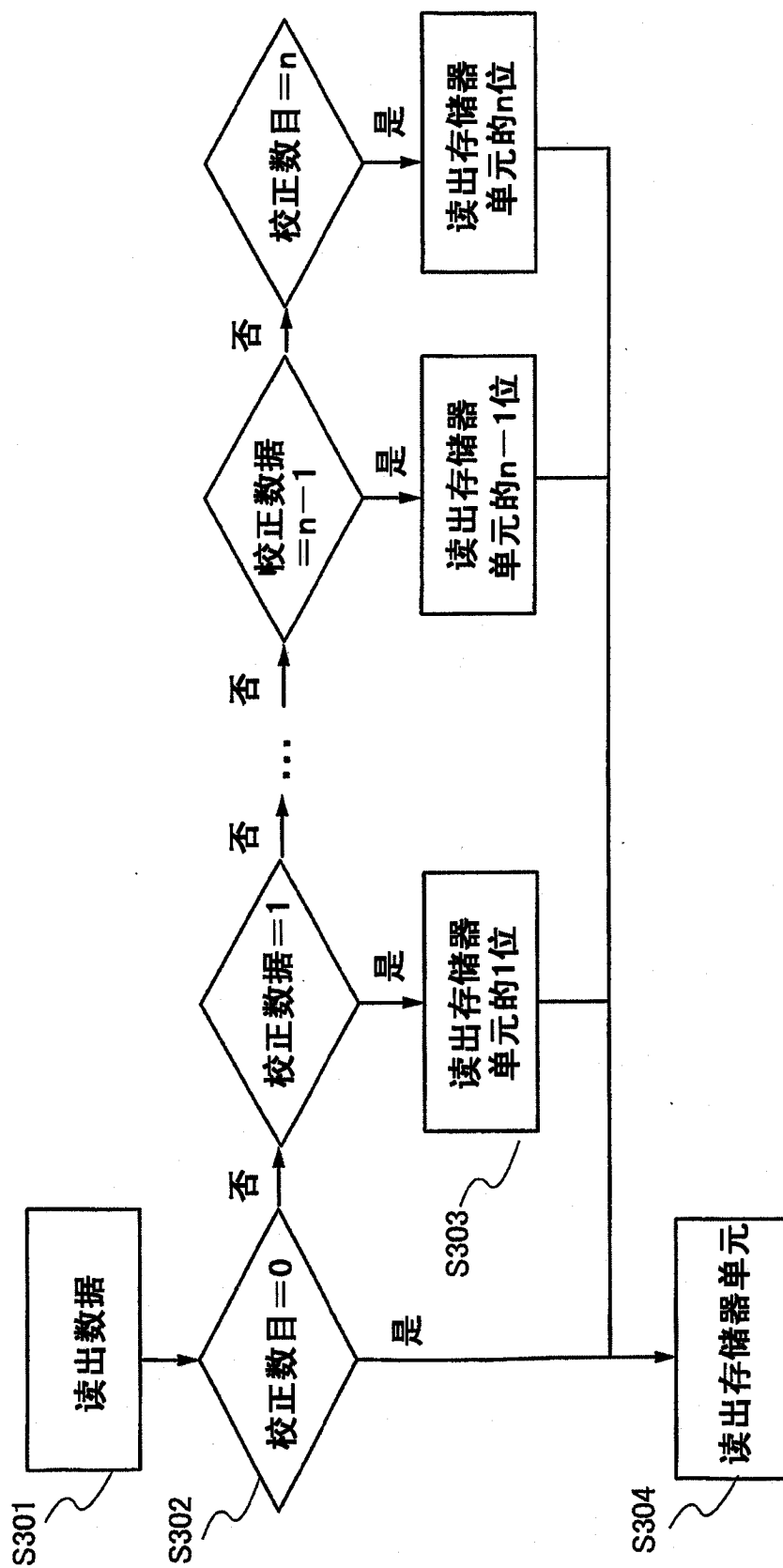


图 3

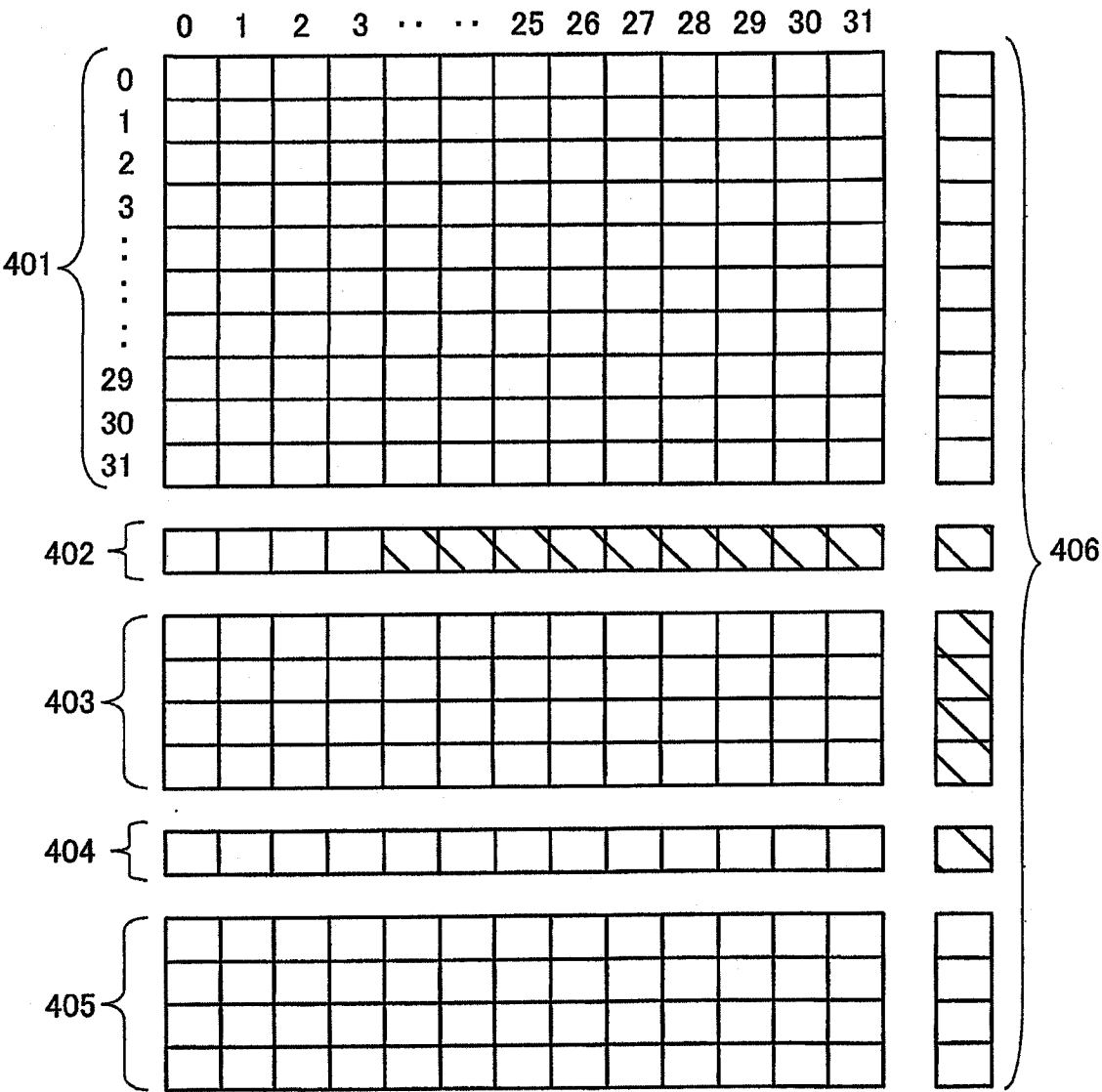


图 4

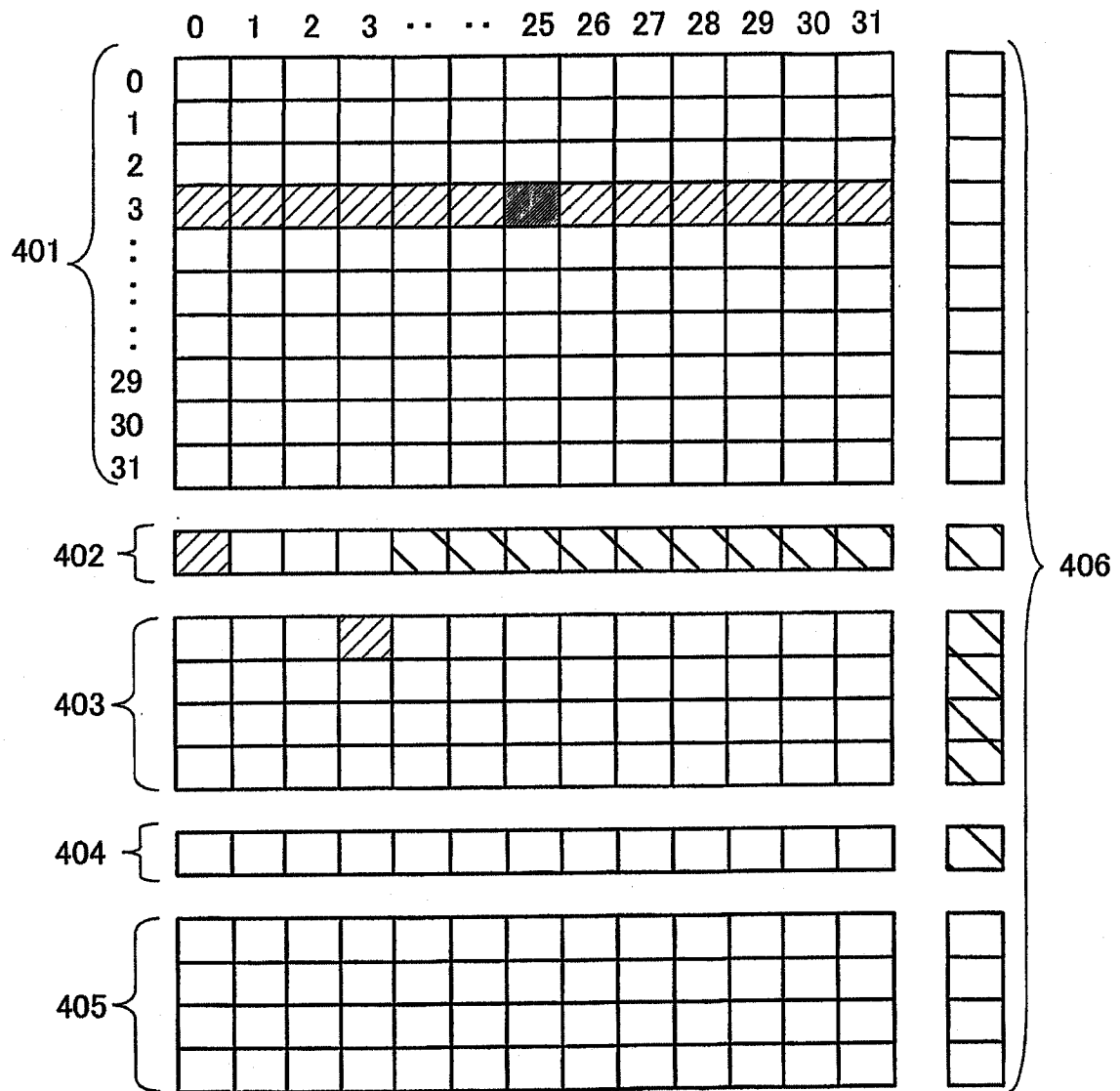


图 5

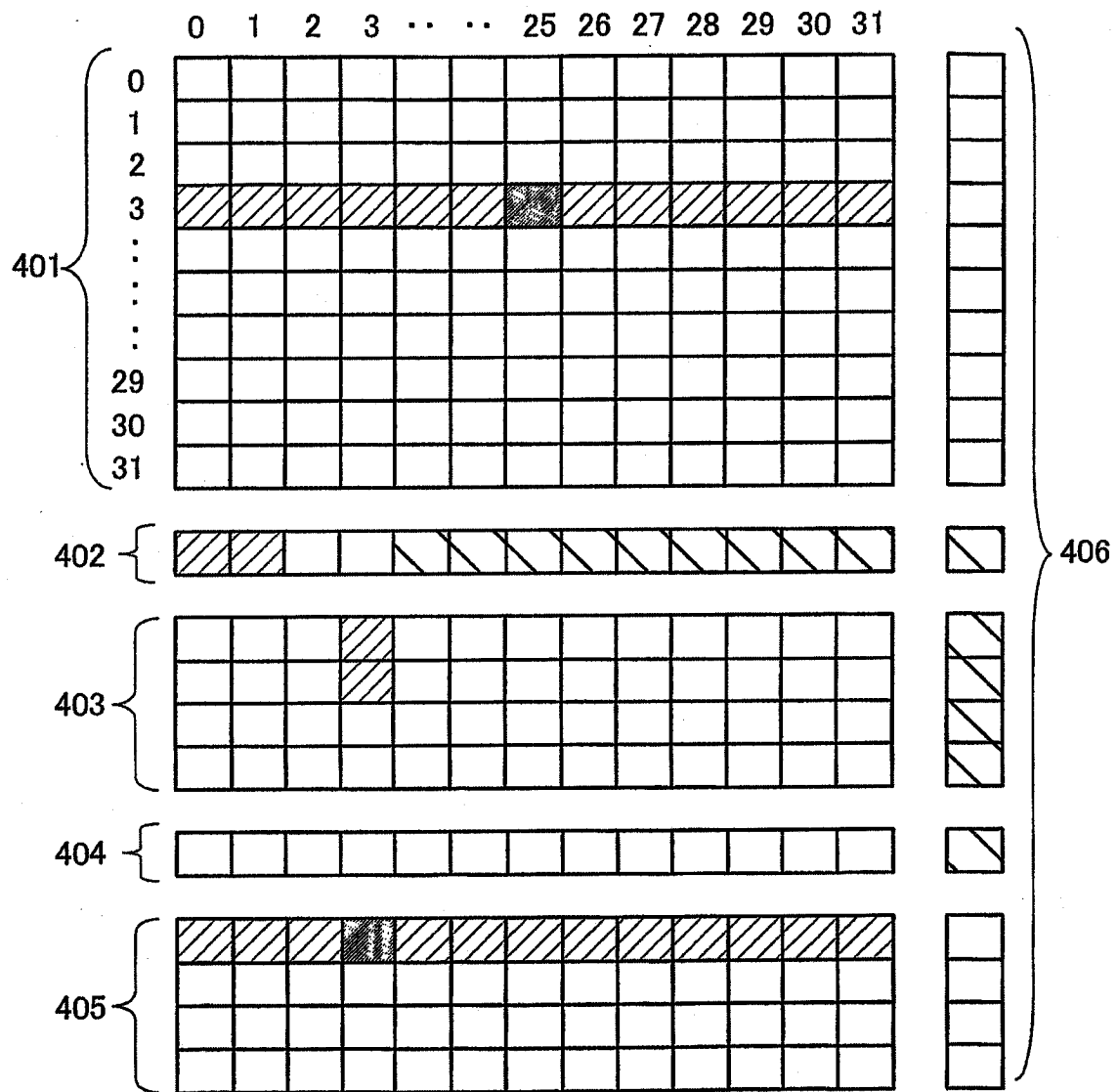


图 6

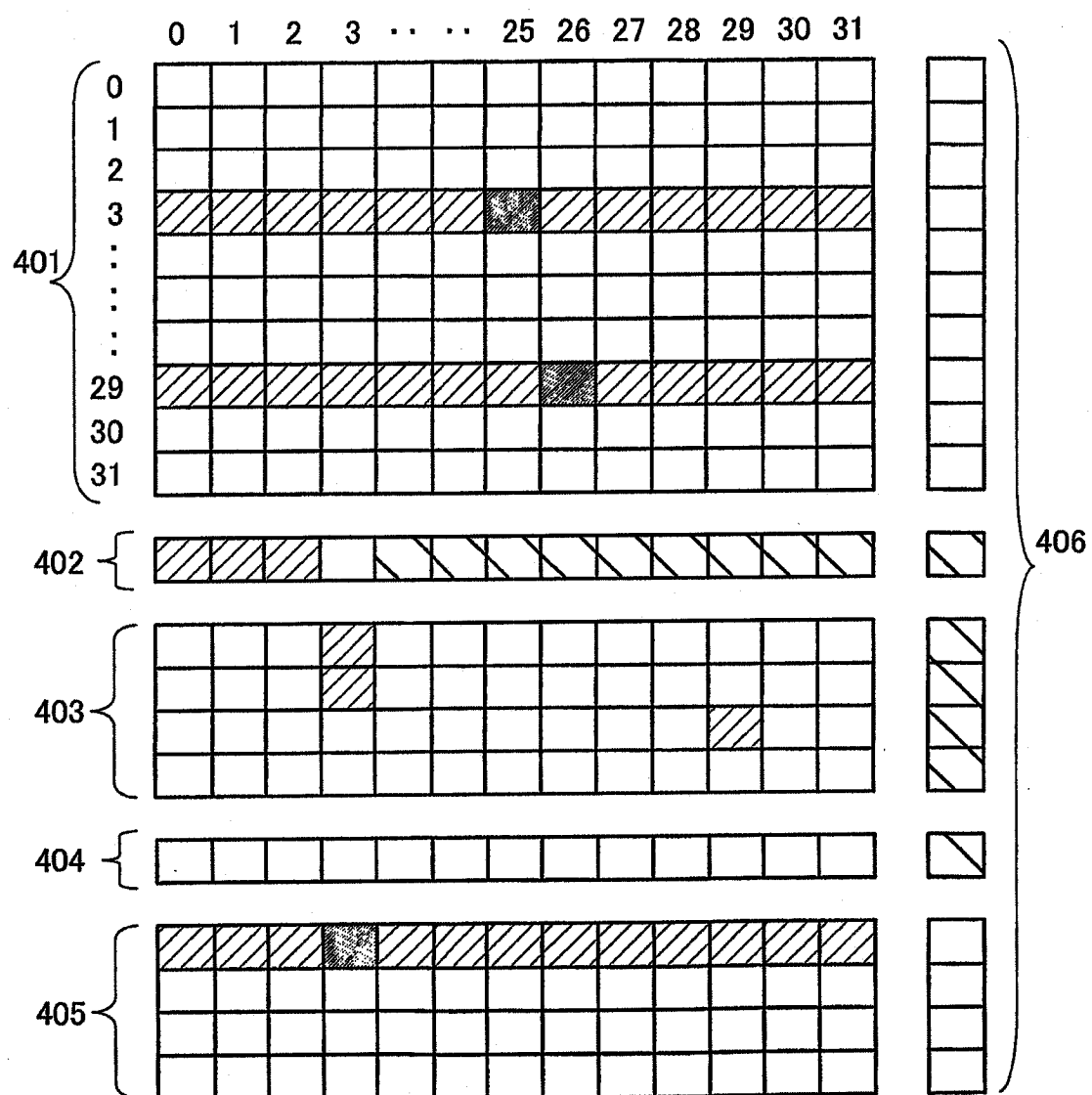


图 7

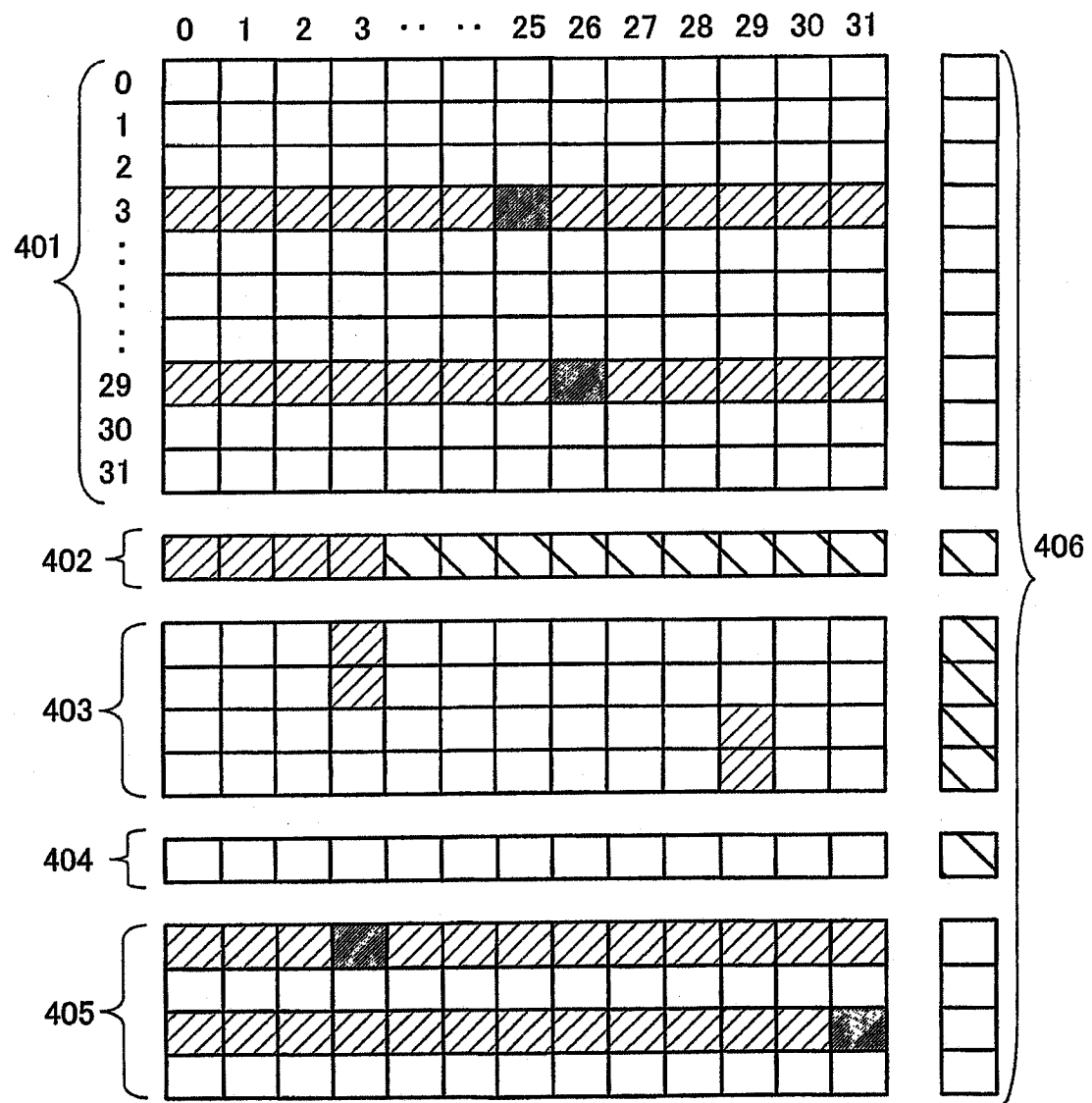


图 8

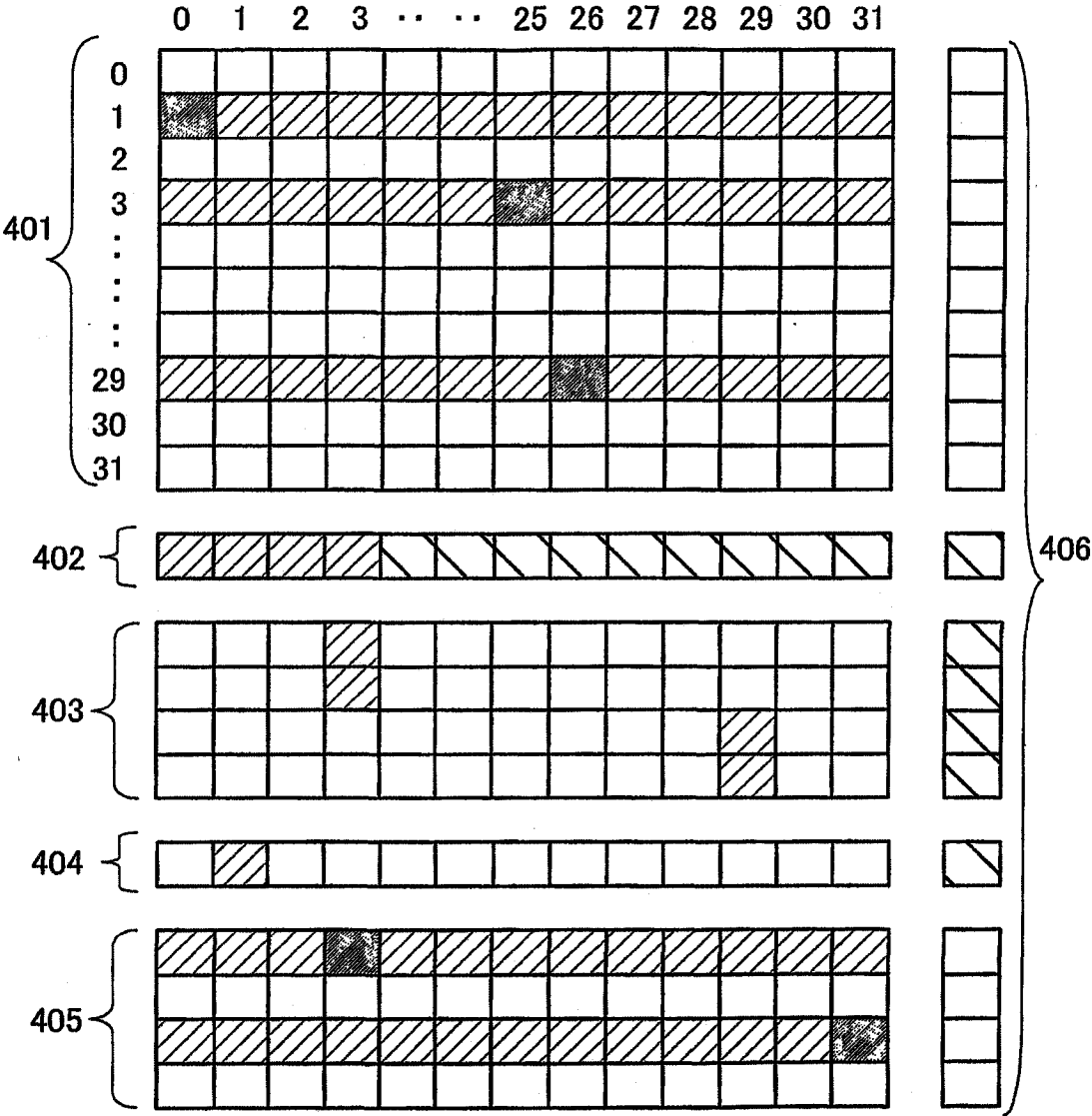


图 9

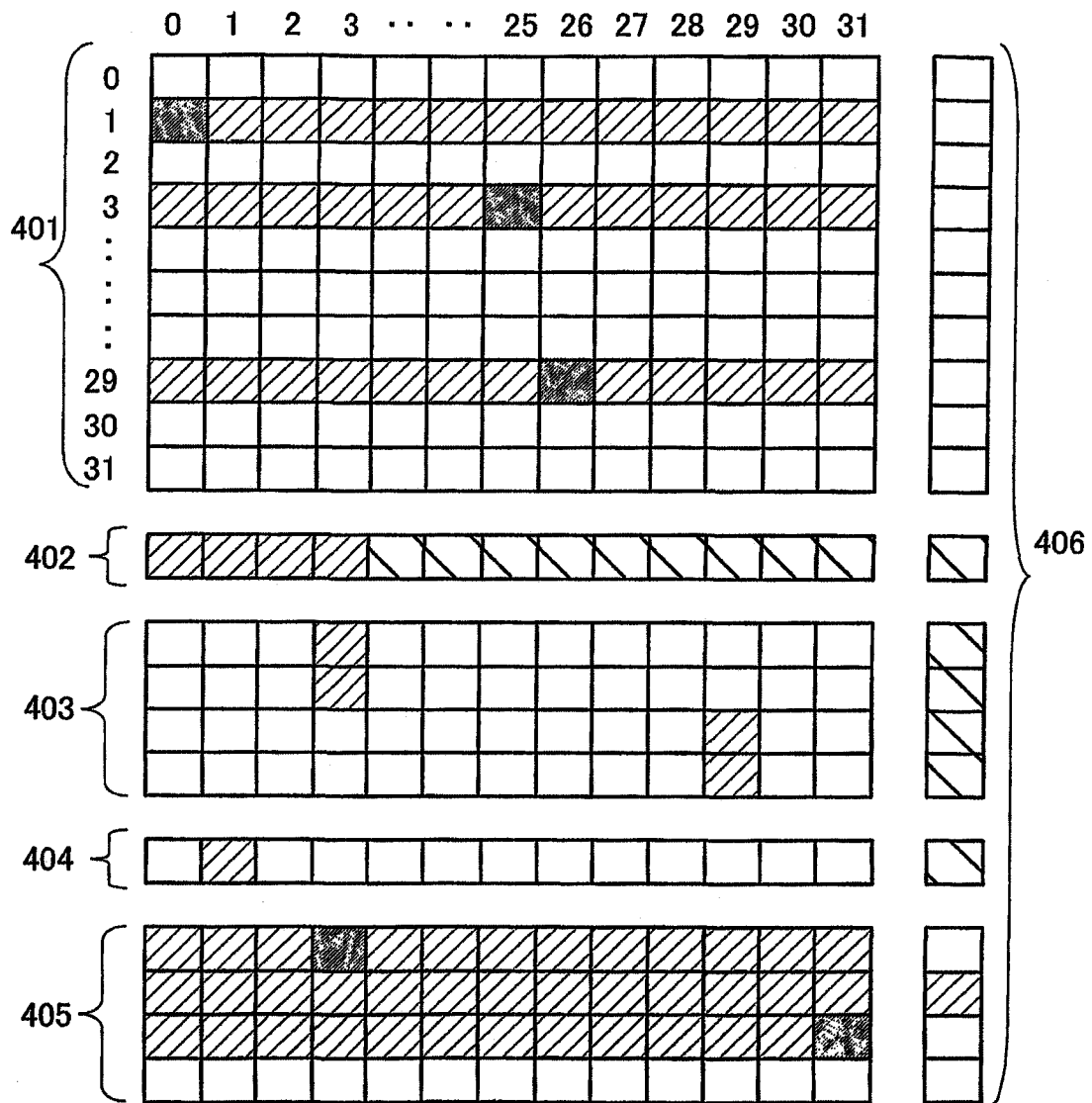


图 10

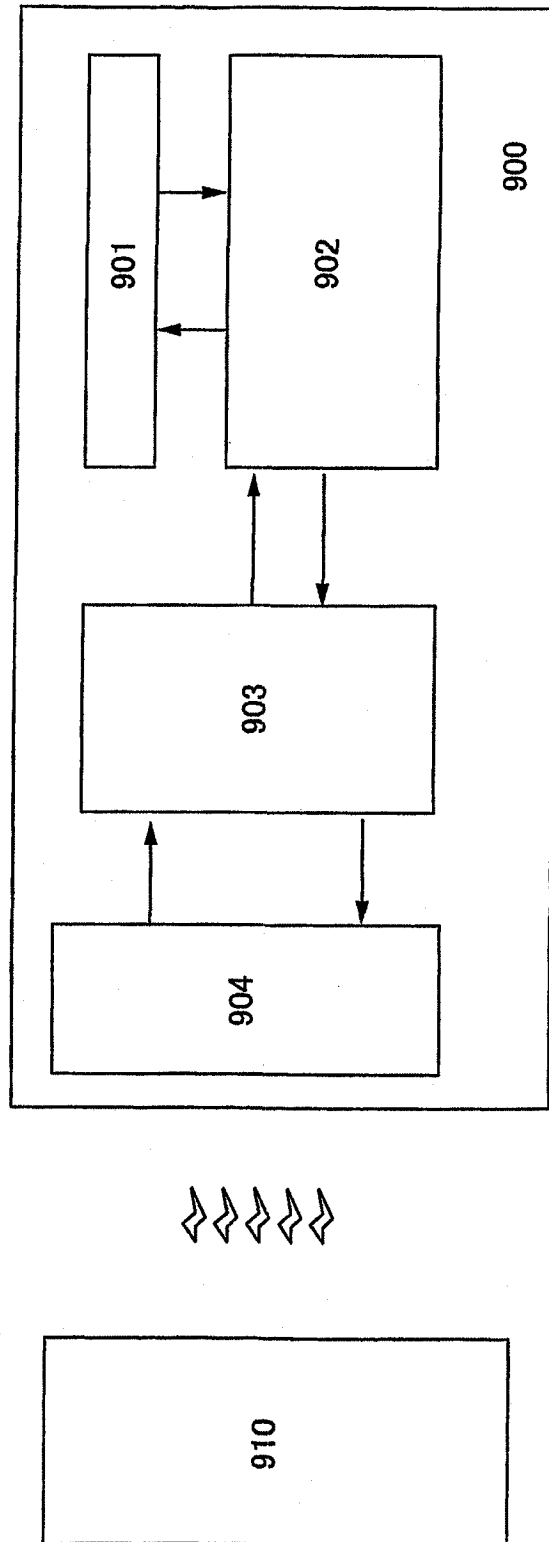


图 11

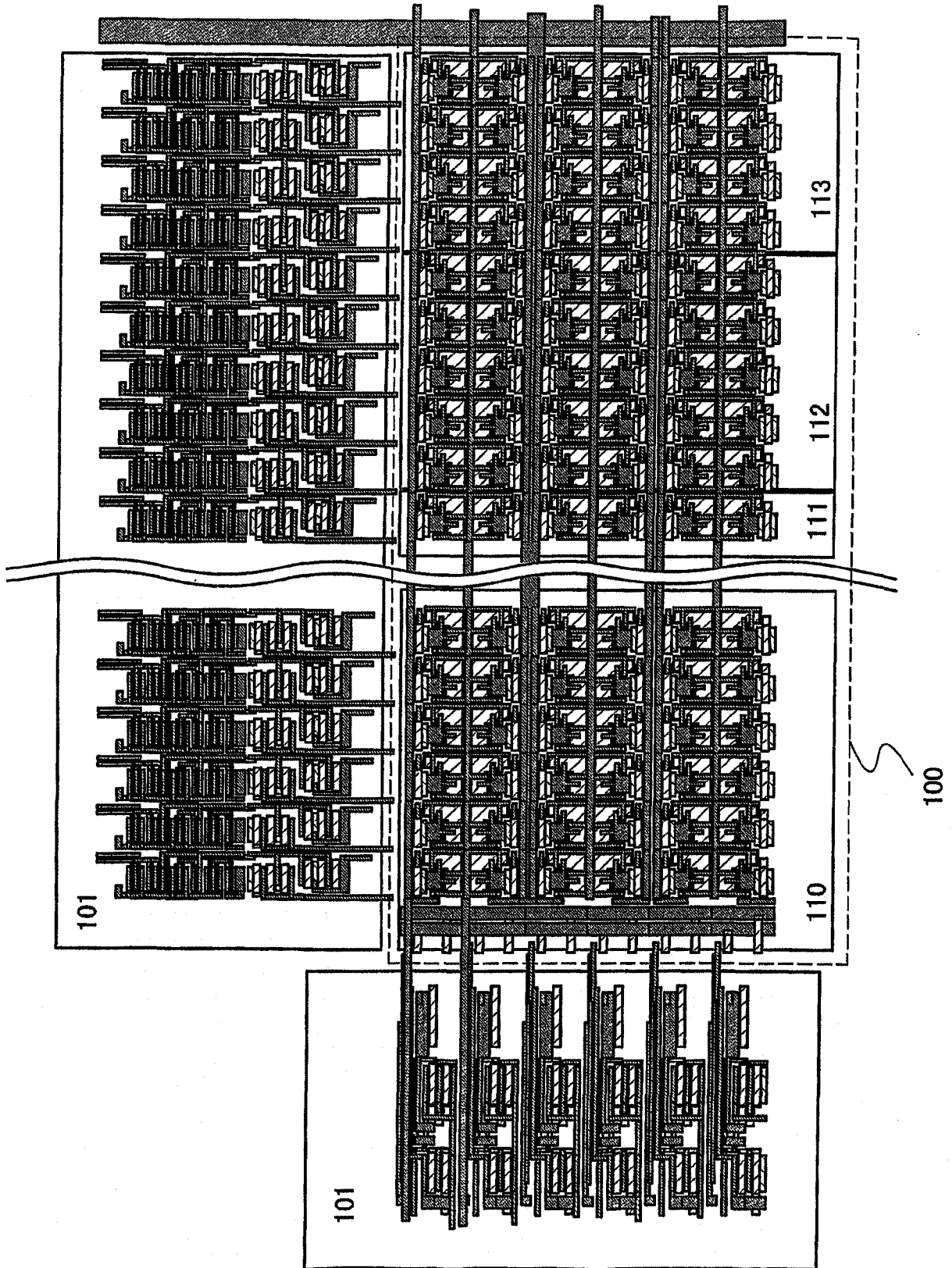


图 12

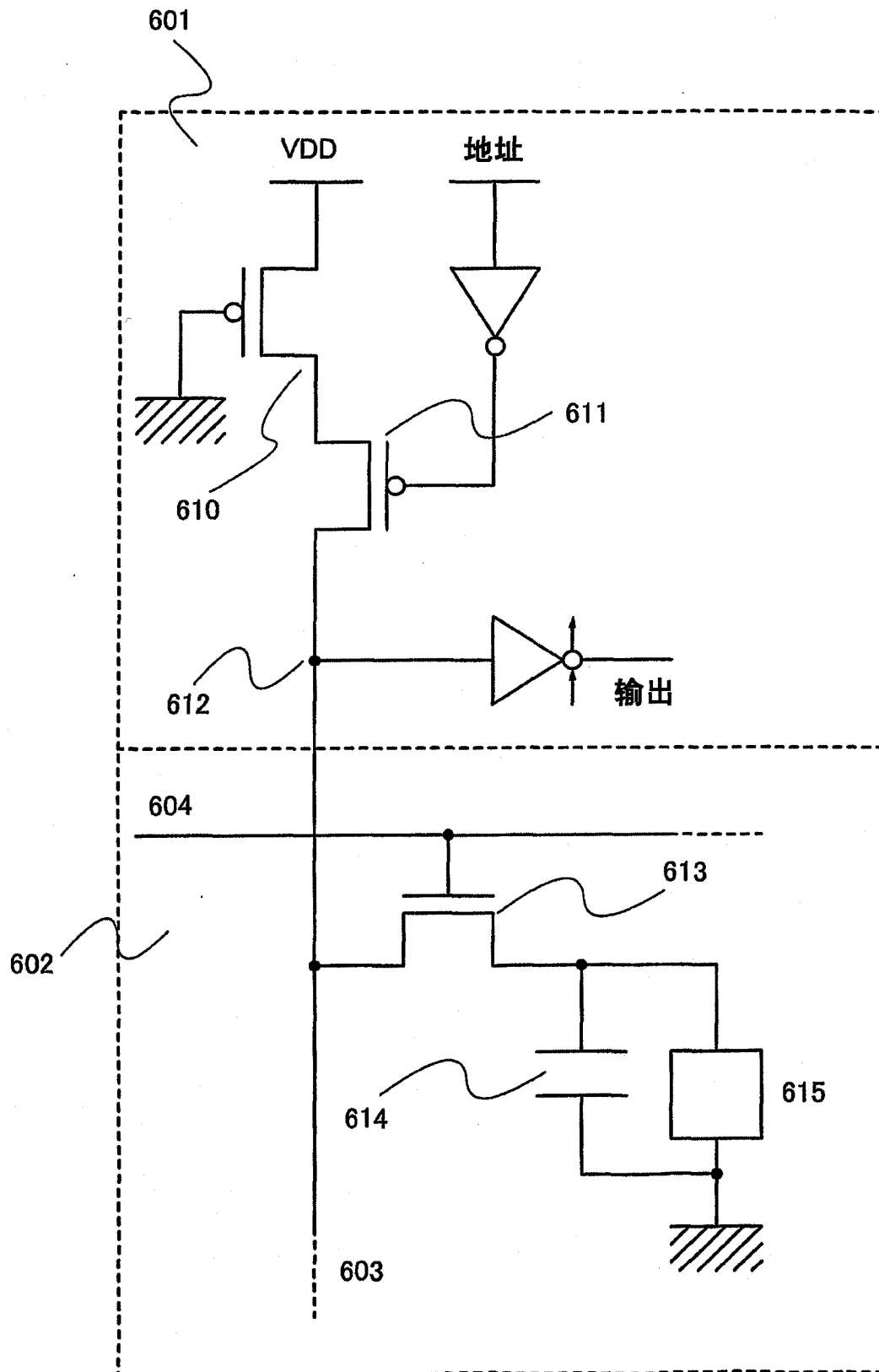


图 13

附图标记

100 :存储器单元阵列	601 :读出电路
101 :读出驱动器	602 :存储器单元
102 :冗余控制电路部分	603 :位线
110 :主存储器单元	604 :字线
111 :冗余功能用存储器单元	610 :比较 TFT
112 :冗余判断用存储器单元	611 :地址 TFT
113 :替换用存储器单元	612 :节点
114 :防止附加写入用存储器单元	613 :选择 TFT
120 :冗余控制电路	614 :辅助电容器
121 :冗余比较电路	615 :元件
122 :冗余锁存电路	900 :半导体器件
S201-210 :步骤	901 :存储器电路
S301-304 步骤	902 :数字电路
401 :主存储器单元	903 :模拟电路
402 :冗余功能用存储器单元	904 :天线电路
403 :冗余判断用存储器单元	910 :读出器 / 写入器
404 :访问禁止存储器单元	
405 :替换用存储器单元	
406 :防止附加写入用存储器单元	