

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 10 日 (10.03.2022)

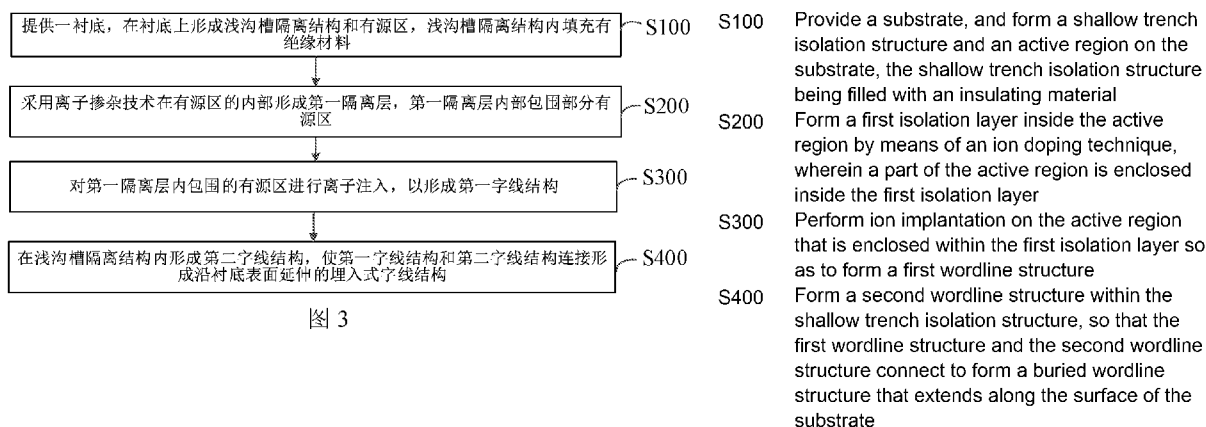


(10) 国际公布号
WO 2022/048243 A1

- (51) 国际专利分类号:
H01L 27/108 (2006.01)
- (21) 国际申请号: PCT/CN2021/100706
- (22) 国际申请日: 2021 年 6 月 17 日 (17.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010927242.0 2020 年 9 月 7 日 (07.09.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 陈涛 (CHEN, Tao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: PREPARATION METHOD FOR SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件的制备方法



(57) Abstract: A preparation method for a semiconductor device. The preparation method comprises: providing a substrate, and forming an active region and a shallow trench isolation structure on the substrate (S100); forming a first isolation layer inside the active region by means of an ion doping technique (S200); performing ion implantation on the active region that is enclosed within the first isolation layer to form a first wordline structure (S300); forming a second wordline structure within the shallow trench isolation structure, the first wordline structure and the second wordline structure connecting to form a buried wordline structure that extends along the surface of the substrate (S400).

(57) 摘要: 一种半导体器件的制备方法。所述制备方法包括: 提供一衬底, 在所述衬底上形成有源区和浅沟槽隔离结构 (S100); 采用离子掺杂技术在所述有源区的内部形成第一隔离层 (S200), 对第一隔离层内包围的有源区进行离子注入, 形成第一字线结构 (S300); 在浅沟槽隔离结构内形成第二字线结构, 第一字线结构和第二字线结构连接形成沿所述衬底表面延伸的埋入式字线结构 (S400)。

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

半导体器件的制备方法

交叉引用

本公开要求于 2020 年 9 月 7 日提交的申请号为 202010927242.0 名称为“半导体器件的制备方法”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及半导体技术领域，具体而言，涉及一种半导体器件的制备方法。

背景技术

DRAM(DynamicRandomAccessMemory)，即动态随机存储器是较为常见的系统内存，其中每个存储单元(cell)包括一个晶体管和一个对应的电容，利用电容内存储电荷的多寡来代表 0 和 1，为了避免电荷不足导致数据出错，需要周期性地刷新电容。为提升 DRAM 的集成度以加快对每个存储单元的操作速度，以及应对来自 PC、智能手机、平板等市场对 DRAM 的强劲需求，近年来发展出了具有埋入式字线结构的 DRAM(buried wordline DRAM)以满足上述需求。

在具有埋入式字线结构的 DRAM 中，埋入式字线形成于衬底内并贯穿衬底内的有源区，从而使部分字线可以复用为存储单元的晶体管的栅极，晶体管的源漏区形成于该部分字线两侧的衬底中。现有的埋入式字线制备方法存在制备步骤繁琐等问题，且制备过程中形成的字线隔离层厚度不均匀易引起漏电，容易导致半导体器件良率差。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

公开内容

本公开的目的在于克服上述现有技术的不足，提供一种半导体器件

的制备方法。

根据本公开的一个方面，提供一种半导体器件的制备方法，包括：

提供一衬底，在所述衬底上形成浅沟槽隔离结构和有源区，所述浅沟槽隔离结构内填充有绝缘材料；

5 采用离子掺杂技术在所述有源区内形成第一隔离层，所述第一隔离层包围部分所述有源区；

对所述第一隔离层包围的所述有源区进行离子注入，形成第一字线结构；

10 在所述浅沟槽隔离结构内形成第二字线结构，使所述第一字线结构和所述第二字线结构连接形成沿所述衬底表面延伸的埋入式字线结构。

在本公开的一种示例性实施例中，所述采用离子掺杂技术在所述有源区内形成第一隔离层包括：

采用注氧机向所述有源区内部注入含氧离子；

15 对所述衬底进行退火，使所述含氧离子与有源区的材料反应生成绝缘的氧化物，以形成所述第一隔离层。

在本公开的一种示例性实施例中，所述采用离子掺杂技术在所述有源区内形成第一隔离层包括：

在所述衬底上形成具有第一开口的第一掩模层；

20 通过所述第一开口向所述有源区的内部注入氧离子，去除所述第一掩模层，退火形成所述第一隔离层底部；

在所述衬底上形成具有第二开口的第二掩模层；

通过所述第二开口向所述有源区的内部注入氧离子，去除所述第二掩模层，退火形成所述第一隔离层侧壁，所述第一隔离层底部和所述第一隔离层侧壁构成所述第一隔离层。

25 在本公开的一种示例性实施例中，通过所述第一开口注入含氧离子的过程中，控制注入的所述含氧离子的能量始终保持一恒定值。

在本公开的一种示例性实施例中，通过所述第二开口注入含氧离子的过程中，控制注入的所述含氧离子的能量由大到小逐渐减小，以使所述含氧离子沿所述衬底竖直方向分布。

30 在本公开的一种示例性实施例中，通过所述第二开口注入的所述含

氧离子的最大能量等于通过所述第一开口注入的所述含氧离子的能量。

在本公开的一种示例性实施例中，所述在所述浅沟槽隔离结构内形成第二字线结构包括：

5 去除所述浅沟槽隔离结构内的部分所述绝缘材料，形成第一沟槽结构；

在所述第一沟槽结构内填充硅薄膜，对所述第一沟槽结构内的硅薄膜进行离子注入，形成所述第二字线结构。

10 在本公开的一种示例性实施例中，去除所述浅沟槽隔离结构内的部分所述绝缘材料后，所述浅沟槽隔离结构内剩余的所述绝缘材料形成第二隔离层。

在本公开的一种示例性实施例中，所述衬底材料为低掺杂的单晶硅材料，所述第一沟槽结构内填充的硅薄膜为多晶硅材料。

15 在本公开的一种示例性实施例中，对所述第一隔离层包围的有源区进行离子注入和对所述第一沟槽结构内的硅薄膜进行离子注入时，控制离子注入参数，以使形成的所述第一字线结构和第二字线结构的电阻率的差值在一定阈值范围内。

在本公开的一种示例性实施例中，在形成所述第二字线结构后，对所述第一字线结构和所述第二字线结构进行刻蚀，形成第二沟槽，沉积覆盖层于所述第二沟槽上。

20 本公开的半导体器件的制备方法采用离子掺杂技术在衬底有源区的内部直接形成第一隔离层，对第一隔离层包围的有源区通过离子注入形成第一字线结构，并在浅沟槽隔离结构内形成第二字线结构，第一字线结构和第二字线结构连接形成沿所述衬底表面延伸的埋入式字线结构。该制备方法的优点在于：不需要在有源区刻蚀字线沟槽，通过离子注入的方式形成第一字线结构，简化了有源区内的字线结构的制备方法，且
25 可以保证有源区的字线结构的第一隔离层厚度均匀，不易漏电，保证良好的半导体器件性能。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一种半导体器件的俯视图；

图 2 为图 1 中 A-A 向的截面示意图；

图 3 为本公开实施方式半导体器件的制备方法流程图；

10 图 4 为本公开实施方式衬底的俯视图；

图 5 为图 4 中局部结构在 A-A 向的截面示意图；

图 6 为形成第一隔离层底部的半导体器件的俯视图；

图 7 为图 6 半导体器件去除第一掩模层前在 A-A 向的截面示意图；

图 8 为形成第一隔离层侧壁的半导体器件的俯视图；

15 图 9 为图 8 半导体器件去除第二掩模层前在 A-A 向的截面示意图；

图 10 为形成第一字线结构后的半导体器件的俯视图；

图 11 为图 10 中局部在 A-A 向的截面示意图；

图 12 示出了形成第二隔离层后的半导体器件的俯视图；

图 13 为图 12 中局部在 A-A 向的截面示意图；

20 图 14 为在第一沟槽结构内填充硅薄膜后的半导体器件的俯视图；

图 15 为图 14 中局部在 A-A 向的截面示意图；

图 16 为形成第二字线结构后的半导体器件的俯视图；

图 17 为图 16 中局部在 A-A 向的截面示意图；

图 18 为形成第二沟槽后的截面示意图；

25 图 19 为形成源极和漏极后的截面示意图；

图 20 为形成覆盖层后的截面示意图。

图中：1、衬底；10、隔离区；101、浅沟槽隔离结构；102、绝缘材料；20、有源区；201、源极；202、漏极；30、字线；310、第一字线结构；320、第二字线结构；330、第一隔离层；331、第一隔离层底部；332、
30 第一隔离层侧壁；340、第二隔离层；40、硅薄膜；41、第一沟槽结构；

51、第一掩模层；510、第一开口；52、第二掩模层；520、第二开口；6、覆盖层。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使得本公开将全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

图 1 所示为半导体器件的一种结构俯视示意图，图 2 所示为图 1 中 A-A 向的截面示意图。参考图 1 和图 2，该半导体器件包括衬底 1，衬底 1 上设有浅沟槽隔离结构，由浅沟槽隔离结构定义出多个有源区 20，有源区 20 制备有晶体管。浅沟槽隔离结构内填充有绝缘材料，由此形成隔离区 10。衬底 1 上还设有沿竖向延伸的字线 30。字线 30 贯穿隔离区 10 和有源区 20，即字线 30 包含位于有源区的第一字线结构 310 和位于隔离区的第二字线结构 320，位于有源区 20 部分的第一字线结构 310 可以复用为晶体管的栅极，栅极两侧设有源极 201 和漏极 202，在复用为栅极的字线外壁还设置有字线隔离层 31，即栅绝缘层，用以与源极 201 和漏极 202 隔离，以此形成晶体管结构。位于隔离区 10 部分的字线外壁也设置有字线隔离层 32，用以与衬底 1 隔离，字线 30 上方还设置有覆盖层 6。需要说明的是，图 1 和图 2 所示的示例性实施方式中，一个有源区串联设置有两个晶体管，两个晶体管的源极和漏极共用。由于图 2 所示的截面图为对称结构，因此仅对其中一部分进行了标记，本领域技术人员可以理解，另一部分相同填充线表示相同的结构，以下附图同理，后续将不再赘述。在其他实施方式中，一个有源区也可以只设置一个晶体管。还需说明的是，为了方便示出字线结构，图 1 中未显示覆盖层 6。

制备埋入式字线结构的一种相关的方法是，在预先设置有隔离区 10 和有源区 20 的衬底 1 上刻蚀出竖向的字线沟槽，然后通过 ISSG（原位水气生成快速热退火工艺）按照一定比例在字线沟槽中通入 H_2 和 O_2 ，利用灯泡快速升温， H_2 和 O_2 在字线沟槽的硅表面反应生成氧自由基，

利用氧自由基与硅反应生成字线的氧化隔离层。然后通过氧化隔离层内沉积氮化钛和钨等形成字线结构。该方法在形成字线结构时，需要在隔离区 10 和有源区 20 上刻蚀字线沟槽，然后在字线沟槽内制备字线隔离层和字线，工艺步骤繁琐，因此成本较高且加工效率难以提升。另一方面，通过 ISSG 工艺形成的字线隔离层 31 常会出现厚度不均匀的问题，作为晶体管的栅绝缘层时易导致漏电，从而影响半导体器件的性能。

基于此，本公开提供一种半导体器件的制备方法，参考图 3，为本公开实施方式的半导体器件的制备方法流程图，该制备方法包括：

步骤 S100，提供一衬底 1，在衬底 1 上形成浅沟槽隔离结构 101 和有源区 20，浅沟槽隔离结构 101 内填充绝缘材料 102 形成隔离区 10；

步骤 S200，采用离子掺杂技术在有源区 20 的内部形成第一隔离层 330，第一隔离层 330 内部包围部分有源区；

步骤 S300，对第一隔离层 330 内包围的有源区进行离子注入，以形成第一字线结构 310；

步骤 S400，在浅沟槽隔离结构 101 内形成第二字线结构 320，使第一字线结构 310 和第二字线结构 320 连接形成沿衬底 1 表面延伸的埋入式字线结构。

该制备方法在形成有源区 20 部分的字线结构时，采用离子掺杂技术在硅衬底 1 有源区 20 的内部直接形成第一隔离层 330，第一隔离层 330 包裹的有源区再通过离子注入形成具有导体特性的第一字线结构 310，由此完成有源区 20 的字线制备。然后在浅沟槽隔离结构内形成第二字线结构 320，由此完成隔离区 10 的字线制备。该方法不需要在有源区 20 刻蚀字线沟槽就可以形成该部分的字线隔离层，而且通过离子掺杂技术形成的字线隔离层厚度均匀，当该部分字线复用为晶体管栅极时，该字线隔离层作为栅绝缘层，其绝缘性能良好，不易漏电，能够保证良好的半导体器件的性能。同时本方法利用现有的衬底材料通过离子注入就可以制备出有源区的字线，无需沉积字线金属材料，也简化了有源区的字线制备方法。

下面参考图 4-图 16，对本公开实施方式的制备方法逐步进行详细说明：

步骤 S100, 提供一衬底 1, 参考图 4 和图 5, 图 4 为衬底的俯视结构示意图, 图 5 为图 4 中局部结构在 A-A 向的截面示意图。如图所示, 在衬底 1 上形成浅沟槽隔离结构 101, 浅沟槽隔离结构 101 在衬底 1 中定义出多个有源区 20, 在浅沟槽隔离结构 101 内填充绝缘材料 102 形成隔离区 10。

衬底 1 为半导体衬底, 衬底 1 的形成材料包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底, 另外, 半导体衬底为单晶衬底或多晶衬底时, 还可以是本征硅衬底或者是轻微掺杂的硅衬底, 进一步, 可以为 N 型多晶硅衬底或 P 型多晶硅衬底。在本申请实施方式中, 衬底 1 优选采用低掺杂的单晶硅材料 (如 NTD-Si), 该衬底材料电阻率均匀性好, 后续掺杂时的精度高, 引入的杂质少, 能够避免常规掺杂时的杂质条纹。

浅沟槽隔离结构 101 通过浅槽隔离 (Shallow Trench Isolation, STI) 技术在半导体衬底 1 上形成。具体而言, 可以先在衬底 1 上沉积一层氮化硅层, 然后图案化此氮化硅层形成硬掩膜。接着蚀刻衬底 1, 形成陡峭的浅沟槽隔离结构 101。最后, 在浅沟槽隔离结构 101 内填入绝缘材料 102 形成隔离区 10。填充的绝缘材料 102 可为氮化硅或氧化硅等。

有源区 20 的形状由隔离区 10 的形状所定义, 图 4 所示的平行四边形的有源区 20 仅为一种示意, 其形状还可以为矩形、椭圆形等其他形状, 在实际的产品结构中, 由于浅沟槽隔离结构 101 刻蚀工艺精度的影响, 也可能形成不规则的边缘。本申请不对隔离区 10 和有源区 20 的形状进行特殊限定。

步骤 S200, 采用离子掺杂技术在有源区 20 的内部形成第一隔离层 330, 第一隔离层 330 包围部分有源区。

本步骤中采用离子掺杂技术形成第一隔离层 330 包括两个工艺步骤: 1) 含氧离子注入, 采用注氧机向有源区内部注入含氧离子, 用以在硅表层下产生一个高浓度的注氧层。2) 高温退火, 使注入的含氧离子与硅反应形成绝缘的二氧化硅隔离层。其中, 含氧离子可以是 O^+ 、 O_2^+ 、 HO^+ 、 H_2O_+ 等。在一些实施方式中, 含氧离子中还可以进一步包含氮离子, 如 N^+ 、 N_2^+ 等, 由此还可以形成二氧化硅和氮化硅的混合绝缘埋层。由该方

法形成的隔离层厚度均匀,用作栅隔离层时能够起到良好稳定的绝缘效果,不易发生漏电。

在本示例性实施方式中,为了在有源区 20 形成如图 2 所示的沟槽状的第一隔离层 31,本步骤可以分为两步进行,先制备第一隔离层的底部 331,然后制备第一隔离层的侧壁 332。具体地,步骤 S200 可以包含以下子步骤:

步骤 S210,在衬底 1 上形成具有第一开口 510 的第一掩模层 51。参考图 7,为包括第一掩模层 51 的半导体器件的截面示意图。第一掩模层 51 的第一开口 510 与要形成的第一隔离层的底部 331 形状一致,且第一开口 510 正好位于要形成的第一隔离层底部 331 的正上方,而衬底 1 其他地方都被第一掩模层 51 覆盖。也就是说,第一开口 510 在衬底 1 的投影与最终形成的底部 331 结构的投影应当能够重合,第一掩模层 51 的材料可以是光刻胶,可以通过涂覆、曝光显影技术在衬底 1 上形成。第一掩模层 51 也可以是硬掩模层,如氮化硅、硼磷硅玻璃等。硬掩模的形成方法可以是化学气相沉积 (CVD)、物理气相沉积 (PVD) 等沉积工艺。

步骤 S220,继续参考图 7,通过第一开口 510 向有源区 20 的内部注入含氧离子,去除第一掩模层 51,退火形成第一隔离层 330 的底部 331。

在该步骤中,需要根据要形成的第一隔离层 330 的位置和绝缘性能设定含氧离子的注入能量。注入能量越大形成的二氧化硅埋层位置越深,反之位置越浅。当然,注入能量与深度之间并非线性关系,需要根据要形成的半导体器件的结构和性能进行合理的选择。在本实施方式中,控制该步骤注入的含氧离子的能量始终保持一恒定值,使得含氧离子都被注入到同一深度,由此可以形成水平的二氧化硅埋层,即形成如图所示的第一隔离层底部 331 结构。由于该步骤注入的能量始终为一恒定值,因此可以简化离子注入的参数设置。需要说明的是,水平的底部 331 结构仅为一种理想的示意性的描述,在离子注入的实际过程中,离子会不可避免的发生一定的扩散,例如边缘的离子会有向外扩散的趋势,形成等二氧化硅埋层并非为完全标准的水平埋层。

在该步骤中,第一掩模层 51 的材料时光刻胶时,可以直接剥离去除。当第一掩模层 51 为硬掩模时,去除方法可以是干法刻蚀。图 6 示出了形

成第一隔离层底部并去除第一掩模层后的半导体器件的俯视图，可以理解的是，图 7 可以看做是图 6 半导体器件在去除第一掩模层之前局部在 A-A 向的截面示意图。

在该步骤中，退火的温度、时间、气氛等参数可以根据器件的实际情况进行设置。例如退火的温度可以为 800-1500℃，退火时间可以为 1-24 小时，退火气氛可以为 Ar 与 O₂ 或 N₂ 与 O₂ 的混合气体。

步骤 S230，在衬底 1 上形成具有第二开口 520 的第二掩模层 52。参考图 9，为包括第二掩模层 52 的半导体器件的截面示意图。第二掩模层 52 的第二开口 520 正好位于要形成的第一隔离层 330 的侧壁 332 正上方，而衬底 1 其他地方都被第二掩模层 52 覆盖。也就是说，第二开口 520 在衬底 1 的投影与最终形成的第一隔离层 330 侧壁 332 的投影应当能够重合。第二掩模层 52 的材料和形成工艺可以参照第一掩模层 51，二者可以相同也可以不同。

由于该步骤第一隔离层 330 的侧壁 332 尺寸非常小，对第二掩模层 52 的精度要求极高，因此可通过极紫外光光刻的方法制备。

步骤 S240，通过第二开口 520 向有源区 20 的内部再注入含氧离子，去除第二掩模层 52，退火形成第一隔离层 330 的侧壁 332，第一隔离层底部 331 和第一隔离层侧壁 332 构成第一隔离层 330。

为了形成竖向侧壁，该步骤注入的含氧离子应当竖直分布在衬底 1 中，且位于步骤 S220 中形成的底部 331 结构的边缘正上方，该竖向侧壁 332 与底部 331 埋层的边缘相连，二者形成一个整体。如前所示，含氧离子的注入能量决定其注入深度，在本实施方式中，作为一种优选方式，通过第二开口 520 注入含氧离子的过程中，控制本步骤注入的含氧离子的能量由大到小逐渐减小，使得含氧离子由深至浅逐步被注入到衬底 1 内且沿衬底 1 竖直方向分布；同时控制注入过程中含氧离子浓度基本保持一致，以使竖向各个位置处的含氧离子分布均匀，退火后形成的竖向的二氧化硅侧壁厚度均匀，且侧壁各处性能基本一致。进一步的，本步骤注入的含氧离子的最大能量等于通过第一开口 510 注入的含氧离子的能量，这样可以确保用于形成侧壁 332 的含氧离子注入深度与底部 331 一致，最终形成的竖直方向的第一隔离层侧壁可以与水平方向的第一隔

离层底部相连，形成完整的第一隔离层结构。需要说明的是，竖直的侧壁 332 仅为一种理想的示意性的描述，在离子注入的实际过程中，离子会不可避免的发生一定的扩散，例如边缘的离子会有向外扩散的趋势，形成等二氧化硅埋层并非为完全标准的沿厚度方向分布的埋层。

5 在该步骤中，第二掩模层 52 的去除方法参照第一掩模层 51，退火的温度、时间、气氛等参数可以根据器件的实际情况进行设置。图 8 示出了去除第二掩模层后的半导体器件的俯视图，可以理解的是，图 9 可以看做是图 8 半导体器件在去除第二掩模层之前局部在 A-A 向的截面示意图。

10 经过上述步骤 S210-S240，即完成了有源区 20 的第一隔离层 330 的制备，得到的半导体器件的俯视图如图 8 所示。该制备方法不需要对有源区 20 进行刻蚀，也不需要沉积隔离层，而是通过离子掺杂技术一步就完成了隔离层的制备，大大简化了制备工艺。

15 步骤 S300，对第一隔离层 330 内包围的有源区进行离子注入，以形成位于有源区 20 的第一字线结构 310。该步骤形成的第一字线结构 310 可以参考图 10 和图 11，图 10 为形成第一字线结构 310 后的半导体器件的俯视图，图 11 为图 10 中局部在 A-A 向的截面示意图。本步骤注入的离子种类可以为 P 离子、N 离子、B 离子等离子或以上多种离子的组合，具体的离子种类可根据拟制备的半导体器件性能进行选择。

20 本步骤中，注入的离子类型根据衬底和晶体管类型决定。由于第一隔离层 330 内包围的为衬底硅，即低掺杂的单晶硅（如 NTD-Si），因此掺杂精度高，引入杂质少，能够避免常规掺杂时的杂质条纹，使掺杂后的材料能够达到栅极所需的功函数，电阻率能够匹配阈值电压。需要说明的是，在进行离子注入时，也需要形成离子注入窗口，即可以采用与
25 步骤 S200 中类似的光刻胶通过曝光显影的方式形成，具体过程此处不再赘述。。

步骤 S400，参考图 10~图 17，在浅沟槽隔离结构内形成第二字线结构。

本步骤中，第二字线结构可以通过以下步骤制备：

30 步骤 S410，去除浅沟槽隔离结构内的部分绝缘材料，形成第一沟槽

结构 41。具体而言，可以通过刻蚀的方法去除浅沟槽隔离结构内的部分绝缘材料 102，控制刻蚀深度，保留覆盖浅沟槽隔离结构 101 内壁的绝缘材料，这部分绝缘材料形成第二隔离层 340。刻蚀可以是干法刻蚀。第二隔离层 340 的厚度可以根据需求设置。图 12 示出了形成第二隔离层 340 后的半导体器件的俯视图，图 13 为图 12 中局部在 A-A 向的截面示意图。该步骤中利用已经填充在浅沟槽隔离结构内的绝缘材料制备第二隔离层，简便易行。

步骤 S420，在第一沟槽结构 41 内填充硅薄膜 40，对第一沟槽结构 41 内的硅薄膜 40 进行离子注入，形成第二字线结构。图 14 示出了在第一沟槽结构 41 内填充硅薄膜 40 后的半导体器件的俯视图，图 15 为图 14 中局部在 A-A 向的截面示意图。填充的硅薄膜 40 位于第二隔离层 340 内，对第二隔离层 340 内的硅薄膜 40 进行离子注入，以形成位于隔离区 10 的第二字线结构 320。该步骤形成的第二字线结构 320 可以参考图 16 和图 17，图 16 为形成第二字线结构 320 后的半导体器件的俯视图，图 17 为图 16 中局部在 A-A 向的截面示意图。

该步骤中，填充的硅可以为多晶硅薄膜，通过化学气相沉积等方式生长。多晶硅生长方式简单，且离子注入后同样能够得到理想的电阻特性，该步骤的离子注入的方法参照步骤 S300。

进一步地，由于第一字线结构和第二字线结构要连接形成沿衬底表面延伸的埋入式字线结构，所以对第一隔离层 330 包围的有源区进行离子注入和对第一沟槽结构内硅薄膜 40 进行离子注入时，控制离子注入参数，以使形成的第一字线结构和第二字线结构的电阻率的差值在一定阈值范围内，该阈值范围可以尽可能的小，以使第一字线结构 310 和第二字线结构 320 的电阻率尽可能相近或相等，从而使得最终形成的字线性能稳定一致。注入参数包括但不限于离子类型、离子浓度和注入能量等。

在一种实施例中，由于上述步骤 S300 和步骤 S400 中都包含对硅进行注入的步骤，为了简化工艺，这两个步骤还可以同时进行，即在第一隔离层 330 制备好后，直接形成第二隔离层 340，然后再同时对第一隔离层 330 内的单晶硅和第二隔离层 340 内的多晶硅进行离子注入，同时形成第一字线结构 310 和第二字线结构 320。需要说明的是，同时注入

时针对两个区域的工艺参数是相同的，而有源区的硅材和第一沟槽结构内填充的硅材不一定完全一样，应当能确保形成的第一字线结构 310 和第二字线结构 320 的电阻率尽可能相近或相等，以保证形成的字线性能稳定一致。

5 经过上述步骤，最终形成的第一字线结构 310 和第二字线结构 320 连接形成沿衬底 1 表面延伸的埋入式字线结构，如图 16 所示。

进一步的，本实施方式的半导体器件的制备方法还可以包括：

步骤 S600，对第一字线结构 310 和第二字线结构 320 进行刻蚀，以得到第二沟槽，如图 18 所示。

10 进一步地，本实施方式的半导体器件的制备方法还可以包括：

步骤 S700，在第二隔离层 340 两侧进行掺杂形成源极和漏极，如图 19 所示。

进一步地，本实施方式的半导体器件的制备方法还可以包括：

15 步骤 S800，如图 20 所示，在第二沟槽内形成覆盖层 6，用以对字线进行保护。覆盖层 6 还可以覆盖在有源区 20 上，以对有源区 20 进行保护。覆盖层 6 的材料可包括氮化硅、氧化硅、氮氧化硅或其他绝缘材料中的一种或者多种的组合。

需要说明的是，上述步骤编号并非对实施步骤的限定，本领域技术人员完全可以根据本申请的思路改变实施顺序。例如，在一种实施方式中，也可以先制备第二隔离层 340 和第二字线结构 320，再制备第一隔离层 330 和第一字线结构 310。再例如，可以先制备源漏极，再刻蚀第二沟槽并形成覆盖层 6。

20 上述制备方法是图 1 和图 2 所示一个有源区设置两个晶体管为例进行了说明，本领域技术人员可以理解，当有源区只设置一个晶体管时，完全可以按照相同的思路制备埋入式字线，具体过程此处不再赘述

25 本实施方式的制备方法制备出的半导体器件的有源区的埋入式字线隔离层厚度均匀，复用为晶体管栅极时不易漏电，保证了半导体器件的良好性能。该半导体器件可以用于动态随机存储器等多种存储产品中，本申请不限制其具体应用领域。

30 虽然本说明书中使用相对性的用语，例如“上”“下”来描述图标

的一个组件对于另一组件的相对关系，但是这些术语用于本说明书中仅出于方便，例如根据附图中所述的示例的方向。能理解的是，如果将图标的装置翻转使其上下颠倒，则所叙述在“上”的组件将会成为在“下”的组件。当某结构在其它结构“上”时，有可能是指某结构一体形成于其它结构上，或指某结构“直接”设置在其它结构上，或指某结构通过另一结构“间接”设置在其它结构上。

用语“一个”、“一”、“该”、“所述”和“至少一个”用以表示存在一个或多个要素/组成部分/等；用语“包括”和“具有”用以表示开放式的包括在内的意思并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等。

本领域技术人员在考虑说明书及实践这里公开的公开后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由所附的权利要求指出。

权 利 要 求

1、一种半导体器件的制备方法，其中，包括：

提供一衬底，在所述衬底上形成浅沟槽隔离结构和有源区，所述浅沟槽隔离结构内填充有绝缘材料；

5 采用离子掺杂技术在所述有源区内形成第一隔离层，所述第一隔离层包围部分所述有源区；

对所述第一隔离层包围的所述有源区进行离子注入，形成第一字线结构；

10 在所述浅沟槽隔离结构内形成第二字线结构，使所述第一字线结构和所述第二字线结构连接形成沿所述衬底表面延伸的埋入式字线结构。

2、根据权利要求1所述的半导体器件的制备方法，其中，所述采用离子掺杂技术在所述有源区内形成第一隔离层包括：

采用注氧机向所述有源区内部注入含氧离子；

15 对所述衬底进行退火，使所述含氧离子与有源区的材料反应生成绝缘的氧化物，以形成所述第一隔离层。

3、根据权利要求2所述的半导体器件的制备方法，其中，所述采用离子掺杂技术在所述有源区内形成第一隔离层包括：

在所述衬底上形成具有第一开口的第一掩模层；

20 通过所述第一开口向所述有源区的内部注入氧离子，去除所述第一掩模层，退火形成所述第一隔离层底部；

在所述衬底上形成具有第二开口的第二掩模层；

通过所述第二开口向所述有源区的内部注入氧离子，去除所述第二掩模层，退火形成所述第一隔离层侧壁，所述第一隔离层底部和所述第一隔离层侧壁构成所述第一隔离层。

25 4、根据权利要求3所述的半导体器件的制备方法，其中，通过所述第一开口注入含氧离子的过程中，控制注入的所述含氧离子的能量始终保持一恒定值。

5、根据权利要求4所述的半导体器件的制备方法，其中，通过所述第二开口注入含氧离子的过程中，控制注入的所述含氧离子的能量由大到小逐渐减小，以使所述含氧离子沿所述衬底竖直方向分布。

30

6、根据权利要求 5 所述的半导体器件的制备方法，其中，通过所述第二开口注入的所述含氧离子的最大能量等于通过所述第一开口注入的所述含氧离子的能量。

7、根据权利要求 1 中任一项所述的半导体器件的制备方法，其中，
5 所述在所述浅沟槽隔离结构内形成第二字线结构包括：

去除所述浅沟槽隔离结构内的部分所述绝缘材料，形成第一沟槽结构；

在所述第一沟槽结构内填充硅薄膜，对所述第一沟槽结构内的硅薄膜进行离子注入，形成所述第二字线结构。

10 8、根据权利要求 7 所述的半导体器件的制备方法，其中，去除所述浅沟槽隔离结构内的部分所述绝缘材料后，所述浅沟槽隔离结构内剩余的所述绝缘材料形成第二隔离层。

15 9、根据权利要求 7 所述的半导体器件的制备方法，其中，所述衬底材料为低掺杂的单晶硅材料，所述第一沟槽结构内填充的硅薄膜为多晶硅材料。

10、根据权利要求 7 所述的半导体器件的制备方法，其中，对所述第一隔离层包围的有源区进行离子注入和对所述第一沟槽结构内的硅薄膜进行离子注入时，控制离子注入参数，以使形成的所述第一字线结构和第二字线结构的电阻率的差值在一定阈值范围内。

20 11、根据权利要求 1 所述的半导体器件的制备方法，其中，在形成所述第二字线结构后，对所述第一字线结构和所述第二字线结构进行刻蚀，形成第二沟槽，沉积覆盖层于所述第二沟槽上。

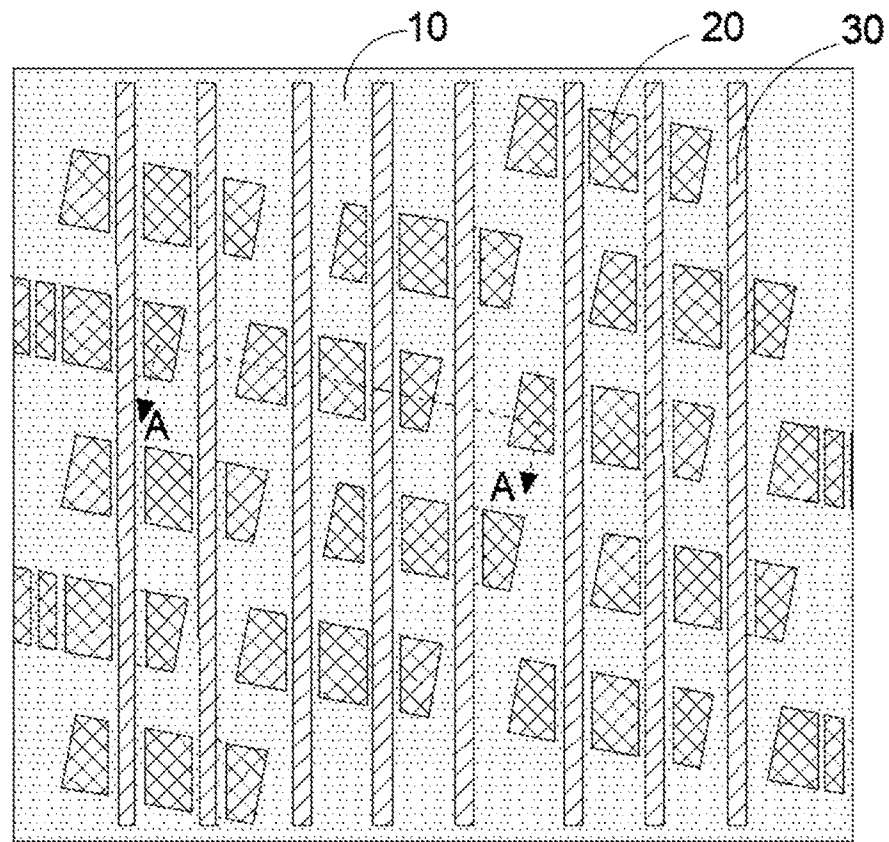


图 1

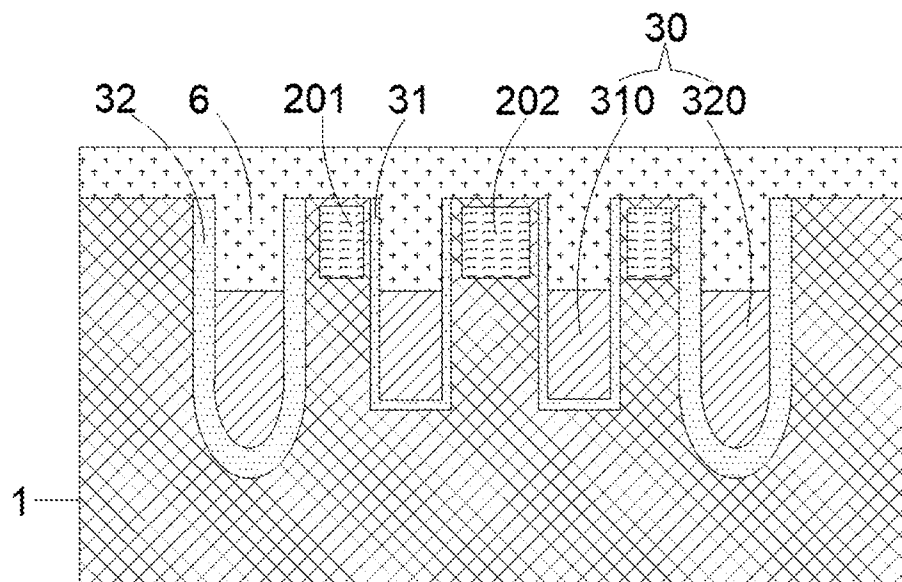


图 2

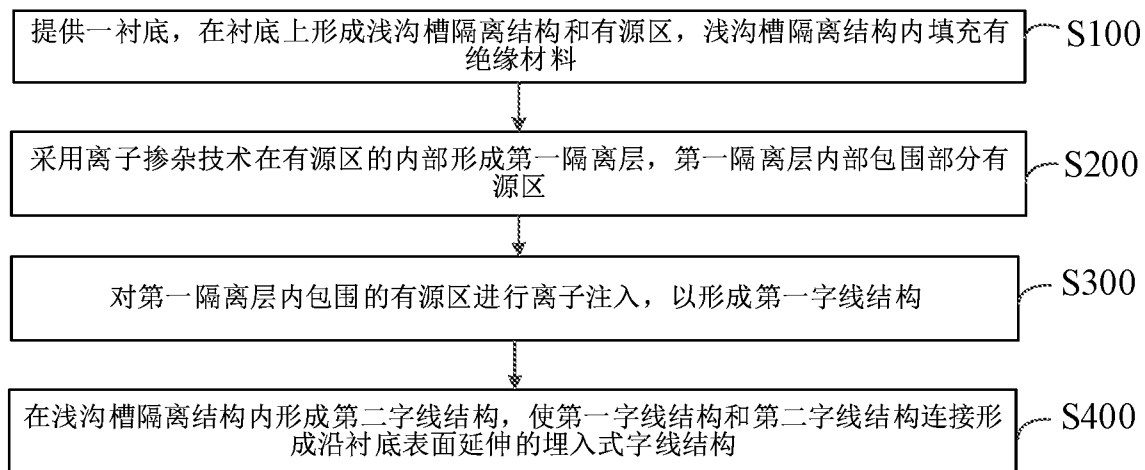


图 3

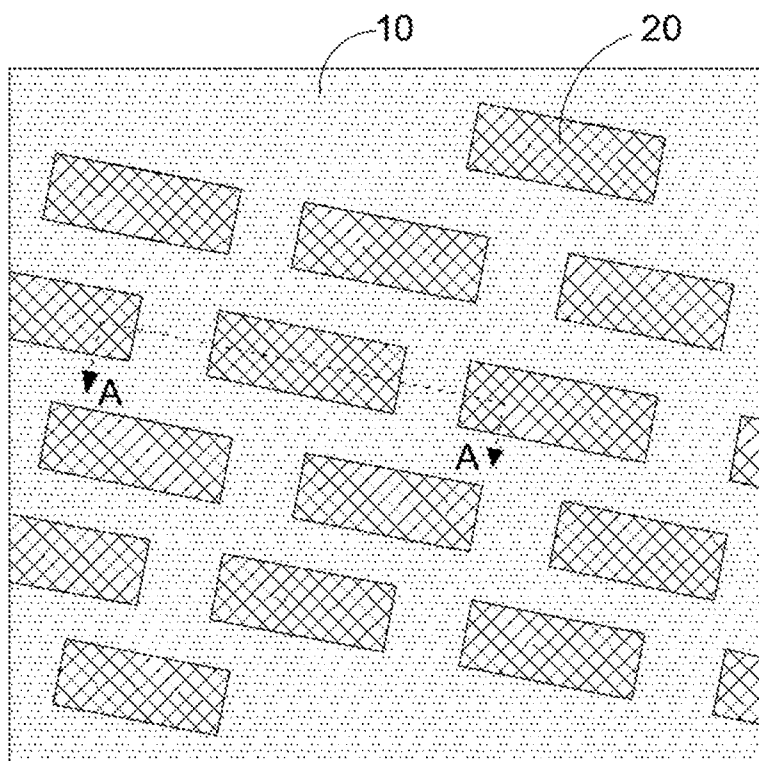


图 4

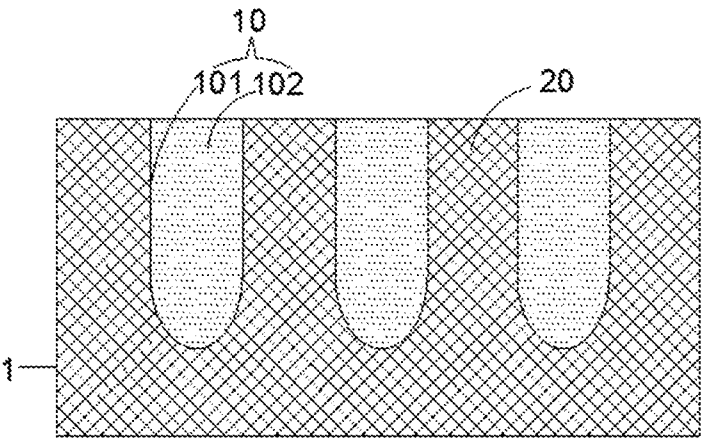


图 5

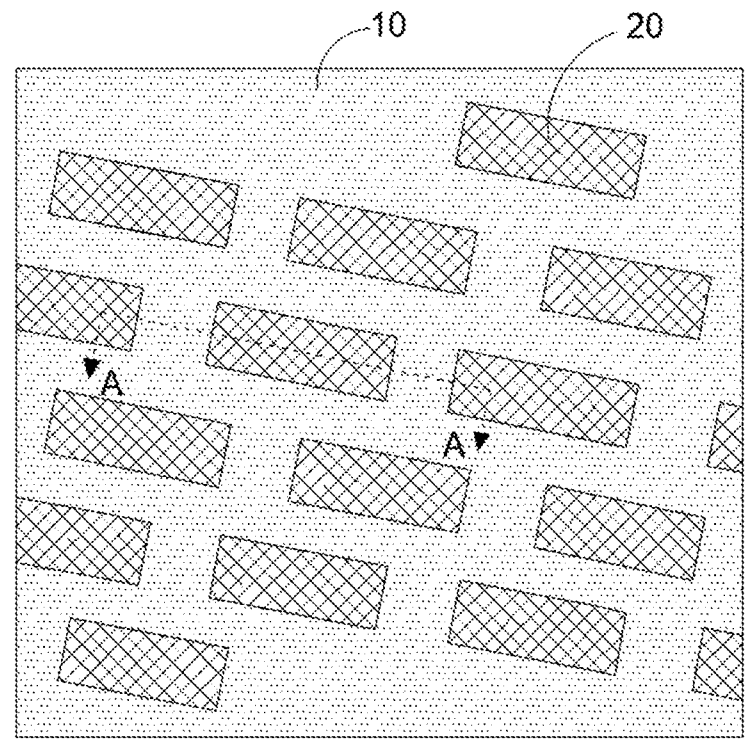


图 6

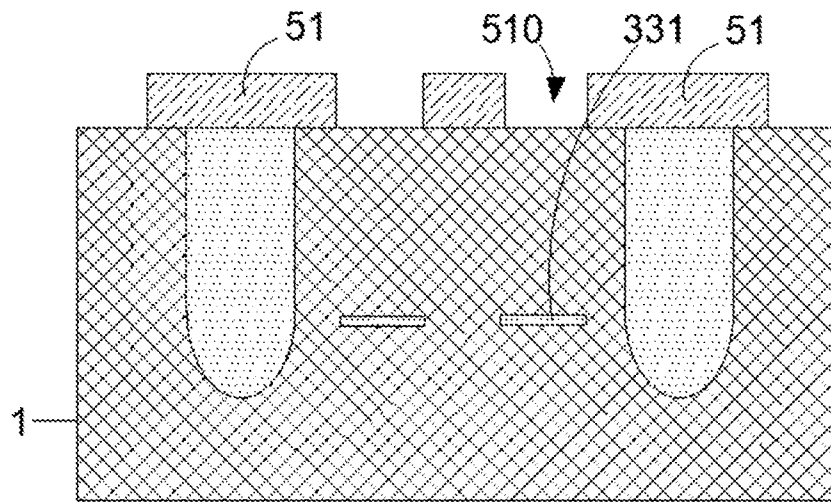


图 7

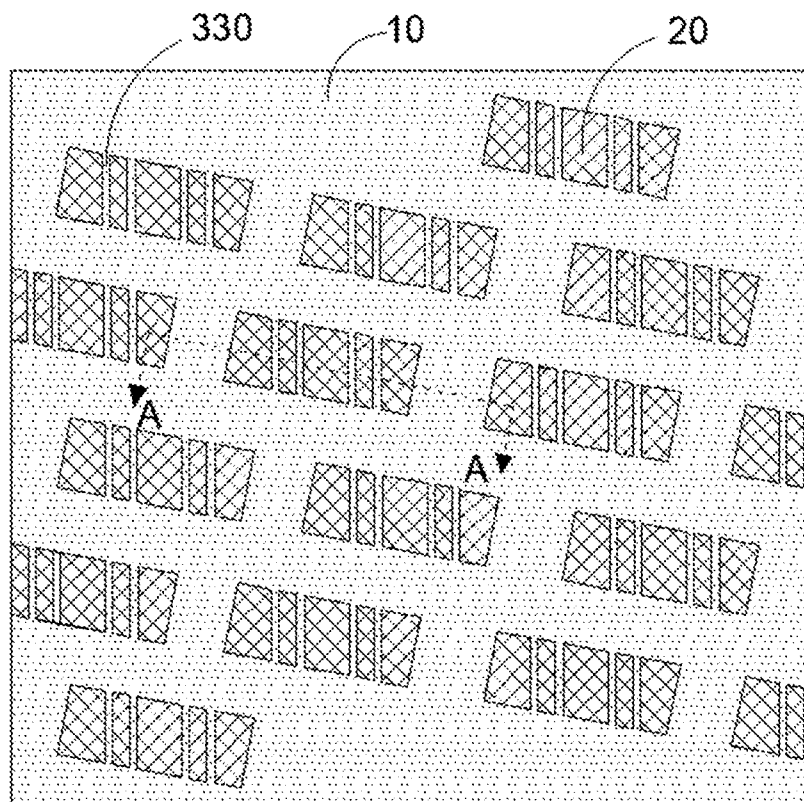


图 8

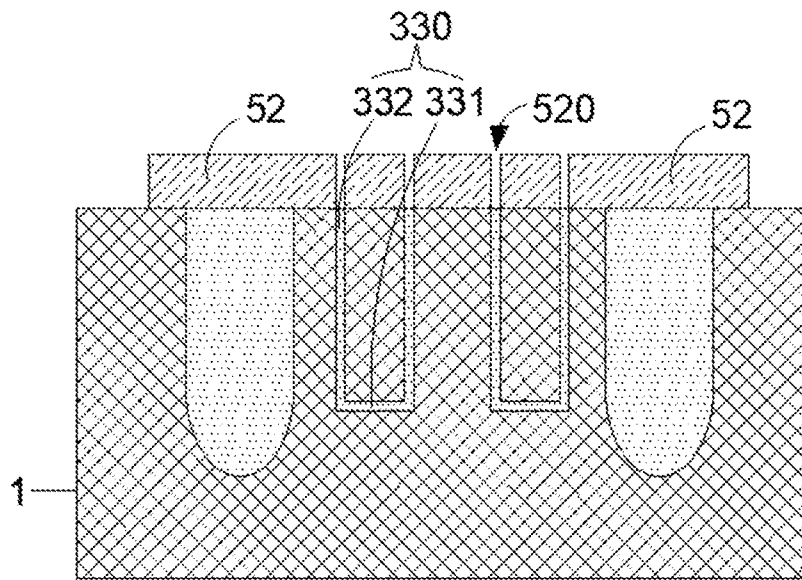


图 9

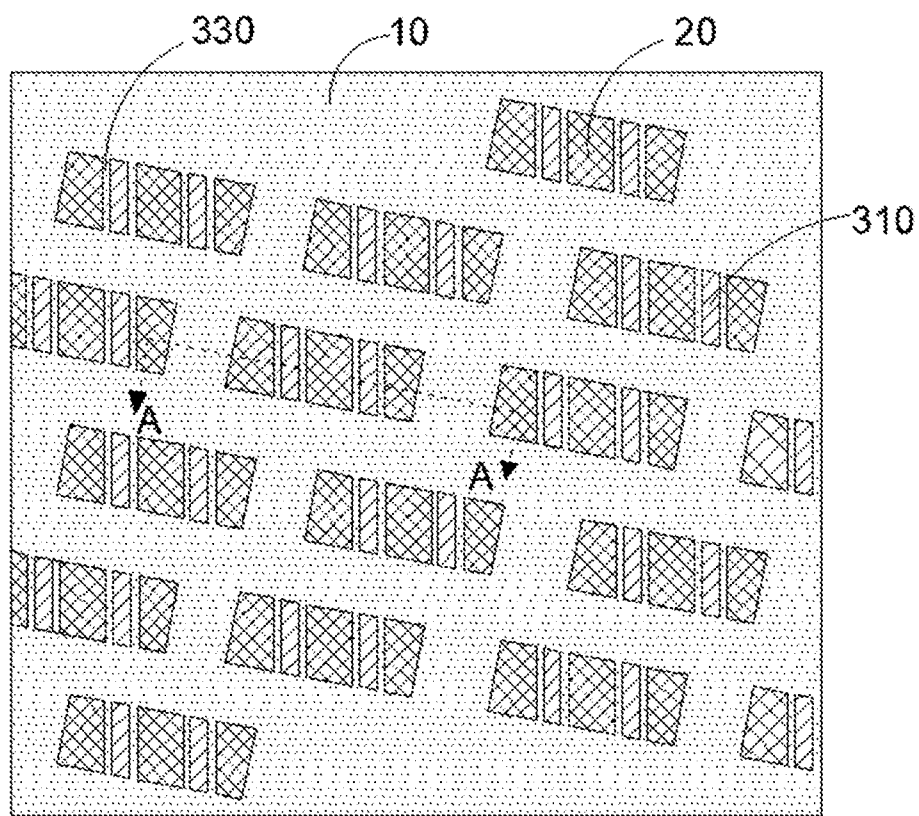


图 10

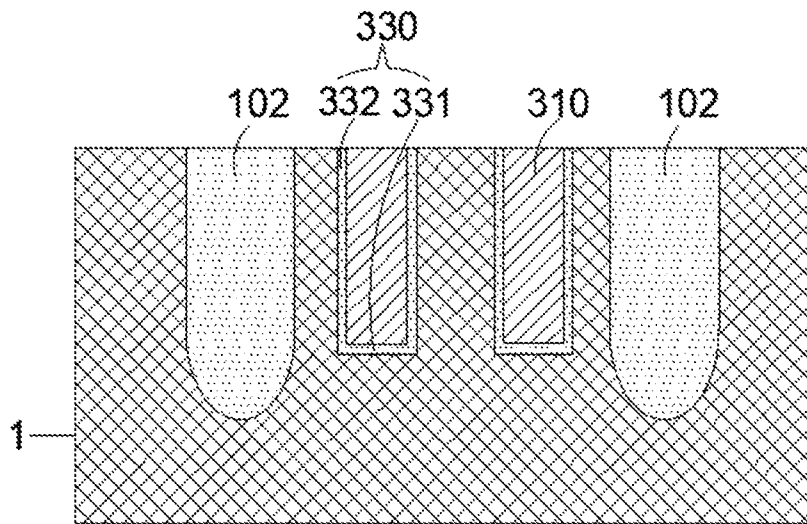


图 11

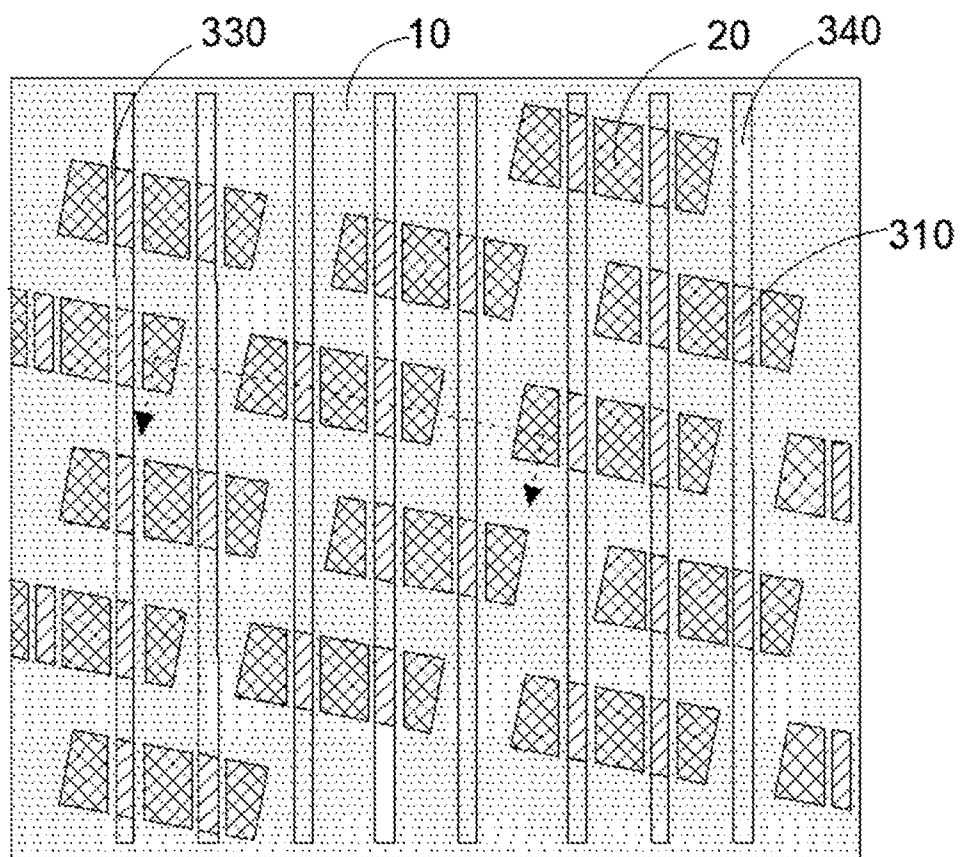


图 12

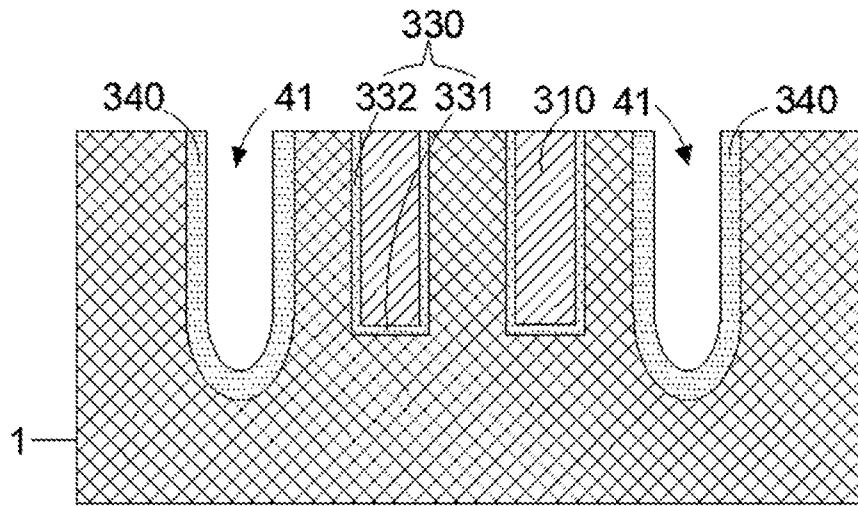


图 13

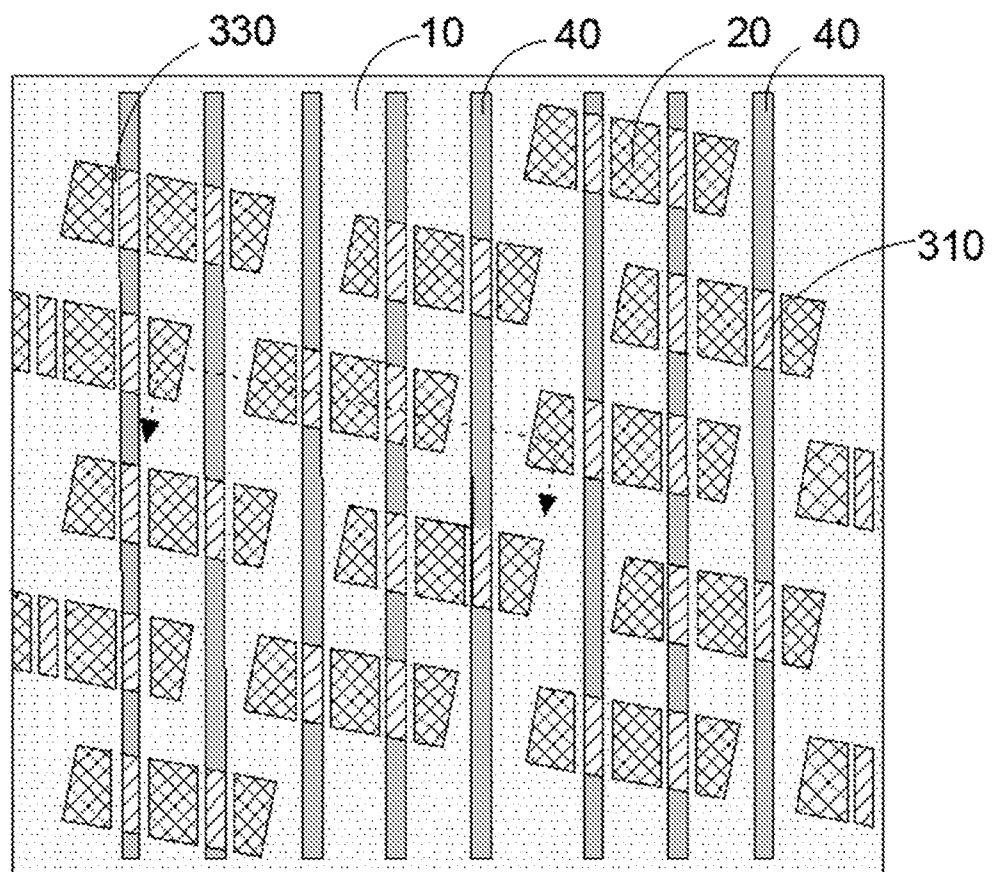


图 14

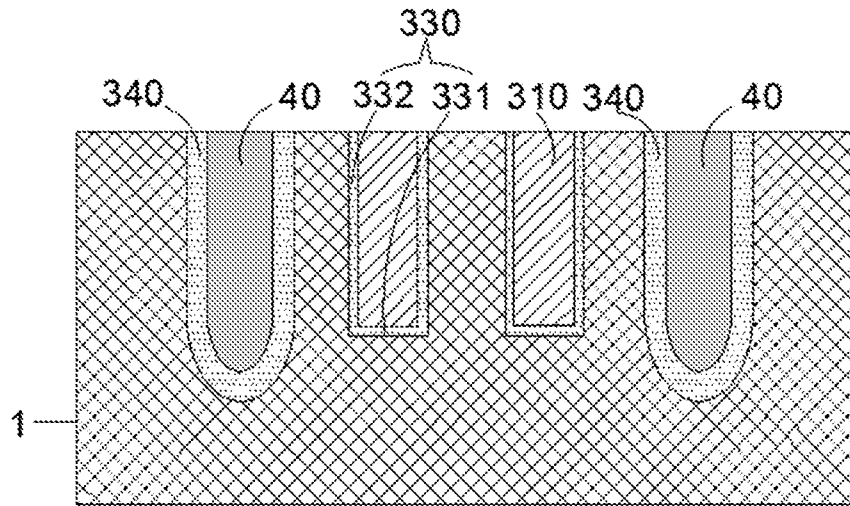


图 15

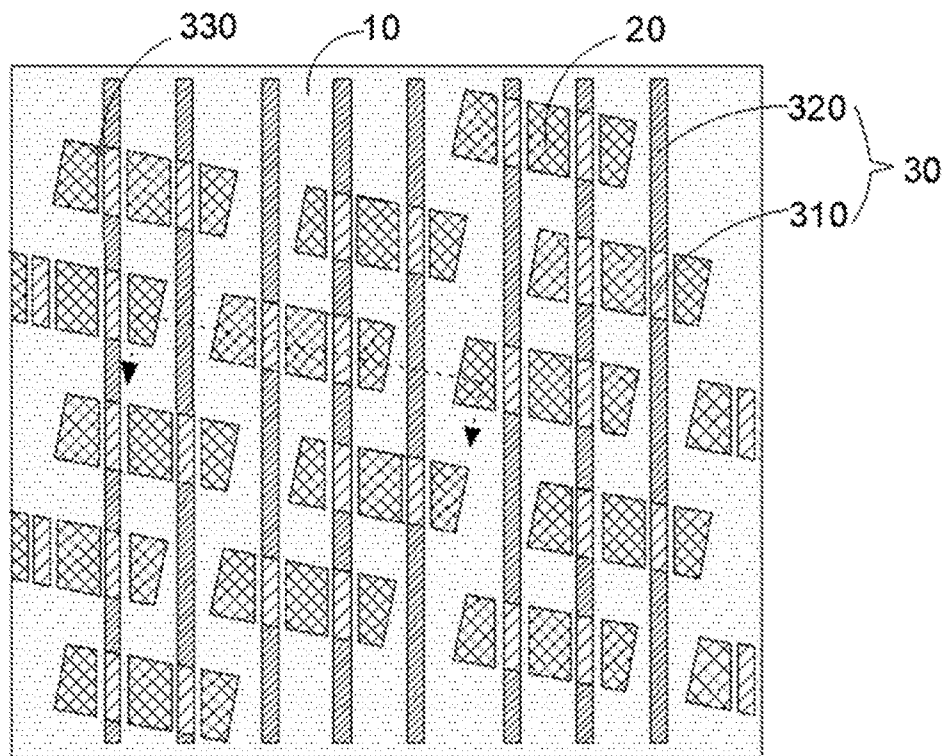


图 16

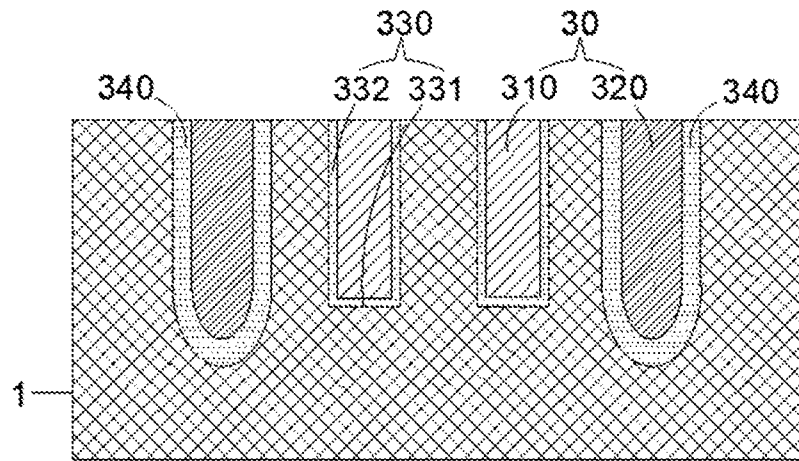


图 17

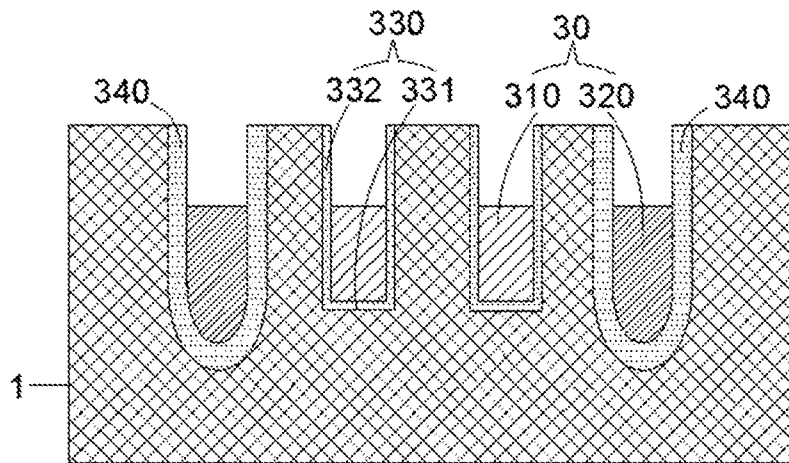


图 18

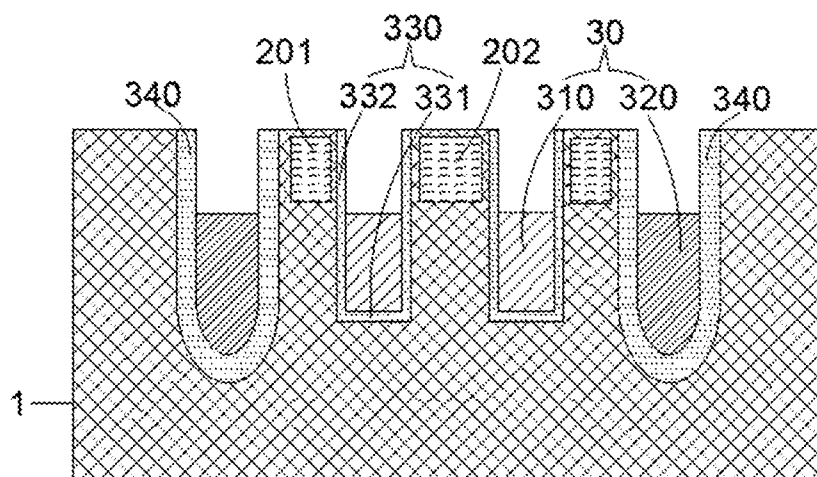


图 19

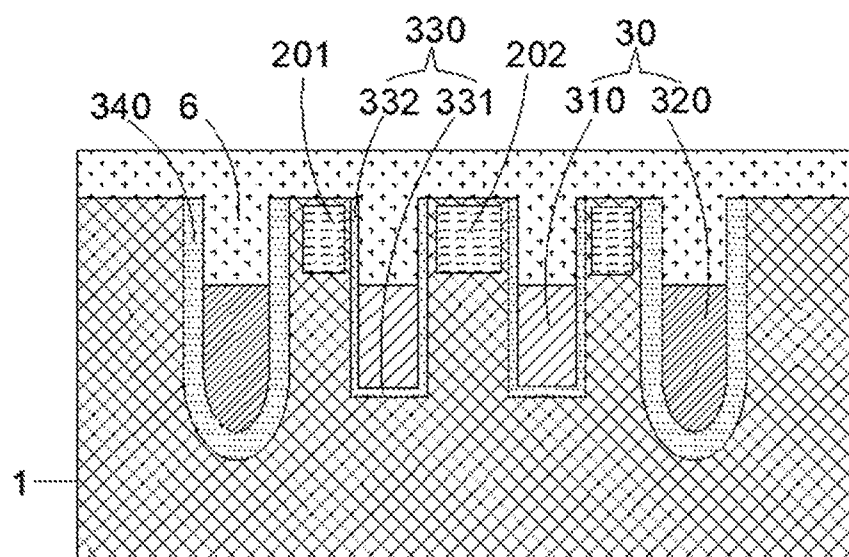


图 20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100706

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPTXT; USTXT; WOTXT; CNTXT: 动态随机, 存储器, 埋, 字线, 离子, 注入, 隔离层, 栅极绝缘层, 栅介质层, 栅绝缘层, 栅氧化层, 氧化硅, 有源区, 沟槽, 掺杂, 漏, DRAM, buried, word, line?, wordline?, ion?, implant+, oxygen, oxid+, gate, dielectric, insulat+, dioxide, mask, vertical+, sidewall?, anneal+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1255752 A (SIEMENS AG.) 07 June 2000 (2000-06-07) description, pages 2-5, figures 1-11	1-11
A	CN 110931486 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 March 2020 (2020-03-27) entire document	1-11
A	CN 110896075 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 March 2020 (2020-03-20) entire document	1-11
A	US 2007269957 A1 (CHA, Yong-Won et al.) 22 November 2007 (2007-11-22) entire document	1-11
A	US 2012211813 A1 (ELPIDA MEMORY, INC.) 23 August 2012 (2012-08-23) entire document	1-11
A	US 2011027988 A1 (HWANG, Sun-Hwan et al.) 03 February 2011 (2011-02-03) entire document	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 August 2021

Date of mailing of the international search report

23 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100706

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1255752	A	07 June 2000	JP	2000164833	A	16 June 2000
				EP	1003219	B1	28 December 2011
				KR	20000035579	A	26 June 2000
				TW	423152	B	21 February 2001
				EP	1003219	A3	20 June 2001
				EP	1003219	A2	24 May 2000
CN	110931486	A	27 March 2020	CN	208655651	U	26 March 2019
CN	110896075	A	20 March 2020	None			
US	2007269957	A1	22 November 2007	US	7781302	B2	24 August 2010
				KR	100763333	B1	04 October 2007
US	2012211813	A1	23 August 2012	US	9305926	B2	05 April 2016
				US	8987799	B2	24 March 2015
				US	8829583	B2	09 September 2014
				JP	2012174866	A	10 September 2012
				US	2015171089	A1	18 June 2015
				US	2014346595	A1	27 November 2014
US	2011027988	A1	03 February 2011	US	8309448	B2	13 November 2012
				KR	101094376	B1	15 December 2011
				KR	20110013032	A	09 February 2011

国际检索报告

国际申请号

PCT/CN2021/100706

A. 主题的分类 H01L 27/108(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) EPTXT;USTXT;WOTXT;CNTXT: 动态随机, 存储器, 埋, 字线, 离子, 注入, 隔离层, 栅极绝缘层, 栅介质层, 栅绝缘层, 栅氧化层, 氧化硅, 有源区, 沟槽, 掺杂, 漏, DRAM, buried, word, line?, wordline?, ion?, implant+, oxygen, oxid+, gate, dielectric, insulat+, dioxide, mask, vertical+, sidewall?, anneal+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 1255752 A (西门子公司) 2000年 6月 7日 (2000 - 06 - 07) 说明书第2-5页, 附图1-11</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 110931486 A (长鑫存储技术有限公司) 2020年 3月 27日 (2020 - 03 - 27) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 110896075 A (长鑫存储技术有限公司) 2020年 3月 20日 (2020 - 03 - 20) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 2007269957 A1 (CHA, Yong-Won 等) 2007年 11月 22日 (2007 - 11 - 22) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 2012211813 A1 (ELPIDA MEMORY, INC.) 2012年 8月 23日 (2012 - 08 - 23) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 2011027988 A1 (HWANG, Sun-Hwan 等) 2011年 2月 3日 (2011 - 02 - 03) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 1255752 A (西门子公司) 2000年 6月 7日 (2000 - 06 - 07) 说明书第2-5页, 附图1-11	1-11	A	CN 110931486 A (长鑫存储技术有限公司) 2020年 3月 27日 (2020 - 03 - 27) 全文	1-11	A	CN 110896075 A (长鑫存储技术有限公司) 2020年 3月 20日 (2020 - 03 - 20) 全文	1-11	A	US 2007269957 A1 (CHA, Yong-Won 等) 2007年 11月 22日 (2007 - 11 - 22) 全文	1-11	A	US 2012211813 A1 (ELPIDA MEMORY, INC.) 2012年 8月 23日 (2012 - 08 - 23) 全文	1-11	A	US 2011027988 A1 (HWANG, Sun-Hwan 等) 2011年 2月 3日 (2011 - 02 - 03) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 1255752 A (西门子公司) 2000年 6月 7日 (2000 - 06 - 07) 说明书第2-5页, 附图1-11	1-11																					
A	CN 110931486 A (长鑫存储技术有限公司) 2020年 3月 27日 (2020 - 03 - 27) 全文	1-11																					
A	CN 110896075 A (长鑫存储技术有限公司) 2020年 3月 20日 (2020 - 03 - 20) 全文	1-11																					
A	US 2007269957 A1 (CHA, Yong-Won 等) 2007年 11月 22日 (2007 - 11 - 22) 全文	1-11																					
A	US 2012211813 A1 (ELPIDA MEMORY, INC.) 2012年 8月 23日 (2012 - 08 - 23) 全文	1-11																					
A	US 2011027988 A1 (HWANG, Sun-Hwan 等) 2011年 2月 3日 (2011 - 02 - 03) 全文	1-11																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2021年 8月 2日		国际检索报告邮寄日期 2021年 9月 23日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 曹毓涵 电话号码 86-(10)-53961208																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100706

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1255752	A	2000年 6月 7日	JP	2000164833	A	2000年 6月 16日
				EP	1003219	B1	2011年 12月 28日
				KR	20000035579	A	2000年 6月 26日
				TW	423152	B	2001年 2月 21日
				EP	1003219	A3	2001年 6月 20日
				EP	1003219	A2	2000年 5月 24日
CN	110931486	A	2020年 3月 27日	CN	208655651	U	2019年 3月 26日
CN	110896075	A	2020年 3月 20日	无			
US	2007269957	A1	2007年 11月 22日	US	7781302	B2	2010年 8月 24日
				KR	100763333	B1	2007年 10月 4日
US	2012211813	A1	2012年 8月 23日	US	9305926	B2	2016年 4月 5日
				US	8987799	B2	2015年 3月 24日
				US	8829583	B2	2014年 9月 9日
				JP	2012174866	A	2012年 9月 10日
				US	2015171089	A1	2015年 6月 18日
				US	2014346595	A1	2014年 11月 27日
US	2011027988	A1	2011年 2月 3日	US	8309448	B2	2012年 11月 13日
				KR	101094376	B1	2011年 12月 15日
				KR	20110013032	A	2011年 2月 9日