

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4222808号
(P4222808)

(45) 発行日 平成21年2月12日 (2009. 2. 12)

(24) 登録日 平成20年11月28日 (2008. 11. 28)

(51) Int.Cl.

H04R 3/00 (2006.01)

F I

H04R 3/00 310

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2002-286839 (P2002-286839)	(73) 特許権者	000237592
(22) 出願日	平成14年9月30日 (2002. 9. 30)		富士通テン株式会社
(65) 公開番号	特開2004-128650 (P2004-128650A)		兵庫県神戸市兵庫区御所通 1 丁目 2 番 2 8 号
(43) 公開日	平成16年4月22日 (2004. 4. 22)	(74) 代理人	100077517
審査請求日	平成17年9月21日 (2005. 9. 21)		弁理士 石田 敬
		(74) 代理人	100092624
			弁理士 鶴田 準一
		(74) 代理人	100100871
			弁理士 土屋 繁
		(74) 代理人	100082898
			弁理士 西山 雅也
		(74) 代理人	100081330
			弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 DSP 装置

(57) 【特許請求の範囲】

【請求項 1】

処理すべきデータの入力側に配置される入力段 DSP と、
前記データの出力側に配置される出力段 DSP と、
前記入力段 DSP と前記出力段 DSP との間に介在する少なくとも一段の中間段 DSP と、
を有し、かつ、前記入力段 DSP と前記中間段 DSP と前記出力段 DSP とをこの順にカスケード接続してなり、ここに前記入力段 DSP、中間段 DSP および出力段 DSP の各々は、それぞれに固有の固有プログラムと、これらの DSP に共有される同一の共通プログラムとを格納すると共に、

前記固有プログラムは、前記入力段 DSP、中間段 DSP および出力段 DSP の各々における前段側 DSP からのデータの入力処理および後段側 DSP へのデータの出力処理を実行するためのプログラムであり、前記共通プログラムは、前記入力段 DSP、中間段 DSP および出力段 DSP の各々におけるデータの演算処理を実行するためのプログラムであって、さらに、

ROM を備えて、前記共通プログラムと全ての前記固有プログラムとを該 ROM から前記入力段 DSP、中間段 DSP および出力段 DSP に転送し、各該入力段 DSP、中間段 DSP および出力段 DSP は、前記共通プログラムと、それぞれに対応して選択された前記固有プログラムと、により駆動されることを特徴とする DSP 装置。

【請求項 2】

前記入力段 D S P、中間段 D S P および出力段 D S P はそれぞれに設定される識別情報に基づいて、これら D S P にそれぞれ対応する前記固有プログラムを自律的に選択する請求項 1 に記載の D S P 装置。

【請求項 3】

前記入力段 D S P、中間段 D S P および出力段 D S P が、前記演算処理をフィルタリング処理とする F I R 型デジタルフィルタを構成する請求項 1 に記載の D S P 装置。

【請求項 4】

請求項 1 ～ 3 のいずれか一項に記載の D S P 装置を備えるオーディオ装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は D S P (Digital Signal Processor) 装置、例えばオーディオ再生機器などに組み込まれるデジタルフィルタに応用して好適な D S P 装置に関する。

【0002】

【従来の技術】

以下、上記オーディオ再生機器に組み込まれたデジタルフィルタに適用した D S P 装置を具体例として説明する。

【0003】

従来、オーディオ再生機器を構成する重要機能部分の 1 つであるローパスフィルタやハイパスフィルタをデジタルフィルタによって実現する場合、その回路規模をできるだけ小さくするために、I I R (Infinite Impulse Response) 型のデジタルフィルタを採用する場合は殆どであった。

20

【0004】

ところが近年、半導体デバイスの高速化ならびに高集積化によって回路規模の小形化が容易になったことから、従前ならば回路規模が必然的に大きくなってしまいう理由で採用されなかった F I R (Finite Impulse Response) 型のデジタルフィルタがここに注目され始め、この F I R 型デジタルフィルタ (以下、F I R フィルタとも称す) を搭載したオーディオ再生機器が市場に出まわり始めている。下記の特許文献 1 もその 1 つである。

【0005】

30

しかし実際には、その F I R フィルタを D S P で実現するとき、せいぜい 1 チップの D S P で可能な範囲に止まっている。これは、コスト増やプログラム設計の複雑化を避けるべく、意図的に精度を落として F I R フィルタのタップ数を減らしているからである。つまり、このようにタップ数を減らし、1 チップの D S P で所要のフィルタ機能を得ている。

【0006】

【特許文献 1】

特開平 8-79879

【0007】

【発明が解決しようとする課題】

市場に出まわっている上記オーディオ再生機器について見ると、その機能は一層高度化し、最近はいわゆる「タイムドメイン理論」に基づくオーディオ再生機器も出現している。この理論のもとでは、周波数特性のみならず時間特性も重視しており、時間軸に忠実な再生が可能となる。

40

【0008】

このためには直線位相特性を実現する高精度な F I R フィルタが不可欠である。さらにかかる F I R フィルタの実現には、上述した 1 チップの D S P では不十分であり、複数チップの D S P がどうしても必要になる。

【0009】

通常、D S P により構成されるデジタルフィルタを動作させる場合、該 D S P 駆動用のプログラムを当該オーディオ再生機器内のマイコンから供給する。このマイコンはこれと

50

協働するROM (Read Only Memory) を備えており、このROM内に予め所要の各種プログラムを格納している。

【0010】

そうすると、1つのDSPを駆動するだけでも大きなROM容量を必要とするところ、さらに2以上あるいは3以上のDSPを駆動するとなると、相当大容量のROMを備えなければならない、という問題がある。

【0011】

したがって本発明は、上記問題点に鑑み、DSP駆動用のプログラムを最小限にし、上記ROM容量の圧縮を可能とするDSP装置を提供することを目的とするものである。

【0012】

10

【課題を解決するための手段】

図1は本発明に係るDSP装置の基本構成を示す図である。

【0013】

本図において、参照番号1はDSP装置を示し、少なくとも3つのブロック(2, 3, 4)からなる。すなわち、処理すべきデータの入力側(Din)に配置される入力段DSP2と、処理済みデータの出力側(Out)に配置される出力段DSP4と、入力段DSP2と出力段DSP4との間に介在する少なくとも一段の中間段DSP3である。そして、入力段DSP2と中間段DSP3と出力段DSP4とをこの順にカスケード接続して構成される。

【0014】

20

ここに入力段DSP2、中間段DSP3および出力段DSP4の各々は、それぞれに固有の固有プログラム(P1, P2, P3)と、これらのDSPに共有される同一の共通プログラムPcとを格納する。

【0015】

さらに詳しくは、上述の固有プログラム(P1, P2, P3)は、入力段DSP2、中間段DSP3および出力段DSP4の各々におけるデータの入力処理およびデータの出力処理を実行するためのプログラムであり、また上述の共通プログラムPcは、入力段DSP2、中間段DSP3および出力段DSP4の各々におけるデータの演算処理を実行するためのプログラムである。

【0016】

30

かかる構成のDSP装置1、好適にはFIRフィルタ、は複数の周波数帯域毎にFIRフィルタを設けることとした上記特許文献1のオーディオ信号処理装置とは根本的に異なる。

【0017】

図1に示すDSP装置1は、マイコン5をさらに備えて、これに協働するROM6内の共通プログラムPcと全ての固有プログラム(P1, P2, P3)とを該マイコン5から入力段DSP2、中間段DSP3および出力段DSP4に転送し、入力段DSP2、中間段DSP3および出力段DSP4の各々は、共通プログラムPcと、それぞれに対応して選択された固有プログラム(P1, P2, P3)と、により駆動される。

【0018】

40

さらに具体的には、入力段DSP2、中間段DSP3および出力段DSP4はそれぞれI/O部(7, 8, 9)を具備し、外部からこれらのI/O部に対して設定される識別情報Idに基づいて、これらDSPにそれぞれ対応する固有プログラム(P1, P2, P3)を自律的に選択する。

【0019】

この場合、これらのI/O部に対して外部のハードウェア(後述)を介して印加される電圧レベルに応じて上記の識別情報Idを設定することができ、あるいは、これらのI/O部に対してマイコン5からソフトウェア(後述)によりその識別情報を設定することもできる。

【0020】

50

そして好ましくは、入力段DSP2、中間段DSP3および出力段DSP4はそれぞれ、上述した設定識別情報Idを保持するための識別レジスタ（後述）を自内に備える。

【0021】

本発明による好適例としてのDSP装置1は、入力段DSP2、中間段DSP3および出力段DSP4が、前述の演算処理としてフィルタリング処理を行うFIRフィルタ（FIR型デジタルフィルタ）を構成する。以下、このFIRフィルタについて詳細に説明する。

【0022】

【発明の実施の形態】

図2は本発明を適用し得るオーディオ再生機器の概要を示す図である。

10

【0023】

本図の例は、CDプレーヤ（CDP）からの出力をアンプ（AMP）にて増幅し、スピーカ（SP）に出力する構成を示している。

【0024】

この中のアンプ（AMP）をもう少し具体的に表すと、PRE段とPOWER段とからなる。このうち本発明はPRE段に適用される。このPRE段の中にはFIRフィルタがある。

【0025】

図3は図2中のPRE段内におけるFIRフィルタユニットを示す図である。なお、全図を通じて同様の構成要素には同一の参照番号または記号を付して示す。

20

【0026】

図3において、参照番号10はFIRフィルタユニットを示し、その〔入力〕側は図2のCDP側に相当し、その〔出力〕側は図2のPOWER段側に相当する。また、図1において既に説明した構成要素は、DSP装置1と、マイコン5と、例えばフラッシュメモリからなるROM6である。このDSP装置1の入力側にはアナログ／デジタル変換器（A/D）11が、その出力側にはデジタル／アナログ変換器（D/A）12が設けられている。これらの変換器11および12とDIR（Digital Interface Receiver）とを含めてコーデック13を構成する。このDIRは、内蔵DIT（Digital Interface Transmitter）と連係する。

【0027】

30

さてここで本発明の主要部に入る。この本発明の主要部は、図3に示すFIRフィルタ（DSP装置1）にある。

【0028】

図4は図3におけるDSP装置1（FIRフィルタ）をさらに詳しく示すブロック図である。

【0029】

本図において、参照番号21はFIRフィルタを示し、入力段DSP22と、少なくとも一段の中間段DSP23と、出力段DSP24とからなる。これらのDSPはそれぞれ図1に示すDSP2、3および4に相当する。そしてこれらのDSP22、23および24を駆動するためのプログラムについて見てみると、次のようになっている。

40

【0030】

図5は図4の各DSPを駆動するために用いる各種のプログラムを示す図である。

【0031】

本図において、FIRフィルタ21をなす3つのDSP22、23および24が必要とするプログラムは（a）～（g）である。

【0032】

（a）は、入力段DSP22が入力データDinの処理（入力処理）のために用いる固有プログラム（P1）である。

【0033】

（b）は、出力段DSP24が入力データの処理（入力処理）のために用いる固有プログ

50

ラム（P 3）である。

【0034】

（c）は、中間段DSP 2 3が入力データの処理（入力処理）のために用いる固有プログラム（P 2）である。

【0035】

（d）は、いずれのDSPも共通に用いる入力データの演算処理のための共通プログラム（P c）である。

【0036】

（e）は、入力段DSP 2 2が出力データの処理（出力処理）のために用いる固有プログラム（P 1）である。

10

【0037】

（f）は、出力段DSP 2 4が出力データD o u tの処理（出力処理）のために用いる固有プログラム（P 3）である。

【0038】

（g）は、中間段DSP 2 3が出力データの処理（出力処理）のために用いる固有プログラム（P 2）である。

【0039】

以上をまとめると、「各DSPと所要プログラムの関係」は下記のとおりになる。

【0040】

DSP 2 2…（a）+（d）+（e）

20

DSP 2 4…（b）+（d）+（f）

DSP 2 3…（c）+（d）+（g）

上記のプログラムのうち共通プログラム（d）（前述のP cと同じ）に着目してみる。この共通プログラム（d）は、FIRフィルタ2 1における演算処理すなわちフィルタリング処理を担うプログラムである。ここで図6を参照する。

【0041】

図6は一般的なFIRフィルタの典型構成例を示す図である。

【0042】

本図の構成から理解されるように、このFIRフィルタの中ではたたみ込み積和演算処理が行われる。この演算処理にはかなりのプログラム量を要する上、DSPの個数分だけ必要となる。なお、 Z^{-1} は単位遅延、 K_1 、 $K_2 \cdots K_n$ はフィルタ係数、ACCはアキュムレータである。

30

【0043】

そうすると、上記の「各DSPと所要プログラムの関係」に示す全プログラム量は膨大なものとなる。したがってこれを格納するROM 6の容量も相当大きくなり、これを圧縮することが重要になる。これが前述した本発明の課題である。

【0044】

そこでROM 6に格納すべきDSP駆動用のプログラムを次のようにレイアウトする。

【0045】

図7はROM 6上に展開されるDSP駆動用の各種プログラムのレイアウトを示す図である。

40

【0046】

本図のように構成された一群のプログラムを、図3のマイコン5から全てのDSP 2 2、2 3および2 4に転送し、それぞれに格納する。そして各DSPを起動するに際しては、その一群のプログラムの中から

DSP 2 2はプログラム（a）と（d）と（e）を選択し、

DSP 2 4はプログラム（b）と（d）と（f）を選択し、

DSP 2 3はプログラム（c）と（d）と（g）を選択して

自らを駆動する。この場合、上記の選択を各DSP（2 2、2 3、2 4）が自律的に行うことが望ましい。そのための構成例を以下に説明する。

50

【0047】

図8は各DSPとマイコンとの間の通信接続構成を示す図（その1）であり、図9は同図（その2）である。なおデータの転送ラインについては記載を省略している。

【0048】

まず図8を参照すると、マイコン5から転送される一群のプログラム（図7）は、DSP22, 23および24内のメモリ（MEM）32, 33および34に格納される。

【0049】

DSP22, 23および24内のCPU42, 43および44は、それぞれのメモリ（MEM）に格納された一群のプログラムの中から、それぞれに対応するプログラム、例えばDSP22ならば前述したように（a）と（d）と（e）、を選択し、処理を開始する。このときいずれのプログラムを選択すべきかは、I/O部（I/Oポート）7, 8および9においてそれぞれ設定された識別情報Id2, Id3およびId4によって決定する。本図では、例えば5VのV_{DD}とグラウンドの電圧レベルにて決定する。すなわち、外部のハードウェアにより決定する。なおRはプルアップ抵抗である。本図の例によれば、

Id2 = (1, 0)

Id3 = (0, 0)

Id4 = (0, 1)

となる。DSP22, 23および24は、それぞれ、(1, 0)であるからプログラム（a）+（d）+（e）を、(0, 0)であるからプログラム（c）+（d）+（g）を、(0, 1)であるからプログラム（b）+（d）+（f）を、自律的に選択する。

【0050】

この場合、CPU42, 43および44による識別情報（Id2, Id3, Id4）の読み取りを容易にするため、それぞれに識別レジスタ（REG）52, 53および54を設け、ここにそれぞれの識別情報を保持するのが好ましい。

【0051】

一方図9を参照すると、この構成例では、マイコン5からソフトウェアにより、I/O部（I/Oポート）7, 8および9を介し、それぞれの識別情報Id2, Id3およびId4を設定する。具体的な動作については、以下に説明する。

【0052】

図10は図8の構成における動作例を表すフローチャート（その1）であり、図11は同フローチャート（その2）である。また図12は図9の構成における動作例を表すフローチャート（その1）であり、図13は同フローチャート（その2）である。

【0053】

まず図10を参照すると、各ステップは次のとおりである。

【0054】

ステップS11：マイコン5から、プログラム（図7）を転送する。

【0055】

ステップS12：DSP22はその転送されたプログラムを受信する。

【0056】

ステップS13：上記のプログラムが正常に受信されたならば、図11のステップS14に進む。

【0057】

ステップS14：マイコン5は所要のフィルタ係数をDSP22に転送する。このフィルタ係数は、例えば図3を参照すると、同図の左下に示すフィルタ制御情報としてマイコン5に与えられる。例えばユーザ設定によりカットオフ周波数が変更されたような場合には、それに応じてフィルタ係数を変更する。

【0058】

ステップS15：DSP22は上記のフィルタ係数をマイコン5から受信すると、その受信のOK/NGをマイコン5に返す。

【0059】

ステップS16：受信がOKであれば、マイコン5は処理を終了し、受信がNGであればステップS14の処理を再実行する。

【0060】

ステップS17：ステップS15でフィルタ係数を正常に受信したDSP22は、DSP22のI/O部（I/Oポート）7において、設定された識別情報Id2を確認する。

【0061】

ステップS18：さらにその識別情報を自内の識別レジスタ（REG）52に保持する。

【0062】

このあとDSP22は、自己に対応するプログラム（a）+（d）+（e）に従って、本来のフィルタリング処理の開始に備える。

10

【0063】

一方、上記のステップS16のOKにて終了したマイコン5は、次のDSP23に対して、上記と全く同様のステップ（S11～S18）を繰り返し、これが終了すると、最後にDSP24に対して上記と全く同様のステップを繰り返す。

【0064】

以上により、DSP22、DSP23およびDSP24がそれぞれの動作を開始可能となると、FIRフィルタ21としての本来のフィルタリング処理が始まる。

【0065】

次に図12と図13を参照すると、前述した図10および図11での動作と同様の動作が行われる。ただし図12と図13は、図9に示すソフトウェアに基づく識別情報の設定が行われることから、

20

ステップS21：I/Oポートの設定内容すなわちDSP22に対して指定すべき識別情報Id2を、マイコン5から送信する。

【0066】

ステップS22：DSP22がI/O部7においてその識別情報を正常に受信したか（OK）、否か（NG）をマイコン5に返す。

【0067】

ステップS23：受信OKをマイコン5が確認するとステップS24に移り、NGであればステップS21の処理を再実行する。

30

【0068】

ステップS24：DSP22に対する識別情報Id2の設定が完了する。

【0069】

その後、図10および図11のステップS11～S18と同様の一連のステップが実行される。さらに、DSP23とDSP24に対して順次繰り返される。

【0070】

【発明の効果】

以上説明したように本発明によれば、3チップ以上のDSPによりFIRフィルタを実現する場合に、格納すべきプログラムのメモリ容量を大幅に圧縮することができる。

【図面の簡単な説明】

40

【図1】本発明に係るDSP装置の基本構成を示す図である。

【図2】本発明を適用し得るオーディオ再生機器の概要を示す図である。

【図3】図2中のPRE段内におけるFIRフィルタユニットを示す図である。

【図4】図3におけるDSP装置1（FIRフィルタ）をさらに詳しく示すブロック図である。

【図5】図4の各DSPを駆動するために用いる各種のプログラムを示す図である。

【図6】一般的なFIRフィルタの典型構成例を示す図である。

【図7】ROM6上に展開されるDSP駆動用の各種プログラムのレイアウトを示す図である。

【図8】各DSPとマイコンとの間の通信接続構成を示す図（その1）である。

50

【図 9】 各 D S P とマイコンとの間の通信接続構成を示す図（その 2）である。

【図 10】 図 8 の構成における動作例を表すフローチャート（その 1）である。

【図 11】 図 8 の構成における動作例を表すフローチャート（その 2）である。

【図 12】 図 9 の構成における動作例を表すフローチャート（その 1）である。

【図 13】 図 9 の構成における動作例を表すフローチャート（その 2）である。

【符号の説明】

1 … D S P 装置

2 … 入力段 D S P

3 … 中間段 D S P

4 … 出力段 D S P

5 … マイコン

6 … R O M

7, 8, 9 … I / O 部

10 … F I R フィルタユニット

13 … コーデック

21 … F I R フィルタ

22 … 入力段 D S P

23 … 中間段 D S P

24 … 出力段 D S P

32 … 掛算器

34 … 加算器

52, 53, 54 … 識別レジスタ

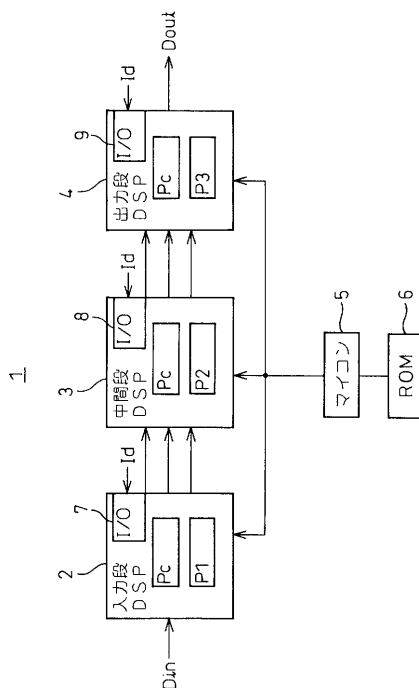
10

20

【図 1】

図 1

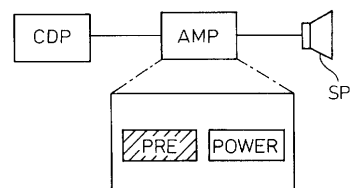
本発明に係る D S P 装置の基本構成を示す図



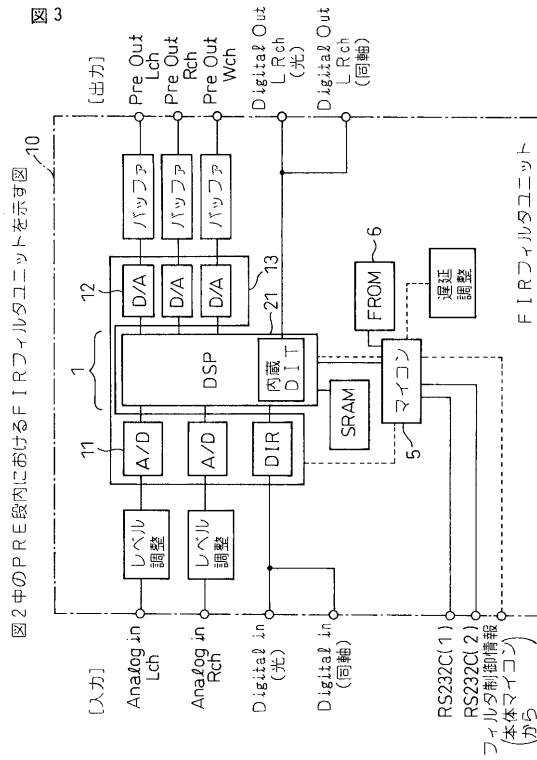
【図 2】

図 2

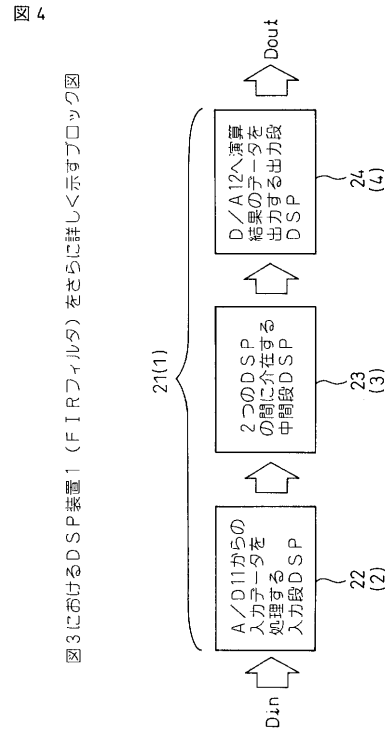
本発明を適用し得るオーディオ再生機器の概要を示す図



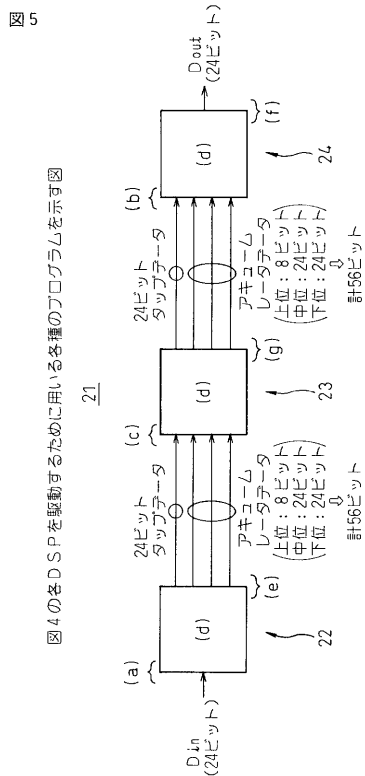
【図 3】



【図 4】

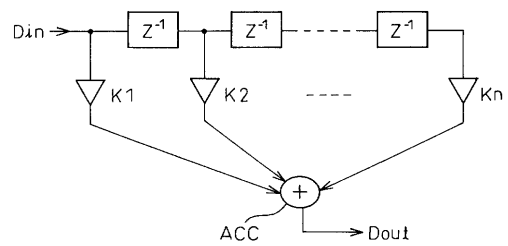


【図 5】



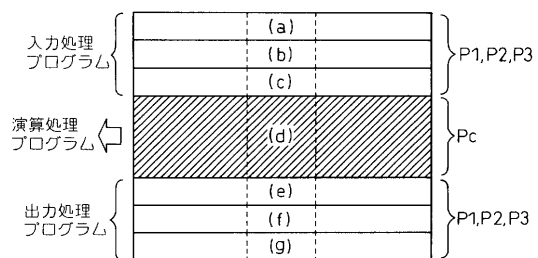
【図 6】

図 6 一般的な FIR フィルタの典型構成例を示す図



【図 7】

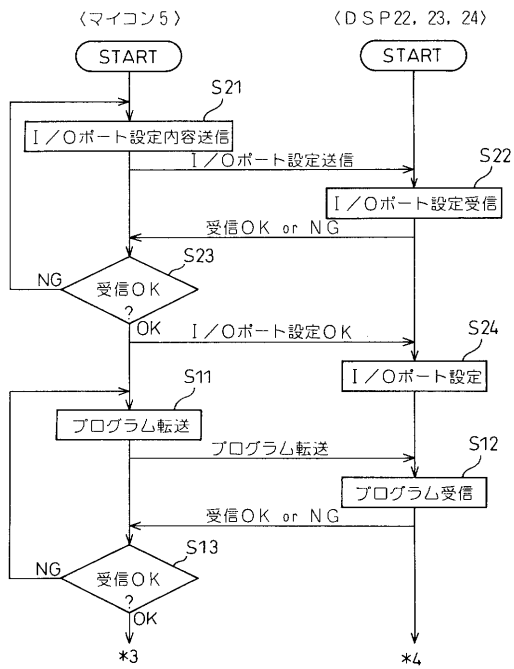
図 7 ROM 6 上に展開される DSP 駆動用の各種プログラムのレイアウトを示す図



【図 12】

図12

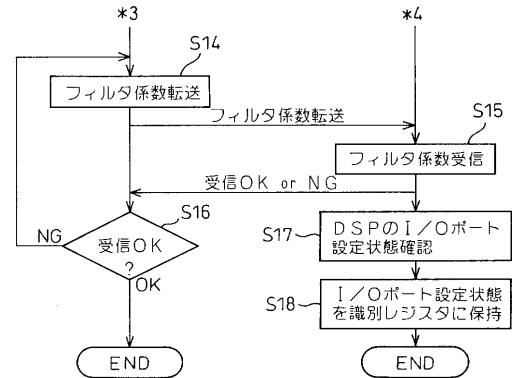
図9の構成における動作例を表すフローチャート（その1）



【図 13】

図13

図9の構成における動作例を表すフローチャート（その2）



フロントページの続き

(72)発明者 中石 信一

兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

審査官 新川 圭二

(56)参考文献 特開平04-037212 (JP, A)

特開2001-043207 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04R 3/00

G06F 17/10

H03H 17/06