

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 2 部門第 4 区分  
 【発行日】平成 19 年 3 月 15 日 (2007.3.15)

【公開番号】特開 2003-54091 (P2003-54091A)  
 【公開日】平成 15 年 2 月 26 日 (2003.2.26)  
 【出願番号】特願 2002-147668 (P2002-147668)  
 【国際特許分類】

**B 4 1 J 29/38 (2006.01)**

【 F I 】

B 4 1 J 29/38 Z  
 B 4 1 J 29/38 D

【手続補正書】

【提出日】平成 19 年 1 月 29 日 (2007.1.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 低消費電力で待機する S T O P モードを含む複数の動作モードを有する C P U と、

外部からの入力に応じて、前記 C P U に対して信号を出力するインターフェース制御部と、

第 1 のクロック信号を出力するクロック生成部と、

前記第 1 のクロック信号を入力して前記 C P U に対して所定の変調がなされた第 2 のクロック信号を出力する第 2 クロック生成部と、

前記第 1 のクロック信号及び前記第 2 のクロック信号を入力して、前記 C P U の動作モードに係らず前記インターフェース制御部に対して第 1 のクロック信号を出力するクロック制御部とを備え、

前記クロック制御部は、前記 C P U が S T O P モードから他の動作モードへ移行するとき、所定時間ウエイトした後、前記 C P U に対して前記第 2 のクロック信号の出力を開始することを特徴とする記録装置。

【請求項 2】 前記クロック制御部は、クロック信号の出力を制御する出力制御レジスタを有し、前記 C P U が前記 S T O P モードから他のモードへ移行する場合、前記出力制御レジスタの初期化を行い少なくとも C P U への前記クロック信号の出力を許可する値を設定することを特徴とする請求項 1 に記載の記録装置。

【請求項 3】 前記インターフェース制御部がホストコンピュータとの通信を所定の期間行わない場合、前記 C P U は前記 S T O P モードへ移行することを特徴とする請求項 1 に記載の記録装置。

【請求項 4】 前記記録装置は、ホストコンピュータから前記インターフェース制御部に電力供給を行うインターフェースを接続可能とし、前記インターフェース制御部への電力供給が所定の期間なされない場合、前記 C P U は前記 S T O P モードへ移行することを特徴とする請求項 1 に記載の記録装置。

【請求項 5】 前記インターフェース制御部は U S B インターフェースを制御することを特徴とする請求項 1 から 4 に記載の記録装置。

【請求項 6】 ホストコンピュータと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードとを有する C P U とを備える記録装置であ

って、

クロック信号を出力する発振器と、

前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターと、

前記クロック信号と前記所定の変調がなされたクロック信号とを入力し、前記ＣＰＵの動作モードに係らず前記インターフェース制御部に対して前記クロック信号を出力し、前記ＣＰＵに対して前記所定の変調がなされたクロック信号の出力を行うクロック制御部とを有し、

前記クロック制御部は、前記ＣＰＵが前記通常モードから前記低消費電力モードへ移行する場合、前記ＣＰＵに対して前記所定の変調がなされたクロック信号の出力を停止し、前記ホストコンピュータから前記インターフェース制御部へ信号が入力した場合、前記ＣＰＵが前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号の出力を所定時間ウェイトしてから行うことを特徴とする記録装置。

【請求項 7】 前記ＣＰＵが前記低消費電力モードから前記通常モードへ移行する際、前記クロック制御部は前記ＣＰＵからの指示に基づいて前記複数の回路ブロックに対して前記クロック信号もしくは前記所定の変調がなされたクロック信号の供給をおこなうことを特徴とする請求項 6 に記載の記録装置。

【請求項 8】 前記クロック制御部は、クロック信号の出力を制御する出力制御レジスタを有し、前記ＣＰＵにリセット信号が入力され前記低消費電力モードが解除された場合、前記出力制御レジスタの初期化を行い少なくとも前記ＣＰＵに対する前記所定の変調がなされたクロック信号の出力を許可する値を設定することを特徴とする請求項 6 に記載の記録装置。

【請求項 9】 前記インターフェース制御部が前記ホストコンピュータとの通信を所定期間おこなわない場合、前記ＣＰＵは前記通常モードから前記低消費電力モードへ移行することを特徴とする請求項 6 に記載の記録装置。

【請求項 10】 前記記録装置は、前記ホストコンピュータから前記インターフェース制御部に電力供給を行うインターフェースを接続可能とし、前記インターフェース制御部に前記電力供給が行われない場合、前記ＣＰＵは前記通常モードから前記低消費電力モードへ移行することを特徴とする請求項 6 に記載の記録装置。

【請求項 11】 前記インターフェース制御部はＵＳＢインターフェースを制御することを特徴とする請求項 6 に記載の記録装置。

【請求項 12】 ホストコンピュータと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードを有するＣＰＵと、クロック信号を出力する発振器と、前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターとを有する記録装置の制御方法であって、

クロック制御部により、前記インターフェース制御部に対して前記ＣＰＵの動作モードにかかわらず前記クロック信号の出力と、前記ＣＰＵに対する前記所定の変調がなされたクロック信号の出力を行う出力工程と、

前記ＣＰＵが前記通常モードから前記低消費電力モードへ移行する場合、前記ＣＰＵにする前記所定の変調がなされたクロック信号の出力を停止する停止工程と、

前記ホストコンピュータから前記インターフェース制御部へ信号が入力した場合、前記ＣＰＵが前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号を出力する前に、所定時間ウェイトするウェイト工程と、

を有することを特徴とする記録装置の制御方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

## 【 0 0 0 9 】

## 【課題を解決するための手段】

上記課題を解決するために、本発明の記録装置は、低消費電力で待機する S T O P モードを含む複数の動作モードを有する C P U と、外部からの入力に応じて、前記 C P U に対して信号を出力するインターフェース制御部と、第 1 のクロック信号を出力するクロック生成部と、前記第 1 のクロック信号を入力して前記 C P U に対して所定の変調がなされた第 2 のクロック信号を出力する第 2 クロック生成部と、前記第 1 のクロック信号及び前記第 2 のクロック信号を入力して、前記 C P U の動作モードに係らず前記インターフェース制御部に対して第 1 のクロック信号を出力するクロック制御部とを備え、前記クロック制御部は、前記 C P U が S T O P モードから他の動作モードへ移行するとき、所定時間ウェイトした後、前記 C P U に対して前記第 2 のクロック信号の出力を開始することを特徴とする。本発明の別の記録装置は、ホストコンピュータと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードとを有する C P U とを備える記録装置であって、クロック信号を出力する発振器と、前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターと、前記クロック信号と前記所定の変調がなされたクロック信号とを入力し、前記 C P U の動作モードに係らず前記インターフェース制御部に対して前記クロック信号を出力し、前記 C P U に対して前記所定の変調がなされたクロック信号の出力を行うクロック制御部とを有し、前記クロック制御部は、前記 C P U が前記通常モードから前記低消費電力モードへ移行する場合、前記 C P U に対して前記所定の変調がなされたクロック信号の出力を停止し、前記ホストコンピュータから前記インターフェース制御部へ信号が入力した場合、前記 C P U が前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号の出力を所定時間ウェイトしてから行うことを特徴とする。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 0

【補正方法】変更

【補正の内容】

## 【 0 0 1 0 】

本発明の記録装置の制御方法は、ホストコンピュータと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードを有する C P U と、クロック信号を出力する発振器と、前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターとを有する記録装置の制御方法であって、クロック制御部により、前記インターフェース制御部に対して前記 C P U の動作モードにかかわらず前記クロック信号の出力と、前記 C P U に対する前記所定の変調がなされたクロック信号の出力を行う出力工程と、前記 C P U が前記通常モードから前記低消費電力モードへ移行する場合、前記 C P U に対する前記所定の変調がなされたクロック信号の出力を停止する停止工程と、前記ホストコンピュータから前記インターフェース制御部へ信号が入力した場合、前記 C P U が前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号を出力する前に、所定時間ウェイトするウェイト工程と、を有することを特徴とする。