

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第2部門第4区分

【発行日】平成19年3月15日(2007.3.15)

【公開番号】特開2003-54091(P2003-54091A)

【公開日】平成15年2月26日(2003.2.26)

【出願番号】特願2002-147668(P2002-147668)

【国際特許分類】

B 4 1 J 29/38 (2006.01)

【F I】

B 4 1 J 29/38	Z
B 4 1 J 29/38	D

【手続補正書】

【提出日】平成19年1月29日(2007.1.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】低消費電力で待機するSTOPモードを含む複数の動作モードを有するCPUと、

外部からの入力に応じて、前記CPUに対して信号を出力するインターフェース制御部と、

第1のクロック信号を出力するクロック生成部と、

前記第1のクロック信号を入力して前記CPUに対して所定の変調がなされた第2のクロック信号を出力する第2クロック生成部と、

前記第1のクロック信号及び前記第2のクロック信号を入力して、前記CPUの動作モードに係らず前記インターフェース制御部に対して第1のクロック信号を出力するクロック制御部とを備え、

前記クロック制御部は、前記CPUがSTOPモードから他の動作モードへ移行するとき、所定時間ウエイトした後、前記CPUに対して前記第2のクロック信号の出力を開始することを特徴とする記録装置。

【請求項2】前記クロック制御部は、クロック信号の出力を制御する出力制御レジスタを有し、前記CPUが前記STOPモードから他のモードへ移行する場合、前記出力制御レジスタの初期化を行い少なくともCPUへの前記クロック信号の出力を許可する値を設定することを特徴とする請求項1に記載の記録装置。

【請求項3】前記インターフェース制御部がホストコンピューターとの通信を所定の期間行わない場合、前記CPUは前記STOPモードへ移行することを特徴とする請求項1に記載の記録装置。

【請求項4】前記記録装置は、ホストコンピューターから前記インターフェース制御部に電力供給を行うインターフェースを接続可能とし、前記インターフェース制御部への電力供給が所定の期間なされない場合、前記CPUは前記STOPモードへ移行することを特徴とする請求項1に記載の記録装置。

【請求項5】前記インターフェース制御部はUSBインターフェースを制御することを特徴とする請求項1から4に記載の記録装置。

【請求項6】ホストコンピューターと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードとを有するCPUとを備える記録装置であ

つて、

クロック信号を出力する発振器と、

前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターと、

前記クロック信号と前記所定の変調がなされたクロック信号とを入力し、前記CPUの動作モードに係らず前記インターフェース制御部に対して前記クロック信号を出力し、前記CPUに対して前記所定の変調がなされたクロック信号の出力を行うクロック制御部とを有し、

前記クロック制御部は、前記CPUが前記通常モードから前記低消費電力モードへ移行する場合、前記CPUに対して前記所定の変調がなされたクロック信号の出力を停止し、前記ホストコンピューターから前記インターフェース制御部へ信号が入力した場合、前記CPUが前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号の出力を所定時間ウエイトしてから行うことを特徴とする記録装置。

【請求項7】 前記CPUが前記低消費電力モードから前記通常モードへ移行する際、前記クロック制御部は前記CPUからの指示に基づいて前記複数の回路ブロックに対して前記クロック信号もしくは前記所定の変調がなされたクロック信号の供給をおこなうこととを特徴とする請求項6に記載の記録装置。

【請求項8】 前記クロック制御部は、クロック信号の出力を制御する出力制御レジスタを有し、前記CPUにリセット信号が入力され前記低消費電力モードが解除された場合、前記出力制御レジスタの初期化を行い少なくとも前記CPUに対する前記所定の変調がなされたクロック信号の出力を許可する値を設定することとを特徴とする請求項6に記載の記録装置。

【請求項9】 前記インターフェース制御部が前記ホストコンピューターとの通信を所定期間おこなわない場合、前記CPUは前記通常モードから前記低消費電力モードへ移行することとを特徴とする請求項6に記載の記録装置。

【請求項10】 前記記録装置は、前記ホストコンピューターから前記インターフェース制御部に電力供給を行うインターフェースを接続可能とし、前記インターフェース制御部に前記電力供給が行われない場合、前記CPUは前記通常モードから前記低消費電力モードへ移行することとを特徴とする請求項6に記載の記録装置。

【請求項11】 前記インターフェース制御部はUSBインターフェースを制御することとを特徴とする請求項6に記載の記録装置。

【請求項12】 ホストコンピューターと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードを有するCPUと、クロック信号を出力する発振器と、前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターとを有する記録装置の制御方法であって、

クロック制御部により、前記インターフェース制御部に対して前記CPUの動作モードにかかわらず前記クロック信号の出力と、前記CPUに対する前記所定の変調がなされたクロック信号の出力を行う出力工程と、

前記CPUが前記通常モードから前記低消費電力モードへ移行する場合、前記CPUにする前記所定の変調がなされたクロック信号の出力を停止する停止工程と、

前記ホストコンピューターから前記インターフェース制御部へ信号が入力した場合、前記CPUが前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号を出力する前に、所定時間ウエイトするウエイト工程と、

を有することとを特徴とする記録装置の制御方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の記録装置は、低消費電力で待機するSTOPモードを含む複数の動作モードを有するCPUと、外部からの入力に応じて、前記CPUに対して信号を出力するインターフェース制御部と、第1のクロック信号を出力するクロック生成部と、前記第1のクロック信号を入力して前記CPUに対して所定の変調がなされた第2のクロック信号を出力する第2クロック生成部と、前記第1のクロック信号及び前記第2のクロック信号を入力して、前記CPUの動作モードに係らず前記インターフェース制御部に対して第1のクロック信号を出力するクロック制御部とを備え、前記クロック制御部は、前記CPUがSTOPモードから他の動作モードへ移行するとき、所定時間ウエイトした後、前記CPUに対して前記第2のクロック信号の出力を開始することを特徴とする。本発明の別の記録装置は、ホストコンピューターと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードとを有するCPUとを備える記録装置であって、クロック信号を出力する発振器と、前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターと、前記クロック信号と前記所定の変調がなされたクロック信号とを入力し、前記CPUの動作モードに係らず前記インターフェース制御部に対して前記クロック信号を出力し、前記CPUに対して前記所定の変調がなされたクロック信号の出力をを行うクロック制御部とを有し、前記クロック制御部は、前記CPUが前記通常モードから前記低消費電力モードへ移行する場合、前記CPUに対して前記所定の変調がなされたクロック信号の出力を停止し、前記ホストコンピューターから前記インターフェース制御部へ信号が入力した場合、前記CPUが前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号の出力を所定時間ウエイトしてから行うことを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の記録装置の制御方法は、ホストコンピューターと通信を行うインターフェースを制御するインターフェース制御部を含む複数の回路ブロックと、動作モードとして通常モードと前記通常モードより消費電力が低い低消費電力モードとを有するCPUと、クロック信号を出力する発振器と、前記クロック信号を入力して所定の変調がなされたクロック信号を出力するクロックジェネレーターとを有する記録装置の制御方法であって、クロック制御部により、前記インターフェース制御部に対して前記CPUの動作モードにかかわらず前記クロック信号の出力と、前記CPUに対する前記所定の変調がなされたクロック信号の出力をを行う出力工程と、前記CPUが前記通常モードから前記低消費電力モードへ移行する場合、前記CPUにする前記所定の変調がなされたクロック信号の出力を停止する停止工程と、前記ホストコンピューターから前記インターフェース制御部へ信号が入力した場合、前記CPUが前記低消費電力モードから前記通常モードへ移行してから、前記所定の変調がなされたクロック信号を出力する前に、所定時間ウエイトするウエイト工程と、を有することを特徴とする。