

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年11月1日(2012.11.1)

【公表番号】特表2012-515408(P2012-515408A)

【公表日】平成24年7月5日(2012.7.5)

【年通号数】公開・登録公報2012-026

【出願番号】特願2011-545343(P2011-545343)

【国際特許分類】

G 11 C 11/4076 (2006.01)

G 11 C 11/401 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 11 C 11/34 3 5 4 C

G 11 C 11/34 3 6 2 Z

G 06 F 12/00 5 6 4 D

【手続補正書】

【提出日】平成24年9月14日(2012.9.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソース同期タイミング基準を伴わないデータ信号を送信する集積回路素子であって、外部供給クロック信号に応答して、送信クロック信号を生成する開ループクロック分配回路と、

前記送信クロック信号の遷移に応答して、シンボルシーケンスを外部信号線に出力する送信回路であって、前記シンボルのそれぞれは、シンボル時間中、前記送信回路の出力において有効であり、前記送信クロック信号と前記外部供給クロック信号との位相オフセットは、少なくとも前記シンボル時間だけドリフトすることが許される送信回路であって、前記開ループクロック分配回路は、前記外部供給クロック信号に応答して、前記外部供給クロック信号に相対して少なくともシンボル時間だけドリフトすることが許されると共に、前記送信クロック信号に相対してドリフトすることが許される位相を有する受信クロック信号をさらに生成する、送信回路と、

前記受信クロック信号に応答して外部信号線をサンプリングすることにより、前記外部供給クロック信号に相対してドリフトすることが許される位相を有する受信データ信号を生成する受信回路と

を備える、集積回路素子。

【請求項2】

前記送信クロック信号と前記外部供給クロック信号との前記位相オフセットは、前記集積回路素子の温度変化に応答してドリフトする、請求項1に記載の集積回路素子。

【請求項3】

前記送信クロック信号と前記外部供給クロック信号との前記位相オフセットは、前記集積回路素子を給電するために供給される電圧の変化に応答してドリフトする、請求項1または2に記載の集積回路素子。

【請求項4】

各シンボルはビットであり、前記シンボル時間はビット時間である、請求項1から3の

いすれか 1 項に記載の集積回路素子。

【請求項 5】

2 つのシンボルが、前記送信クロック信号のサイクル毎に送信されるように、前記送信クロック信号の各エッジに応答してシンボルが送信される、請求項 1 から 4 のいすれか 1 項に記載の集積回路素子。

【請求項 6】

前記送信クロック信号および前記外部供給クロック信号は同じ周波数を有する、請求項 1 から 5 のいすれか 1 項に記載の集積回路素子。

【請求項 7】

データ記憶装置にアクセスできるようにするインターフェースと、  
較正データソースと、

前記シンボルシーケンスで搬送されるデータ値を前記送信回路に提供するために、前記データ記憶装置または前記較正データソースのいすれかを選択するマルチプレクサと  
をさらに備え、

前記較正データソースは、前記データ値を決定論的パターンで提供する回路を含む、請求項 1 から 6 のいすれか 1 項に記載の集積回路素子。

【請求項 8】

前記集積回路素子は、前記データ記憶装置として、前記インターフェースを介して前記マルチプレクサに結合され、ダイナミックランダムアクセスメモリ (DRAM) セルの 1 つまたは複数のアレイを有するメモリコアを含むダイナミックランダムアクセスメモリ (DRAM) 素子であり、

前記集積回路 (I C) 素子は、バッファ I C を備え、前記データ記憶装置にアクセスできるようにするインターフェースは、前記バッファ I C 外部の 1 つまたは複数の集積回路メモリ素子にアクセスできるようにする外部インターフェースを備え、

前記外部インターフェースは、前記バッファ I C 外部の 1 つまたは複数のダイナミックランダムアクセスメモリ (DRAM) 素子にアクセスできるようにするシグナリングインターフェースを備え、

前記外部インターフェースは、前記送信クロック信号の遷移に応答して、前記外部信号線に出力される前記シンボルシーケンスのシグナリングレートよりも低いシグナリングレートで、前記 DRAM 素子のうちの少なくとも 1 つに信号を出力する少なくとも 1 つの信号ドライバを備える、請求項 7 に記載の集積回路素子。

【請求項 9】

受信クロック信号に応答して、メモリ装置からデータ信号を受信する受信回路と、

前記受信クロック信号および前記データ信号の送信のタイミングをとるために前記メモリ装置に出力されるシステムクロック信号を含む複数のクロック信号を生成するクロック回路であって、前記システムクロック信号は、前記データ信号で搬送される各シンボルに各クロックエッジを提供するのに十分に高い周波数で発振する、クロック回路と、

前記データ信号と前記システムクロック信号との間の位相ドリフトを補償するのに十分な頻度で、前記受信クロック信号の位相を調整する較正回路であって、前記位相ドリフトは前記メモリ装置により補償されず、少なくともシンボル時間にわたることが許される、較正回路と

を備える、メモリコントローラ。

【請求項 10】

前記複数のクロック信号を生成するクロック回路は、  
位相分布クロック信号セットを生成する回路と、

前記較正回路から受信する較正值に応答して、一対の前記位相分布クロック信号を選択し、補間することにより、前記受信クロック信号を生成する補間器と  
を備え、

前記較正回路は、前記データ信号で搬送される値のシーケンスに基づいて、前記受信クロック信号が、前記データ信号に関して所望の位相に先行するか、それとも遅延するかを

判断し、前記較正値を調整して、前記先行または遅延を低減するように前記受信クロック信号の位相変更を行う回路を備え、

前記較正回路は、前記データ信号で搬送される値のシーケンスに基づいて、前記データ信号で搬送されるN個の値の連續したパケット間のフレーム間隔を決定する位置合わせ回路をさらに備え、

前記位置合わせ回路は、各フレーム間隔内で直列に受信されるN個の値のパケットを、前記N個の値の並列ワードに変換する回路を備える、請求項9に記載のメモリコントローラ。

#### 【請求項11】

送信クロック信号に応答して、前記メモリ装置にデータ信号を送信する送信回路をさらに備え、前記クロック回路は前記送信クロック信号をさらに生成し、前記較正回路は、前記メモリ装置内のシステムクロック信号とデータサンプリングクロック信号との間の位相ドリフトを補償するのに十分な頻度で、前記送信クロック信号の位相を調整する回路を含む、請求項9または10に記載のメモリコントローラ。

#### 【請求項12】

送信クロック信号に応答して、外部信号線にデータ信号を出力する送信回路およびシステムクロック信号に応答して前記送信クロック信号を提供するクロック分配回路を有するメモリ装置であって、前記クロック分配回路は、前記送信クロック信号と前記システムクロック信号との間に、前記システムクロック信号期間の少なくとも半分だけドリフトすることが許され、前記データ信号と前記システムクロック信号との間に対応する位相ドリフトをもたらす位相オフセットを導入する、メモリ装置と、

受信クロック信号に応答して前記メモリ装置から前記データ信号を受信する受信回路、前記システムクロック信号を前記メモリ装置に出力し、前記受信クロック信号を前記受信回路に出力するクロック回路、および前記受信クロック信号の位相を調整して、前記メモリ装置での前記システムクロック信号と前記送信クロック信号との間の位相ドリフトを補償するタイミング較正回路を有するメモリコントローラとを備える、低電力同期メモリシステム。

#### 【請求項13】

前記システムクロック信号を前記メモリコントローラから前記メモリ装置に搬送するクロック信号線をさらに備え、較正回路は、前記受信クロック信号の位相も調整して、前記クロック信号線を介する前記メモリコントローラから前記メモリ装置への前記システムクロック信号の伝播に起因する前記メモリコントローラ内の前記システムクロック信号と前記メモリ装置内の前記システムクロック信号の位相とのオフセットを補償する、請求項12に記載の低電力同期メモリシステム。

#### 【請求項14】

前記メモリコントローラは、前記データ信号で搬送される値のシーケンスに基づいて、前記受信クロック信号が、前記データ信号に関して所望の位相に先行するか、それとも遅延するかを判断し、前記受信クロック信号の位相を調整して、前記先行または遅延を低減する較正回路をさらに含み、

前記メモリコントローラは、前記クロック回路により生成される送信クロック信号に応答して、データ信号を前記外部信号線に出力する送信回路をさらに含み、前記メモリ装置は、前記クロック分配回路からの受信クロック信号に応答して、前記メモリコントローラの前記送信回路により出力される前記データ信号を受信する受信回路をさらに含み、前記タイミング較正回路は、前記クロック回路からの前記送信クロック信号の位相を調整して、前記メモリ装置内の前記システムクロック信号と前記受信クロック信号との間の位相ドリフトを補償する回路を含む、請求項12に記載の低電力同期メモリシステム。

#### 【請求項15】

集積回路素子内で動作する方法であって、

外部クロック信号線を介して第1のクロック信号を受信する工程と、

前記第1のクロック信号に応答して送信クロック信号および受信クロック信号を生成す

る工程と、

タイミング基準信号を伴わずに、前記送信クロック信号に応答してデータ信号を第1の外部信号線に送信する工程であって、前記送信クロック信号は、送信された前記データ信号が前記第1のクロック信号に相対して対応するドリフトを示すように、前記送信クロック信号の期間の少なくとも半分だけ前記第1のクロック信号に相対してドリフトすることが許される工程と、

前記受信クロック信号に応答して前記第1の外部信号線をサンプリングして、受信データ信号を生成する工程であって、前記受信データ信号は、前記受信クロック信号の期間の少なくとも半分だけ前記第1のクロック信号に相対してドリフトすることが許される工程と

を含む、方法。

**【請求項16】**

前記受信クロック信号に応答して第2の外部信号線をサンプリングして、データ値シーケンスを生成する工程と、

前記データ値シーケンスを前記メモリ装置の送信回路に切り替え可能にループバックして、前記第1の外部信号線を介して送信された前記データ信号内に含める工程とをさらに含む、請求項15に記載の方法。

**【請求項17】**

メモリシステム内で動作する方法であって、

メモリ装置内でシステムクロック信号を受信する工程と、

前記システムクロック信号に応答して、前記メモリ装置内で送信クロック信号を生成する工程と、

前記送信クロック信号に応答して、データ信号を前記メモリ装置から第1の信号線に出力する工程であって、前記送信クロック信号は、前記データ信号が前記システムクロック信号に相対して対応するドリフトを示すように、前記送信クロック信号の期間の少なくとも半分だけ前記システムクロック信号に相対してドリフトすることが許される工程と、

メモリコントローラ内で受信クロック信号を生成する工程と、

前記受信クロック信号に応答して、前記第1の信号線を介して前記メモリコントローラ内で前記データ信号を受信する工程と、

前記データ信号で搬送される値に基づいて、前記受信クロック信号の位相を調整して、前記送信クロック信号と前記システムクロック信号との間のドリフトを補償する工程とを含む、方法。

**【請求項18】**

前記メモリコントローラ内で前記システムクロック信号を生成する工程と、およびクロック信号線を介して前記システムクロック信号を前記メモリ装置に送信する工程とをさらに含み、前記データ信号で搬送される値に基づいて前記受信クロック信号の位相を調整する工程は、前記受信クロック信号の位相を調整して、前記クロック信号線を介する前記メモリコントローラから前記メモリ装置への前記システムクロック信号の伝播に起因する、前記メモリコントローラ内の前記システムクロック信号の位相と前記メモリ装置内の前記システムクロック信号の位相とのオフセットを補償する工程を含む、請求項17に記載の方法。

**【請求項19】**

集積回路装置内で動作する方法であって、

外部クロック信号線を介して第1のクロック信号を受信する工程と、

前記第1のクロック信号に応答して送信クロック信号を生成する工程と、

前記送信クロック信号に応答して、データ信号シーケンスを第1の外部データ線に送信する工程であって、前記送信クロック信号は、前記データ信号が前記第1のクロック信号に相対して対応するドリフトを示すように、前記送信クロック信号の期間の少なくとも半分だけ前記第1のクロック信号に相対してドリフトすることが許される工程と、

前記送信されるデータ値シーケンスとして、前記較正データシーケンスまたは前記メモ

リ装置の記憶装置アレイから検索されるデータのいずれかを選択する工程とを含む、方法。

【請求項 20】

前記メモリ装置内で前記較正データシーケンスを生成する工程および第2のデータ線から前記較正データシーケンスを受信する工程の少なくとも一方をさらに含む、請求項37に記載の方法。