(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/204035 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)

(21) 国際出願番号: PCT/JP2016/067022

(22) 国際出願日: 2016 年 6 月 8 日(08.06.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-123062 2015 年 6 月 18 日(18.06.2015) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒 5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 斎藤 雄(SAITOH, Yu); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 築野 孝(TSUNO, Takashi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司(WADA, Keiji); 〒6640016 兵庫県伊丹市昆陽北一丁目１番１号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

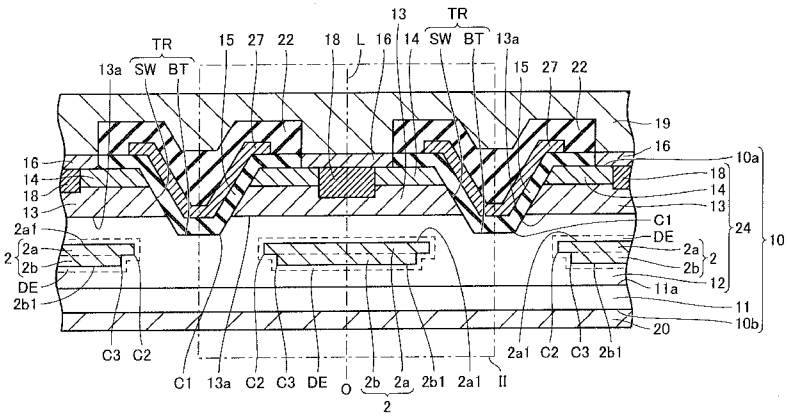
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称 : 炭化珪素半導体装置

FIG.1



(57) **Abstract**: A silicon carbide semiconductor device that has a silicon carbide substrate and a gate-insulating film. The silicon carbide substrate includes a first impurities region, a second impurities region, a third impurities region, and an electric-field-attenuation region. A first main surface of the silicon carbide substrate has formed therein trenches that are defined by side sections and a bottom section. The gate-insulating film contacts the first impurities region at the bottom sections and contacts the first impurities region, the second impurities region, and the third impurities region at the side sections. The width of a third main surface of the electric-field-attenuation region in a direction that is parallel to a second main surface is greater than the width of a fourth main surface of the electric-field-attenuating region.

(57) 要約: 炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜とを有している。炭化珪素基板は、第１不純物領域と、第２不純物領域と、第３不純物領域と、電界緩和領域とを含む。炭化珪素基板の第１主面には、側部と、底部とにより規定されたトレンチが形成されている。ゲート絶縁膜は、底部において第１不純物領域と接し、かつ側部において第１不純物領域と、第２不純物領域と、第３不純物領域とに接する。第２主面に平行な方向における、電界緩和領域の第３主面の幅は、電界緩和領域の第４主面の幅よりも大きい。

WO 2016/204035 A1

ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 炭化珪素半導体装置

技術分野

[0001] 本発明は、炭化珪素半導体装置に関する。本出願は、２０１５年６月１８日に出願した日本特許出願である特願２０１５－１２３０６２に基づく優先権を主張し、当該日本特許出願に記載された全ての記載内容を援用するものである。

背景技術

[0002] 近年、ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）などの半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。たとえば、特開２０１４－０４１９９０号公報（特許文献１）は、ドリフト層の内部に電界緩和領域が設けられたトレンチ型ＭＯＳＦＥＴを開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－０４１９９０号公報

発明の概要

[0004] 本発明の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜とを備えている。炭化珪素基板は、第１主面と、第１主面と反対側の第２主面とを有する。炭化珪素基板は、第１導電型を有する第１不純物領域と、第１不純物領域上に設けられ、第１導電型と異なる第２導電型を有する第２不純物領域と、第１不純物領域から隔てられるように第２不純物領域上に設けられ、第１主面を構成し、かつ第１導電型を有する第３不純物領域と、第１不純物領域内に位置し、かつ第２導電型を有する電界緩和領域とを含む。第１主面には、第２不純物領域および第３不純物領域を貫通し、かつ第１不純物領域に至る側部と、側部と連続して設けられた底部とにより規定され

たトレンチが形成されている。ゲート絶縁膜は、底部において第１不純物領域と接し、かつ側部において第１不純物領域と、第２不純物領域と、第３不純物領域とに接する。電界緩和領域は、第１主面に対面する第３主面と、第２主面に対面する第４主面とを有する。第２主面に平行な方向における、第３主面の幅は、第４主面の幅よりも大きい。

図面の簡単な説明

[0005] [図1]実施の形態に係る炭化珪素半導体装置の構成を示す断面模式図である。

[図2]図１の領域ＩＩの拡大図である。

[図3]実施の形態に係る炭化珪素半導体装置が含む炭化珪素基板の構成を示す斜視模式図である。

[図4]実施の形態に係る炭化珪素半導体装置が含む炭化珪素基板の構成を示す平面模式図である。

[図5]電界緩和領域におけるドーズ量の分布を示す図である。

[図6]実施の形態に係る炭化珪素半導体装置の第１変形例の構成を示す断面模式図である。

[図7]実施の形態に係る炭化珪素半導体装置の第２変形例の構成を示す断面模式図である。

[図8]実施の形態に係る炭化珪素半導体装置の第３変形例の構成を示す断面模式図である。

[図9]実施の形態に係る炭化珪素半導体装置の第４変形例の構成を示す断面模式図である。

[図10]実施の形態に係る炭化珪素半導体装置の第５変形例の構成を示す断面模式図である。

[図11]炭化珪素半導体装置が有する炭化珪素層の表面の微細構造を概略的に示す部分断面図である。

[図12]ポリタイプ４Ｈの六方晶における（０００－１）面の結晶構造を示す図である。

[図13]図１２の線ＸＩＩＩ－ＸＩＩＩに沿う（１１－２０）面の結晶構造を

示す図である。

[図14]図１０の複合面の表面近傍における結晶構造を（１１－２０）面内において示す図である。

[図15]図１０の複合面を（０１－１０）面から見た図である。

[図16]巨視的に見たチャネル面および（０００－１）面の間の角度と、チャネル移動度との関係の一例を、熱エッチングが行われた場合と行われなかった場合との各々について示すグラフである。

[図17]チャネル方向および＜０－１１－２＞方向の間の角度と、チャネル移動度との関係の一例を示すグラフである。

[図18]図１１の変形例を示す図である。

[図19]実施の形態に係る炭化珪素半導体装置の製造方法の第１工程を示す断面模式図である。

[図20]実施の形態に係る炭化珪素半導体装置の製造方法の第２工程を示す断面模式図である。

[図21]実施の形態に係る炭化珪素半導体装置の製造方法の第３工程を示す断面模式図である。

[図22]実施の形態に係る炭化珪素半導体装置の製造方法の第４工程を示す断面模式図である。

[図23]炭化珪素半導体装置のオン抵抗と、$W_b-W_u-W_{dep}$との関係を示す実験データである。

[図24]炭化珪素半導体装置の耐圧と、$W_b-W_u-W_{dep}$との関係を示す実験データである。

発明を実施するための形態

[0006] ［本開示が解決しようとする課題］

トレンチの近傍に電界緩和領域を設けることにより、電界緩和領域から伸長する空乏層によってトレンチの角部に印加される電界を緩和することができる。しかしながら、ソース電極およびドレイン電極間に印加される電圧が増加すると、電界緩和領域における電界強度が増加する。特に、ドレイン電

極側の電界緩和領域の角部には、電界が集中しやすいため、当該角部における電界強度は高くなりやすい。当該角部における電界強度が限界値を超えると、当該角部付近に形成された空乏層中において高電界で加速された電子に起因して、アバランシェ降伏が発生する場合がある。結果として、ソース電極およびドレイン電極間が短絡してしまう。アバランシェ降伏は可逆的な現象であるが、過電流によりデバイスが破壊されることもある。

[0007] 本発明の一態様の目的は、トレンチの角部における電界集中を緩和し、かつアバランシェ降伏の発生を抑制可能な炭化珪素半導体装置を提供することである。

［本開示の効果］

本発明の一態様によれば、オン抵抗の増加を抑えつつトレンチの角部における電界集中を緩和し、かつアバランシェ降伏の発生を抑制可能な炭化珪素半導体装置を提供することができる。

[0008] ［本願発明の実施形態の説明］

（１）本発明の一態様に係る炭化珪素半導体装置１は、炭化珪素基板１０と、ゲート絶縁膜１５とを備えている。炭化珪素基板１０は、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する。炭化珪素基板１０は、第１導電型を有する第１不純物領域１２と、第１不純物領域１２上に設けられ、第１導電型と異なる第２導電型を有する第２不純物領域１３と、第１不純物領域１２から隔てられるように第２不純物領域１３上に設けられ、第１主面１０ａを構成し、かつ第１導電型を有する第３不純物領域１４と、第１不純物領域１２内に位置し、かつ第２導電型を有する電界緩和領域２とを含む。第１主面１０ａには、第２不純物領域１３および第３不純物領域１４を貫通し、かつ第１不純物領域１２に至る側部ＳＷと、側部ＳＷと連続して設けられた底部ＢＴとにより規定されたトレンチＴＲが形成されている。ゲート絶縁膜１５は、底部ＢＴにおいて第１不純物領域１２と接し、かつ側部ＳＷにおいて第１不純物領域１２と、第２不純物領域１３と、第３不純物領域１４とに接する。電界緩和領域２は、第１主面１０ａに対面する第

３主面２ａ１と、第２主面１０ｂに対面する第４主面２ｂ１とを有する。第２主面１０ｂに平行な方向における、第３主面２ａ１の幅Ｗ１は、第４主面２ｂ１の幅Ｗ２よりも大きい。

[0009] 上記（１）に係る炭化珪素半導体装置１によれば、第３主面２ａ１の幅Ｗ１は、第４主面２ｂ１の幅Ｗ２よりも大きい。これにより、電界緩和領域２の第４主面２ｂ１の端部Ｃ３における電界強度を低減することができる。そのため、アバランシェ降伏の発生を抑制することができる。また電界緩和領域２の第３主面２ａ１の幅Ｗ１が大きいため、第３主面２ａ１をトレンチＴＲの角部Ｃ１の近くに配置することができる。そのため、トレンチＴＲの角部Ｃ１における電界集中を緩和することができる。

[0010] （２）上記（１）に係る炭化珪素半導体装置１において、第２主面１０ｂに対して垂直な方向から見て、第２不純物領域１３の外縁１３ｐは、電界緩和領域２を取り囲むように設けられていてもよい。これにより、ドリフト領域１２を流れる電流の経路が狭窄されることを抑制することができる。結果として、炭化珪素半導体装置１のオン抵抗を低減することができる。

[0011] （３）上記（１）または（２）に係る炭化珪素半導体装置１において、炭化珪素基板１０は、第２不純物領域１３と電界緩和領域２との間に位置し、かつ第２導電型を有する第４不純物領域３を含んでいてもよい。これにより、第２不純物領域１３と電界緩和領域２を電気的に接続することができ、スイッチング速度を早くすることができる。

[0012] （４）上記（３）に係る炭化珪素半導体装置１において、第４不純物領域３は、第２不純物領域１３および電界緩和領域２の双方に接していてもよい。これにより、第２不純物領域１３から電界緩和領域２に対して電子またはホールを容易に供給することができる。

[0013] （５）上記（１）～（４）のいずれかに係る炭化珪素半導体装置１において、第２不純物領域１３は、第１不純物領域１２との境界面である第５主面１３ａを有し、第２主面１０ｂに平行な方向における第５主面１３ａの幅の半分をW_b（μｍ）とし、第２主面１０ｂに対して平行な方向における第３主

面２ａ１の幅の半分をW_u（μｍ）とし、第１不純物領域１２における不純物濃度をN_d（ｃｍ$^{-3}$）とし、電界緩和領域２における不純物濃度をN_a（ｃｍ$^{-3}$）とし、真空の誘電率をε_0（Ｆ・ｍ$^{-1}$）とし、炭化珪素の誘電率をε_{SiC}（Ｆ・ｍ$^{-1}$）とし、素電荷をｅ（Ｃ）とし、拡散電位をV_{bi}（Ｖ）としたとき、数式１を満たしてもよい。これにより、炭化珪素半導体装置１の耐圧を高く維持しつつオン抵抗を低減することができる。

[0014] [数1]

$$W_b > W_u + \sqrt{\frac{2\varepsilon_{sic}\varepsilon_0 V_{bi}}{eN_d} \cdot \frac{N_a}{N_d + N_a}}$$

[0015] （６）上記（１）～（５）のいずれかに係る炭化珪素半導体装置１において、炭化珪素基板１０は、第２主面１０ｂを構成する炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に設けられ、かつ第１主面１０ａを構成する炭化珪素エピタキシャル層２４とを含む。電界緩和領域２の不純物ドーズ量をD_{rx}（ｃｍ$^{-2}$）し、第２主面１０ｂに対して垂直な方向における、第４主面２ｂ１と、炭化珪素単結晶基板１１および炭化珪素エピタキシャル層２４の境界面１１ａとの距離をL_d（ｃｍ）とし、第１不純物領域１２における不純物濃度をN_d（ｃｍ$^{-3}$）としたとき、数式２を満たしてもよい。これにより、電界緩和領域２から境界面１１ａへ空乏層が延びる前に、電界緩和領域２が完全に空乏化することが抑制される。これにより、電界緩和領域２と境界面１１ａとの間に、十分な長さを有する空乏層が形成され得る。結果として、炭化珪素半導体装置１の耐圧を高く維持することができる。

[0016] [数2]

$$D_{rx} > L_d \cdot N_d$$

[0017] （７）上記（１）～（６）のいずれかに係る炭化珪素半導体装置１において、側部ＳＷと底部ＢＴとがなす角度θは９０°よりも大きくてもよい。側部ＳＷと底部ＢＴとがなす角度θが９０°の場合、電界緩和領域２が側部ＳＷの直下に位置するときのオン抵抗と、電界緩和領域２が側部ＳＷの直下よりも第１主面１０ａと平行な方向に少しシフトしたときのオン抵抗とは、大

きく異なる。一方、側部ＳＷと底部ＢＴとがなす角度θが９０°よりも大きい場合、側部ＳＷに対する電界緩和領域２の位置が少し変化しても、オン抵抗は大きく異ならない。そのため、側部ＳＷと底部ＢＴとがなす角度θが９０°よりも大きい場合は、たとえばアライメント誤差により、トレンチＴＲに対する電界緩和領域２の位置がウェハの面内でばらついた場合であっても、オン抵抗が大きく変化することを抑制することができる。

[0018] （８）上記（１）～（７）のいずれかに係る炭化珪素半導体装置１において、側部ＳＷは、面方位｛０－３３－８｝を有する第１の面Ｓ１を含んでもよい。これにより、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0019] （９）上記（８）に係る炭化珪素半導体装置１において、側部ＳＷは、第１の面Ｓ１を微視的に含み、側部ＳＷはさらに、面方位｛０－１１－１｝を有する第２の面Ｓ２を微視的に含んでもよい。これにより、側部ＳＷにおけるチャネル抵抗をより低減することができる。

[0020] （１０）上記（９）に係る炭化珪素半導体装置１において、第１の面Ｓ１および第２の面Ｓ２は、面方位｛０－１１－２｝を有する複合面ＳＲを構成してもよい。これにより、側部ＳＷにおけるチャネル抵抗をより低減することができる。

[0021] （１１）上記（１０）に係る炭化珪素半導体装置１において、側部ＳＷは、｛０００－１｝面に対して、巨視的に６２°±１０°のオフ角を有してもよい。これにより、側部ＳＷにおけるチャネル抵抗をより低減することができる。

[0022] ［本願発明の実施形態の詳細］

以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また、本明細書中の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示している。また結晶学上の指数が負であることは、通常、”－”（バー）を数字の

上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付している。

[0023] まず、本発明の実施の形態に係る炭化珪素半導体装置としてのＭＯＳＦＥＴの構成について説明する。

[0024] 図１および図２に示されるように、本実施の形態に係るＭＯＳＦＥＴ１は、炭化珪素基板１０と、ゲート絶縁膜１５と、ゲート電極２７と、層間絶縁膜２２と、ソース電極１６と、ソース配線１９と、ドレイン電極２０とを主に有している。炭化珪素基板１０は、炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に設けられた炭化珪素エピタキシャル層２４を含む。炭化珪素基板１０は、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する。炭化珪素エピタキシャル層２４は第１主面１０ａを構成し、炭化珪素単結晶基板１１は第２主面１０ｂを構成する。

[0025] 第１主面１０ａは、たとえば｛０００－１｝面または｛０００－１｝面から２°以上８°以下オフした面である。好ましくは、第１主面１０ａは、炭素面側であり、第２主面１０ｂが珪素面側である。第１主面１０ａは、たとえば（０００－１）面または（０００－１）面から２°以上８°以下オフした面である。炭化珪素単結晶基板１１は、たとえばポリタイプ４Ｈの六方晶炭化珪素である。炭化珪素単結晶基板１１は、たとえば窒素などのｎ型不純物を含みｎ型（第１導電型）の導電型を有する。炭化珪素エピタキシャル層２４は、ドリフト領域１２（第１不純物領域１２）と、ボディ領域１３（第２不純物領域１３）と、ソース領域１４（第３不純物領域１４）と、コンタクト領域１８と電界緩和領域２とを主に有する。

[0026] ドリフト領域１２は、たとえば窒素などのｎ型不純物を含み、ｎ型の導電型を有する。ドリフト領域１２が含むｎ型不純物の濃度は、好ましくは$1\times10^{15}cm^{-3}$以上$5\times10^{16}cm^{-3}$以下であり、たとえば$8\times10^{15}cm^{-3}$である。ドリフト領域１２が含むｎ型不純物の濃度は、炭化珪素単結晶基板１１が含むｎ型不純物の濃度よりも低くてもよい。

[0027] ボディ領域１３はドリフト領域１２上に設けられている。ボディ領域１３

は、たとえばアルミニウムなどのｐ型不純物を含み、ｐ型（第２導電型）の導電型を有する。ボディ領域１３のｐ型不純物の濃度は、好ましくは１×１０^{17}ｃｍ$^{-3}$以上５×１０^{18}ｃｍ$^{-3}$以下であり、たとえば１×１０^{18}ｃｍ$^{-3}$である。

[0028] ソース領域１４は、ボディ領域１３によってドリフト領域１２から隔てられるようにボディ領域１３上に設けられている。ソース領域１４は、たとえば窒素またはリンなどのｎ型不純物を含んでおり、ｎ型の導電型を有する。ソース領域１４は、炭化珪素基板１０の第１主面１０ａを構成する。ソース領域１４が含むｎ型不純物の濃度は、ドリフト領域１２が含むｎ型不純物の濃度よりも高くてもよい。

[0029] コンタクト領域１８は、ボディ領域１３と、ソース領域１４とに接している。コンタクト領域１８は、たとえばアルミニウムなどのｐ型不純物を含んでおり、ｐ型の導電型を有する。コンタクト領域１８が含むｐ型不純物の濃度は、ボディ領域１３が含むｐ型不純物の濃度よりも高くてもよい。コンタクト領域１８は、ボディ領域１３と第１主面１０ａとを繋ぐようにソース領域１４を貫通して設けられている。

[0030] 図１および図２に示されるように、電界緩和領域２は、ドリフト領域１２内に位置している。電界緩和領域２は、たとえばアルミニウムなどのｐ型不純物を含んでおり、ｐ型の導電型を有する。電界緩和領域２は、第１主面１０ａに対面する第３主面２ａ１と、第２主面１０ｂに対面する第４主面２ｂ１とを有する。第２主面１０ｂに平行な方向における、第３主面２ａ１の幅Ｗ１は、第４主面２ｂ１の幅Ｗ２よりも大きい。電界緩和領域２の幅は、第３主面２ａ１から第４主面２ｂ１に向かう方向において、単調に小さくなってもよいし、段階的に小さくなってもよい。好ましくは、第２主面１０ｂに対して垂直な方向から見て、第３主面２ａ１の外縁は、第４主面２ｂ１の外縁を取り囲んでいる。電界緩和領域２は、ドリフト領域１２によってボディ領域１３から隔てられていてもよい。電界緩和領域２は、ドリフト領域１２によって炭化珪素単結晶基板１１から隔てられていてもよい。好ましくは、第２主面１０ｂと垂直な方向において、第３主面２ａ１は、底部ＢＴと第２

主面１０ｂとの間に位置している。

[0031] 炭化珪素基板１０の第１主面１０ａにはトレンチＴＲが形成されている。トレンチＴＲは、側部ＳＷと、底部ＢＴとにより規定されている。側部ＳＷはボディ領域１３およびソース領域１４を貫通し、かつドリフト領域１２に至っている。底部ＢＴは、側部ＳＷと連続して設けられている。底部ＢＴは、ドリフト領域１２に位置している。好ましくは、側部ＳＷと底部ＢＴとがなす角度θは９０°よりも大きい。

[0032] 断面視（炭化珪素基板１０の第２主面１０ｂと平行な方向から見た視野）において、トレンチＴＲの幅が底部ＢＴに向かってテーパ状に狭まるように側部ＳＷが傾斜していてもよい。側部ＳＷは、（０００－１）面に対して５２°以上７２°以下傾斜していることが好ましい。なお、側部ＳＷは第１主面１０ａに対して垂直に形成されていてもよい。底部ＢＴは、第１主面１０ａとほぼ平行な平坦な形状を有してもよい。断面視において、トレンチＴＲの形状は、Ｕ字状またはＶ字状の形状を有してもよい。好ましくは、側部ＳＷは、特殊面を含んでいる。特殊面の構成の詳細は後述する。

[0033] 図３は、図１に示すＭＯＳＦＥＴ１から炭化珪素基板１０を取り出して示した図である。図３に示されるように、ソース領域１４、ボディ領域１３およびドリフト領域１２は、トレンチＴＲの側部ＳＷに露出している。ドリフト領域１２は、トレンチＴＲの側部ＳＷおよび底部ＢＴの各々に露出している。底部ＢＴと側部ＳＷとがつながる部分はトレンチＴＲの角部Ｃ１（図２参照）を構成している。平面視（炭化珪素基板１０の第２主面１０ｂに対して垂直な方向から見た視野）において、トレンチＴＲは、ハニカム構造を有する網目を構成するように延在していてもよい。

[0034] 図３および図４に示されるように、平面視において、ソース領域１４およびコンタクト領域１８により構成された炭化珪素基板１０の第１主面１０ａは、六角形の形状を有する。好ましくは、平面視において、ボディ領域１３、ソース領域１４、コンタクト領域１８および電界緩和領域２は、六角形の外形を有する。好ましくは、単位セルの形状は、六角形であり、より好まし

くは正六角形である。単位セルの形状は、四角形などの多角形であってもよい。平面視におけるボディ領域１３、ソース領域１４、コンタクト領域１８および電界緩和領域２の形状は、単位セルの形状と同じであることが好ましい。

[0035] 図４に示されるように、平面視において、ボディ領域１３の外縁１３ｐは、電界緩和領域２を取り囲むように設けられていてもよい。平面視において、ボディ領域１３とソース領域１４との境界の外縁１４ｐは、電界緩和領域２を取り囲むように設けられていてもよい。

[0036] 好ましくは、電界緩和領域２のｐ型不純物のドーズ量をD_{rx}（cm^{-2}）し、第２主面１０ｂに対して垂直な方向における、第４主面２ｂ１と、炭化珪素単結晶基板１１および炭化珪素エピタキシャル層２４の境界面１１ａとの距離をL_d（ｃｍ）とし、ドリフト領域１２におけるｎ型不純物の濃度をN_d（cm^{-3}）としたとき、数式２を満たしている。図５に示されるように、第２主面１０ｂと平行な方向（図２中のＸ方向）における電界緩和領域２中におけるドーズ量は、コンタクト領域１８に対面する位置において極大値D_Oを有し、両側のトレンチＴＲに向かうにつれて減少していてもよい。この場合、数式２におけるドーズ量D_{rx}（cm^{-2}）は、ドーズ量の極大値である。

[0037] 次に、電界緩和領域２の周囲に形成される空乏層の幅の算出方向について説明する。

まず、真性キャリア濃度n_i（cm^{-3}）は、以下の数式３により算出される。ここで、N_cは、室温における４Ｈ－ＳｉＣの伝導帯の電子密度であり、N_vは、室温における４Ｈ－ＳｉＣの価電子帯のホール密度である。E_gは、室温における４Ｈ－ＳｉＣのバンドギャップである。E_gは、約３．２５ｅＶである。k_Bは、ボルツマン定数であり、Ｔは絶対温度（Ｋ）である。なお室温は３００Ｋとする。

[0038] [数3]

$$n_i = \sqrt{N_C N_V}\exp\left(-\frac{E_g}{2k_B T}\right)$$

[0039] 次に、拡散電位V_{bi}（Ｖ）は、以下の数式４により算出される。ここで、N_aは、電界緩和領域のアクセプタ濃度である。N_dは、ドリフト領域のドナー濃度である。n_iは、上記数式３により算出される真性キャリア濃度（cm^{-3}）である。k_Bは、ボルツマン定数であり、Ｔは絶対温度（Ｋ）である。

[0040] [数4]

$$V_{bi} = \frac{k_B T}{e} \ln\left(\frac{N_a N_d}{n_i^2}\right)$$

[0041] 次に、空乏層ＤＥの幅W_{dep}は、以下の数式５により算出される。ここで、ドリフト領域１２におけるドナー濃度がN_d（cm^{-3}）である。電界緩和領域２におけるアクセプタ濃度はN_a（cm^{-3}）である。真空の誘電率はε_0（Ｆ・m^{-1}）である。炭化珪素の誘電率はε_{SiC}（Ｆ・m^{-1}）である。ｅは素電荷（Ｃ）である。V_{bi}は拡散電位（Ｖ）である。なお、以下の数式５においては、第２主面１０ｂと平行な方向における電界緩和領域２とドリフト領域１２とのｐｎ界面における電圧は０Ｖと仮定している。

[0042] [数5]

$$W_{dep} = \sqrt{\frac{2\varepsilon_{sic}\varepsilon_0 V_{bi}}{eN_d} \cdot \frac{N_a}{N_d + N_a}}$$

[0043] ボディ領域１３とドリフト領域１２との境界面は、第５主面１３ａである。第２主面１０ｂに平行な方向における第５主面１３ａの幅の半分をW_b（μｍ）とし、第２主面１０ｂに対して平行な方向における第３主面２ａ１の幅の半分をW_u（μｍ）とし場合、W_b（μｍ）＞W_u（μｍ）＋W_{dep}（μｍ）を満たすことが好ましい。つまり、平面視において、ボディ領域１３の第５主面１３ａが、電界緩和領域２の第３主面２ａ１と電界緩和領域２からドリフト領域１２に張り出す空乏層ＤＥとを合わせた領域を包含していることが好ましい。より好ましくは、$W_b - W_u - W_{dep}$は、０より大きく、かつ０．５μｍ未満である。

[0044] 図２を参照して、第２主面１０ｂに対して垂直な方向における、境界面１１ａと第３主面２ａ１との距離Ｈ４は、たとえば９μｍである。第２主面１０ｂに対して垂直な方向における、第５主面１３ａと第３主面２ａ１との距

離Ｈ３は、たとえば１μｍである。トレンチＴＲの深さＨ５は、たとえば１．４μｍである。トレンチＴＲが浅く、ボディ領域１３からドリフト領域１２側に伸びる空乏層内にトレンチＴＲの底部ＢＴが位置すると、オン抵抗が増加する。一方。トレンチＴＲが深すぎる場合または距離Ｈ３が小さすぎると、トレンチＴＲの角部Ｃ１に電界が集中し、耐圧が低下する。オン抵抗低減および耐圧向上を両立する観点からは、第２主面１０ｂに対して垂直な方向における、トレンチＴＲの底部ＢＴと、第５主面１３ａとの距離が０．２μｍより大きく、かつ距離Ｈ３が０．７μｍより大きいことが好ましい。

[0045] 図２に示されるように、電界緩和領域２は、第１電界緩和領域部２ａと、第１電界緩和領域部２ａに接する第２電界緩和領域部２ｂとを含んでいてもよい。第２電界緩和領域部２ｂは、第１電界緩和領域部２ａと第２主面１０ｂとの間に位置している。好ましくは、第２主面１０ｂに対して垂直な方向から見て、第１電界緩和領域部２ａの外縁は、第２電界緩和領域部２ｂの外縁を取り囲んでいる。第１電界緩和領域部２ａは、ドレイン電極２０側の角部Ｃ２を有する。第２電界緩和領域部２ｂは、ドレイン電極２０側の角部Ｃ３を有する。それゆえ、電界緩和領域２の電界は、角部Ｃ２と角部Ｃ３とに分散される。結果として、アバランシェ降伏の発生を抑制することができる。

[0046] 第１電界緩和領域部２ａの厚みＨ１は、たとえば０．５μｍ以上１．０μｍ以下である。第２電界緩和領域部２ｂの厚みＨ２は、たとえば０．１μｍ以上１．０μｍ以下である。第１電界緩和領域部２ａが含むｐ型不純物の濃度は、たとえば$1\times10^{17}cm^{-3}$以上$1\times10^{19}cm^{-3}$以下である。第２電界緩和領域部２ｂが含むｐ型不純物の濃度は、たとえば$1\times10^{17}cm^{-3}$以上$1\times10^{19}cm^{-3}$以下である。第１電界緩和領域部２ａが含むｐ型不純物の濃度は、第２電界緩和領域部２ｂが含むｐ型不純物の濃度と同じであってもよいし、異なっていてもよい。

[0047] 図１および図２に示されるように、ゲート絶縁膜１５は、トレンチＴＲの底部ＢＴおよび側部ＳＷと、第１主面１０ａの一部とに接する。ゲート絶縁

膜１５は、たとえば二酸化珪素を含む材料により構成される。ゲート絶縁膜１５は、たとえば熱酸化膜である。ゲート絶縁膜１５は、底部ＢＴにおいてドリフト領域１２と接し、かつ側部ＳＷにおいてドリフト領域１２と、ボディ領域１３と、ソース領域１４とに接する。

[0048] ゲート電極２７は、トレンチＴＲの内部においてゲート絶縁膜１５に接するようにトレンチＴＲの内部に設けられている。ゲート電極２７は、たとえば不純物を含むポリシリコンからなる。ゲート電極２７は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とに対面するように設けられている。

[0049] ソース電極１６は、第１主面１０ａにおいてソース領域１４およびコンタクト領域１８の各々と接している。ソース電極１６は、たとえばＴｉと、ＡｌとＳｉとを含む材料からなる。好ましくは、ソース電極１６は、ソース領域１４およびコンタクト領域１８とオーミック接合している。ソース配線１９はソース電極１６に接している。ソース配線１９は、たとえばアルミニウムを含む材料からなる。

[0050] 層間絶縁膜２２は、ゲート電極２７およびゲート絶縁膜１５に接して設けられている。層間絶縁膜２２は、たとえば二酸化珪素を含む材料からなる。層間絶縁膜２２は、ゲート電極２７とソース電極１６とを電気的に絶縁している。ドレイン電極２０は、第２主面１０ｂにおいて炭化珪素単結晶基板１１と接しており、ドリフト領域１２と電気的に接続されている。ドレイン電極２０は、たとえばＮｉＳｉまたはＴｉＡｌＳｉを含む材料からなる。

[0051] 次に、電界緩和領域の第１変形例の構成について説明する。

図６に示されるように、電界緩和領域２は、第１電界緩和領域部２ａと、第２電界緩和領域部２ｂと、第３電界緩和領域部２ｃとを含んでいてもよい。第２電界緩和領域部２ｂは、第１電界緩和領域部２ａよりも第２主面１０ｂ側に位置している。第３電界緩和領域部２ｃは、第２電界緩和領域部２ｂよりも第２主面１０ｂ側に位置している。第２主面１０ｂに平行な方向において、第２電界緩和領域部２ｂの幅は、第１電界緩和領域部２ａの幅よりも

小さい。第２主面１０ｂに平行な方向において、第３電界緩和領域部２ｃの幅は、第２電界緩和領域部２ｂの幅よりも小さい。

[0052] 第１電界緩和領域部２ａは、第２電界緩和領域部２ｂと接していてもよいし、ドリフト領域１２によって第２電界緩和領域部２ｂから隔てられていてもよい。第２電界緩和領域部２ｂは、第３電界緩和領域部２ｃと接していてもよいし、ドリフト領域１２によって第３電界緩和領域部２ｃから隔てられていてもよい。第１電界緩和領域部２ａ、第２電界緩和領域部２ｂおよび第３電界緩和領域部２ｃは、別々にイオン注入されることにより構成されてもよい。第１電界緩和領域部２ａ、第２電界緩和領域部２ｂおよび第３電界緩和領域部２ｃが相互に繋がることにより、全体として一つの電界緩和領域２を構成してもよい。

[0053] 次に、電界緩和領域の第２変形例の構成について説明する。

図７に示されるように、炭化珪素基板１０は、ボディ領域１３と電界緩和領域２との間に位置する第４不純物領域３を含んでいてもよい。第４不純物領域３は、たとえばアルミニウムなどのｐ型不純物を含み、ｐ型の導電型を有する。第４不純物領域３は、コンタクト領域１８に対面している。第４不純物領域３は、電界緩和領域２に接して設けられている。第４不純物領域３とボディ領域１３との間にはドリフト領域１２が設けられている。第２主面１０ｂと平行な方向における第４不純物領域３の幅Ｗ４は、電界緩和領域２の第３主面２ａ１の幅Ｗ１よりも小さくてもよい。第４不純物領域３の幅Ｗ４は、電界緩和領域２の第４主面２ｂ１の幅Ｗ２よりも小さくてもよい。

[0054] 次に、電界緩和領域の第３変形例の構成について説明する。

図８に示されるように、第４不純物領域３は、ボディ領域１３から離間され、かつ電界緩和領域２から離間されていてもよい。第４不純物領域３は、周囲をドリフト領域１２に囲まれていてもよい。第４不純物領域３とボディ領域１３との間にドリフト領域１２が設けられていてもよい。第４不純物領域３と電界緩和領域２との間にドリフト領域１２が設けられていてもよい。

[0055] 次に、電界緩和領域の第４変形例の構成について説明する。

図９に示されるように、第４不純物領域３は、ボディ領域１３および電界緩和領域２の双方に接していてもよい。これにより、電界緩和領域２は、第４不純物領域３を介してボディ領域１３と電気的に接続される。第４不純物領域３の側面は、ドリフト領域１２に取り囲まれていてもよい。

[0056] 次に、電界緩和領域の第５変形例の構成について説明する。

図１０に示されるように、断面視において、電界緩和領域２の形状は、逆台形状であってもよい。電界緩和領域２の側面２ｓと、第４主面２ｂ１との間の角度は、９０°よりも大きくなる。そのため、電界緩和領域２の角部Ｃ３における電界集中を緩和することができる。電界緩和領域２の側面２ｓと、第３主面２ａ１との間の角度φは、たとえば２０°以上５０°以下である。これにより、第１主面１０ａから第２主面１０ｂに向かって、電界緩和領域２に挟まれたドリフト領域１２の幅が広がるため、炭化珪素半導体装置１のオン抵抗を低減することができる。

[0057] 次に、特殊面の構成について説明する。

上述した側部ＳＷは、特にボディ領域１３上の部分において、特殊面を有する。特殊面を有する側部ＳＷは、図１１に示すように、面方位｛０－３３－８｝を有する面Ｓ１（第１の面）を含む。言い換えれば、トレンチＴＲの側部ＳＷ上においてボディ領域１３には、面Ｓ１を含む表面が設けられている。面Ｓ１は好ましくは面方位（０－３３－８）を有する。

[0058] より好ましくは、側部ＳＷは面Ｓ１を微視的に含み、側部ＳＷはさらに、面方位｛０－１１－１｝を有する面Ｓ２（第２の面）を微視的に含む。ここで「微視的」とは、原子間隔の２倍程度の寸法を少なくとも考慮する程度に詳細に、ということを意味する。このように微視的な構造の観察方法としては、たとえばＴＥＭを用いることができる。面Ｓ２は好ましくは面方位（０－１１－１）を有する。

[0059] 好ましくは、側部ＳＷの面Ｓ１および面Ｓ２は、面方位｛０－１１－２｝を有する複合面ＳＲを構成している。すなわち複合面ＳＲは、面Ｓ１およびＳ２が周期的に繰り返されることによって構成されている。このような周期

的構造は、たとえば、ＴＥＭまたはＡＦＭ（Ａｔｏｍｉｃ　Ｆｏｒｃｅ　Ｍｉｃｒｏｓｃｏｐｙ）により観察し得る。この場合、複合面ＳＲは｛０００－１｝面に対して巨視的に６２°のオフ角を有する。ここで「巨視的」とは、原子間隔程度の寸法を有する微細構造を無視することを意味する。このように巨視的なオフ角の測定としては、たとえば、一般的なＸ線回折を用いた方法を用い得る。好ましくは、複合面ＳＲは、面方位（０－１１－２）を有する。この場合、複合面ＳＲは（０００－１）面に対して巨視的に６２°のオフ角を有する。

[0060] ＴＥＭとしては、たとえば日本電子株式会社製のＪＥＭ－２１００Ｆが使用可能である。試料分析領域は、たとえば１０μｍ×１０μｍ×０．１μｍである。加速電圧は、たとえば２００ｋＶである。ＡＦＭとしては、たとえば日本ビーコ株式会社製のＤｉｍｅｎｓｉｏｎ　Ｉｃｏｎ　ＳＰＭ　Ｓｙｓｔｅｍが使用可能である。試料分析領域は、たとえば９０μｍ×９０μｍである。スキャンレートは、たとえば０．２Ｈｚである。チップ速度は、たとえば８μｍ／秒である。振幅セットポイントは、たとえば１５．５ｎｍである。Ｚレンジは、たとえば１μｍである。試料に合わせて上記各パラメータが調整される。Ｘ線回折装置としては、たとえば株式会社リガク製のＳｍａｒｔＬａｂが使用可能である。試料分析領域は、たとえば０．３ｍｍφ以上０．８ｍｍφ以下である。使用管球は、たとえばＣｕである。出力は、たとえば４５ｋＶ、８０ｍＡである。たとえば、Ｘ線回折装置で第１主面１０ａが（０００－１）面であることを確認した後、ＡＦＭでトレンチＴＲの側部ＳＷが測定される。

[0061] 好ましくは、チャネル面上においてキャリアが流れる方向であるチャネル方向ＣＤは、上述した周期的繰り返しが行われる方向に沿っている。

[0062] 次に、複合面ＳＲの詳細な構造について説明する。

一般に、ポリタイプ４Ｈの炭化珪素単結晶を（０００－１）面から見ると、図１２に示すように、Ｓｉ原子（またはＣ原子）は、Ａ層の原子（図中の実線）と、この下に位置するＢ層の原子（図中の破線）と、この下に位置す

るＣ層の原子（図中の一点鎖線）と、この下に位置するＢ層の原子（図示せず）とが繰り返し設けられている。つまり４つの層ＡＢＣＢを１周期としてＡＢＣＢＡＢＣＢＡＢＣＢ・・・のような周期的な積層構造が設けられている。

[0063] 図１３に示すように、（１１－２０）面（図１２の線ＸＩＩＩ－ＸＩＩＩの断面）において、上述した１周期を構成する４つの層ＡＢＣＢの各層の原子は、（０－１１－２）面に完全に沿うようには配列されていない。図１３においてはＢ層の原子の位置を通るように（０－１１－２）面が示されており、この場合、Ａ層およびＣ層の各々の原子は（０－１１－２）面からずれていることがわかる。このため、炭化珪素単結晶の表面の巨視的な面方位、すなわち原子レベルの構造を無視した場合の面方位が（０－１１－２）に限定されたとしても、この表面は、微視的には様々な構造をとり得る。

[0064] 図１４に示すように、複合面ＳＲは、面方位（０－３３－８）を有する面Ｓ１と、面Ｓ１につながりかつ面Ｓ１の面方位と異なる面方位を有する面Ｓ２とが交互に設けられることによって構成されている。面Ｓ１および面Ｓ２の各々の長さは、Ｓｉ原子（またはＣ原子）の原子間隔の２倍である。なお面Ｓ１および面Ｓ２が平均化された面は、（０－１１－２）面（図１３）に対応する。

[0065] 図１５に示すように、複合面ＳＲを（０１－１０）面から見て単結晶構造は、部分的に見て立方晶と等価な構造（面Ｓ１の部分）を周期的に含んでいる。具体的には複合面ＳＲは、上述した立方晶と等価な構造における面方位（００１）を有する面Ｓ１と、面Ｓ１につながりかつ面Ｓ１の面方位と異なる面方位を有する面Ｓ２とが交互に設けられることによって構成されている。このように、立方晶と等価な構造における面方位（００１）を有する面（図１１においては面Ｓ１）と、この面につながりかつこの面方位と異なる面方位を有する面（図１１においては面Ｓ２）とによって表面を構成することは４Ｈ以外のポリタイプにおいても可能である。ポリタイプは、たとえば６Ｈまたは１５Ｒであってもよい。

[0066] 次に図１６を参照して、側部ＳＷの結晶面と、チャネル面の移動度ＭＢとの関係について説明する。図１６のグラフにおいて、横軸は、チャネル面を有する側部ＳＷの巨視的な面方位と（０００－１）面とのなす角度Ｄ１を示し、縦軸は移動度ＭＢを示す。プロット群ＣＭは側部ＳＷが熱エッチングによる特殊面として仕上げられた場合に対応し、プロット群ＭＣはそのような熱エッチングがなされない場合に対応する。

[0067] プロット群ＭＣにおける移動度ＭＢは、チャネル面の表面の巨視的な面方位が（０－３３－８）のときに最大となった。この理由は、熱エッチングが行われない場合、すなわち、チャネル表面の微視的な構造が特に制御されない場合においては、巨視的な面方位が（０－３３－８）とされることによって、微視的な面方位（０－３３－８）、つまり原子レベルまで考慮した場合の面方位（０－３３－８）が形成される割合が確率的に高くなったためと考えられる。

[0068] 一方、プロット群ＣＭにおける移動度ＭＢは、チャネル面の表面の巨視的な面方位が（０－１１－２）のとき（矢印ＥＸ）に最大となった。この理由は、図１４および図１５に示すように、面方位（０－３３－８）を有する多数の面Ｓ１が面Ｓ２を介して規則正しく稠密に配置されることで、チャネル面の表面において微視的な面方位（０－３３－８）が占める割合が高くなったためと考えられる。

[0069] なお移動度ＭＢは複合面ＳＲ上において方位依存性を有する。図１７に示すグラフにおいて、横軸はチャネル方向と＜０－１１－２＞方向との間の角度Ｄ２を示し、縦軸はチャネル面の移動度ＭＢ（任意単位）を示す。破線はグラフを見やすくするために補助的に付してある。このグラフから、チャネル移動度ＭＢを大きくするには、チャネル方向ＣＤ（図１１）が有する角度Ｄ２は、０°以上６０°以下であることが好ましく、ほぼ０°であることがより好ましいことがわかった。

[0070] 図１８に示すように、側部ＳＷは複合面ＳＲに加えてさらに面Ｓ３（第３の面）を含んでもよい。より具体的には、面Ｓ３および複合面ＳＲが周期的

に繰り返されることによって構成された複合面ＳＱを側部ＳＷが含んでもよい。この場合、側部ＳＷの｛０００－１｝面に対するオフ角は、理想的な複合面ＳＲのオフ角である６２°からずれる。このずれは小さいことが好ましく、±１０°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が{０－３３－８}面となる表面がある。より好ましくは、側部ＳＷの（０００－１）面に対するオフ角は、理想的な複合面ＳＲのオフ角である６２°からずれる。このずれは小さいことが好ましく、±１０°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が（０－３３－８）面となる表面がある。

[0071] このような周期的構造は、たとえば、ＴＥＭまたはＡＦＭにより観察し得る。測定装置、試料分析領域および測定条件の具体例は、上述の通りである。

[0072] 次に、本実施の形態に係るＭＯＳＦＥＴ１の製造方法について説明する。

まず、炭化珪素基板を準備する工程が実施される。図１９に示されるように、炭化珪素単結晶基板１１上にドリフト領域１２が形成される。具体的には、たとえば原料ガスとしてシラン（SiH_4）とプロパン（C_3H_8）との混合ガスを用い、キャリアガスとしてたとえば水素ガス（H_2）を用いたＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により、炭化珪素単結晶基板１１上にドリフト領域１２が形成される。エピタキシャル成長の際、不純物として、たとえば窒素（Ｎ）またはリン（Ｐ）などを導入することが好ましい。ドリフト領域１２は、ｎ型の導電型を有する。

[0073] 次に、ドリフト領域１２に対して、たとえばアルミニウムなどのｐ型不純物がイオン注入されことにより、電界緩和領域２が形成される。たとえば、第１電界緩和領域部２ａが形成された後、第１電界緩和領域部２ａよりも深い位置に、第２電界緩和領域部２ｂが形成される。第１電界緩和領域部２ａよりも幅の狭い開口を有するマスクを用い、第１電界緩和領域部２ａを形成するイオン注入エネルギーよりも高いイオン注入エネルギーで第２電界緩和

領域部２ｂが形成されてもよい。

[0074] 次に、再度エピタキシャル成長により、電界緩和領域２上にドリフト領域１２が形成される。次に、新しく形成されたドリフト領域１２に対して、アルミニウムなどのｐ型不純物がイオン注入されることにより、ボディ領域１３が形成される。次に、ボディ領域１３に対して、たとえばリンなどのｎ型不純物が、ボディ領域１３よりも浅い深さでイオン注入されることによりソース領域１４が形成される。次に、ソース領域１４に対して、たとえばアルミニウムなどのｐ型不純物がイオン注入されることにより、コンタクト領域１８が形成される。コンタクト領域１８は、ソース領域１４を貫通し、ボディ領域１３に接するように形成される（図２０参照）。

[0075] 次に、炭化珪素基板１０にイオン注入された不純物を活性化するため活性化アニールが実施される。活性化アニールの温度は、好ましくは１５００℃以上１９００℃以下であり、たとえば１７００℃程度である。活性化アニールの時間は、たとえば３０分程度である。活性化アニールの雰囲気は、好ましくは不活性ガス雰囲気であり、たとえばＡｒ雰囲気である。

[0076] 次に、トレンチを形成する工程が実施される。たとえば、ソース領域１４およびコンタクト領域１８から構成される第１主面１０ａ上に、トレンチＴＲ（図１）が形成される位置上に開口を有するマスク層（図示せず）が形成される。当該マスク層を用いて、ソース領域１４と、ボディ領域１３と、ドリフト領域１２の一部とがエッチングにより除去される。エッチングの方法としては、たとえば反応性イオンエッチング、特に誘導結合プラズマ反応性イオンエッチングを用いることができる。具体的には、たとえば反応ガスとしてSF_6またはSF_6とO_2との混合ガスを用いた誘導結合プラズマ反応性イオンエッチングを用いることができる。エッチングにより、トレンチＴＲ（図１）が形成されるべき領域に、第１主面１０ａに対してほぼ垂直な側部と、側部と連続的に設けられ、かつ第１主面１０ａとほぼ平行な底部とを有する凹部が形成される。

[0077] 次に、凹部において熱エッチングが行われる。熱エッチングは、たとえば

、少なくとも１種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中での加熱によって行い得る。少なくとも１種類以上のハロゲン原子は、塩素（Ｃｌ）原子およびフッ素（Ｆ）原子の少なくともいずれかを含む。当該雰囲気は、たとえば、Cl_2、BCL_3、SF_6、またはCF_4を含む。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば７００℃以上１０００℃以下として、熱エッチングが行われる。なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素（N_2）ガス、アルゴンガス、ヘリウムガスなどを用いることができる。熱エッチングの際に、マスク層は、ＳｉＣに対する選択比が極めて大きいので、ＳｉＣのエッチング中に実質的にエッチングされない。

[0078] 図２１に示されるように、上記熱エッチングにより、炭化珪素基板１０の第１主面１０ａにトレンチＴＲが形成される。トレンチＴＲは、ソース領域１４およびボディ領域１３を貫通してドリフト領域１２に至る側部ＳＷと、ドリフト領域１２に位置する底部ＢＴとにより規定されている。底部ＢＴと側部ＳＷとにより形成される角度θは、たとえば１１０°以上１３０°以下である。好ましくは、側部ＳＷは、上述した特殊面を含む。第２主面１０ｂに対して垂直な方向において、電界緩和領域２の第３主面２ａ１は、底部ＢＴと第２主面１０ｂとの間に位置する。

[0079] 次に、ゲート絶縁膜を形成する工程が実施される。たとえば、炭化珪素基板１０が酸素雰囲気中において熱酸化されることにより、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とに接するゲート絶縁膜１５が形成される。具体的には、炭化珪素基板１０が、酸素を含む雰囲気中において、たとえば１３００℃以上１４００℃以下の温度で加熱される。これにより、側部ＳＷにおいて、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とに接し、かつ底部ＢＴにおいてドリフト領域１２と接するゲート絶縁膜１５が形成される。

[0080] 炭化珪素基板１０を熱酸化した後に、一酸化窒素（ＮＯ）ガス雰囲気中に

おいて炭化珪素基板１０に対して熱処理（ＮＯアニール）が行われてもよい。ＮＯアニールにおいて、炭化珪素基板１０が、たとえば１１００℃以上１３００℃以下の条件下で１時間程度保持される。これにより、ゲート絶縁膜１５とボディ領域１３との界面領域に窒素原子が導入される。その結果、界面領域における界面準位の形成が抑制されることで、チャネル移動度を向上させることができる。なお、窒素原子の導入が可能であれば、ＮＯガス以外のガス（たとえばN_2O）が雰囲気ガスとして用いられてもよい。ＮＯアニールの後にさらに、雰囲気ガスとしてアルゴン（Ａｒ）を用いるＡｒアニールが行われてもよい。Ａｒアニールの加熱温度は、たとえば上記ＮＯアニールの加熱温度以上である。Ａｒアニールの時間は、たとえば１時間程度である。これにより、ゲート絶縁膜１５とボディ領域１３との界面領域における界面準位の形成がさらに抑制される。

[0081] 次に、ゲート電極を形成する工程が実施される。たとえば、トレンチＴＲの内部においてゲート絶縁膜１５に接するゲート電極２７が形成される。ゲート電極２７は、トレンチＴＲの内部に配置され、ゲート絶縁膜１５上においてトレンチＴＲの側部ＳＷおよび底部ＢＴの各々と対面するように形成される。ゲート電極２７は、たとえばＬＰＣＶＤ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により形成される。

[0082] 次に、層間絶縁膜を形成する工程が形成される。たとえば、ゲート電極２７を覆い、かつゲート絶縁膜１５と接するように層間絶縁膜２２が形成される。好ましくは、層間絶縁膜２２は、堆積法により形成され、より好ましくは化学気相成長法により形成される。層間絶縁膜２２は、たとえば二酸化珪素を含む材料からなる。次に、ソース領域１４およびコンタクト領域１８上に開口部が形成されるように、層間絶縁膜２２およびゲート絶縁膜１５の一部がエッチングされる。これにより、コンタクト領域１８およびソース領域１４がゲート絶縁膜１５から露出する（図２２参照）。

[0083] 次に、ソース電極を形成する工程が実施される。次に、第１主面１０ａに

おいてソース領域１４およびコンタクト領域１８に接するソース電極１６が形成される。ソース電極１６は、たとえばスパッタリング法により形成される。ソース電極１６は、たとえばＴｉ、ＡｌおよびＳｉを含む材料からなる。次に、合金化アニールが実施される。具体的には、ソース領域１４およびコンタクト領域１８と接するソース電極１６が、たとえば９００℃以上１１００℃以下の温度で５分程度保持される。これにより、ソース電極１６の少なくとも一部が、炭化珪素基板１０が含む珪素と反応してシリサイド化する。これにより、ソース領域１４とオーミック接合するソース電極１６が形成される。好ましくは、ソース電極１６は、コンタクト領域１８とオーミック接合する。

[0084] 次に、ソース電極１６と電気的に接続されるソース配線１９が形成される。ソース配線１９は、ソース電極１６および層間絶縁膜２２上に形成される。次に、炭化珪素基板１０の第２主面１０ｂと接するようにドレイン電極２０が形成される。以上により、本実施の形態に係るＭＯＳＦＥＴ１（図１）が完成する。

[0085] なお、上記実施の形態においては、炭化珪素半導体装置は、ＭＯＳＦＥＴの場合について説明したが、炭化珪素半導体装置は、ＭＯＳＦＥＴに限定されない。炭化珪素半導体装置は、たとえばＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）等であってもよい。また上記実施の形態では、ｎ型を第１導電型とし、かつｐ型を第２導電型して説明したが、ｐ型を第１導電型とし、かつｎ型を第２導電型としてもよい。

[0086] 次に、実施の形態に係るＭＯＳＦＥＴの作用効果について説明する。

実施の形態に係るＭＯＳＦＥＴ１によれば、第３主面２ａ１の幅Ｗ１は、第４主面２ｂ１の幅Ｗ２よりも大きい。これにより、電界緩和領域２の第４主面２ｂ１の端部Ｃ３における電界強度を低減することができる。そのため、アバランシェ降伏の発生を抑制することができる。また電界緩和領域２の第３主面２ａ１の幅Ｗ１が大きいため、第３主面２ａ１をトレンチＴＲの角部Ｃ１の近くに配置することができる。そのため、トレンチＴＲの角部Ｃ１

における電界集中を緩和することができる。

[0087] また実施の形態に係るＭＯＳＦＥＴ１によれば、第２主面１０ｂに対して垂直な方向から見て、第２不純物領域１３の外縁１３ｐは、電界緩和領域２を取り囲むように設けられていている。これにより、ドリフト領域１２を流れる電流の経路が狭窄されることを抑制することができる。結果として、ＭＯＳＦＥＴ１のオン抵抗を低減することができる。

[0088] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、炭化珪素基板１０は、ボディ領域１３と電界緩和領域２との間に位置し、かつ第２導電型を有する第４不純物領域３を含んでいる。これにより、第２不純物領域１３と電界緩和領域２を電気的に接続することができ、スイッチング速度を早くすることができる。

[0089] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、第４不純物領域３は、ボディ領域１３および電界緩和領域２の双方に接している。これにより、ボディ領域１３から電界緩和領域２に対して電子またはホールを容易に供給することができる。

[0090] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、ボディ領域１３は、ドリフト領域１２との境界面である第５主面１３ａを有し、第２主面１０ｂに平行な方向における第５主面１３ａの幅の半分をW_b（μｍ）とし、第２主面１０ｂに対して平行な方向における第３主面２ａ１の幅の半分をW_u（μｍ）とし、第１不純物領域１２における不純物濃度をN_d（cm^{-3}）とし、電界緩和領域２における不純物濃度をN_a（cm^{-3}）とし、真空の誘電率をε_0（$F \cdot m^{-1}$）とし、炭化珪素の誘電率をε_{SiC}（$F \cdot m^{-1}$）とし、素電荷をｅ（Ｃ）とし、拡散電位をV_{bi}（Ｖ）としたとき、上記数式１を満たしている。これにより、ＭＯＳＦＥＴ１の耐圧を高く維持しつつオン抵抗を低減することができる。

[0091] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、炭化珪素基板１０は、第２主面１０ｂを構成する炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に設けられ、かつ第１主面１０ａを構成する炭化珪素エピタキシャル

層２４とを含む。電界緩和領域２の不純物ドーズ量をD_{rx}（cm^{-2}）し、第２主面１０ｂに対して垂直な方向における、第４主面２ｂ１と、炭化珪素単結晶基板１１および炭化珪素エピタキシャル層２４の境界面１１ａとの距離をL_d（ｃｍ）とし、ドリフト領域１２における不純物濃度をN_d（cm^{-3}）としたとき、上記数式２を満たしている。これにより、電界緩和領域２から境界面１１ａへ空乏層が延びる前に、電界緩和領域２が完全に空乏化することが抑制される。これにより、電界緩和領域２と境界面１１ａとの間に、十分な長さを有する空乏層が形成され得る。結果として、ＭＯＳＦＥＴ１の耐圧を高く維持することができる。

[0092] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、側部ＳＷと底部ＢＴとがなす角度θは９０°よりも大きい。側部ＳＷと底部ＢＴとがなす角度θが９０°の場合、電界緩和領域２が側部ＳＷの直下に位置するときのオン抵抗と、電界緩和領域２が側部ＳＷの直下よりも第１主面１０ａと平行な方向に少しシフトしたときのオン抵抗とは、大きく異なる。一方、側部ＳＷと底部ＢＴとがなす角度θが９０°よりも大きい場合、側部ＳＷに対する電界緩和領域２の位置が少し変化しても、オン抵抗は大きく異ならない。そのため、側部ＳＷと底部ＢＴとがなす角度θが９０°よりも大きい場合は、たとえばアライメント誤差により、トレンチＴＲに対する電界緩和領域２の位置がウェハの面内でばらついた場合であっても、オン抵抗が大きく変化することを抑制することができる。

[0093] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、側部ＳＷは、面方位｛０－３３－８｝を有する第１の面Ｓ１を含んでもよい。これにより、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0094] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、側部ＳＷは、第１の面Ｓ１を微視的に含み、側部ＳＷはさらに、面方位｛０－１１－１｝を有する第２の面Ｓ２を微視的に含んでもよい。これにより、側部ＳＷにおけるチャネル抵抗をより低減することができる。

[0095] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、第１の面Ｓ１および第

２の面Ｓ２は、面方位｛０－１１－２｝を有する複合面ＳＲを構成してもよい。これにより、側部ＳＷにおけるチャネル抵抗をより低減することができる。

[0096] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、側部ＳＷは、｛０００－１｝面に対して、巨視的に６２°±１０°のオフ角を有してもよい。これにより、側部ＳＷにおけるチャネル抵抗をより低減することができる。

実施例

[0097] （サンプル準備）

まず、電界緩和領域２の第３主面２ａ１の幅Ｗ１の幅を変化させて５種類のＭＯＳＦＥＴ１（図２参照）が準備される。具体的には、第３主面２ａ１の幅Ｗ１は、２μｍ、２．５μｍ、３μｍ、３．５μｍおよび４．５μｍである。W_pは、幅Ｗ１の半分の値である。ボディ領域１３の第５主面１３ａの幅Ｗ３（図２参照）は、２．７μｍである。W_bは、幅Ｗ３の半分の値である。電界緩和領域２が含むアルミニウムの濃度は、$１\times１０^{18}ｃｍ^{-3}$である。ボディ領域１３が含むアルミニウムの濃度は、$１\times１０^{18}ｃｍ^{-3}$である。ドリフト領域１２が含む窒素の濃度は、$６\times１０^{15}ｃｍ^{-3}$である。ドリフト領域１２の厚みは、１０μｍである。ボディ領域１３が含むアルミニウムの濃度およびドリフト領域１２が含む窒素の濃度から算出される空乏層の幅W_{dep}は約０．６μｍである。

[0098] （実験条件）

上記５種類のＭＯＳＦＥＴ１のオン抵抗と耐圧が測定される。オン抵抗の測定においては、ドレイン電極２０およびソース電極１６間の電圧$Ｖ_{ＤＳ}$は、２Ｖである。ゲート電極２７およびソース電極１６間の電位差$Ｖ_{ＧＳ}$は、１５Ｖである。ゲート電極２７およびソース電極１６間の電位差$Ｖ_{ＧＳ}$を０Ｖとする。ドレイン電極２０およびソース電極１６間の電圧$Ｖ_{ＤＳ}$を０Ｖと１６００Ｖとの間で変化させ、ドレイン電極２０およびソース電極１６間に流れる電流$Ｉ_{ＤＳ}$が１μＡとなるときの電圧$Ｖ_{ＤＳ}$を耐圧とする。

[0099] （実験結果）

図２３は、ＭＯＳＦＥＴのオン抵抗と、$W_b-W_u-W_{dep}$との関係を示す実験データである。図２３に示されるように、$W_b-W_u-W_{dep}>0$（言い換えれば、$W_b>W_u+W_{dep}$）の条件において、オン抵抗が急激に小さくなる。$W_b-W_u-W_{dep}\geqq 0.5\mu m$となると、オン抵抗は飽和する傾向が見られる。図２４は、ＭＯＳＦＥＴの耐圧と、$W_b-W_u-W_{dep}$との関係を示す実験データである。図２４に示されるように、$W_b-W_u-W_{dep}$が増加すると、耐圧が減少する傾向が見られる。また$W_b-W_u-W_{dep}\geqq 0.5\mu m$となると、耐圧は急激に減少する傾向が見られる。以上の結果より、耐圧とオン抵抗の両立の観点からは、$W_b-W_u-W_{dep}$は、０より大きく、かつ０．５μｍ未満であることが望ましいことが分かる。

[0100] 今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0101] １　炭化珪素半導体装置（ＭＯＳＦＥＴ）、２　電界緩和領域、２ａ１　第３主面、２ａ　第１電界緩和領域部、２ｂ１　第４主面、２ｂ　第２電界緩和領域部、２ｃ　第３電界緩和領域部、２ｓ　側面、３　第４不純物領域、１０　炭化珪素基板、１０ａ　第１主面、１０ｂ　第２主面、１１　炭化珪素単結晶基板、１１ａ　境界面、１２　第１不純物領域（ドリフト領域）、１３　第２不純物領域（ボディ領域）、１３ａ　第５主面、１３ｐ，１４ｐ　外縁、１４　第３不純物領域（ソース領域）、１５　ゲート絶縁膜、１６　ソース電極、１８　コンタクト領域、１９　ソース配線、２０　ドレイン電極、２２　層間絶縁膜、２４　炭化珪素エピタキシャル層、２７　ゲート電極、ＢＴ　底部、Ｃ１，Ｃ２　角部、Ｃ３　端部、角部、ＣＤ　チャネル方向、Ｈ１，Ｈ２　厚み、Ｈ３，Ｈ４　距離、Ｈ５　深さ、Ｓ１　第１の面、Ｓ２　第２の面、ＳＱ，ＳＲ　複合面、ＳＷ　側部、ＴＲ　トレンチ、Ｗ１，Ｗ２，Ｗ３，Ｗ４　幅。

請求の範囲

[請求項1] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板を備え、

前記炭化珪素基板は、第１導電型を有する第１不純物領域と、

前記第１不純物領域上に設けられ、前記第１導電型と異なる第２導電型を有する第２不純物領域と、

前記第１不純物領域から隔てられるように前記第２不純物領域上に設けられ、前記第１主面を構成し、かつ前記第１導電型を有する第３不純物領域と、

前記第１不純物領域内に位置し、かつ前記第２導電型を有する電界緩和領域とを含み、

前記第１主面には、前記第２不純物領域および前記第３不純物領域を貫通し、かつ前記第１不純物領域に至る側部と、前記側部と連続して設けられた底部とにより規定されたトレンチが形成されており、さらに、

前記底部において前記第１不純物領域と接し、かつ前記側部において前記第１不純物領域と、前記第２不純物領域と、前記第３不純物領域とに接するゲート絶縁膜とを備え、

前記電界緩和領域は、前記第１主面に対面する第３主面と、前記第２主面に対面する第４主面とを有し、

前記第２主面に平行な方向における、前記第３主面の幅は、前記第４主面の幅よりも大きい、炭化珪素半導体装置。

[請求項2] 前記第２主面に対して垂直な方向から見て、前記第２不純物領域の外縁は、前記電界緩和領域を取り囲むように設けられている、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記炭化珪素基板は、前記第２不純物領域と前記電界緩和領域との間に位置し、かつ前記第２導電型を有する第４不純物領域を含む、請求項１または請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記第４不純物領域は、前記第２不純物領域および前記電界緩和領域の双方に接している、請求項３に記載の炭化珪素半導体装置。

[請求項5] 前記第２不純物領域は、前記第１不純物領域との境界面である第５主面を有し、

前記第２主面に平行な方向における前記第５主面の幅の半分をW_b（μｍ）とし、前記第２主面に対して平行な方向における前記第３主面の幅の半分をW_u（μｍ）とし、前記第１不純物領域における不純物濃度をN_d（ｃｍ$^{-3}$）とし、前記電界緩和領域における不純物濃度をN_a（ｃｍ$^{-3}$）とし、真空の誘電率をε_0（Ｆ・ｍ$^{-1}$）とし、炭化珪素の誘電率をε_{SiC}（Ｆ・ｍ$^{-1}$）とし、素電荷をｅ（Ｃ）とし、拡散電位をV_{bi}（Ｖ）としたとき、以下の数式を満たす、請求項１～請求項４のいずれか１項に記載の炭化珪素半導体装置。

[数1]

$$W_b > W_u + \sqrt{\frac{2\varepsilon_{sic}\varepsilon_0 V_{bi}}{eN_d} \cdot \frac{N_a}{N_d + N_a}}$$

[請求項6] 前記炭化珪素基板は、前記第２主面を構成する炭化珪素単結晶基板と、前記炭化珪素単結晶基板上に設けられ、かつ前記第１主面を構成する炭化珪素エピタキシャル層とを含み、

前記電界緩和領域の不純物ドーズ量をD_{rx}（ｃｍ$^{-2}$）し、前記第２主面に対して垂直な方向における、前記第４主面と、前記炭化珪素単結晶基板および前記炭化珪素エピタキシャル層の境界面との距離をL_d（ｃｍ）とし、前記第１不純物領域における不純物濃度をN_d（ｃｍ$^{-3}$）としたとき、以下の数式を満たす、請求項１～請求項５のいずれか１項に記載の炭化珪素半導体装置。

[数2]

$$D_{rx} > L_d \cdot N_d$$

[請求項7] 前記側部と前記底部とがなす角度は９０°よりも大きい、請求項１～請求項６のいずれか１項に記載の炭化珪素半導体装置。

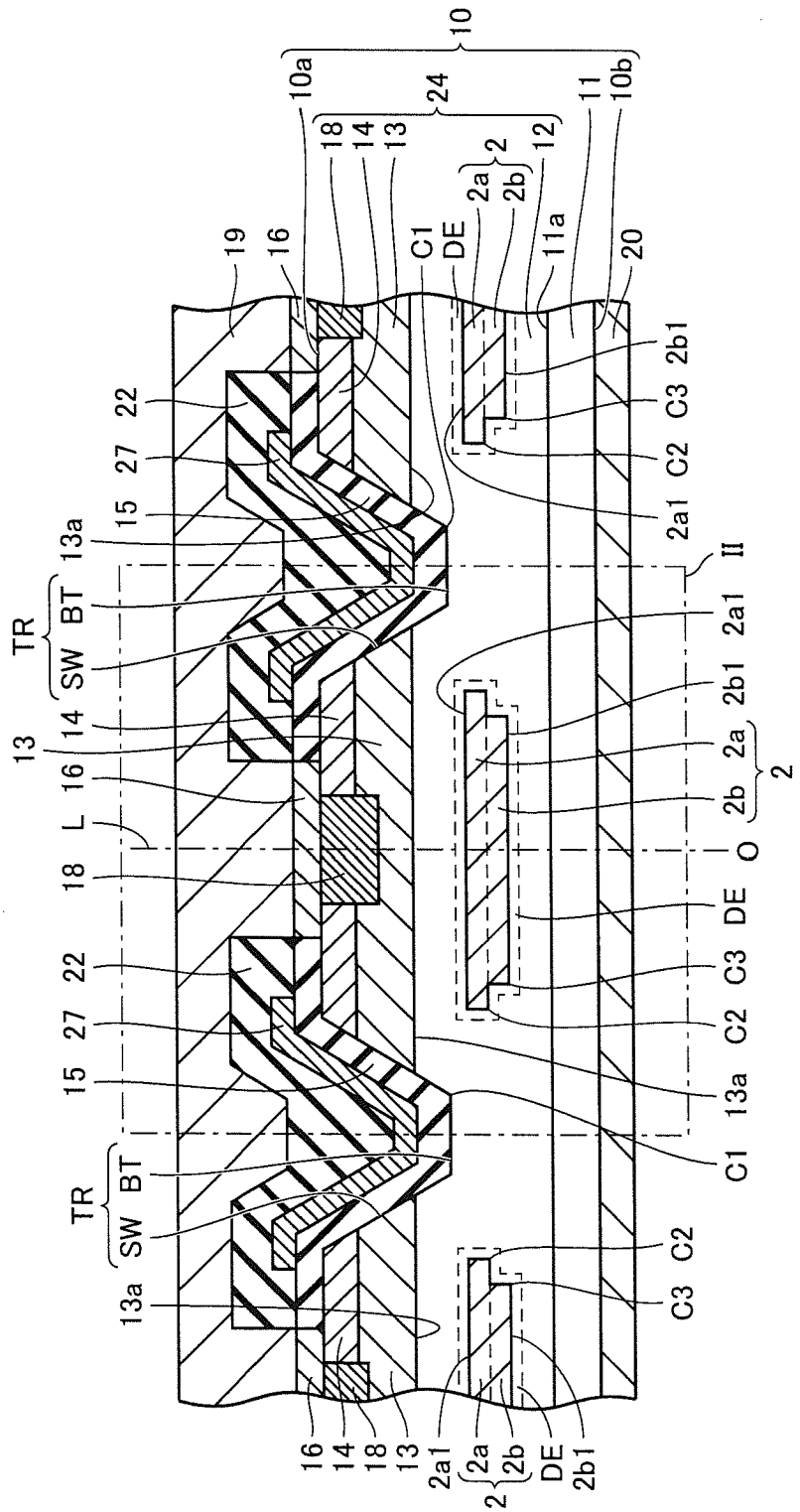
[請求項8] 前記側部は、面方位｛０－３３－８｝を有する第１の面を含む、請求項１～請求項７のいずれか１項に記載の炭化珪素半導体装置。

[請求項9] 前記側部は、前記第１の面を微視的に含み、前記側部はさらに、面方位｛０－１１－１｝を有する第２の面を微視的に含む、請求項８に記載の炭化珪素半導体装置。

[請求項10] 前記第１の面および前記第２の面は、面方位｛０－１１－２｝を有する複合面を構成する、請求項９に記載の炭化珪素半導体装置。

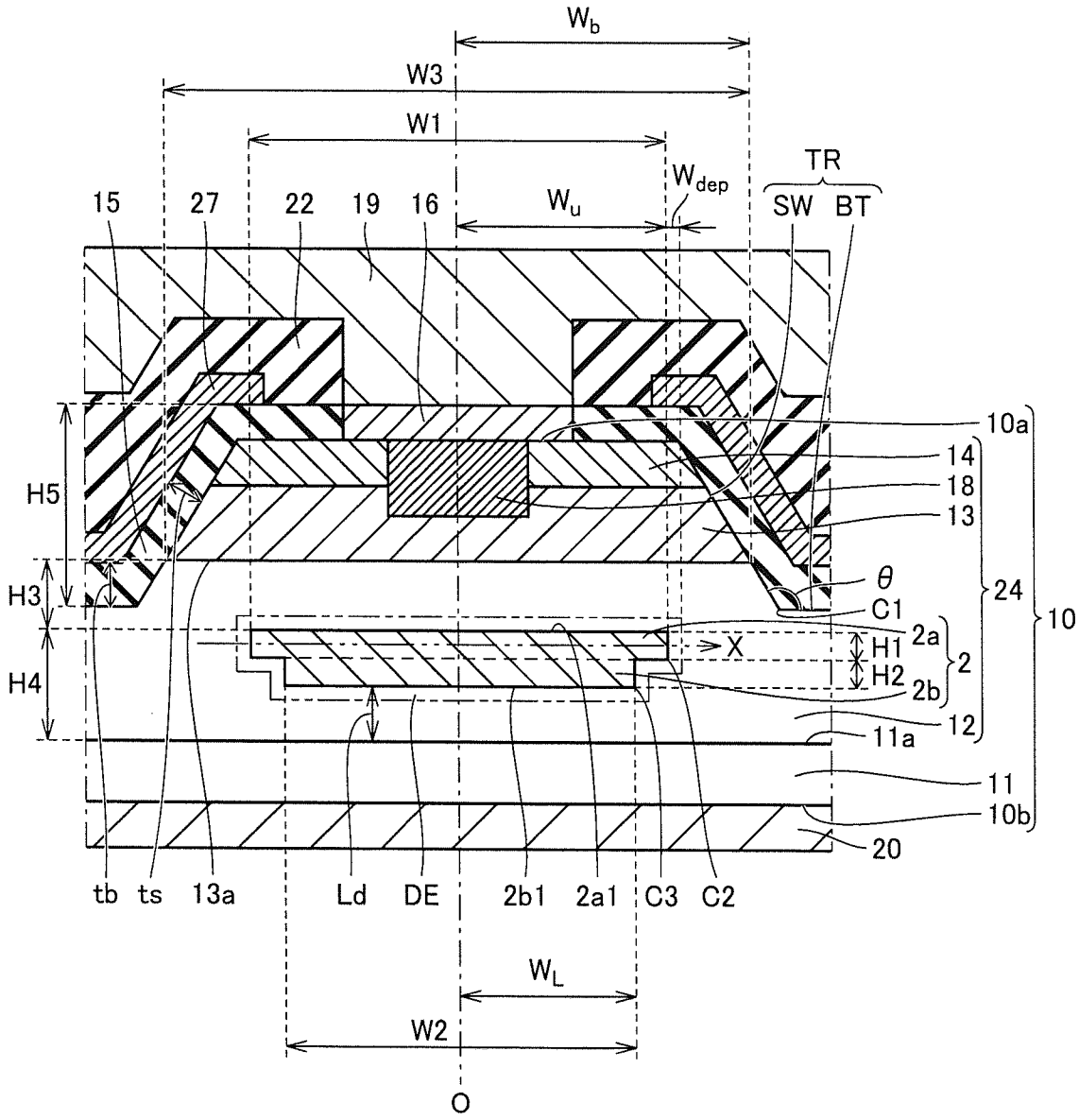
[請求項11] 前記側部は、｛０００－１｝面に対して、巨視的に６２°±１０°のオフ角を有する、請求項１０に記載の炭化珪素半導体装置。

[図1]


10
10a
10b
24
18
14
13
12
11
2
2a
2b
11a
20
19
16
C1
DE
22
27
15
13a
TR
BT
SW
L
O
II
C2
C3
2a1
2b1
2
FIG.1

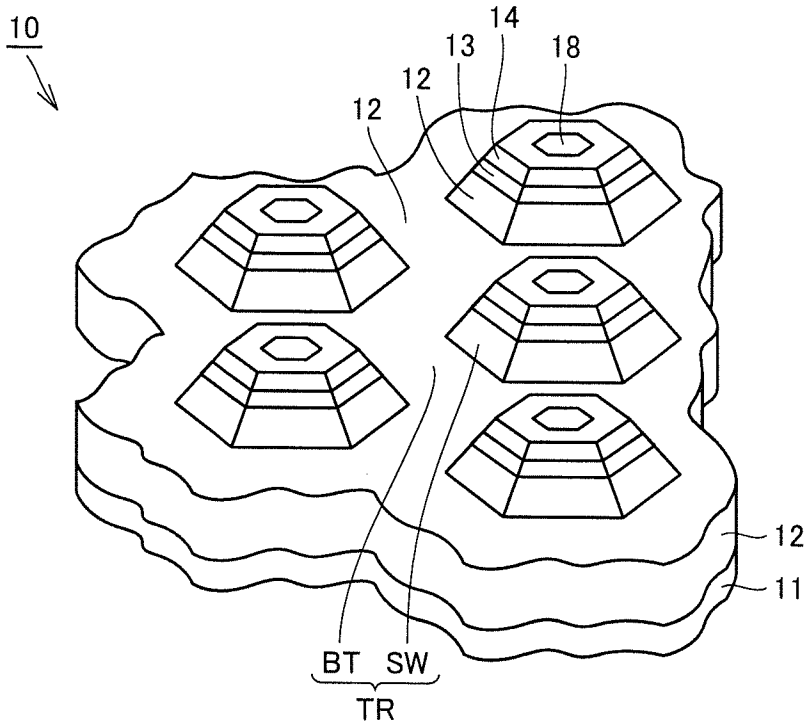
[図2]

FIG.2


Wb
W3
W1
Wdep
TR
SW
BT
15
27
22
19
16
Wu
10a
14
18
13
H5
H3
H4
θ
C1
24
10
X
H1
H2
2a
2b
2
12
11a
11
10b
20
tb
ts
13a
Ld
DE
2b1
2a1
C3
C2
WL
W2
O

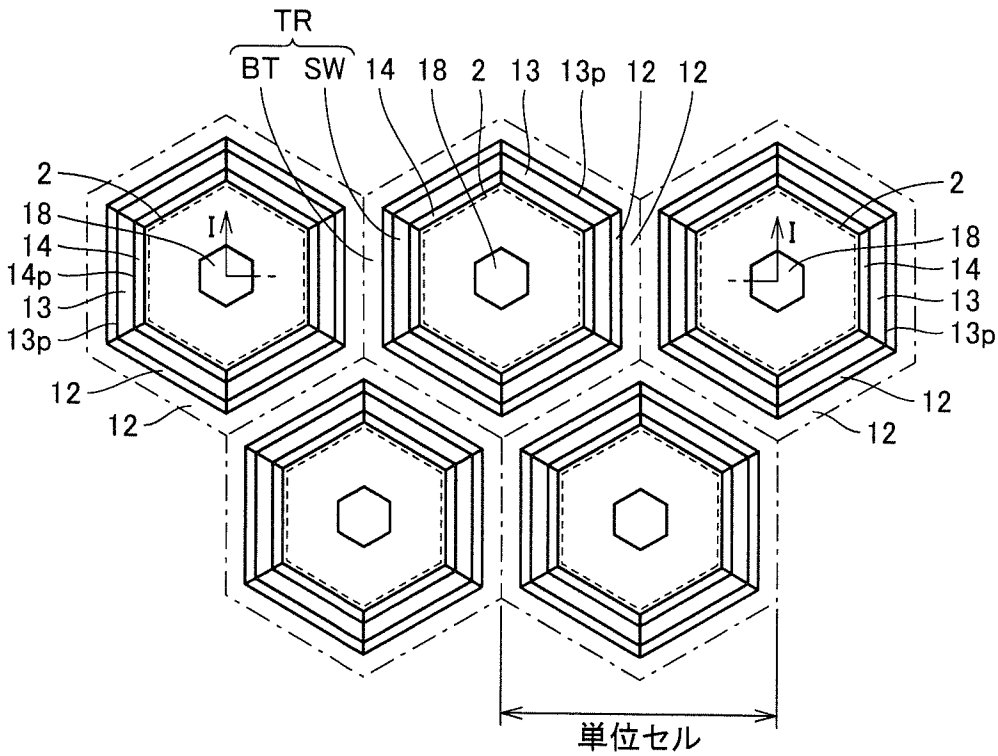
[図3]

FIG.3



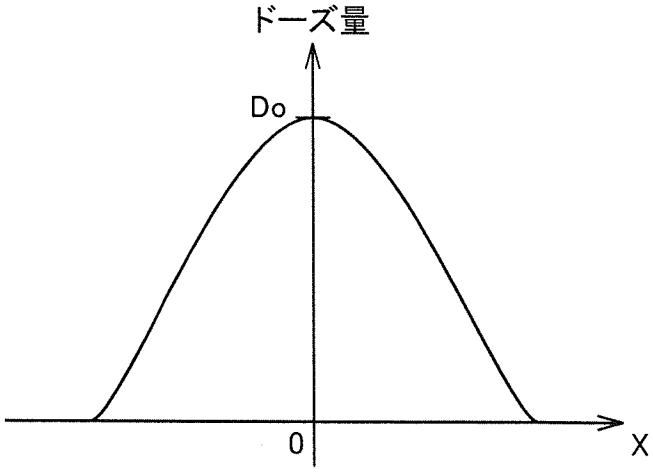
[図4]

FIG.4



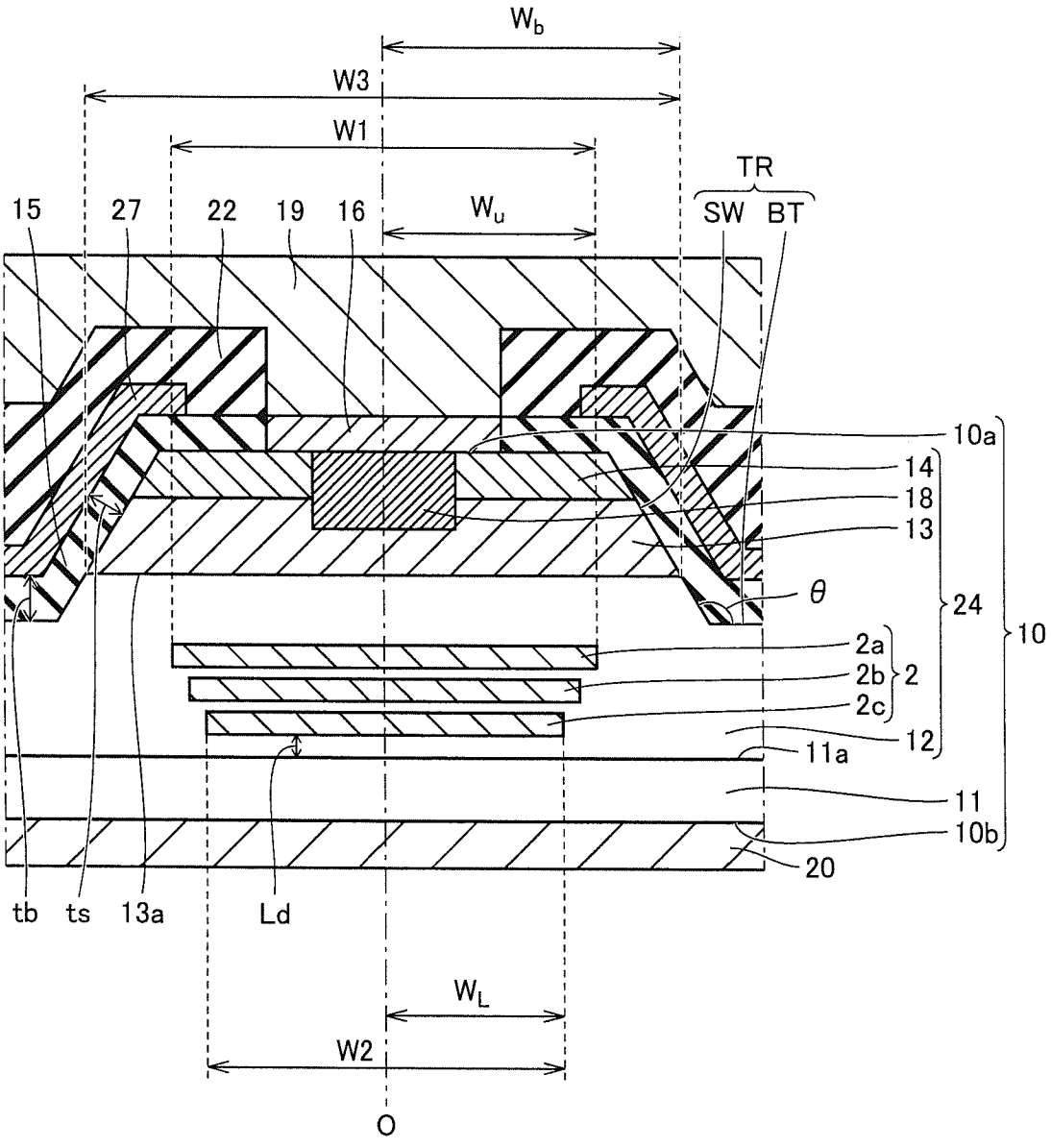
[図5]

FIG.5



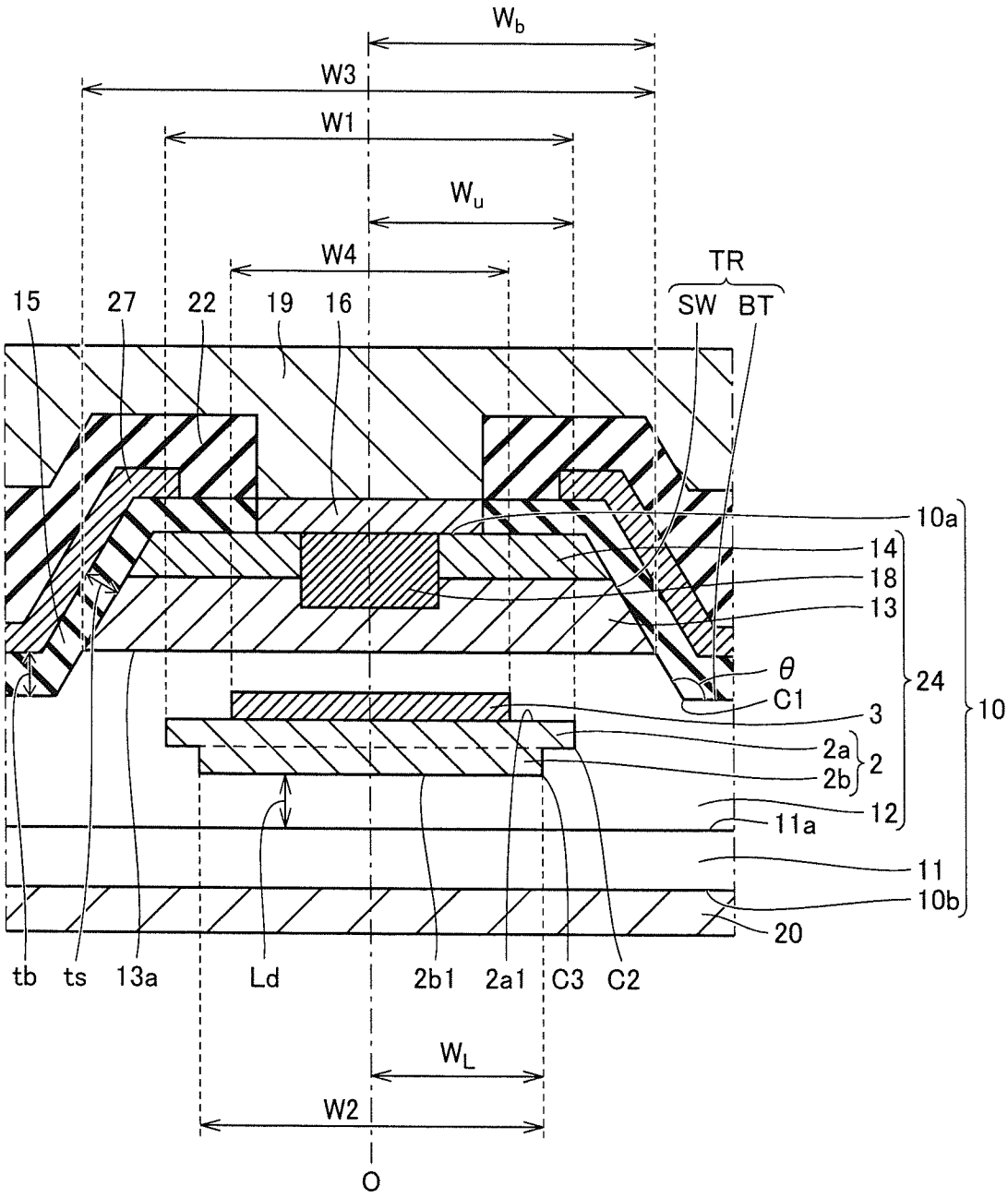
[図6]

FIG.6



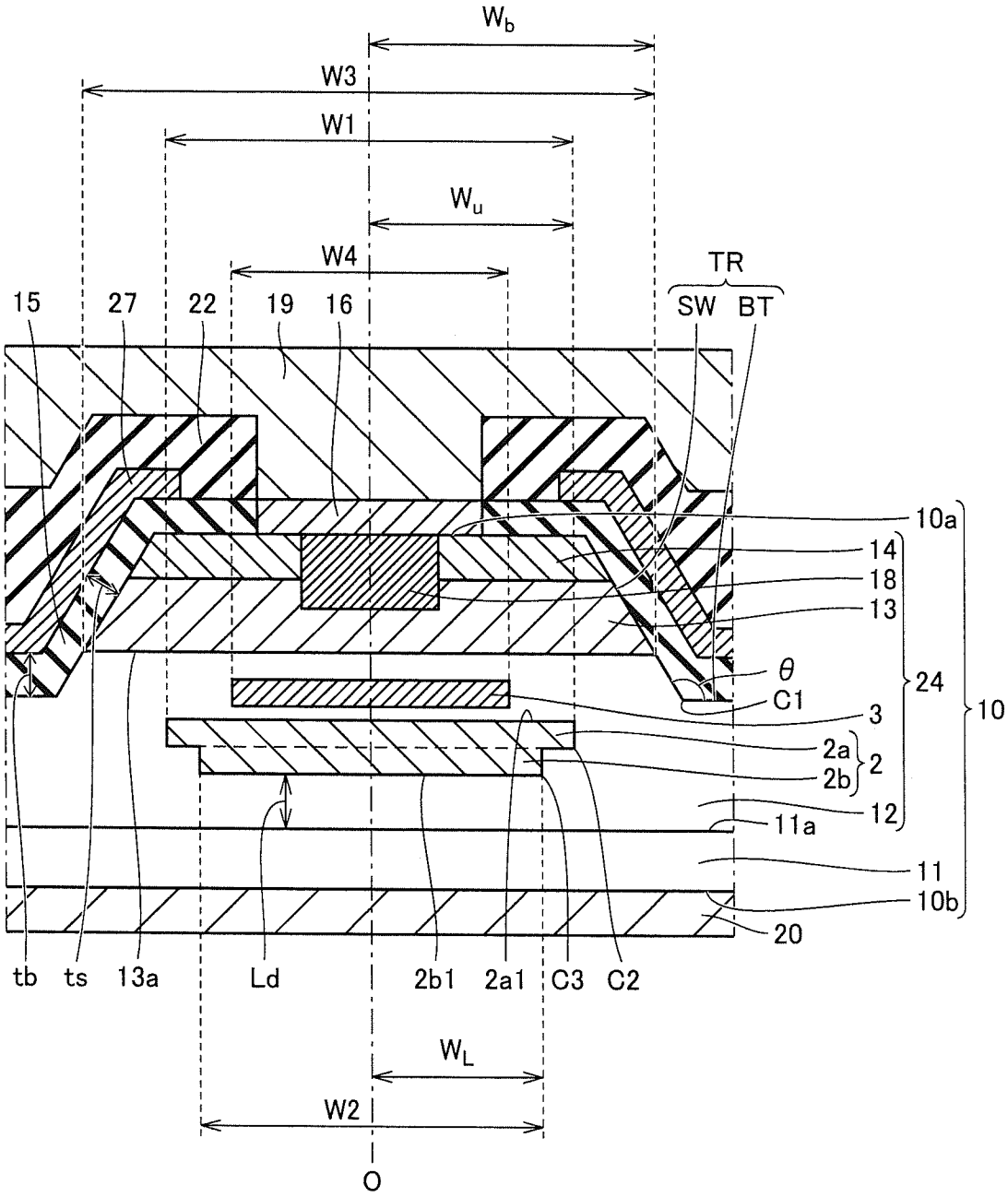
[図7]

FIG.7


Wb
W3
W1
Wu
W4
TR
SW
BT
15
27
22
19
16
10a
14
18
13
θ
C1
3
2a
2b
2
12
11a
24
10
11
10b
20
tb
ts
13a
Ld
2b1
2a1
C3
C2
WL
W2
O

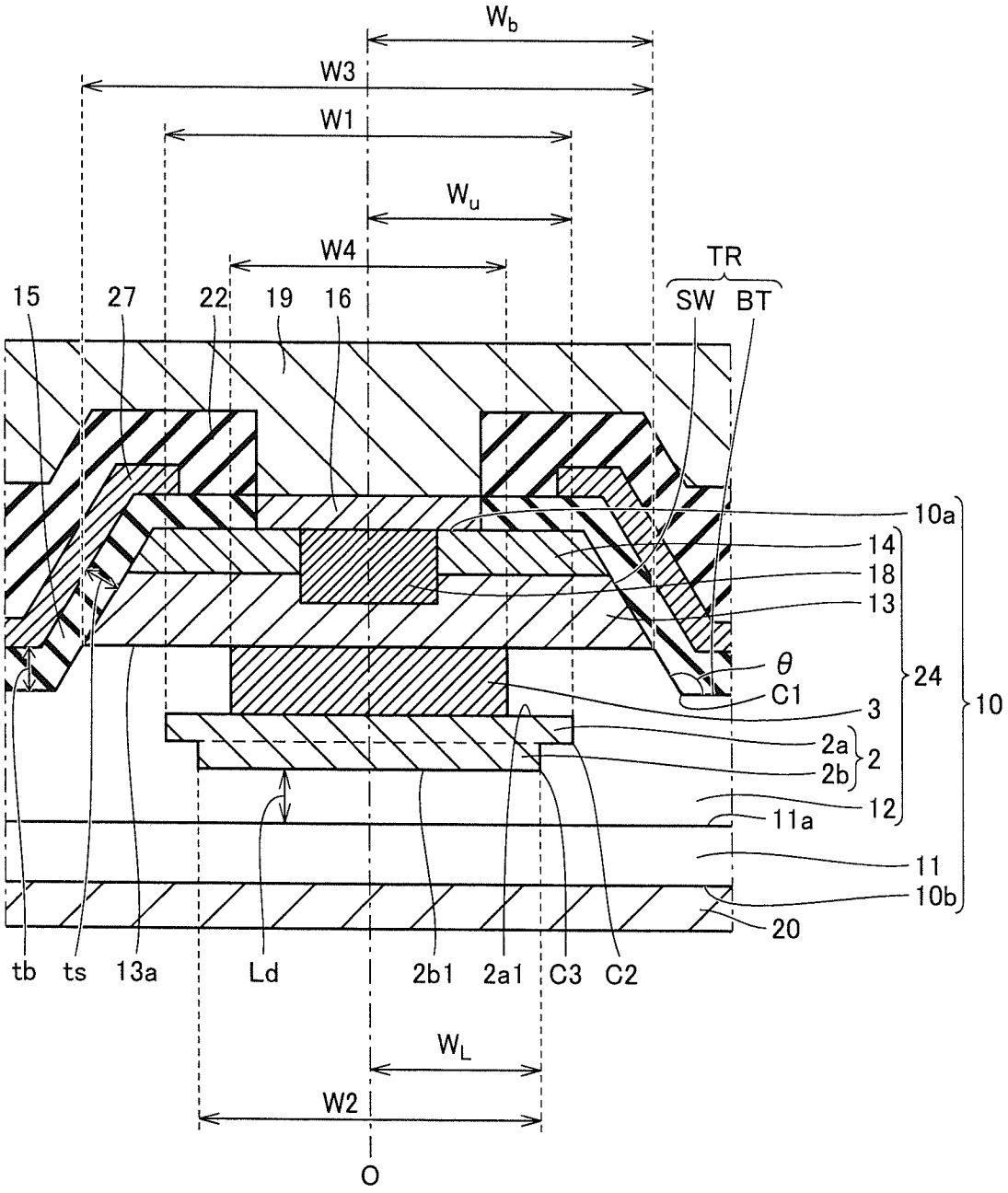
[図8]

FIG.8


Wb
W3
W1
Wu
W4
TR
SW
BT
15
27
22
19
16
10a
14
18
13
θ
C1
3
2a
2b
2
12
11a
11
10b
20
24
10
tb
ts
13a
Ld
2b1
2a1
C3
C2
WL
W2
O

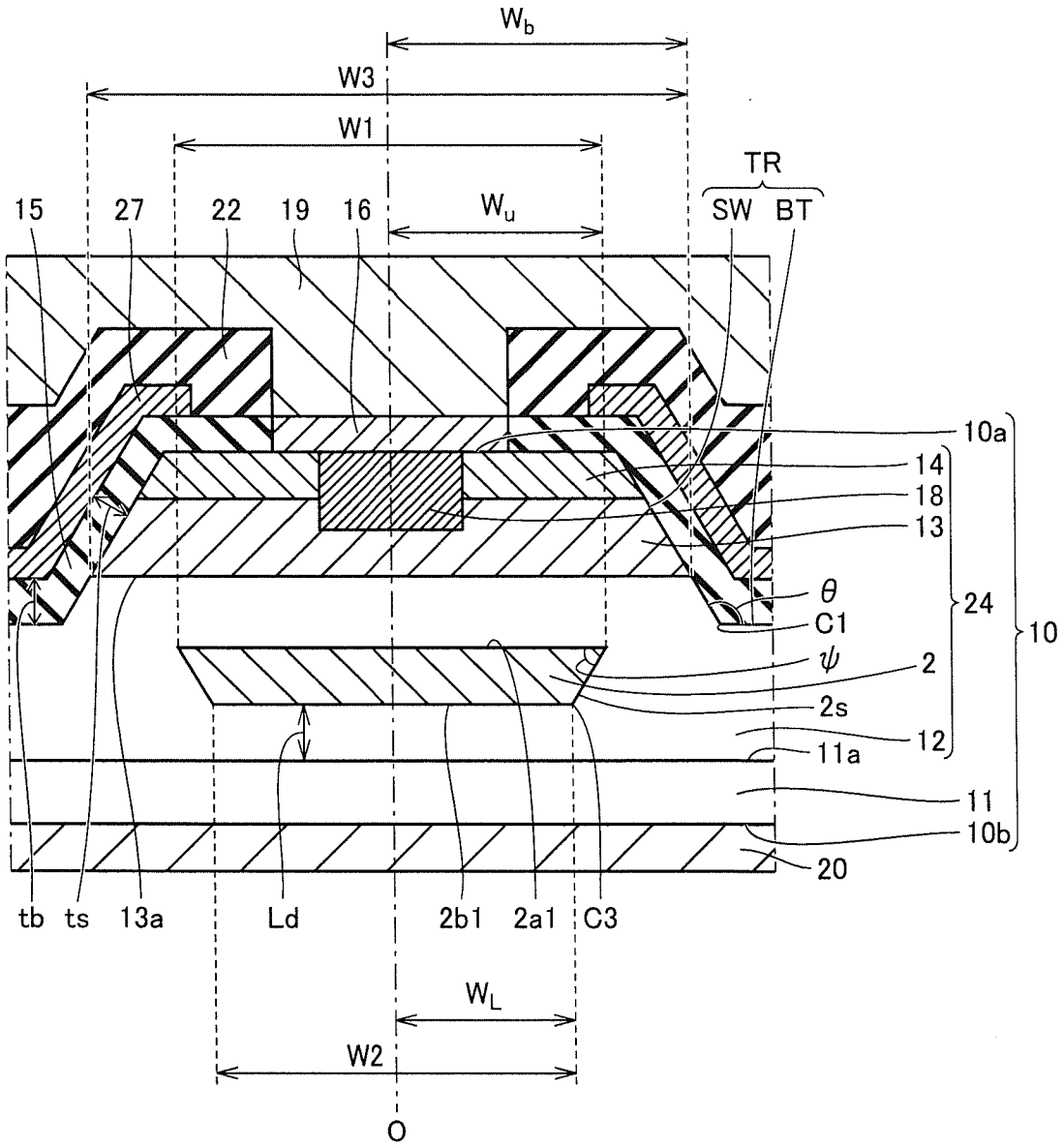
[図9]

FIG.9


Wb
W3
W1
Wu
W4
TR
SW
BT
15
27
22
19
16
10a
14
18
13
θ
C1
3
2a
2b
2
12
11a
24
10
11
10b
20
tb
ts
13a
Ld
2b1
2a1
C3
C2
WL
W2
O

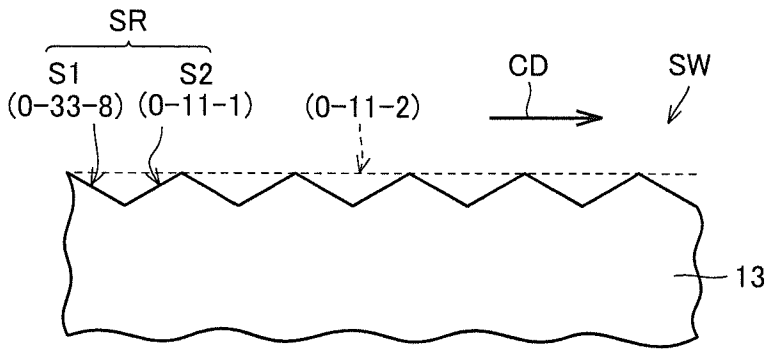
[図10]

FIG.10



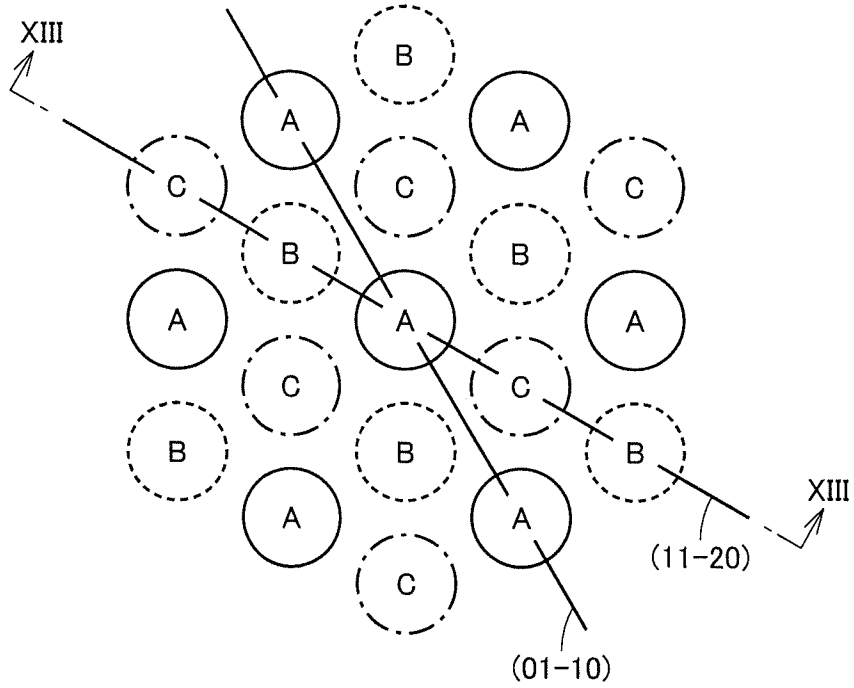
[図11]

FIG.11



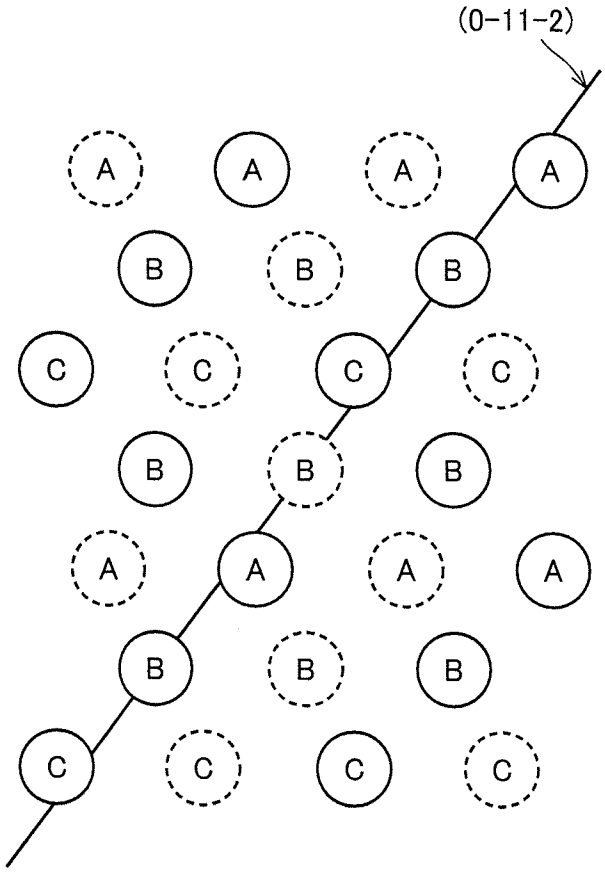
[図12]

FIG.12



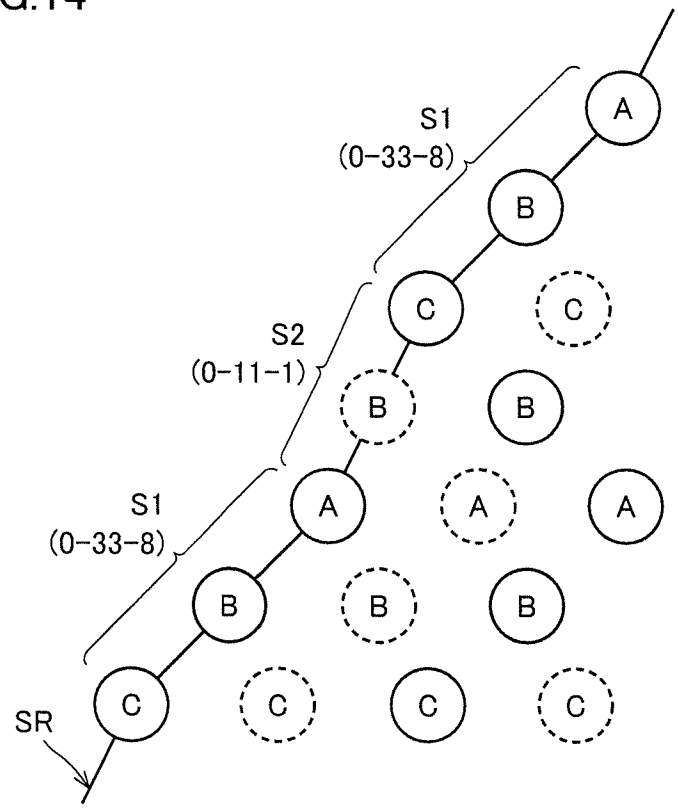
[図13]

FIG.13



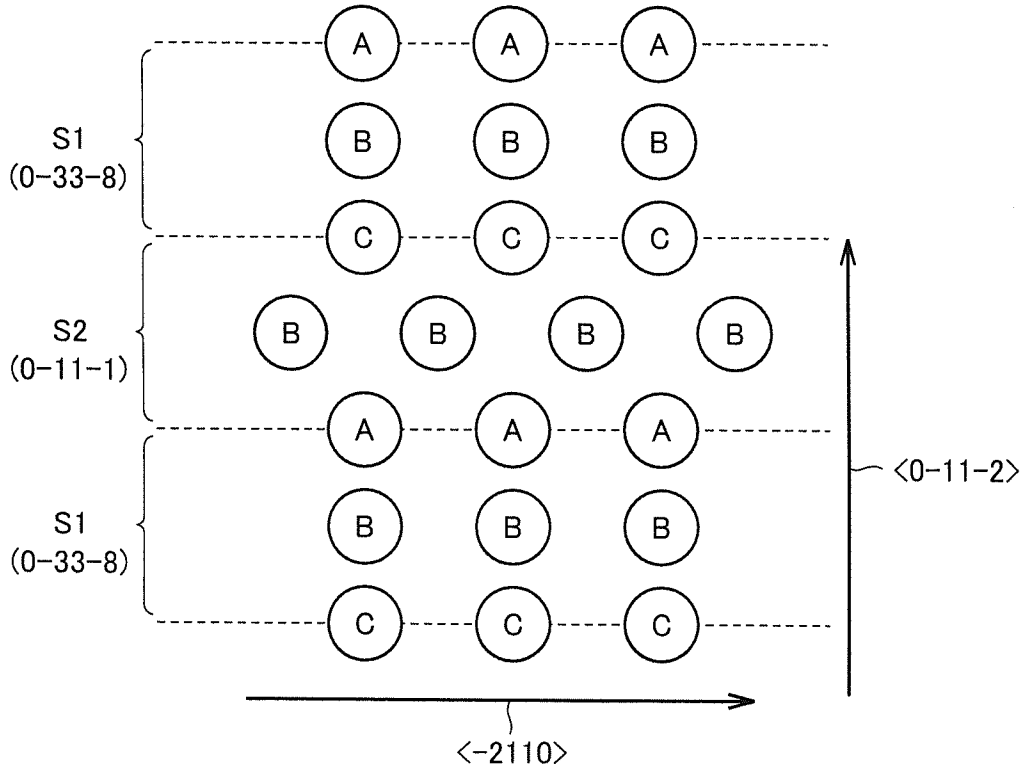
[図14]

FIG.14



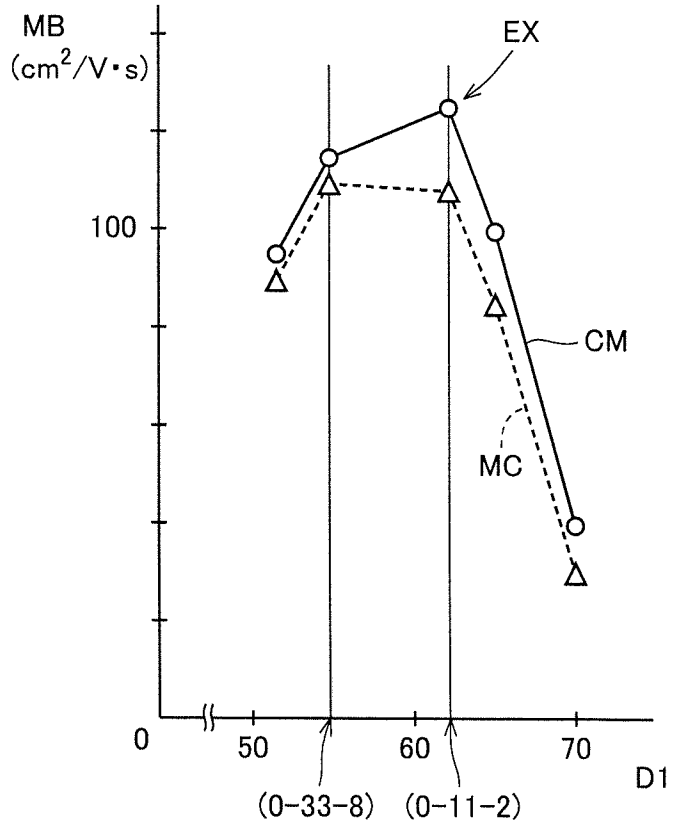
[図15]

FIG.15



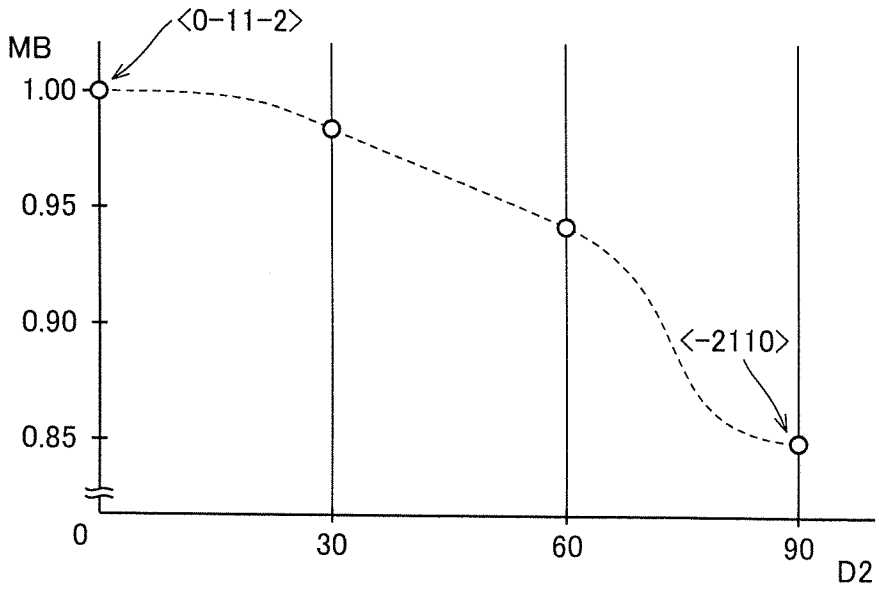
[図16]

FIG.16



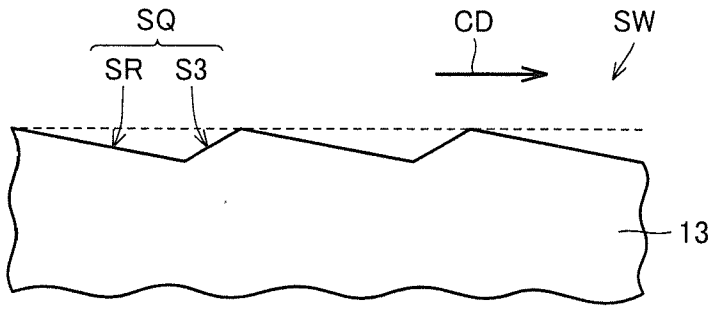
[図17]

FIG.17



[図18]

FIG.18



[図19]

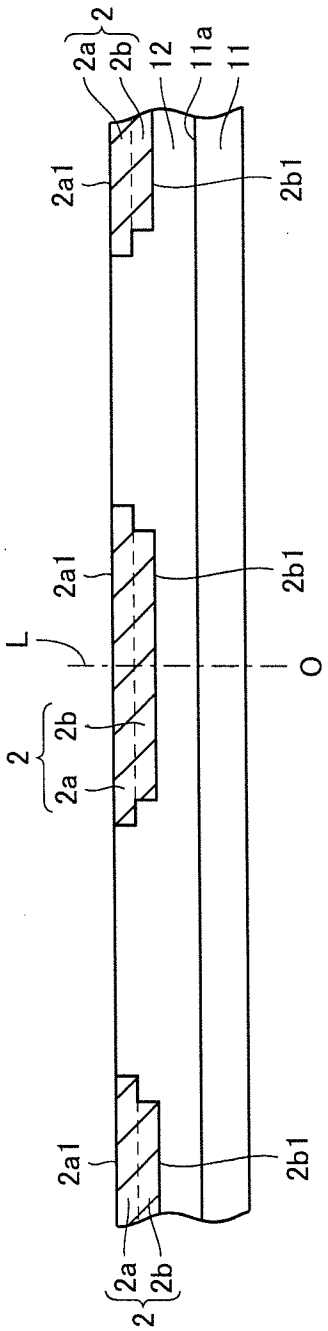


FIG.19

[図20]

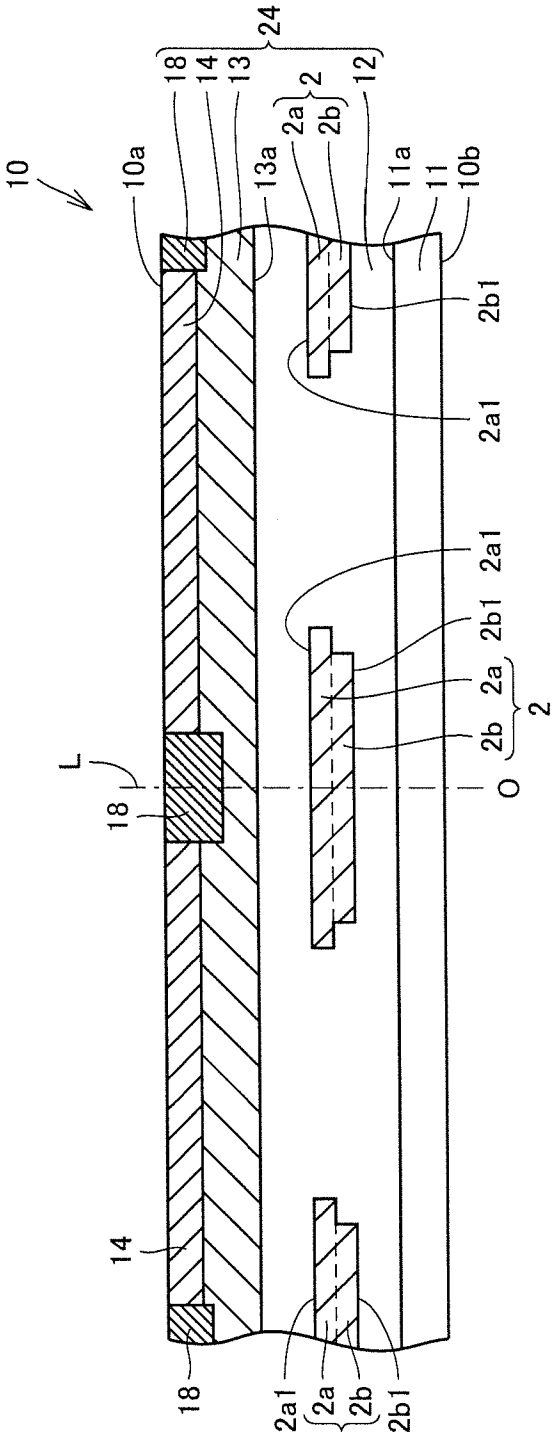

10
10a
18
14
13
24
2a
2b
2
12
13a
11a
11
10b
2b1
2a1
2a1
2b1
2a
2b
2
L
O
18
14
18
2a1
2a
2b
2
2b1

FIG.20

[図21]

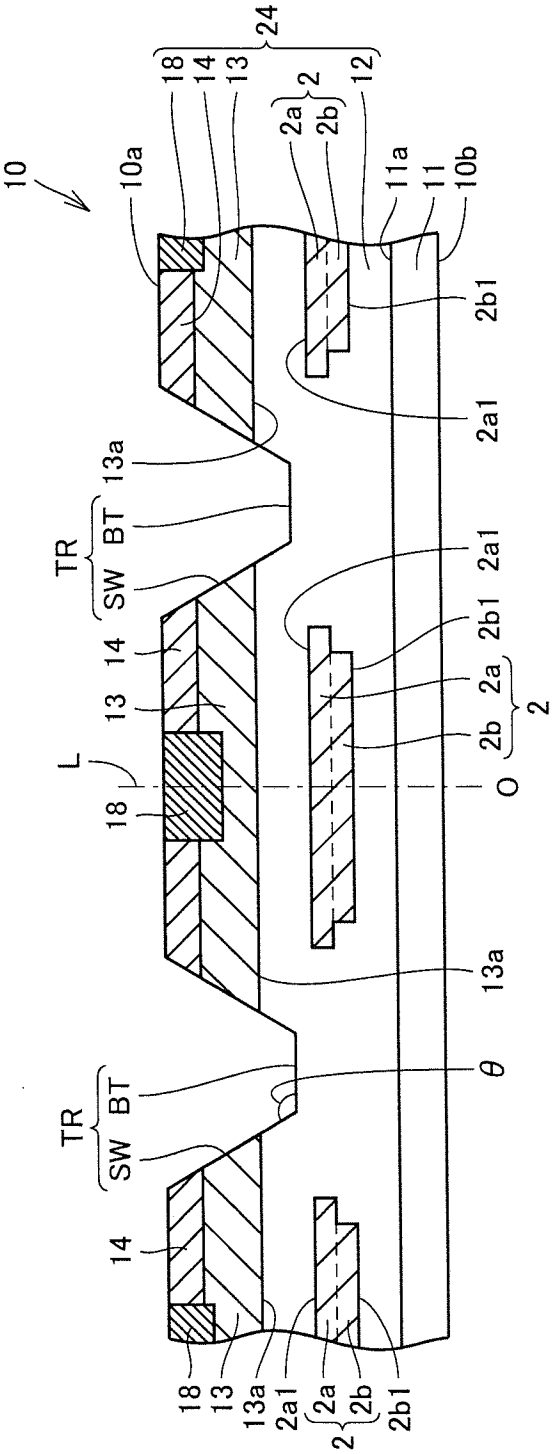

10
10a
18
14
13
24
2a
2b
2
12
11a
11
10b
2b1
2a1
13a
TR
BT
SW
14
13
L
18
2a1
2b1
2a
2b
2
O
13a
θ
TR
BT
SW
14
18
13
13a
2a1
2a
2b
2
2b1

FIG.21

[図22]

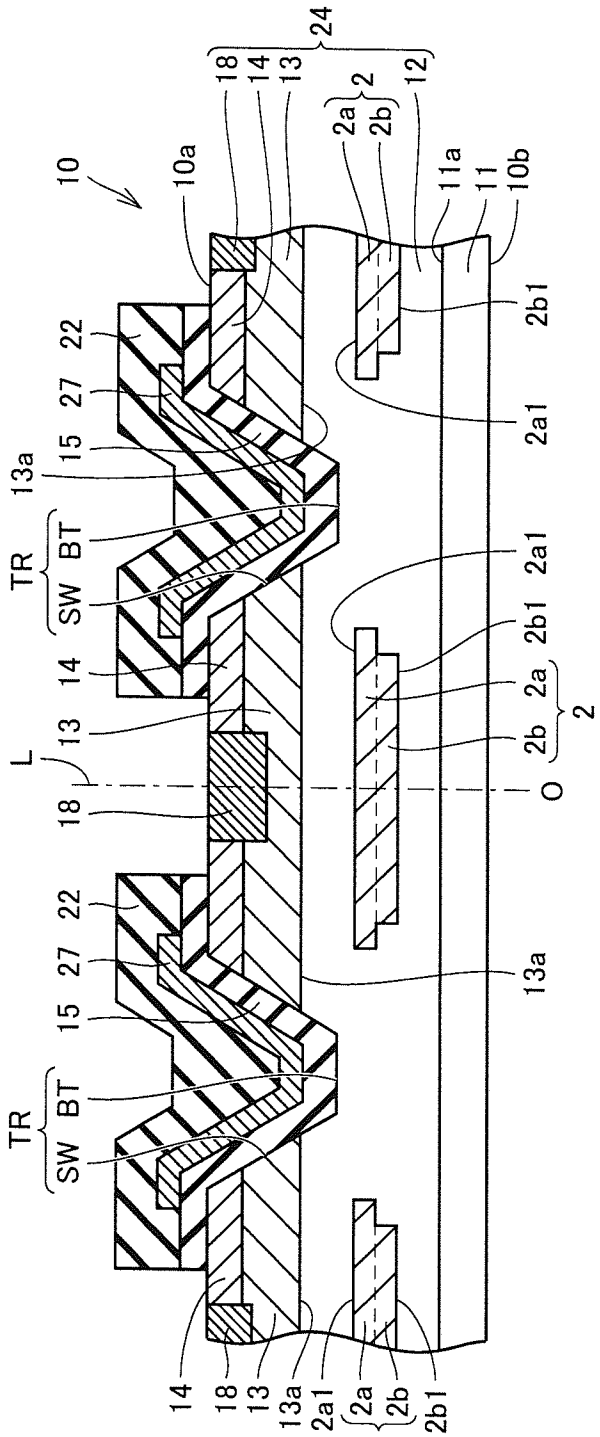
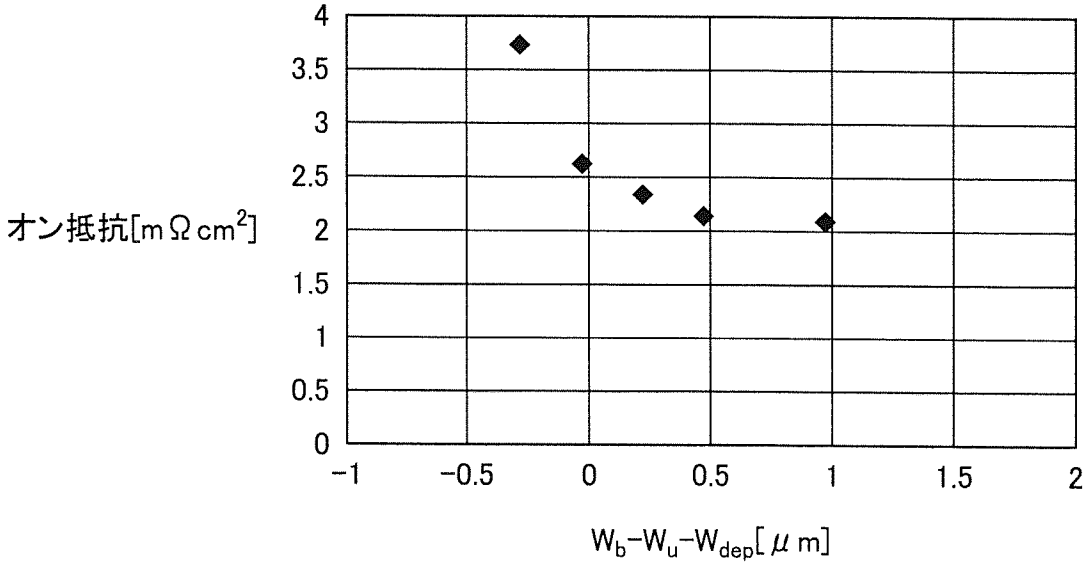

10
10a
24
18
14
13
12
2
2a
2b
11a
11
10b
2b1
2a1
22
27
15
13a
TR
SW
BT
L
O
18
13
14
2
2a
2b
13a
2a1
2b1

FIG.22

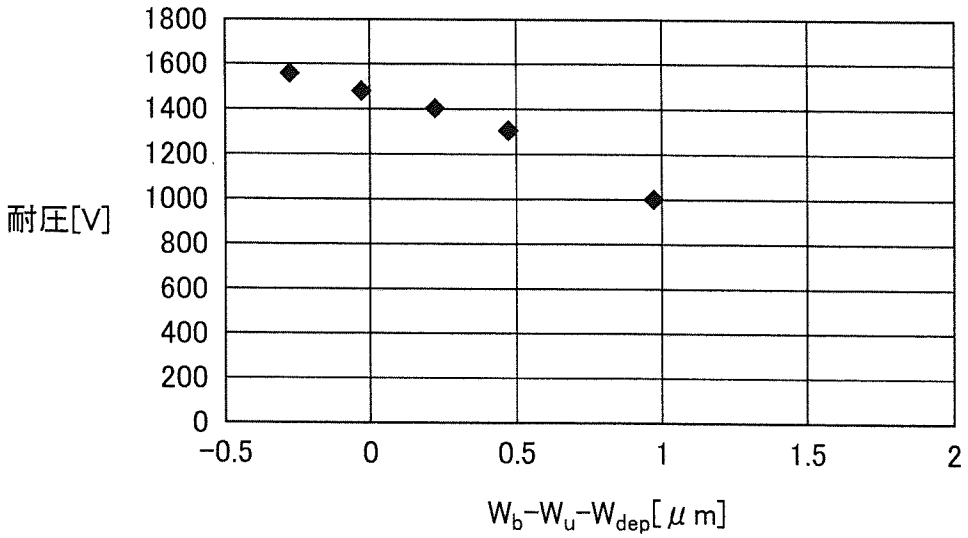
[図23]

FIG.23



[図24]

FIG.24



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/067022

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-41990 A (Sumitomo Electric Industries, Ltd.), 06 March 2014 (06.03.2014), paragraphs [0021] to [0098]; fig. 17, 18, 23, 45 & US 2014/0027784 A1 paragraphs [0068] to [0152]; fig. 17, 18, 23, 45 & WO 2014/017195 A1 & EP 2879186 A4 & CN 104380472 A	1-11
Y	JP 2009-141243 A (Toshiba Corp.), 25 June 2009 (25.06.2009), paragraphs [0011] to [0084]; fig. 1, 7 & US 2009/0146209 A1 paragraphs [0018] to [0092]; fig. 1, 7	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 August 2016 (23.08.16)	30 August 2016 (30.08.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６７０２２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2014-41990 A (住友電気工業株式会社) 2014.03.06, 段落[0021]-[0098], 図 17, 図 18, 図 23, 図 45 & US 2014/0027784 A1, 段落[0068]-[0152], 図 17, 図 18, 図 23, 図 45 & WO 2014/017195 A1 & EP 2879186 A4 & CN 104380472 A	1-11
Y	JP 2009-141243 A (株式会社東芝) 2009.06.25, 段落[0011]-[0084], 図 1, 図 7 & US 2009/0146209 A1, 段落[0018]-[0092], 図 1, 図 7	1-11

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２３．０８．２０１６	３０．０８．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１１
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６