



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월18일  
(11) 등록번호 10-2797835  
(24) 등록일자 2025년04월15일

(51) 국제특허분류(Int. Cl.)

H02J 7/06 (2006.01) G01R 31/36 (2019.01)  
H01M 10/42 (2014.01) H01M 10/44 (2006.01)  
H02J 7/00 (2006.01) H10D 30/67 (2025.01)  
H10D 84/00 (2025.01) H10D 84/03 (2025.01)  
H10D 84/03 (2025.01) H10D 84/40 (2025.01)  
H10D 84/83 (2025.01)

(52) CPC특허분류

H02J 7/06 (2013.01)  
G01R 31/36 (2019.01)

(21) 출원번호 10-2021-7026568

(22) 출원일자(국제) 2020년01월14일

심사청구일자 2023년01월05일

(85) 번역문제출일자 2021년08월20일

(65) 공개번호 10-2021-0119462

(43) 공개일자 2021년10월05일

(86) 국제출원번호 PCT/IB2020/050244

(87) 국제공개번호 WO 2020/152541

국제공개일자 2020년07월30일

(30) 우선권주장

JP-P-2019-010581 2019년01월24일 일본(JP)

(뒷면에 계속)

(56) 선행기술조사문헌

KR1020140005792 A

JP2009010623 A

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

오카모토 유키

일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오파이 에네루기 켄큐쇼 나이

이시즈 다카히코

일본국 252-0311 가나가와켄 사가미하라시 미나미  
쿠 히가시리칸 1-16-12 구린테루부아루토312

(뒷면에 계속)

(74) 대리인

김태홍, 김진희

전체 청구항 수 : 총 4 항

심사관 : 권기원

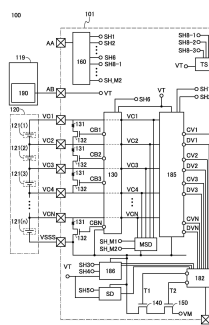
(54) 발명의 명칭 반도체 장치 및 반도체 장치의 동작 방법

(57) 요약

신규 구성의 전지 제어 회로, 신규 구성의 전지 보호 회로, 및 상기 전지 회로를 가진 축전 장치를 제공한다. 하나의 이차 전지에 각각 대응하는 n개의 셀 밸런스 회로이고, 트랜지스터와 비교 회로와 용량 소자를 가지고, n개의 셀 밸런스 회로의 각각에서 트랜지스터의 소스 및 드레인 중 한쪽에 비교 회로의 반전 입력 단자와 용량 소

(뒷면에 계속)

대표도 - 도1



자의 한쪽의 전극을 전기적으로 접속하고, 용량 소자의 다른 쪽의 전극에 접지 전위를 인가하고, 트랜지스터를 온 상태로 하고, 용량 소자의 한쪽의 전극에 제 1 전위를 인가하고, 트랜지스터를 오프 상태로 하고, 용량 소자의 다른 쪽의 전극과 각각의 셀 밸런스 회로에 대응하는 각각의 이차 전지의 음극을 전기적으로 접속하고, 용량 소자의 한쪽의 전극에 제 1 전위와 각각의 셀 밸런스 회로에 대응하는 이차 전지의 음극의 전위의 합을 인가하고, 각각의 셀 밸런스 회로에 대응하는 이차 전지의 충전을 제어하는 기능을 가지는 반도체 장치이다.

(52) CPC특허분류

*H01M 10/42* (2013.01)  
*H01M 10/44* (2013.01)  
*H02J 7/0014* (2023.08)  
*H10D 30/6755* (2025.01)  
*H10D 84/00* (2025.01)  
*H10D 84/00* (2025.01)  
*H10D 84/0126* (2025.01)  
*H10D 84/038* (2025.01)  
*H10D 84/83* (2025.01)

(72) 발명자

**다카하시 게이**

일본국 259-1116 가나가와켄 이세하라시 이시다  
 722-1 리푸이아레지텐스아이코우이시다106

**이케다 다카유키**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

(30) 우선권주장

|                  |             |        |
|------------------|-------------|--------|
| JP-P-2019-012339 | 2019년01월28일 | 일본(JP) |
| JP-P-2019-019478 | 2019년02월06일 | 일본(JP) |
| JP-P-2019-219308 | 2019년12월04일 | 일본(JP) |
| JP-P-2019-221555 | 2019년12월06일 | 일본(JP) |

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

제 1 비교 회로와, 제 2 비교 회로와, 제 3 비교 회로와, 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가지고,

상기 제 1 비교 회로의 출력 단자로부터 이차 전지의 충전을 제어하는 제 1 신호가 출력되고,

상기 제 2 비교 회로의 출력 단자로부터 상기 이차 전지의 충전을 제어하는 제 2 신호가 출력되고,

상기 제 3 비교 회로의 출력 단자로부터 상기 이차 전지의 방전을 제어하는 제 3 신호가 출력되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 서로 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 비교 회로의 반전 입력 단자와 상기 제 1 용량 소자의 한쪽의 전극에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 비교 회로의 반전 입력 단자와 상기 제 2 용량 소자의 한쪽의 전극에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 비교 회로의 비반전 입력 단자와 상기 제 3 용량 소자의 한쪽의 전극에 전기적으로 접속되는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,

상기 이차 전지의 양극에는 상기 제 1 비교 회로의 비반전 입력 단자와, 상기 제 2 비교 회로의 비반전 입력 단자와, 상기 제 3 비교 회로의 반전 입력 단자가 전기적으로 접속되는, 반도체 장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터의 각각의 채널 형성 영역은 인듐을 포함하는 금속 산화물을 가지는, 반도체 장치.

#### 청구항 4

반도체 장치의 동작 방법으로서,

제 1 비교 회로와, 제 2 비교 회로와, 제 3 비교 회로와, 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 서로 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 비교 회로의 반전 입력 단자와 상기 제 1 용량 소자의 한쪽의 전극에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 비교 회로의 반전 입력 단자와 상기 제 2 용량 소자의 한쪽의 전극에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 비교 회로의 비반전 입력 단자와 상기 제 3 용량 소자의 한쪽의 전극에 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽의 전극, 상기 제 2 용량 소자의 다른 쪽의 전극, 및 상기 제 3 용량 소자의 다른 쪽의 전극에 접지 전위가 인가되는 제 1 단계와,

상기 제 1 트랜지스터와, 상기 제 2 트랜지스터와, 상기 제 3 트랜지스터가 온 상태가 되는 제 2 단계와,

상기 제 1 용량 소자의 상기 한쪽의 전극에 제 1 전위가 인가되는 제 3 단계와,

상기 제 1 트랜지스터가 오프 상태가 되는 제 4 단계와,

상기 제 2 용량 소자의 상기 한쪽의 전극에 제 2 전위가 인가되는 제 5 단계와,

상기 제 2 트랜지스터가 오프 상태가 되는 제 6 단계와,

상기 제 3 용량 소자의 상기 한쪽의 전극에 제 3 전위가 인가되는 제 7 단계와,

상기 제 3 트랜지스터가 오프 상태가 되는 제 8 단계를 가지는, 반도체 장치의 동작 방법.

## 청구항 5

삭제

## 청구항 6

삭제

## 청구항 7

삭제

## 청구항 8

삭제

## 청구항 9

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명의 일 형태는 반도체 장치 및 반도체 장치의 동작 방법에 관한 것이다. 또한, 본 발명의 일 형태는 전지 제어 회로, 전지 보호 회로, 충전 장치, 및 전기 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에 개시되는 본 발명의 일 형태의 기술분야로서는 표시 장치, 발광 장치, 충전 장치, 활상 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로 들 수 있다.

### 배경 기술

[0003] 충전 장치(배터리, 이차 전지라고도 함)는 소형의 전기 기기부터 자동차에 이르기까지 폭넓은 분야에서 이용되고 있다. 전지의 응용 범위가 넓어지면서, 복수의 전지 셀을 직렬로 접속시킨 멀티 셀 구성의 배터리 스택(stack)을 사용한 애플리케이션이 늘고 있다.

[0004] 충전 장치는 과방전, 과충전, 과전류, 또는 단락과 같은 충방전 시의 이상을 파악하기 위한 회로를 가진다. 이와 같이 전지의 보호 및 제어를 하는 회로에서, 충방전 시의 이상을 검출하기 위하여 전압이나 전류 등의 데이터를 취득한다. 또한 이와 같은 회로에서는, 관측되는 데이터에 기초하여 충방전의 정지나 셀 밸런싱 등의 제어를 한다.

[0005] 특허문헌 1에는 전지 보호 회로로서 기능하는 보호 IC에 대하여 개시되어 있다. 특허문헌 1에는 내부에 복수의 콤퍼레이터(비교기)가 제공되고, 참조 전압과 전지가 접속된 단자의 전압을 비교하여 충방전 시의 이상을 검출

하는 구성을 가지는 보호 IC에 대하여 개시되어 있다.

[0006] 또한 특허문헌 2에는 이차 전지의 마이크로 단락을 검출하는 전지 상태 검출 장치 및 이를 내장하는 전지 팩에 대하여 개시되어 있다.

[0007] 또한 특허문헌 3에는 이차 전지의 셀이 직렬로 접속된 조전지(assembled battery)를 보호하는 보호용 반도체 장치에 대하여 개시되어 있다.

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) 미국 특허출원공개공보 US2011/267726호

(특허문헌 0002) 일본 공개특허공보 특개2010-66161호

(특허문헌 0003) 일본 공개특허공보 특개2010-220389호

## 발명의 내용

### 해결하려는 과제

[0009] 본 발명의 일 형태는 신규 전지 제어 회로, 신규 전지 보호 회로, 충전 장치, 및 전기 기기 등을 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 소비 전력의 저감을 도모할 수 있는 신규 구성의 전지 제어 회로, 전지 보호 회로, 충전 장치, 및 전기 기기 등을 제공하는 것을 과제 중 하나로 한다.

[0010] 또한 본 발명의 일 형태의 과제는 위에 열거한 과제에 한정되지 않는다. 위에 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이며, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 기재 및/또는 다른 과제 중 적어도 하나의 과제를 해결하는 것이다.

### 과제의 해결 수단

[0011] 본 발명의 일 형태는  $n$ 개의 셀 밸런스 회로를 가지고,  $n$ 개의 셀 밸런스 회로는 하나의 이차 전지에 각각 대응하고,  $n$ 개의 셀 밸런스 회로의 각각은 트랜지스터와, 비교 회로와, 용량 소자를 가지고,  $n$ 개의 셀 밸런스 회로의 각각에서 트랜지스터의 채널 형성 영역은 인듐을 포함하는 금속 산화물을 가지고,  $n$ 개의 셀 밸런스 회로의 각각에서 트랜지스터의 소스 및 드레인 중 한쪽에는 비교 회로의 반전 입력 단자와 용량 소자의 한쪽의 전극이 전기적으로 접속되고, 용량 소자의 다른 쪽의 전극에 접지 전위가 인가되는 제 1 단계와, 트랜지스터가 온 상태가 되는 제 2 단계와, 용량 소자의 한쪽의 전극에 제 1 전위가 인가되는 제 3 단계와, 트랜지스터가 오프 상태가 되는 제 4 단계와, 용량 소자의 다른 쪽의 전극과 각각의 셀 밸런스 회로에 대응하는 각각의 이차 전지의 음극이 전기적으로 접속되는 제 5 단계와, 용량 소자의 한쪽의 전극에 제 1 전위와 각각의 셀 밸런스 회로에 대응하는 이차 전지의 음극의 전위의 합이 인가되는 제 6 단계와, 비교 회로의 출력으로부터 각각의 셀 밸런스 회로에 대응하는 이차 전지의 충전을 제어하는 신호가 출력되는 제 7 단계를 가지는 반도체 장치의 동작 방법이다.

[0012] 또한, 상기 구성에 있어서,  $n$ 개의 셀 밸런스 회로의 각각에서 비교 회로의 비반전 입력 단자에는 각각의 셀 밸런스 회로에 대응하는 이차 전지의 양극이 전기적으로 접속되는 것이 바람직하다.

[0013] 또는 본 발명의 일 형태는 제 1 비교 회로와, 제 2 비교 회로와, 제 3 비교 회로와, 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자와, 선택 회로를 가지고, 제 1 비교 회로의 출력 단자로부터 이차 전지의 충전을 제어하는 제 1 신호가 출력되고, 제 2 비교 회로의 출력 단자로부터 이차 전지의 충전을 제어하는 제 2 신호가 출력되고, 제 3 비교 회로의 출력 단자로부터 이차 전지의 방전을 제어하는 제 3 신호가 출력되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 서로 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 비교 회로의 반전 입력 단자와 제 1 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 비교 회로의 반전 입력 단자와 제

2 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 비교 회로의 비반전 입력 단자와 제 3 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 선택 회로는 2개의 입력 단자 및 하나의 출력 단자를 가지고, 선택 회로의 출력 단자는 제 1 용량 소자의 다른 쪽의 전극과, 제 2 용량 소자의 다른 쪽의 전극과, 제 3 용량 소자의 다른 쪽의 전극에 전기적으로 접속되고, 비반전 입력 단자 및 반전 입력 단자 중 한쪽은 이차 전지의 음극에 전기적으로 접속되는 반도체 장치이다.

[0014] 또한, 상기 구성에 있어서, 이차 전지의 양극에는 제 1 비교 회로의 비반전 입력 단자와, 제 2 비교 회로의 비반전 입력 단자와, 제 3 비교 회로의 반전 입력 단자가 전기적으로 접속되는 것이 바람직하다. 또한, 상기 구성에 있어서, 제 1 트랜지스터, 제 2 트랜지스터, 및 제 3 트랜지스터 각각의 채널 형성 영역은 인듐을 포함하는 금속 산화물을 가지는 것이 바람직하다.

[0015] 또는 본 발명의 일 형태는 제 1 비교 회로와, 제 2 비교 회로와, 제 3 비교 회로와, 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 서로 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 비교 회로의 반전 입력 단자와 제 1 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 비교 회로의 반전 입력 단자와 제 2 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 비교 회로의 비반전 입력 단자와 제 3 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 제 1 용량 소자의 다른 쪽의 전극, 제 2 용량 소자의 다른 쪽의 전극, 및 제 3 용량 소자의 다른 쪽의 전극에 접지 전위가 인가되는 제 1 단계와, 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터가 온 상태가 되는 제 2 단계와, 제 1 용량 소자의 한쪽의 전극에 제 1 전위가 인가되는 제 3 단계와, 제 1 트랜지스터가 오프 상태가 되는 제 4 단계와, 제 2 용량 소자의 한쪽의 전극에 제 2 전위가 인가되는 제 5 단계와, 제 2 트랜지스터가 오프 상태가 되는 제 6 단계와, 제 3 용량 소자의 한쪽의 전극에 제 3 전위가 인가되는 제 7 단계와, 제 3 트랜지스터가 오프 상태가 되는 제 8 단계를 가지는 반도체 장치의 동작 방법이다.

[0016] 또한, 상기 구성에 있어서, 제 3 단계 후, 제 1 용량 소자의 다른 쪽의 전극은 이차 전지의 음극에 전기적으로 접속되고, 제 1 용량 소자의 한쪽의 전극에 제 1 전위와 이차 전지의 음극의 전위의 합이 인가되고, 제 1 비교 회로로부터 상기 이차 전지의 충전을 제어하는 신호가 출력되는 것이 바람직하다.

[0017] 또한, 상기 구성에 있어서, 제 5 단계 후, 제 2 용량 소자의 다른 쪽의 전극은 이차 전지의 음극에 전기적으로 접속되고, 제 2 용량 소자의 한쪽의 전극에 제 2 전위와 이차 전지의 음극의 전위의 합이 인가되고, 제 2 비교 회로로부터 상기 이차 전지의 방전을 제어하는 신호가 출력되는 것이 바람직하다.

[0018] 또한, 상기 구성에 있어서, 제 7 단계 후, 제 3 용량 소자의 다른 쪽의 전극은 이차 전지의 음극에 전기적으로 접속되고, 제 3 용량 소자의 한쪽의 전극에 제 3 전위와 이차 전지의 음극의 전위의 합이 인가되고, 제 3 비교 회로로부터 상기 이차 전지의 방전을 제어하는 신호가 출력되는 것이 바람직하다.

### 발명의 효과

[0019] 본 발명의 일 형태에 의하여 신규 전지 제어 회로, 신규 전지 보호 회로, 충전 장치, 및 전기 기기 등을 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 소비 전력의 저감을 도모할 수 있는 신규 구성의 전지 제어 회로, 전지 보호 회로, 충전 장치, 및 전기 기기 등을 제공할 수 있다.

[0020] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및/또는 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 가지지 않는 경우도 있다.

### 도면의 간단한 설명

[0021] 도 1은 본 발명의 일 형태를 설명하는 블록도이다.

도 2의 (A)는 본 발명의 일 형태를 설명하는 회로도이다. 도 2의 (B)는 본 발명의 일 형태를 설명하는 회로도이다.

도 3의 (A)는 본 발명의 일 형태를 설명하는 블록도이다. 도 3의 (B)는 본 발명의 일 형태를 설명하는 블록도이다.

도 4는 본 발명의 일 형태를 설명하는 블록도이다.

도 5의 (A)는 본 발명의 일 형태의 추진 장치의 동작을 설명하는 블록도이다. 도 5의 (B)는 본 발명의 일 형태를 설명하는 회로도이다. 도 5의 (C)는 본 발명의 일 형태를 설명하는 회로도이다. 도 5의 (D)는 본 발명의 일 형태를 설명하는 회로도이다.

도 6은 본 발명의 일 형태를 설명하는 블록도이다.

도 7의 (A)는 본 발명의 일 형태를 설명하는 회로도이다. 도 7의 (B)는 본 발명의 일 형태를 설명하는 회로도이다.

도 8의 (A)는 본 발명의 일 형태를 설명하는 회로도이다. 도 8의 (B)는 본 발명의 일 형태를 설명하는 회로도이다. 도 8의 (C)는 본 발명의 일 형태를 설명하는 회로도이다.

도 9는 본 발명의 일 형태를 설명하는 회로도이다.

도 10은 반도체 장치의 구성예를 나타낸 단면도이다.

도 11은 반도체 장치의 구성예를 나타낸 단면도이다.

도 12의 (A)는 트랜지스터의 구조예를 나타낸 단면도이다. 도 12의 (B)는 트랜지스터의 구조예를 나타낸 단면도이다. 도 12의 (C)는 트랜지스터의 구조예를 나타낸 단면도이다.

도 13의 (A)는 반도체 장치의 일례를 나타낸 사시도이다. 도 13의 (B)는 반도체 장치의 일례를 나타낸 사시도이다. 도 13의 (C)는 반도체 장치의 일례를 나타낸 사시도이다.

도 14의 (A)는 반도체 장치의 일례를 나타낸 사시도이다. 도 14의 (B)는 반도체 장치의 일례를 나타낸 사시도이다.

도 15의 (A)는 전자 부품의 제작 공정을 나타낸 흐름도이다. 도 15의 (B)는 전자 부품의 제작 공정을 나타낸 사시 모식도이다.

도 16의 (A)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 16의 (B)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 16의 (C)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 16의 (D)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 17의 (A)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 17의 (B)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 17의 (C)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 18의 (A)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 18의 (B)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 18의 (C)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 19의 (A)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 19의 (B)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 20의 (A)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 20의 (B)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 20의 (C)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 21은 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 22의 (A)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 22의 (B)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 22의 (C)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 22의 (D)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다. 도 22의 (E)는 본 발명의 일 형태의 전기 기기를 설명하는 도면이다.

도 23의 (A), (B), (C)는 본 발명의 일 형태의 시스템의 일례를 나타낸 도면이다.

도 24의 (A), (B)는 본 발명의 일 형태의 시스템의 일례를 나타낸 도면이다.

도 25는 본 발명의 일 형태의 시스템의 일례를 나타낸 도면이다.

도 26은 본 발명의 일 형태의 축전 장치의 동작 예를 나타낸 도면이다.

도 27의 (A), (B), (C)는 콤퍼레이터의 동작 결과를 나타낸 도면이다.

도 28은 본 발명의 일 형태를 나타낸 사시도이다.

도 29는 본 발명의 일 형태를 나타낸 사진이다.

도 30은 반도체의 구성예를 나타낸 단면도이다.

도 31의 (A)는 트랜지스터의 구성예를 나타낸 단면도이다. 도 31의 (B)는 트랜지스터의 구성예를 나타낸 단면도이다. 도 31의 (C)는 트랜지스터의 구성예를 나타낸 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 아래에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해된다. 따라서 본 발명은 아래의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0023] 또한 본 명세서 등에서 '제 1', '제 2', 및 '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 수를 한정하는 것은 아니다. 또한 구성 요소의 순서를 한정하는 것은 아니다. 또한, 예를 들어 본 명세서 등의 한 실시형태에서 '제 1'이라고 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 '제 2'라고 언급된 구성 요소가 될 수도 있다. 또한, 예를 들어 본 명세서 등의 한 실시형태에서 '제 1'이라고 언급된 구성 요소를 다른 실시형태 또는 청구범위에서 생략할 수도 있다.
- [0024] 또한 도면에서 동일한 요소 또는 같은 기능을 가지는 요소, 동일한 재질의 요소, 또는 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있고, 이의 반복적인 설명은 생략하는 경우가 있다.
- [0025] 또한 도면 등에 있어서 나타내는 각 구성의 위치, 크기, 범위 등은 발명의 이해를 용이하게 하기 위하여 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서 개시하는 발명은 도면 등에 나타난 위치, 크기, 범위 등에 반드시 한정되는 것은 아니다. 예를 들어, 실제의 제조 공정에서 에칭 등의 처리에 의하여 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있으나, 이해를 쉽게 하기 위하여 이를 도면에 반영하지 않은 경우가 있다.
- [0026] 또한 상면도('평면도'라고도 함)나 사시도 등에서, 도면을 이해하기 쉽게 하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.
- [0027] 또한 본 명세서 등에서 '전극'이나 '배선'이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 '전극'은 '배선'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '전극'이나 '배선'이라는 용어는, 복수의 '전극'이나 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0028] 또한 본 명세서 등에서 '위'나 '아래'라는 용어는 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접하는 것에 한정되지 않는다. 예를 들어 '절연층(A) 위의 전극(B)'이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0029] 또한 소스 및 드레인의 기능은 상이한 극성을 가지는 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등, 동작 조건 등에 따라 서로 바뀌기 때문에, 어느 쪽이 소스 또는 드레인인지를 한정하기가 어렵다. 그러므로 본 명세서에서는 소스 및 드레인이라는 용어는 서로 바뀌어 사용할 수 있는 것으로 한다.
- [0030] 또한 본 명세서 등에서 '전기적으로 접속'에는 직접 접속되는 경우와, '어떠한 전기적 작용을 가지는 것'을 통하여 접속되어 있는 경우가 포함된다. 여기서 '어떠한 전기적 작용을 가지는 것'은 접속 대상 간에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 따라서 '전기적으로 접속된다'고 표현되는 경우에도 실제의 회로에서는 물리적인 접속 부분이 없고, 배선이 연장되어 있을 뿐인 경우도 있다.
- [0031] 또한, 본 명세서 등에서 '평행'이란, 예를 들어 2개의 직선이  $-10^{\circ}$  이상  $10^{\circ}$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서  $-5^{\circ}$  이상  $5^{\circ}$  이하의 경우도 포함된다. 또한 '수직' 및 '직교'란, 예를 들어 2개의 직선이  $80^{\circ}$  이상  $100^{\circ}$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서  $85^{\circ}$  이상  $95^{\circ}$  이하의 경우도 포

함된다.

- [0032] 또한, 본 명세서 등에서, 계수값 및 계량값에 관하여 '동일하다', '같다', '동등하다', 또는 '균일하다' 등으로 표현하는 경우에는, 명시되어 있는 경우를 제외하고,  $\pm 20\%$ 의 오차를 포함하는 것으로 한다.
- [0033] 또한 본 명세서에서 레지스트 마스크를 형성하고, 그 후에 에칭 처리를 수행하는 경우에는 특별한 설명이 없는 한, 상기 레지스트 마스크는 에칭 처리 종료 후에 제거되는 것으로 한다.
- [0034] 또한 전압이란 어떤 전위와 기준 전위(예를 들어 접지 전위 또는 소스 전위)의 전위차를 말하는 경우가 많다. 따라서 '전압'과 '전위'는 서로 환언할 수 있는 경우가 많다. 본 명세서 등에서는, 특별히 명시하지 않는 한 전압과 전위를 환언할 수 있는 것으로 한다.
- [0035] 또한 '반도체'라고 표기한 경우에도, 예를 들어 도전성이 충분히 낮은 경우에는 '절연체'로서의 특성을 가진다. 따라서 '반도체'를 '절연체'로 치환하여 사용할 수도 있다. 이 경우, '반도체'와 '절연체'의 경계는 애매하고, 양자를 엄밀하게 구별하는 것은 어렵다. 따라서 본 명세서에 기재된 '반도체'와 '절연체'는 서로 바꿔 읽을 수 있는 경우가 있다.
- [0036] 또한 '반도체'라고 표기한 경우에도, 예를 들어 도전성이 충분히 높은 경우에는 '도전체'로서의 특성을 가진다. 따라서 '반도체'를 '도전체'로 치환하여 사용할 수도 있다. 이 경우, '반도체'와 '도전체'의 경계는 애매하고, 양자를 엄밀하게 구별하는 것은 어렵다. 따라서 본 명세서에 기재된 '반도체'와 '도전체'는 서로 바꿔 읽을 수 있는 경우가 있다.
- [0037] 또한 본 명세서 등에서 트랜지스터의 '온 상태'란, 트랜지스터의 소스와 드레인이 전기적으로 단락되어 있다고 간주할 수 있는 상태('도통 상태'라고도 함)를 말한다. 또한 트랜지스터의 '오프 상태'란 트랜지스터의 소스와 드레인이 전기적으로 차단되어 있다고 간주할 수 있는 상태('비도통 상태'라고도 함)를 말한다.
- [0038] 또한 본 명세서 등에서 '온 전류'란, 트랜지스터가 온 상태일 때 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다. 또한 '오프 전류'란, 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다.
- [0039] 또한 본 명세서 등에서 고전원 전위(VDD)(이하 단순히 'VDD' 또는 'H전위'라고도 함)란, 저전원 전위(VSS)보다 높은 전위의 전원 전위를 가리킨다. 또한 저전원 전위(VSS)(이하 단순히 'VSS' 또는 'L전위'라고도 함)란, 고전원 전위(VDD)보다 낮은 전위의 전원 전위를 가리킨다. 또한 접지 전위를 VDD 또는 VSS로서 사용할 수도 있다. 예를 들어 VDD가 접지 전위인 경우에는 VSS는 접지 전위보다 낮은 전위이고, VSS가 접지 전위인 경우에는 VDD는 접지 전위보다 높은 전위이다.
- [0040] 또한 본 명세서 등에서 게이트란, 게이트 전극 및 게이트 배선의 일부 또는 전부를 가리킨다. 게이트 배선이란, 적어도 하나의 트랜지스터의 게이트 전극과, 다른 전극이나 다른 배선을 전기적으로 접속시키기 위한 배선을 가리킨다.
- [0041] 또한 본 명세서 등에서 소스란, 소스 영역, 소스 전극, 및 소스 배선의 일부 또는 전부를 가리킨다. 소스 영역이란, 반도체층 중 저항률이 일정한 값 이하의 영역을 가리킨다. 소스 전극이란, 소스 영역과 접속되는 부분의 도전층을 가리킨다. 소스 배선이란, 적어도 하나의 트랜지스터의 소스 전극과, 다른 전극이나 다른 배선을 전기적으로 접속시키기 위한 배선을 가리킨다.
- [0042] 또한 본 명세서 등에서 드레인이란, 드레인 영역, 드레인 전극, 및 드레인 배선의 일부 또는 전부를 가리킨다. 드레인 영역이란, 반도체층 중 저항률이 일정한 값 이하의 영역을 가리킨다. 드레인 전극이란, 드레인 영역과 접속되는 부분의 도전층을 가리킨다. 드레인 배선이란, 적어도 하나의 트랜지스터의 드레인 전극과, 다른 전극이나 다른 배선을 전기적으로 접속시키기 위한 배선을 가리킨다.
- [0043] (실시형태 1)
- [0044] 본 실시형태에서는, 전지 제어 회로, 및 상기 전지 제어 회로를 가진 충전 장치의 구성에 대하여 설명한다.
- [0045] 본 발명의 일 형태의 전지 제어 회로, 또는 상기 전지 제어 회로를 가진 충전 장치를 'BTOS'라고 부르는 경우가 있다. 'BTOS'는 낮은 소비 전력으로 시스템을 구축할 수 있는 경우가 있다. 'BTOS'는 간편한 회로에 의하여 시스템을 구축할 수 있는 경우가 있다.
- [0046] 본 발명의 일 형태의 전지 제어 회로는 전지의 제어를 수행하는 기능을 가진다. 예를 들어, 전지의 충전 또는

방전의 조건을 변경하는 기능을 가진다. 상기 조건은, 예를 들어 전류 밀도, 상한 전압, 하한 전압, 모드의 전환 등을 포함한다. 모드로서, 예를 들어 정전류 모드, 정전압 모드 등을 들 수 있다. 또한, 본 발명의 일 형태의 전지 제어 회로는 전지의 보호를 수행하는 기능을 가지는 것이 바람직하다. 예를 들어, 전지의 충전 또는 방전을 정지하는 기능을 가진다. 예를 들어, 과충전의 검출에 따라, 전지를 방전시키는 기능을 가진다. 예를 들어, 전지의 이상을 검출하고, 전지의 동작을 정지하거나 전지의 조건을 변경하는 기능을 가진다. 전지의 동작 정지란, 예를 들어 충전의 정지 또는 방전의 정지를 들 수 있다. 전지의 이상이란, 예를 들어 과충전, 과방전, 충전 시의 과전류, 방전 시의 과전류, 단락, 후술하는 마이크로 단락, 동작 온도의 소정의 범위로부터의 이탈 등을 들 수 있다. 또한, 본 발명의 일 형태의 전지 제어 회로는 전지 보호 회로라고 불리는 경우가 있다.

[0047] <충전 장치의 일례 1>

[0048] 도 1에 충전 장치(100)의 일례에 대하여 나타내었다. 도 1에 도시된 충전 장치(100)는 전지 제어 회로(101), 전압 생성 회로(119), 및 조전지(120)를 가진다. 전지 제어 회로(101)에는 채널 형성 영역에 산화물 반도체를 가지는 트랜지스터(이하, OS 트랜지스터라고 함)를 사용한 회로가 탑재되는 것이 바람직하다.

[0049] 전지 제어 회로(101)는 셀 밸런스 회로(130), 검출 회로(185), 검출 회로(186), 검출 회로(MSD), 검출 회로(SD), 온도 센서(TS), 디코더(160), 및 논리 회로(182)를 가진다.

[0050] 또한, 전지 제어 회로(101)는 트랜지스터(140) 및 트랜지스터(150)를 가진다. 트랜지스터(140) 및 트랜지스터(150)로서 OS 트랜지스터를 사용할 수 있다.

[0051] 전지 제어 회로(101)가 가지는 셀 밸런스 회로(130), 검출 회로(185), 검출 회로(186), 검출 회로(MSD), 검출 회로(SD), 온도 센서(TS), 디코더(160), 및 논리 회로(182)가 가지는 트랜지스터로서 OS 트랜지스터를 사용할 수 있다. 이들 회로에는 OS 트랜지스터와 상기 OS 트랜지스터가 제공되는 층의 아래층에 구성되는 Si 트랜지스터가 포함되어도 좋다. 또는, 이들 회로가 OS 트랜지스터에 의하여 구성되고, 이의 아래층에 이들 회로와 상이한 회로가 Si 트랜지스터를 사용하여 구성되어도 좋다. 또는, 이들 회로의 아래층에는 Si 트랜지스터가 제공되지 않는 구성으로 하여도 좋다.

[0052] 일례로서, 디코더(160)가 가지는 트랜지스터가 OS 트랜지스터에 의하여 구성되고, 이의 아래층에 전압 생성 회로(119)가 가지는 트랜지스터가 Si 트랜지스터에 의하여 구성되어도 좋다.

[0053] 전지 제어 회로(101)가 가지는 셀 밸런스 회로(130), 검출 회로(185), 검출 회로(186), 검출 회로(MSD), 검출 회로(SD), 온도 센서(TS), 디코더(160), 및 논리 회로(182)가 가지는 트랜지스터와, 트랜지스터(140)와, 트랜지스터(150)로서, 동일 기관 위에 제공된 하나의 산화물 반도체층 또는 복수의 산화물 반도체층을 채널 형성 영역으로서 가지는 OS 트랜지스터를 사용하는 경우에는, 전지 제어 회로(101)를 동일 기관 위에 제공할 수 있다. 이와 같은 경우에는, 예를 들어 후술하는 단자(AA), 단자(AB), 및 단자(AH)는 전지 제어 회로(101)와 상이한 기관에 제공되는 회로, 예를 들어 MCU, MPU 등의 연산 회로와 신호를 주고받기 위하여 사용된다.

[0054] 단자(AA), 단자(AB), 및 단자(AH)는 '외부 단자'라고 불리는 경우가 있다.

[0055] 조전지(120)는 복수의 전지 셀(121)을 가진다. 도 1에는 N개의 전지 셀(121)을 가지는 예를 나타내었다. 제 k 전지 셀(k는 1 이상 N 이하의 정수)을 전지 셀(121(k))이라고 나타내는 경우가 있다. 조전지(120)가 가지는 복수의 전지 셀은 전기적으로 직렬로 접속된다.

[0056] 여기서 전지 셀로서, 예를 들어 후술하는 실시형태에서의 이차 전지를 사용할 수 있다. 예를 들어, 권회된 전지 소자를 가지는 이차 전지를 사용할 수 있다. 또한, 전지 셀은 외장체를 가지는 것이 바람직하다. 예를 들어, 원통형 외장체나 각형 외장체 등을 사용할 수 있다. 외장체의 재료로서 절연체로 덮인 금속판이나, 절연체에 끼워진 금속 필름 등을 사용할 수 있다. 전지 셀은, 예를 들어 한 쌍의 양극과 음극을 가진다. 또한, 전지 셀은 양극에 전기적으로 접속되는 단자 및 음극에 전기적으로 접속되는 단자를 가져도 좋다. 또한, 전지 셀이 본 발명의 일 형태의 전지 제어 회로의 일부의 구성을 가지는 경우가 있다.

[0057] 셀 밸런스 회로(130)는 조전지(120)가 가지는 각각의 전지 셀(121)의 충전을 제어하는 기능을 가진다. 검출 회로(185)는 조전지(120)의 과충전 및 과방전을 검출하는 기능을 가진다. 검출 회로(186)는 조전지(120)의 방전 과전류 및 충전 과전류를 검출하는 기능을 가진다.

[0058] 검출 회로(MSD)는 마이크로 단락을 검출하는 기능을 가진다.

[0059] 마이크로 단락이란 이차 전지 내부에서의 미소한 단락을 의미하고, 이차 전지의 양극과 음극의 단락으로 인하여

충방전을 할 수 없게 될 정도는 아니지만, 미소한 단락 부분에서 단락 전류가 단기간 흐르는 현상을 말한다. 마이크로 단락의 원인은, 충방전이 복수 회 수행됨으로써 열화되고, 리튬이나 코발트 등의 금속 원소가 전지 내부에서 석출되고, 석출물이 성장됨으로써 양극의 일부와 음극의 일부에서 국소적인 전류의 집중이 발생하여, 세 퍼레이터에서 기능을 정지하는 부분이 발생하는 것 또는 부반응물이 발생하는 것에 있는 것으로 추정되어 있다.

- [0060] 검출 회로(SD)는, 예를 들어 조전지(120)를 사용하여 동작시키는 회로군의 단락을 검출한다. 또한, 검출 회로(SD)는, 예를 들어 조전지(120)의 충전 전류 및 방전 전류를 검출한다.
- [0061] 전지 제어 회로(101)는 조전지(120)가 가지는 N개의 전지 셀(121) 각각의 양극에 전기적으로 접속되는 단자(VC1) 내지 단자(VCN)와 제 N 전지 셀(121)의 음극에 전기적으로 접속되는 단자(VSSS)를 가진다.
- [0062] 또한, 전지 제어 회로(101)는 단자군(AA), 단자군(AB), 및 단자군(AH)을 가진다. 단자군(AA), 단자군(AB), 및 단자군(AH)은 각각 하나의 단자 또는 복수의 단자를 가진다.
- [0063] 디코더(160)에는 단자군(AA)으로부터 소정의 비트수에 대응하는 디지털 신호가 공급된다. 디코더(160)는 셀 밸런스 회로(130)가 가지는 단자(SH6)에 공급되는 신호, 검출 회로(185)가 가지는 단자(SH1) 및 단자(SH2)에 공급되는 신호, 검출 회로(186)가 가지는 단자(SH3) 및 단자(SH4)에 공급되는 신호, 검출 회로(SD)가 가지는 단자(SH5)에 공급되는 신호, 및 온도 센서(TS)가 가지는 단자(SH8-1), 단자(SH8-2), 및 단자(SH8-3)에 공급하는 신호를 생성하고, 출력하는 기능을 가진다.
- [0064] 전압 생성 회로(119)는 디지털-아날로그 변환 회로(190)를 가진다. 전압 생성 회로(119)에서 생성되는 전위는, 예를 들어 디지털-아날로그 변환 회로(190)에 의하여 아날로그 신호로 변환된 후, 단자군(AB)에 공급된다.
- [0065] 전지 제어 회로가 가지는 각 회로에 인가되는 전위가 각각 상이한 경우 또는 하나의 회로에 복수의 전위를 인가하는 경우에 있어서, 본 발명의 일 형태의 전지 제어 회로에서는, 필요한 전위의 수에 대응한 수의 단자를 제공하지 않고, 각각의 전위를 공급할 수 있다. 따라서, 단자 수를 삭감할 수 있다. 더 구체적으로는, 예를 들어 본 발명의 일 형태의 전지 제어 회로에 있어서, 셀 밸런스 회로(130), 검출 회로(185) 등의 회로가 OS 트랜지스터를 가짐으로써, 단자군(AB)의 단자 수를 삭감할 수 있다. 예를 들어 하나의 단자로부터 입력되는 신호를 순차적으로 각 회로에 공급하고, OS 트랜지스터를 가지는 기억 소자에 의하여 유지할 수 있다. 도 1에 나타난 예에서는, 단자군(AB)에 하나의 단자(이하, 단자(VT))가 전기적으로 접속되고, 단자(VT)는 셀 밸런스 회로(130), 검출 회로(185), 검출 회로(186), 검출 회로(SD), 및 온도 센서(TS)에 각각 아날로그 신호를 공급한다.
- [0066] 또한, 전압 생성 회로(119)로부터 공급된 신호가 기억 소자에 의하여 유지되기 때문에, 각 회로에 신호를 공급한 후, 전압 생성 회로(119)의 전원을 오프로 하거나, 또는 전압 생성 회로(119)를 대기 상태로 함으로써, 전압 생성 회로(119)의 소비 전력을 저감할 수 있다. 예를 들어, 전압 생성 회로의 파워 게이팅을 수행하면 좋다.
- [0067] 기억 소자로서, 도 2의 (A)에 도시된 기억 소자(114)의 구성을 사용할 수 있다. 도 2의 (A)에 도시된 기억 소자(114)는 용량 소자(161) 및 트랜지스터(162)를 가진다.
- [0068] 트랜지스터(162)로서 OS 트랜지스터를 사용하는 것이 바람직하다. 본 발명의 일 형태의 구성에서는, OS 트랜지스터를 가지는 기억 소자(114)를 사용하는 구성으로 함으로써, 오프 시에 소스와 드레인 사이를 흐르는 누설 전류(이하, 오프 전류)가 매우 낮다는 것을 이용하여, 원하는 전압을 기억 소자에 유지시킬 수 있다.
- [0069] 도 2의 (B)는 기억 소자(114)가 가지는 트랜지스터(162)가 제 2 게이트를 가지는 점이 도 2의 (A)와 상이하다. 제 2 게이트는 백 게이트 또는 보텀 게이트라고 불리는 경우가 있다. OS 트랜지스터가 가지는 제 2 게이트에 대해서는 추후의 실시형태에서 자세히 설명한다.
- [0070] 단자군(AH)은 논리 회로(182)에 신호를 공급하는 기능 및 논리 회로(182)로부터의 신호를 전지 제어 회로(101)의 외부에 제공되는 회로에 공급하는 기능을 가지는 것이 바람직하다.
- [0071] 논리 회로(182)는 검출 회로(185), 검출 회로(186), 검출 회로(SD), 검출 회로(MSD), 및 온도 센서(TS)로부터의 출력 신호에 따라, 트랜지스터(140) 및 트랜지스터(150)의 제어를 수행하는 기능을 가진다. 또한, 논리 회로(182)는 전지 제어 회로(101)의 외부 또는 내부에 제공되는 충전 회로에 신호를 공급하여도 좋다. 이 경우에는, 예를 들어 논리 회로(182)로부터 상기 충전 회로에 공급되는 신호에 따라 이차 전지의 충전이 제어된다. 여기서 충전 회로는, 예를 들어 전지의 충전의 조건을 제어하는 기능을 가진다. 또는, 전지의 충전의 조건을 제어하는 신호를 다른 회로, 예를 들어 본 발명의 일 형태가 가지는 디코더(160), 셀 밸런스 회로, 과충전 검출 회로, 트랜지스터(140), 트랜지스터(150), 트랜지스터(140) 및 트랜지스터(150)를 제어하는 회로 등에 공

급한다.

- [0072] 트랜지스터(140) 및 트랜지스터(150)는 조전지(120)에 대한 충전 또는 방전을 제어하는 기능을 가진다. 일례로서, 트랜지스터(140)는 논리 회로(182)가 공급하는 제어 신호(T1)에 의하여 도통 상태 또는 비도통 상태가 제어되고, 조전지(120)를 충전시키는지 여부가 제어된다. 또한, 트랜지스터(150)는 논리 회로(182)가 공급하는 제어 신호(T2)에 의하여 도통 상태 또는 비도통 상태가 제어되고, 조전지(120)를 방전시키는지 여부가 제어된다. 또한, 도 1에 나타난 예에서, 트랜지스터(140)의 소스 및 드레인 중 한쪽은 단자(VSSS)에 전기적으로 접속된다. 트랜지스터(140)의 소스 및 드레인 중 다른 쪽은 트랜지스터(150)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(150)의 소스 및 드레인 중 다른 쪽은 단자(VM)에 전기적으로 접속된다. 단자(VM)는, 예를 들어 충전기의 음극에 전기적으로 접속된다. 또한, 단자(VM)는, 예를 들어 방전 시의 부하에 전기적으로 접속된다.
- [0073] 전지 제어 회로(101)는 조전지(120)가 가지는 전지 셀(121)의 각 단자의 전압값(모니터 전압) 및 조전지에 흐르는 전류값(모니터 전류)을 관측하는 기능을 가져도 좋다. 예를 들어 트랜지스터(140) 또는 트랜지스터(150)의 온 전류를 모니터 전류로서 관측하는 구성으로 하여도 좋다. 또는, 트랜지스터(140) 등과 직렬로 저항 소자를 제공하고, 상기 저항 소자의 전류값을 관측하여도 좋다.
- [0074] 또한, 전지 제어 회로(101)는 전지 셀(121)의 온도를 측정하고, 측정된 온도에 의거하여 전지 셀의 충전 및 방전을 제어하는 기능을 가져도 좋다. 예를 들어 낮은 온도에서는 이차 전지의 저항이 증가하는 경우가 있기 때문에, 충전 전류 밀도 및 방전 전류 밀도를 작게 하는 경우가 있다. 또한, 높은 온도에서는 이차 전지의 저항이 감소되는 경우가 있기 때문에, 방전 전류 밀도를 높이는 경우가 있다. 또한, 높은 온도에서 충전 전류를 높임으로 인하여 이차 전지 특성의 열화가 우려되는 경우에는, 예를 들어 열화가 억제되는 충전 전류로 제어하면 좋다. 충전 조건, 방전 조건 등의 데이터는 본 발명의 일 형태의 전지 제어 회로(101)가 가지는 기억 회로 등에 저장되는 것이 바람직하다. 또한, 충전에 의하여 전지 제어 회로(101) 또는 조전지(120)의 온도가 상승하는 경우가 있다. 이와 같은 경우에는, 측정되는 온도에 맞추어 충전의 제어를 수행하는 것이 바람직하다. 예를 들어 온도의 상승에 따라 충전 전류를 억제하면 좋다.
- [0075] 본 발명의 일 형태의 셀 밸런스 회로(130) 및 검출 회로(185)는 조전지(120)가 가지는 복수의 전지 셀(121)의 각각에 대하여 하나씩 제공되는 것이 바람직하다.
- [0076] 도 3의 (A)를 사용하여 셀 밸런스 회로(130) 및 검출 회로(185)의 구성 요소를 설명한다. 도 3의 (A)에는, 간략화를 위하여 하나의 전지 셀(121)에 대응하는 셀 밸런스 회로(130) 및 검출 회로(185)를 도시하였다.
- [0077] 도 3의 (A)에는 하나의 전지 셀(121)에 셀 밸런스 회로(130) 및 검출 회로(185)가 접속되는 예를 나타내었다. 검출 회로(185)는 회로(185c)와 회로(185d)를 가진다. 검출 회로(185)는 과충전을 검출하는 기능을 가지고, 검출 회로(186)는 과방전을 검출하는 기능을 가진다.
- [0078] 도 3의 (A)에서 트랜지스터(132) 및 저항 소자(131)가 직렬로 접속되고, 트랜지스터(132)의 소스 및 드레인 중, 한쪽은 전지 셀(121)의 음극에, 다른 쪽은 저항 소자의 한쪽의 전극에 각각 전기적으로 접속된다. 저항 소자의 다른 쪽의 전극은 이차 전지의 양극에 전기적으로 접속된다.
- [0079] 여기서, 트랜지스터(132)의 소스 및 드레인 중, 한쪽이 전지 셀(121)의 양극에, 다른 쪽이 저항 소자(131)의 한쪽의 전극에, 저항 소자(131)의 다른 쪽의 전극이 전지 셀(121)의 음극에 각각 전기적으로 접속되어도 좋다.
- [0080] 도 3의 (A)에서 셀 밸런스 회로(130) 및 검출 회로(185)는 각각, 스위치(SW)를 가진다. 각각의 스위치(SW)는 단자(VC2)와 접지 전위가 인가되는 단자에 전기적으로 접속되고, 어느 단자의 전위를 용량 소자(161)의 한쪽의 전극에 인가하는 기능을 가진다.
- [0081] 도 3의 (B)에 도시된 바와 같이, 셀 밸런스 회로(130) 및 검출 회로(185)가 공통의 스위치(SW)를 가져도 좋다.
- [0082] 또한, 도 3의 (A)에서 셀 밸런스 회로(130), 회로(185c), 및 회로(185d)는 각각, 콤퍼레이터(113) 및 기억 소자(114)를 가진다. 기억 소자(114)는 용량 소자(161) 및 트랜지스터(162)를 가진다. 셀 밸런스 회로(130), 회로(185c), 및 회로(185d)가 가지는 각각의 트랜지스터(162)의 소스 및 드레인 중 한쪽에는, 공통의 단자, 여기서는 단자(VT)가 전기적으로 접속된다. 각각의 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에는, 각 회로가 가지는 용량 소자(161)의 다른 쪽의 전극과, 콤퍼레이터(113)의 비반전 입력 단자 및 반전 입력 단자 중 어느 것이 각각 전기적으로 접속된다.
- [0083] 도 3의 (A)에서 셀 밸런스 회로(130)는 전지 셀(121)의 양극 및 음극에 전기적으로 접속된다. 전지 셀(121)의

양극은 단자(VC1)에 전기적으로 접속되고, 음극은 단자(VC2)에 전기적으로 접속된다. 셀 밸런스 회로(130)에서 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에는 콤퍼레이터(113)의 반전 입력 단자가 전기적으로 접속되고, 트랜지스터(162)의 게이트에는 단자(SH6)가 전기적으로 접속된다. 셀 밸런스 회로(130)에서 콤퍼레이터(113)의 비반전 입력 단자는 단자(VC1)에 전기적으로 접속되는 것이 바람직하다. 또는, 도 3의 (A)에 도시된 바와 같이, 콤퍼레이터(113)의 비반전 입력 단자에는 단자(VC1)와 단자(VC2) 사이가 저항 분할된 전압이 공급되어도 좋다. 셀 밸런스 회로(130)에서 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에 접속되는 노드를 노드(N6)로 한다.

[0084] 도 3의 (A)에서, 검출 회로(185)는 전지 셀(121)의 양극 및 음극에 전기적으로 접속된다. 회로(185c)에서 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에는 콤퍼레이터의 반전 입력 단자가 전기적으로 접속되고, 트랜지스터(162)의 게이트에는 단자(SH1)가 전기적으로 접속된다. 회로(185c)에서 콤퍼레이터(113)의 비반전 입력 단자는 단자(VC1)에 전기적으로 접속되는 것이 바람직하다. 또는, 도 3의 (A)에 도시된 바와 같이, 콤퍼레이터(113)의 비반전 입력 단자에는 단자(VC1)와 단자(VC2) 사이가 저항 분할된 전압이 공급되어도 좋다. 회로(185c)에서 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에 접속되는 노드를 노드(N1)로 한다.

[0085] 회로(185d)에서 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에는 콤퍼레이터의 비반전 입력 단자가 전기적으로 접속되고, 트랜지스터(162)의 게이트에는 단자(SH2)가 전기적으로 접속된다. 회로(185d)에서 콤퍼레이터(113)의 반전 입력 단자는 단자(VC1)에 전기적으로 접속되는 것이 바람직하다. 또는, 도 3에 도시된 바와 같이, 콤퍼레이터(113)의 반전 입력 단자에는 단자(VC1)와 단자(VC2) 사이가 저항 분할된 전압이 공급되어도 좋다. 회로(185d)에서 트랜지스터(162)의 소스 및 드레인 중 다른 쪽에 접속되는 노드를 노드(N2)로 한다.

[0086] 셀 밸런스 회로(130) 및 검출 회로(185)에서 각 회로가 가지는 용량 소자(161)의 다른 쪽의 전극이 접속되는 노드(여기서는 노드(N6), 노드(N1), 및 노드(N2))에는 트랜지스터(162)를 오프 상태로 함으로써 전위가 유지된다.

[0087] 단자(VT)는 셀 밸런스 회로(130), 회로(185c), 및 회로(185d)에 순차적으로 아날로그 신호를 공급한다. 노드(N6), 노드(N1), 및 노드(N2)에 순차적으로 아날로그 신호가 공급되고, 유지된다. 제 1 노드에 아날로그 신호를 공급한 후, 노드에 접속되는 트랜지스터(162)를 오프 상태로 함으로써, 제 1 노드의 전위가 유지된다. 그 후, 제 2 노드에 전위를 인가하여 유지하고, 그 후, 제 3 노드의 전위를 인가하여 유지한다. 트랜지스터(162)의 온과 오프의 제어는 디코더(160)로부터 출력되는 신호(여기서는 단자(SH1), 단자(SH2), 및 단자(SH6)에 공급되는 신호)에 의하여 제어된다.

[0088] 다음으로, 노드에 전위가 유지된 상태로, 스위치(SW)의 전환에 의하여 용량 소자(161)의 한쪽의 전극에 인가되는 전위를 접지 전위로부터 단자(VC2)의 전위로 변동시킴으로써, 용량 결함에 의하여 노드(N6), 노드(N1), 및 노드(N2)에 유지된 각각의 전위를 단자(VC2)와 접지 전위의 차분만큼 변동시킬 수 있다.

[0089] 이와 같이, 셀 밸런스 회로(130) 및 검출 회로(185)는 노드(N6), 노드(N1), 및 노드(N2)에, 단자(VT)로부터 인가된 전위와 단자(VC2)의 전위의 합을 유지할 수 있다. 여기서 단자(VC2)는 전지 셀(121)의 음극 전위이기 때문에, 노드(N6), 노드(N1), 및 노드(N2)에는 단자(VT)로부터 인가된 전위와 전지 셀(121)의 음극의 전위의 합을 유지할 수 있다.

[0090] 도 4는 도 3의 (A)에 도시된 셀 밸런스 회로(130) 및 검출 회로(185)를 조전지(120)가 가지는 전지 셀(121) 중 하나에 대하여 각각 제공하는 예를 나타낸 것이다. 조전지(120)는 전지 셀(121)을 N개 가진다. 제 k 전지 셀(121)(k는 1 이상 N 이하의 정수)을 전지 셀(121(k))이라고 나타낸다. 각각, 전지 셀(121(k))에 접속되는 셀 밸런스 회로(130)를 셀 밸런스 회로(130(k)), 전지 셀(121(k))에 접속되는 검출 회로(185)를 검출 회로(185(k))라고 나타낸다. 이하, 셀 밸런스 회로(130(1)) 내지 셀 밸런스 회로(130(N))를 셀 밸런스 회로(130)라고 나타낸다. 또한, 검출 회로(185(1)) 내지 검출 회로(185(N))를 검출 회로(185)라고 나타낸다.

[0091] 셀 밸런스 회로(130) 및 검출 회로(185)는 접속되는 복수의 전지 셀(121) 각각에 대하여 개별적으로 그 양쪽 단부의 전압차(양극과 음극의 전압의 차)를 제어하는 기능을 가진다.

[0092] 셀 밸런스 회로(130)는 전지 셀(121)마다 양극의 제 1 상한 전압으로서 바람직한 값을 기억 소자(114)에 유지시킬 수 있다.

[0093] 셀 밸런스 회로(130(k))가 가지는 노드(N6)를 노드(N6(k))로 한다. 셀 밸런스 회로(130(k))가 가지는 스위치(SW)에는 전지 셀(k)의 음극의 전위가 전기적으로 접속된다. 즉, 각각의 셀 밸런스 회로(130)가 가지는 스위치(SW)에는 각각의 전지 셀의 음극에 대응하는 전위가 인가된다. 노드(N6(k))에는 단자(VT)로부터 인가된 전위와

전지 셀(121(k))의 음극의 전위의 합을 유지할 수 있다.

- [0094] 이와 같이, 각각의 셀 밸런스 회로에 각각의 전지 셀의 음극을 기준으로 하여, 단자(VT)로부터 인가되는 공통의 전위를 사용한 전위를 인가할 수 있기 때문에, N개의 전지 셀에 대하여 단자를 공통으로 할 수 있다. 따라서, 단자 수를 삭감할 수 있다.
- [0095] 셀 밸런스 회로(130)는 전지 셀(121)의 양극의 전압과 콤퍼레이터(113)의 비반전 입력 단자의 전압의 관계에 따라, 트랜지스터(132)를 온 상태로 하는지 또는 오프 상태로 하는지의 제어를 수행한다. 트랜지스터(132)의 제어를 수행함으로써, 저항 소자(131)에 흐르는 전류량과 전지 셀(121)에 흐르는 전류량의 비율을 조절할 수 있다. 예를 들어, 전지 셀(121)의 충전을 정지하는 경우에는, 저항 소자(131)에 전류를 흘리고, 전지 셀(121)에 흐르는 전류를 제한한다.
- [0096] 도 1에서 복수의 전지 셀(121)이 단자(VDDD)와 단자(VSSS) 사이에 직렬로 전기적으로 접속되어 있다. 단자(VDDD)와 단자(VSSS) 사이에 전류를 흘림으로써, 복수의 전지 셀(121)의 충전을 수행한다.
- [0097] 복수의 전지 셀(121) 중 하나의 전지 셀(121)에서, 양극이 소정의 전압에 달하고, 전류가 제한되는 경우에 대하여 생각한다. 이와 같은 경우에는, 상기 전지 셀에 병렬로 접속되는 트랜지스터(132) 및 저항 소자(131)에 전류를 흘림으로써, 단자(VDDD)와 단자(VSSS) 사이의 전류의 경로가 차단되지 않고, 양극이 소정의 전압에 달하지 않은 기타 전지 셀(121)을 계속 충전할 수 있다. 즉, 충전이 완료된 전지 셀(121)에서는 트랜지스터(132)를 온 상태로 함으로써 충전을 정지하고, 충전이 완료되지 않은 전지 셀(121)에서는 트랜지스터(132)를 오프 상태로 하여 계속 충전한다.
- [0098] 전지 셀(121)마다, 예를 들어 저항의 편차가 있는 경우, 저항이 낮은 어떤 전지 셀(121)의 충전이 먼저 완료되고, 어떤 전지 셀(121)에 비하여 저항이 높은 전지 셀(121)의 충전이 불충분한 경우가 있다. 여기서, 충전이 불충분하다는 것은, 예를 들어 양극과 음극의 전압차가 원하는 전압보다 낮은 것을 가리킨다. 셀 밸런스 회로(130)를 사용함으로써, 충전에서의 전지 셀(121)의 양극의 전압을 각각의 전지 셀의 음극의 전압을 기준으로 하여 제어할 수 있다.
- [0099] 본 발명의 일 형태의 셀 밸런스 회로에 있어서, 전지 제어 회로(101)의 외부에 제공되는 회로, 예를 들어 MPU 또는 MCU 등의 연산 회로를 사용하지 않고, 하나의 전지 셀 또는 복수의 전지 셀의 충전 전압 또는 충전 용량 등을 제어할 수 있다.
- [0100] 즉, N개의 셀 밸런스 회로(130)를 사용함으로써, 복수의 전지 셀(121)의 충전 후의 상태, 예를 들어 만충전 시의 편차를 작게 할 수 있다. 따라서, 조전지(120) 전체로서의 용량이 높아지는 경우가 있다. 또한, 용량을 높임으로써, 전지 셀(121)의 충방전 사이클의 횟수를 감소시킬 수 있는 경우가 있기 때문에, 조전지(120)의 내구성이 높아지는 경우가 있다.
- [0101] 회로(185c)는 전지 셀(121)마다 전지 셀(121)의 충전에서의 양극의 제 2 상한 전압을 기억 소자(114)에 유지시킬 수 있다. 상기 제 2 상한 전압은 과충전 전압이라고 불리는 경우가 있다. 회로(185d)는 방전에서의 양극의 하한 전압을 기억 소자(114)에 유지시킬 수 있다. 상기 하한 전압은 과방전 전압이라고 불리는 경우가 있다.
- [0102] 또한, 검출 회로(185)를 구성하는 콤퍼레이터는 출력이 L 레벨로부터 H 레벨로 변화되는 경우와, H 레벨로부터 L 레벨로 변화되는 경우에서 문턱값이 상이한 것, 즉, 히스테리시스 콤퍼레이터로 하여도 좋다. 히스테리시스 콤퍼레이터의 참조 전위의 입력부에 접속되는 기억 소자는 2개의 문턱값을 유지하는 기능을 가지는 것이 바람직하다.
- [0103] 검출 회로(185(k))가 가지는 노드(N1) 및 노드(N2)를 각각, 노드(N1(k)) 및 노드(N2(k))로 한다. 검출 회로(185(k))가 가지는 스위치(SW)에는 전지 셀(k)의 음극의 전위가 전기적으로 접속된다. 즉, 각각의 검출 회로(185)가 가지는 스위치(SW)에는 각각의 전지 셀의 음극에 대응하는 전위가 인가된다. 노드(N1(k))에는 단자(VT)로부터 인가된 전위와 전지 셀(121(k))의 음극의 전위의 합을 유지할 수 있다. 노드(N2(k))에는 단자(VT)로부터 인가된 전위와 전지 셀(121(k))의 음극의 전위의 합을 유지할 수 있다.
- [0104] 이와 같이, 각각의 검출 회로에 각각의 전지 셀의 음극을 기준으로 하여, 단자(VT)로부터 인가되는 공통의 전위를 사용한 전위를 인가할 수 있기 때문에, N개의 전지 셀에 대하여 단자를 공통으로 할 수 있다. 따라서, 단자 수를 삭감할 수 있다.
- [0105] 검출 회로(185)에서 전지 제어 회로(101)의 외부에 제공되는 회로, 예를 들어 MPU 또는 MCU 등의 연산 회로를 사용하지 않고, 하나의 전지 셀 또는 복수의 전지 셀의 과충전 및 과방전을 검지하고, 전지 셀의 보호를 수행할

수 있다. 과방전으로 인한 전압의 저하가 검지된 경우, 본 발명의 일 형태의 제어 회로는 방전 전류를 차단하여 전압의 저하를 방지한다. 방전 전류의 차단이 불충분한 경우, 누설 전류가 발생되고, 전압의 저하가 일어나는 경우가 있다. 파워 게이팅을 사용한 회로 구성에 의하여 누설 전류가 억제되는 경우가 있다. 또한, OS 트랜지스터를 사용한 회로 구성에 의하여 누설 전류가 억제되는 경우가 있다.

[0106] 전지 셀은 상기 전지 셀에 접속되는 셀 밸런스 회로와 과충전을 검출하는 회로에 있어서, 각각 상한의 전압이 제어된다. 셀 밸런스 회로가 검출하는 상한 전압은, 예를 들어 과충전을 검출하는 회로가 검출하는 상한 전압보다 낮다. 따라서, 충전을 수행하는 과정에서, 제 1 단계에 의하여 셀 밸런스 회로가 전지 셀의 상한 전압으로의 도달을 검지하여 충전 조건을 변경한다. 여기서는, 예를 들어 충전의 전류 밀도를 낮춘다. 또는, 방전을 시작하여도 좋다. 그 후, 전지 셀의 충전 전압의 상승에 따라, 과충전을 검출하는 회로가 검출하는 상한 전압으로의 도달이 검지되는 경우에는, 제 2 단계에 의하여 전지 셀의 충전 조건을 변경한다. 여기서는, 예를 들어 충전을 정지하고 방전을 시작한다.

[0107] <충전 장치의 동작 예>

[0108] 도 26에 나타난 타이밍 차트에는 본 발명의 일 형태의 충전 장치의 동작 예를 나타내었다. 도 26에 나타난 예에서, 셀 밸런스 회로(130)는 전지 셀(121(1)), 전지 셀(121(2)), 및 전지 셀(121(n)) 각각의 양극과 음극의 전위차인 전압(VC1-VC2), 전압(VC2-VC3), 및 전압(VCN-VSSS)이 전압 v1을 넘는 경우에, 각각의 전지 셀에 대응하는 콤퍼레이터의 출력 단자인 단자(CB1), 단자(CB2), 및 단자(CBN)로부터 고전위 신호가 출력된다.

[0109] 도 26에 나타난 타이밍 차트에서는, 우선 시각 t0 내지 시각 t1의 기간에서 조전지(120)의 충전이 수행된다.

[0110] 다음으로, 시각 t1에 전압(VCN-VSSS)이 전압 v1을 넘어 단자(CBN)로부터 고전위 신호가 출력되고, 전지 셀(121(n))에 병렬로 접속되는 트랜지스터(132)의 게이트에 고전위 신호가 공급되고, 트랜지스터(132)에 전류가 흐르고, 전지 셀(121(n))에 흐르는 전류는 작아지거나, 또는 거의 흐르지 않게 된다.

[0111] 다음으로, 시각 t2에 있어서, 전압(VC2-VC3)이 전압 v1을 넘어 단자(CB2)로부터 고전위 신호가 출력되고, 전지 셀(121(2))에 흐르는 전류는 작아지거나, 또는 거의 흐르지 않게 된다.

[0112] 다음으로, 시각 t3에 있어서, 전압(VC1-VC2)이 전압 v1을 넘어 단자(CB1)로부터 고전위 신호가 출력되고, 전지 셀(121(1))에 흐르는 전류는 작아지거나, 또는 거의 흐르지 않게 된다.

[0113] 시각 t4에서는, 조전지(120)의 방전이 시작되고, 전압(VC1-VC2), 전압(VC2-VC3), 및 전압(VCN-VSSS)이 저하한다. 전압(VC1-VC2), 전압(VC2-VC3), 및 전압(VCN-VSSS)이 전압 v1보다 작아지면서 단자(CB1, CB2, 및 CBN)로부터 저전위 신호가 출력된다.

[0114] 여기서, 시각 t1로부터 시각 t4까지의 기간에서, 전압(VC1-VC2), 전압(VC2-VC3), 및 전압(VCN-VSSS) 중 어느 전압이 전압 v2를 넘는 경우에는, 회로(185c)가 과충전을 검출하여, 예를 들어 트랜지스터(140)의 게이트에 고전위 신호가 공급되어 충전이 정지된다.

[0115] 여기서, 콤퍼레이터(113)에 입력되는 값은 전지 셀의 양극과 음극의 차의 전압을 저항 분할에 의하여 분배한 값으로 하여도 좋다. 이 경우에는 셀 밸런스 회로의 상한 전압 및 과충전 검출 회로의 상한 전압에 대해서도, 전압 v1 및 전압 v2를 저항 분할에 의하여 분배한 값을 사용하면 좋다.

[0116] <콤퍼레이터의 동작 결과>

[0117] OS 트랜지스터를 사용한 기억 소자(114)가 반전 입력 단자에 접속된 콤퍼레이터(113)를 준비하고, 그 동작을 확인하였다.

[0118] 세 가지 조건의 전압을 콤퍼레이터(113)의 비반전 입력 단자 및 반전 입력 단자에 순차적으로 공급하여, 동작 확인을 수행하였다. 제 1 조건에 있어서, 비반전 입력 단자의 전압을 전압 Va로 하고, 출력 단자에 있어서 얻어지는 전압을 Voa로 한다. 제 2 조건에 있어서, 비반전 입력 단자의 전압을 전압 Vb로 하고, 출력 단자에 있어서 얻어지는 전압을 Vob로 한다. 제 3 조건에 있어서, 비반전 입력 단자의 전압을 전압 Vc로 하고, 출력 단자에 있어서 얻어지는 전압을 Voc로 한다.

[0119] 전압 Va로서 전압(VC1-VC2)을 저항 분할에 의하여 1/4로 한 값, 전압 Vb로서 (전압(VC1-VC2))을 저항 분할에 의하여 1/4로 한 값, 전압 Vc로서 (전압(VCN-VSSS))을 저항 분할에 의하여 1/4로 한 값을 각각 상정하여 입력하였다.

- [0120] 또한, 반전 입력 단자에는 제 1 조건, 제 2 조건, 및 제 3 조건에 있어서 각각 4.2V를 1/4로 한 전압을 공급하고, 기억 소자(114)에 의하여 그 값을 유지하였다. 4.2V란, 여기서는, 예를 들어 음극의 전위 2V에 대하여, 셀 밸런스 회로가 검출하는 소정의 전위차로서 2.2V를 더한 값을 상정한 것이다. 즉, 도 26에 나타난 전압 v1을 4.2V로 상정하였다.
- [0121] 또한, 본 검증에서는 각각의 콤퍼레이터가 고전위 신호를 공급한 후의 트랜지스터(132)를 사용한 제어에 대해서는, 검증을 수행하지 않았다.
- [0122] 각각, 도 27의 (A)에는 제 1 조건을 콤퍼레이터에 적용한 경우의 결과로서, 입력한 전압 Va와 출력된 전압 Voa를 나타내고, 도 27의 (B)에는 제 2 조건을 콤퍼레이터에 적용한 경우의 결과로서, 입력한 전압 Vb와 출력된 전압 Vob를 나타내고, 도 27의 (C)에는 제 3 조건을 콤퍼레이터에 적용한 경우의 결과로서, 입력한 전압 Vc와 출력된 전압 Voc를 나타내었다. 입력 전압이 반전 입력 단자에 기억된 값을 넘으면, 각각의 콤퍼레이터로부터 고전위 신호가 출력되는 것이 확인되었다.
- [0123] <축전 장치의 다른 구성 요소>
- [0124] 이하에, 본 발명의 일 형태의 축전 장치가 가지는, 다른 구성 요소의 일례를 설명한다.
- [0125] 도 5의 (A)에는 단자(AA)로부터 디코더(160)에 6비트의 신호가 공급되는 예를 나타내었다. 도 5의 (A)는 일례에 불과하며, 단자(AA)로부터 디코더(160)에 공급되는 신호의 비트 수는 제한되는 것이 아니다. 도 5의 (B)에는 NAND 회로(90)의 회로 기호를 나타내었다. 도 5의 (C)에 도시된 바와 같이, 디코더(160)는 복수의 NAND 회로(90)를 사용하여 구성할 수 있다. 도 5의 (D)에는 NAND 회로(90)의 구체적인 예를 나타내었다. 여기서 배선(VDD)에는, 예를 들어 고전위 전원 전위가 인가된다.
- [0126] 도 6에는 논리 회로(182)의 일례를 나타내었다. 도 6에 나타난 논리 회로(182)는 인터페이스 회로(IF), 카운터 회로(CND), 래치 회로(LTC), 및 트랜지스터(172)를 가진다. 트랜지스터(172)로서 OS 트랜지스터를 사용하는 것이 바람직하다.
- [0127] 인터페이스 회로(IF)에는 검출 회로(185)의 출력 단자(OUT11) 및 출력 단자(OUT12)로부터의 신호, 검출 회로(186)의 출력 단자(OUT31) 및 출력 단자(OUT32)로부터의 신호, 및 검출 회로(SD)의 출력 단자(OUT41)로부터의 신호가 공급된다. 출력 단자(OUT11)는, 예를 들어 과충전에 대응하는 신호를 공급한다. 출력 단자(OUT12)는, 예를 들어 과방전에 대응하는 신호를 공급한다. 출력 단자(OUT31)는, 예를 들어 충전 시의 과전류에 대응하는 신호를 공급한다. 출력 단자(OUT32)는, 예를 들어 방전 시의 과전류에 대응하는 신호를 공급한다.
- [0128] 인터페이스 회로(IF)는 이상을 검지하는 신호, 예를 들어 과충전, 과방전, 및 과전류 중 적어도 하나에 대응하는 신호를 검지한 경우에, 신호(PG)를 트랜지스터(172)의 게이트에 공급한다.
- [0129] 트랜지스터(172)는 카운터 회로에 접속된다.
- [0130] 카운터 회로는 신호(PG)가 트랜지스터(172)를 온 상태로 하는 신호, 더 구체적으로는, 예를 들어 고전위 신호를 출력하는 경우에는, 카운터와 지연 회로를 동작시킨다. 한편, 신호(PG)가 트랜지스터(172)를 오프 상태로 하는 신호, 더 구체적으로는, 예를 들어 저전위 신호를 출력하는 경우에는, 카운터 회로(CND)의 동작을 정지하거나, 또는 카운터 회로(CND)를 대기 상태로 할 수 있다. 인터페이스 회로(IF)로부터 카운터 회로(CND) 및 래치 회로(LTC)에 신호(res)가 공급된다. 신호(res)는 리셋 신호이다. 카운터 회로(CND)에 신호(res)가 공급되고, 카운트를 시작한다. 신호(en)는 인에이블 신호이다. 카운터 회로(CND)는 신호(en)에 의하여 동작을 시작하거나, 또는 동작을 정지한다.
- [0131] 인터페이스 회로(IF)에 이상을 검지하는 신호가 공급되는 경우에는, 카운터 회로(CND)로 일정 기간 카운트를 수행한 후, 검지한 이상에 대응하는 신호가 카운터 회로(CND)를 통하여 래치 회로(LTC)에 공급된다.
- [0132] 래치 회로(LTC)는 검지한 이상에 따라 트랜지스터(140) 또는 트랜지스터(150)의 게이트에 트랜지스터를 오프 상태로 하는 신호를 공급한다.
- [0133] 도 7의 (A)에는 검출 회로(186)의 회로도 일례를 나타낸다. 검출 회로(186)는 2개의 콤퍼레이터(113)를 가진다.
- [0134] 한쪽의 콤퍼레이터(113)의 비반전 입력 단자에는 방전 과전류 검출에 대응하는 전압이 유지되는 기억 소자(114)가 전기적으로 접속된다. 기억 소자(114)가 가지는 트랜지스터의 게이트에는 단자(SH3)가 전기적으로 접속된다. 또한, 반전 입력 단자에는 단자(SENS)가 전기적으로 접속된다. 반전 입력 단자에 공급되는 전압에 의하여

과전류를 검출하면, 출력 단자(OUT32)로부터의 출력이 반전된다.

- [0135] 다른 쪽의 콤퍼레이터(113)의 비반전 입력 단자에는 단자(SENS)가 전기적으로 접속된다. 또한, 반전 입력 단자에는 충전 과전류 검출에 대응하는 기억 소자(114)가 전기적으로 접속된다. 기억 소자(114)가 가지는 트랜지스터의 게이트에는 단자(SH4)가 전기적으로 접속된다. 비반전 입력 단자에 공급되는 전압에 의하여 과전류를 검출하면, 출력 단자(OUT31)로부터의 출력이 반전된다.
- [0136] 온도 센서(TS)는 조전지(120) 또는 조전지(120)를 포함하는 축전 장치(100)의 온도를 측정하는 기능을 가진다. 도 7의 (B)는 온도 센서(TS)의 일례를 나타낸 회로도이다. 또한, 도 7의 (B)에 도시된 회로도에는 온도 센서(TS)의 일부의 회로를 나타내는 경우가 있다.
- [0137] 도 7의 (B)에서, 온도 센서(TS)는 콤퍼레이터(113)를 3개 가지고, 각각의 콤퍼레이터의 반전 입력 단자에는 상이한 온도에 대응하는 전압  $VT(VT=Tm1, Tm2, Tm3)$ 가 각각 공급된다. 공급된 각각의 전압  $VT$ 는 반전 입력 단자에 전기적으로 접속된 기억 소자(114)에 의하여 유지된다. 전압  $Tm1, Tm2, Tm3$ 은, 예를 들어 전압 생성 회로(119)로부터 공급되어도 좋다.
- [0138] 입력 단자( $Vt$ )에는 측정된 온도에 대응하는 전압이 공급된다. 입력 단자( $Vt$ )는 3개의 콤퍼레이터(113) 각각의 비반전 입력 단자에 공급된다.
- [0139] 입력 단자( $Vt$ )에 공급된 전압과 각각의 콤퍼레이터(113)의 반전 입력 단자의 전압의 비교 결과에 대응하여, 각각의 콤퍼레이터의 출력 단자(출력 단자(OUT51), 출력 단자(OUT52), 출력 단자(OUT53))로부터 신호가 출력되어 온도를 판정할 수 있다.
- [0140] OS 트랜지스터는 온도가 상승하면 저항값이 작아지는 성질을 가진다. 이 성질을 이용하여, 환경 온도를 전압으로 변환할 수 있다. 이 전압을, 예를 들어 입력 단자( $Vt$ )에 공급하면 좋다.
- [0141] 논리 회로(182)는 온도 센서(TS)의 출력을 검지하고, 조전지(120)가 동작할 수 있는 온도 범위를 넘은 경우, 트랜지스터(140) 및(또는) 트랜지스터(150)를 비도통으로 하여, 충전 및(또는) 방전을 정지하는 구성으로 하여도 좋다.
- [0142] <전지 셀>
- [0143] 전지 셀(121)로서 리튬 이온 이차 전지 셀을 사용할 수 있다. 또한, 전지 셀(121)은 리튬 이온 이차 전지 셀에 한정되지 않고, 이차 전지의 양극 재료로서, 예를 들어 원소 A, 원소 X, 및 산소를 가지는 재료를 사용할 수 있다. 원소 A는 1족 원소 및 2족 원소에서 선택되는 하나 이상이다. 1족 원소로서 예를 들어 리튬, 소듐, 포타슘 등의 알칼리 금속을 사용할 수 있다. 또한 2족 원소로서 예를 들어 칼슘, 베릴륨, 마그네슘 등을 사용할 수 있다. 원소 X로서 예를 들어 금속 원소, 실리콘, 및 인에서 선택되는 하나 이상을 사용할 수 있다. 또한 원소 X는 코발트, 니켈, 망가니즈, 철, 및 바나듐에서 선택되는 하나 이상이다. 대표적으로는, 리튬 코발트 복합 산화물  $LiCoO_2$ 나 인산 철 리튬  $LiFePO_4$ 를 들 수 있다.
- [0144] <트랜지스터>
- [0145] 본 발명의 일 형태의 구성에서는, OS 트랜지스터를 가지는 기억 소자를 사용하는 구성으로 함으로써, 오프 시에 소스와 드레인 사이를 흐르는 누설 전류(이하, 오프 전류)가 매우 낮다는 것을 이용하여, 참조 전압을 기억 소자에 유지시킬 수 있다. 이때, 기억 소자의 전원을 오프 상태로 할 수 있기 때문에, OS 트랜지스터를 가지는 기억 소자를 사용함으로써, 매우 낮은 소비 전력으로 참조 전압을 유지시킬 수 있다.
- [0146] 또한, OS 트랜지스터를 가지는 기억 소자는 아날로그 전위를 유지할 수 있다. 예를 들어, 이차 전지의 전압을 아날로그-디지털 변환 회로를 사용하여 디지털값으로 변환하지 않고, 기억 소자에 유지할 수 있다. 변환 회로가 불필요하므로 회로 면적을 축소할 수 있다.
- [0147] 또한, OS 트랜지스터를 사용한 기억 소자에서는 전하를 충전 또는 방전함으로써 참조 전압의 재기록 및 판독을 할 수 있게 되기 때문에, 실질적으로 횡수 제한없이 모니터 전압의 취득 및 판독을 할 수 있다. OS 트랜지스터를 사용한 기억 소자는 자기 메모리 또는 저항 변화형 메모리 등과 달리 원자 레벨에서의 구조 변화가 없기 때문에 재기록 내성이 우수하다. 또한, OS 트랜지스터를 사용한 기억 소자는 플래시 메모리와 달리 반복적인 재기록 동작을 수행하여도 전자 포획 중심의 증가로 인한 불안정성이 보이지 않는다.
- [0148] 또한, OS 트랜지스터는 오프 전류가 매우 낮고, 고온 환경하에서도 스위칭 특성이 양호하다는 특성을 가진다.

그러므로 고온 환경하에서도 조전지(120)의 충전 또는 방전을 오동작 없이 제어할 수 있다.

- [0149] 또한 OS 트랜지스터를 사용한 기억 소자는 Si 트랜지스터를 사용한 회로 위 등에 적층함으로써 자유롭게 배치될 수 있기 때문에, 집적화를 용이하게 할 수 있다. 또한 OS 트랜지스터는 Si 트랜지스터와 같은 제조 장치를 사용하여 제작할 수 있으므로 저비용으로 제작할 수 있다.
- [0150] 또한 OS 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극에 더하여, 백 게이트 전극을 포함하는, 4단자의 반도체 소자로 할 수 있다. 게이트 전극 또는 백 게이트 전극에 인가하는 전압에 따라, 소스와 드레인 사이를 흐르는 신호의 입출력을 독립적으로 제어할 수 있는 전기 회로망으로 구성할 수 있다. 그래서 LSI와 같은 사상으로 회로 설계를 수행할 수 있다. 그리고 OS 트랜지스터는 고온 환경하에서 Si 트랜지스터보다 뛰어난 전기 특성을 가진다. 구체적으로는 100℃ 이상 200℃ 이하, 바람직하게는 125℃ 이상 150℃ 이하로 높은 온도에서도 온 전류와 오프 전류의 비가 크기 때문에 양호한 스위칭 동작을 수행할 수 있다.
- [0151] 트랜지스터(162)로서 OS 트랜지스터를 사용하는 것이 바람직하다. 또한, 트랜지스터(132)로서 OS 트랜지스터를 사용하여도 좋다. 또한, 트랜지스터(140) 및 트랜지스터(150)로서 OS 트랜지스터를 사용하여도 좋다.
- [0152] 또한, 콤퍼레이터를 OS 트랜지스터를 사용하여 구성하여도 좋다.
- [0153] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0154] (실시형태 2)
- [0155] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치의 구성예에 대하여 설명한다. 본 발명의 일 형태에 따른 반도체 장치는 충방전 중의 이차 전지에서 이차 전지의 양극 음극 간 전위를 소정의 시간마다 샘플링(취득)하고, 샘플링한 전위와, 샘플링 후의 양극 음극 간 전위를 비교함으로써, 마이크로 단락으로 인한 순간적인 전위 변동(여기서는 전위 강하)을 검출하는 기능을 가진다. 소정 시간마다 샘플링을 반복함으로써, 충방전 중에서의 이차 전지의 전위 변동에 대응할 수 있고, 또한, 상기 반도체 장치는 이차 전지의 양극 음극 간의 전위를 사용하여 동작시킬 수 있다.
- [0156] 또한, 본 실시형태에서는, 충전 중의 이차 전지에 있어서, 이차 전지 및 반도체 장치의 전위 변동을 타이밍 차트 등을 사용하여 설명한다. 방전 중의 전위 변동에 대해서는, 통상의 기술자라면 용이하게 이해할 수 있기 때문에, 이의 설명은 생략한다.
- [0157] <검출 회로의 일례>
- [0158] 도 8의 (A)는 검출 회로(MSD)의 구성예를 나타낸 회로도이다. 검출 회로(MSD)는 트랜지스터(11) 내지 트랜지스터(15), 용량 소자(C11), 및 콤퍼레이터(50)를 가진다. 또한 본 명세서 등에서 설명하는 도면에서는, 주된 신호의 흐름을 화살표 또는 선으로 나타내고, 전원선 등은 생략하는 경우가 있다. 검출 회로(MSD)가 가지는 콤퍼레이터(50)로서, 히스테리시스 콤퍼레이터를 사용하여도 좋다. 또한, 검출 회로(MSD)는 복수의 직렬로 접속된 전지 셀에 대하여 검출을 수행하여도 좋고, 각 전지 셀에 대하여 검출을 수행하여도 좋다. 도 7에서는, 도 4에 도시된 직렬로 접속된 복수의 전지 셀의 검출을 수행하는 경우에 대하여 단자(VC1)와 단자(VSSS)에 검출 회로(MSD)가 접속되는 예를 나타내었지만, 단자(VC1)에 대한 접속 및 단자(VSSS)에 대한 접속을 각각 하나의 전지 셀의 양극 및 음극으로 변경하여도 좋다.
- [0159] 또한, 도 8의 (A)에 도시된 검출 회로(MSD)는 단자(VC1), 소정의 전위 VB1이 공급되는 배선(VB1\_IN), 소정의 전위 VB2가 공급되는 배선(VB2\_IN), 샘플링 신호가 공급되는 배선(SH\_IN), 및 출력 단자(S\_OUT)를 가진다.
- [0160] 여기서, 소정의 전위 VB1은 소정의 전위 VB2보다 높은 전위이고, 소정의 전위 VB2는 단자(VSSS)의 전위보다 높은 전위이다.
- [0161] 도 8의 (B)는 검출 회로(MSD)가 가지는 트랜지스터(11) 내지 트랜지스터(15)가 제 2 게이트를 가지는 점이 도 8의 (A)와 상이하다.
- [0162] 도 8의 (C)는 단자(VSSS)를 가지는 점, 배선(VB1\_IN)에 접속되는 기억 소자(114)를 가지는 점, 및 배선(VB2\_IN)에 접속되는 기억 소자(114)를 가지는 점이 도 8의 (B)와 상이하다. 또한, 도 8의 (C)에서 트랜지스터(11)의 소스 및 드레인 중 한쪽과, 트랜지스터(13)의 소스 및 드레인 중 한쪽과, 용량 소자(C11)의 한쪽의 전극은 단자(VSSS)에 전기적으로 접속된다. 전위 VB1 및 전위 VB2가 기억 소자(114)를 통하여 각각 배선(VB1\_IN) 및 배선(VB2\_IN)에 인가되기 때문에, 기억 소자(114)에 의하여 인가한 전위를 유지할 수 있다. 따라서, 전위 VB1 및 전위 VB2를 공급하는 전압 생성 회로, 더 구체적으로는 예를 들어 전압 생성 회로(119)의 전원을 오프로

하거나, 또는 대기 상태로 할 수 있다.

- [0163] 트랜지스터(11) 내지 트랜지스터(15)는 n채널형 트랜지스터이다. 본 명세서 등에서는, 검출 회로(MSD)를 n채널형 트랜지스터를 사용하여 구성한 예를 나타내었지만, p채널형 트랜지스터이어도 좋다. n채널형 트랜지스터를 사용하여 구성한 회로도에서 트랜지스터가 p채널형으로 변경된다는 것은 통상의 기술자라면 용이하게 이해할 수 있기 때문에, 그 설명은 생략한다.
- [0164] 검출 회로(MSD)에 있어서, 트랜지스터(11)의 소스 및 드레인 중 한쪽은 단자(VSSS)에 전기적으로 접속되고, 트랜지스터(11)의 소스 및 드레인 중 다른 쪽은 트랜지스터(12)의 소스 및 드레인 중 한쪽 및 트랜지스터(15)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(11)의 게이트는 배선(VB1\_IN)에 전기적으로 접속되고, 트랜지스터(12)의 소스 및 드레인 중 다른 쪽 및 트랜지스터(12)의 게이트는 단자(VC1)에 전기적으로 접속된다.
- [0165] 트랜지스터(13)의 소스 및 드레인 중 한쪽은 단자(VSSS)에 전기적으로 접속되고, 트랜지스터(13)의 소스 및 드레인 중 다른 쪽은 트랜지스터(14)의 소스 및 드레인 중 한쪽 및 콤퍼레이터(50)의 반전 입력 단자(도 8의 (A)에서는 '-'로 표기)에 전기적으로 접속되고, 트랜지스터(13)의 게이트는 배선(VB2\_IN)에 전기적으로 접속되고, 트랜지스터(14)의 소스 및 드레인 중 다른 쪽 및 트랜지스터(14)의 게이트는 단자(VC1)에 전기적으로 접속된다.
- [0166] 또한, 트랜지스터(15)의 소스 및 드레인 중 다른 쪽은 용량 소자(C11)의 다른 쪽의 단자 및 콤퍼레이터(50)의 비반전 입력 단자(도 8의 (A)에서는 '+'로 표기)에 전기적으로 접속되고, 트랜지스터(15)의 게이트는 배선(SH\_IN)에 전기적으로 접속되고, 용량 소자(C11)의 한쪽의 단자는 단자(VSSS)에 전기적으로 접속되고, 콤퍼레이터(50)의 출력 단자는 출력 단자(S\_OUT)에 전기적으로 접속된다. 또한, 용량 소자(C11)의 한쪽의 단자는 소정의 전위가 공급되는 배선이면, 단자(VSSS) 이외의 배선에 전기적으로 접속되어도 좋다.
- [0167] 여기서, 트랜지스터(11)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(12)의 소스 및 드레인 중 한쪽 및 트랜지스터(15)의 소스 및 드레인 중 한쪽이 전기적으로 접속된 접속부를 노드(N11)라고 부르고, 트랜지스터(13)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(14)의 소스 및 드레인 중 한쪽 및 콤퍼레이터(50)의 반전 입력 단자가 전기적으로 접속된 접속부를 노드(N12)라고 부르고, 트랜지스터(15)의 소스 및 드레인 중 다른 쪽과, 용량 소자(C11)의 다른 쪽의 단자 및 콤퍼레이터(50)의 비반전 입력 단자가 전기적으로 접속된 접속부를 노드(N13)라고 부른다.
- [0168] 또한 트랜지스터(11) 및 트랜지스터(12)는 제 1 소스 폴로어를 구성하고, 트랜지스터(13) 및 트랜지스터(14)는 제 2 소스 폴로어를 구성한다. 즉, 트랜지스터(11)의 게이트는 제 1 소스 폴로어의 입력에 상당하고, 제 1 소스 폴로어는 노드(N11)에 신호를 출력한다. 트랜지스터(13)의 게이트는 제 2 소스 폴로어의 입력에 상당하고, 제 2 소스 폴로어는 노드(N12)에 신호를 출력한다.
- [0169] 검출 회로(MSD)의 동작의 일례를 도 8의 (C)에 도시된 회로를 사용하여 설명한다.
- [0170] 조전지에 있어서 충전이 시작되면, 배선(SH\_IN)으로 공급되는 샘플링 신호는 소정의 시간마다 하이 레벨이 된다. 전위 VB1로서 전위 VB2보다 높은 전위를 인가한다. 충전에 따라 노드(N11)의 전위 및 노드(N12)의 전위가 상승한다.
- [0171] 마이크로 단락의 발생에 의하여 양극 전위가 순간적으로 저하하면, 노드(N11) 및 노드(N12)의 전위는 순간적으로 저하한다. 한편, 배선(SH\_IN)으로 공급되는 샘플링 신호가 로 레벨인 경우, 노드(N13)의 전위는 노드(N11)의 전위로 인한 영향을 받지 않고, 노드(N12)의 전위가 노드(N13)의 전위보다 낮아진다. 그리고, 콤퍼레이터(50)의 출력이 반전되고, 마이크로 단락이 검출된다.
- [0172] 또한, 마이크로 단락의 검출 정밀도를 높이기 위하여, 이차 전지의 전압을 아날로그 디지털 변환 회로에 의하여 디지털 데이터로 변환하고, 프로세서 유닛 등을 사용하여 상기 디지털 데이터를 바탕으로 연산을 수행하고, 충전의 과형 또는 방전의 과형을 해석함으로써, 마이크로 단락의 검출 또는 마이크로 단락의 예측을 수행하여도 좋다. 예를 들어, 충전의 과형 또는 방전의 과형에 있어서, 각 시간 단계의 전압 오차의 변위를 사용하여 마이크로 단락의 검출 또는 예측을 수행한다. 전압 오차의 변위량, 전압 오차를 산출하고, 앞의 단계와의 차를 산출함으로써 구할 수 있다.
- [0173] 마이크로 단락의 검출 정밀도를 높이기 위하여, 신경망을 사용하여도 좋다.
- [0174] 신경망이란 방법이며, 신경망부(예를 들어, CPU(Central Processor Unit), GPU(Graphics Processing Unit), APU(Accelerated Processing Unit), 메모리 등을 포함함)로 수행하는 신경망 처리이다. 또한, APU는 CPU와

GPU를 하나로 통합한 칩을 가리킨다.

- [0175] 디바이스에 탑재되는 이차 전지의 방전은 사용자의 사용 방법에 의존하기 쉽기 때문에 랜덤으로 나타나지만, 충전은 충전 조건이 결정되어 있기 때문에, 방전에 비하여 충전은 예상하기 쉽다고 할 수 있다. 어느 정도 많은 충전 곡선을 학습용 데이터로 함으로써, 신경망을 사용하여 정확한 값을 예측할 수 있다. 충전 곡선을 취득하면, 신경망을 이용하여 초기 SOC(0), FCC,  $R_0$ ,  $R_d$ ,  $C_d$ 를 얻을 수 있다. 신경망의 연산에는 예를 들어 마이크로 프로세서 등을 사용하면 좋다.
- [0176] 구체적으로는, 얻어지는 다양한 데이터를 기계 학습 또는 인공 지능을 사용하여 평가 및 학습하고, 예상되는 이차 전지의 열화 상태를 해석하고, 이상이 있는 경우에는 이차 전지에 대한 충전을 정지하거나, 또는 정전류 충전의 전류 밀도를 조정한다.
- [0177] 예를 들어, 전기 자동차에 있어서, 주행 중에 학습 데이터를 취득할 수 있어, 이차 전지의 열화 상태를 파악할 수 있다. 또한, 이차 전지의 열화 상태의 예측에는 신경망을 사용한다. 신경망은 은닉층을 복수로 가지는 신경망, 즉 심층 신경망에 의하여 구성할 수 있다. 또한, 심층 신경망에서의 학습을 심층 학습이라고 부르는 경우가 있다.
- [0178] 기계 학습은, 우선 학습 데이터로부터 특징값을 추출한다. 시간에 따라 변화하는 상대적 변화량을 특징값으로서 추출하고, 추출된 특징값에 의거하여 신경망을 학습시킨다. 학습 수단은 시간 구간마다 서로 상이한 학습 패턴에 의거하여 신경망을 학습시킬 수 있다. 학습 데이터에 의거한 학습 결과에 따라서 신경망에 적용된 결합 가중치를 갱신할 수 있다.
- [0179] 신경망을 사용하여 수행하는 이차 전지의 충전 상태의 추정 방법으로서, 회귀 모델, 예를 들어 칼만 필터 등을 사용하여 계산 처리하여 얻을 수 있다.
- [0180] 칼만 필터는 무한 임펄스 응답 필터의 일종이다. 또한 중회귀 분석은 다변량 해석의 하나이고, 회귀 분석의 독립 변수를 복수로 한 것이다. 중회귀 분석으로서 최소 제곱법 등이 있다. 회귀 분석에서는 관측치의 시계열이 많이 필요하지만, 칼만 필터는 어느 정도의 데이터 축적이 있기만 하면 축차적으로 최적의 보정 계수를 얻을 수 있다는 장점을 가진다. 또한 칼만 필터는 비정상(非定常) 시계열에 대해서도 적용할 수 있다.
- [0181] 이차 전지의 내부 저항 및 충전율(SOC)을 추정하는 방법으로서, 비선형 칼만 필터(구체적으로는 무향 칼만 필터(UKF라고도 함))를 이용할 수 있다. 또한 확장 칼만 필터(EKF(Extended Kalman Filter)라고도 함)를 사용할 수도 있다. SOC란, 충전 상태(충전율이라고도 함)를 나타낸 것이고, 만충전 시를 100%, 완전 방전 시를 0%로 하는 지표이다.
- [0182] 최적화 알고리즘에 의하여 얻어진 초기 파라미터를  $n$ ( $n$ 은 정수, 예를 들어 50) 사이클마다 모아, 이들 데이터군을 교사 데이터로 사용하여 신경망 처리함으로써 정밀도가 높은 SOC 추정을 수행할 수 있다.
- [0183] 학습 시스템은 교사 데이터 작성 장치 및 학습 장치를 가진다. 교사 데이터 작성 장치는 학습 장치가 학습할 때 이용하는 교사 데이터를 작성한다. 교사 데이터란 처리 대상 데이터와 인식 대상이 동일한 데이터와, 그 데이터에 대응하는 라벨의 평가를 포함한다. 교사 데이터 작성 장치는 입력 데이터 취득부, 평가 취득부, 교사 데이터 작성부를 가진다. 입력 데이터 취득부는 기억 장치에 기억된 데이터로부터 취득하여도 좋고, 인터넷을 통하여 학습의 입력 데이터를 취득하여도 좋고, 입력 데이터란 학습에 사용하는 데이터이며, 이차 전지의 전류 값이나 전압값을 포함한다. 또한, 교사 데이터로서는 실측 데이터가 아니어도 좋고, 초기 파라미터에 대하여 조건 스프릿을 함으로써 다양성을 가지게 하여 실측에 가까운 데이터를 작성하고, 이들의 소정의 특성 데이터베이스를 교사 데이터로서 사용하여 신경망 처리함으로써 충전율(SOC)을 추정하여도 좋다. 어떤 하나의 전지의 충방전 특성을 바탕으로 실측에 가까운 데이터를 작성하고, 이들의 소정의 특성 데이터베이스를 교사 데이터로서 사용하여 신경망 처리함으로써, 같은 종류의 전지의 SOC 추정을 효율적으로 수행할 수도 있다.
- [0184] 이차 전지의 열화가 진행된 경우, 초기 파라미터의 FCC가 크게 변화하면 SOC의 오차가 생길 우려가 있기 때문에, SOC의 추정을 위한 연산에 사용하는 초기 파라미터를 갱신하여도 좋다. 갱신하는 초기 파라미터는 미리 실측한 충방전 특성의 데이터를 사용하여 최적화 알고리즘에 의하여 산출한다. 갱신된 초기 파라미터를 사용한 회귀 모델, 예를 들어 칼만 필터로 계산 처리함으로써, 열화 후이어도 정밀도가 높은 SOC 추정을 수행할 수 있다. 본 명세서에서는 칼만 필터를 사용하여 계산 처리하는 것을 '칼만 필터 처리한다'라고도 표현한다.
- [0185] 초기 파라미터를 갱신하는 타이밍은 임의로 정할 수 있지만, 높은 정밀도로 SOC를 추정하기 위해서는, 갱신 빈도는 높은 것이 바람직하고, 정기적 및 연속적으로 갱신하는 것이 바람직하다. 또한, 이차 전지의 온도가 높은

상태에서, SOC가 높으면 열화가 진행되기 쉬운 경우가 있다. 이와 같은 경우에는, 이차 전지의 방전을 수행하고, SOC를 낮춤으로써 이차 전지의 열화를 억제하는 것이 바람직하다.

- [0186] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0187] (실시형태 3)
- [0188] 본 실시형태는 콤퍼레이터의 구성예를 나타낸 것이다.
- [0189] 도 9에서는, 앞의 실시형태에서 설명한 콤퍼레이터(50)의 구성의 일례를 나타내었다. 콤퍼레이터(50)는 트랜지스터(21) 내지 트랜지스터(25)를 가진다. 또한, 콤퍼레이터(50)는 이차 전지의 음극 전위가 공급되는 배선(VBM\_IN), 이차 전지의 양극 전위 VBP가 공급되는 배선(VBP\_IN), 소정의 전위 VB3이 공급되는 배선(VB3\_IN), 입력 단자(CP1\_IN), 입력 단자(CM1\_IN), 출력 단자(CP1\_OUT), 및 출력 단자(CM1\_OUT)를 가진다.
- [0190] 도 9의 콤퍼레이터(50)를 도 4의 셀 밸런스 회로(130(1)) 및 검출 회로(185(1))에 적용하는 경우에는, 예를 들어 배선(VBP\_IN)에는 단자(VC1)로부터, 배선(VBN\_IN)에는 단자(VC2)로부터 각각 전위가 인가된다.
- [0191] 여기서, 소정의 전위 VB3은 음극 전위 VBM보다 높은 전위이고, 또한 콤퍼레이터(50)에서 양극 전위 VBP는 고전원 전위이고, 음극 전위 VBM은 저전원 전위이다.
- [0192] 콤퍼레이터(50)에서, 트랜지스터(21)의 소스 및 드레인 중 한쪽은 배선(VBM\_IN)에 전기적으로 접속되고, 트랜지스터(21)의 소스 및 드레인 중 다른 쪽은 트랜지스터(22)의 소스 및 드레인 중 한쪽 및 트랜지스터(24)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(21)의 게이트는 배선(VB3\_IN)에 전기적으로 접속된다.
- [0193] 트랜지스터(22)의 소스 및 드레인 중 다른 쪽은 트랜지스터(23)의 소스 및 드레인 중 한쪽 및 출력 단자(CM1\_OUT)에 전기적으로 접속되고, 트랜지스터(23)의 소스 및 드레인 중 다른 쪽 및 트랜지스터(23)의 게이트는 배선(VBP\_IN)에 전기적으로 접속되고, 트랜지스터(22)의 게이트는 입력 단자(CP1\_IN)에 전기적으로 접속된다.
- [0194] 트랜지스터(24)의 소스 및 드레인 중 다른 쪽은 트랜지스터(25)의 소스 및 드레인 중 한쪽 및 출력 단자(CP1\_OUT)에 전기적으로 접속되고, 트랜지스터(25)의 소스 및 드레인 중 다른 쪽 및 트랜지스터(25)의 게이트는 배선(VBP\_IN)에 전기적으로 접속되고, 트랜지스터(24)의 게이트는 입력 단자(CM1\_IN)에 전기적으로 접속된다.
- [0195] 또한, 도 9에 도시된 회로를 복수개 병렬로 접속하여 콤퍼레이터(50)로서 사용하여도 좋다. 즉, 도 9에 도시된 콤퍼레이터의 출력을 다음 단의 콤퍼레이터(50)에 입력함으로써, 복수의 콤퍼레이터를 접속하여 사용하여도 좋다.
- [0196] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0197] (실시형태 4)
- [0198] 앞의 실시형태에서 설명한 전지 제어 회로에 적용할 수 있는 반도체 장치의 구성예에 대하여 설명한다.
- [0199] 도 10에 나타낸 반도체 장치는 트랜지스터(300)와, 트랜지스터(500)와, 용량 소자(600)를 가진다. 도 12의 (A)는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 12의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이고, 도 12의 (C)는 트랜지스터(300)의 채널 폭 방향의 단면도이다.
- [0200] 트랜지스터(500)는 OS 트랜지스터이다. 트랜지스터(500)는 오프 전류가 작기 때문에, 이를 반도체 장치가 가지는 OS 트랜지스터에 사용함으로써, 기록된 데이터를 장기간에 걸쳐 유지할 수 있다.
- [0201] 트랜지스터(500)는 예를 들어 n채널형 트랜지스터이다.
- [0202] 여기서, 앞의 실시형태에서 설명한 전지 제어 회로는, 예를 들어 OS 트랜지스터로 구성되어도 좋다. 또한, 예를 들어 앞의 실시형태에서 설명한 전지 제어 회로는 그 일부가 OS 트랜지스터로 구성되는 것이 바람직하다. 예를 들어, 전지 제어 회로가 가지는 트랜지스터(162) 및 트랜지스터(172)는 OS 트랜지스터인 것이 바람직하다. 또한, 예를 들어 전지 제어 회로가 가지는 콤퍼레이터를 OS 트랜지스터로 구성할 수 있다. 전지 제어 회로가 가지는 콤퍼레이터를 단극성 트랜지스터, 예를 들어 n채널형 트랜지스터만으로 구성하여도 좋다.
- [0203] 본 실시형태에서 설명하는 반도체 장치는 도 10에 도시된 바와 같이 트랜지스터(300), 트랜지스터(500), 용량 소자(600)를 가진다. 트랜지스터(500)는 트랜지스터(300) 위쪽에 제공되고, 용량 소자(600)는 트랜지스터(300) 및 트랜지스터(500) 위쪽에 제공되어 있다. 층(385)은 트랜지스터(300)가 제공되는 층이다. 도 10에서는 예를 들어 층(385)이 기판(311)과, 기판(311)과 절연체(322)에 끼워진 각 층을 가진다. 층(585)은 트랜지스터(500)

가 제공되는 층이다. 도 10에서는, 예를 들어 층(585)이 절연체(514)와 절연체(574)에 끼워진 각 층을 가진다. 기판(311), 절연체(322), 절연체(514), 및 절연체(574)에 대해서는 후술한다.

- [0204] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 또한 트랜지스터(300)는 예를 들어 앞의 실시형태에서의 콤포레이터가 가지는 트랜지스터 등에 적용할 수 있다.
- [0205] 트랜지스터(300)는 도 12의 (C)에 도시된 바와 같이 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재(介在)하여 도전체(316)로 덮여 있다. 이와 같이, 트랜지스터(300)를 Fin형으로 함으로써, 실질적인 채널 폭이 증대되어, 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.
- [0206] 또한 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.
- [0207] 반도체 영역(313)에서의 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여, 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.
- [0208] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0209] 게이트 전극으로서 기능하는 도전체(316)로서는, 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.
- [0210] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써 트랜지스터의 문턱 전압을 조절할 수 있다. 구체적으로는 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료를 적층으로 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0211] 또한 도 10에 나타난 트랜지스터(300)는 일레이며, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어, 반도체 장치들 OS 트랜지스터만으로 구성하는 경우, 도 11에 도시된 바와 같이, 트랜지스터(300)의 구성을 산화물 반도체를 사용하는 트랜지스터(500)와 같은 구성으로 하면 좋다. 또한 트랜지스터(500)의 자세한 사항에 대해서는 후술한다.
- [0212] 트랜지스터(300)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.
- [0213] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)로서, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0214] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0215] 절연체(322)는 그 아래쪽에 제공되는 트랜지스터(300) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.
- [0216] 또한 절연체(324)에는 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.
- [0217] 수소에 대한 배리어성을 가지는 막의 일례로서, 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다.

여기서 트랜지스터(500) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하하는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.

[0218] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은 TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여,  $10 \times 10^{15} \text{ atoms/cm}^2$  이하, 바람직하게는  $5 \times 10^{15} \text{ atoms/cm}^2$  이하이면 좋다.

[0219] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한, 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0220] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(600) 또는 트랜지스터(500)와 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는 복수의 구조를 통틀어 동일한 부호가 부여되는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선과 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0221] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0222] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서, 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0223] 또한, 예를 들어 절연체(350)에는 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히 수소에 대한 배리어성을 가지는 절연체(350)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로의 수소의 확산을 억제할 수 있다.

[0224] 또한 수소에 대한 배리어성을 가지는 도전체로서는 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지하면서 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조인 것이 바람직하다.

[0225] 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서, 절연체(360), 절연체(362), 및 절연체(364)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(360), 절연체(362), 및 절연체(364)에는 도전체(366)가 형성되어 있다. 도전체(366)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(366)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0226] 또한, 예를 들어 절연체(360)에는 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(366)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(360)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성되는 것이 바람직하다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로의 수소의 확산을 억제할 수 있다.

[0227] 절연체(364) 및 도전체(366) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서, 절연체(370), 절연체(372), 및 절연체(374)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(370), 절연체(372), 및 절연체(374)에는 도전체(376)가 형성되어 있다. 도전체(376)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도

전체(376)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

- [0228] 또한, 예를 들어 절연체(370)에는 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(376)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(370)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성되는 것이 바람직하다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로의 수소의 확산을 억제할 수 있다.
- [0229] 절연체(374) 및 도전체(376) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서, 절연체(380), 절연체(382), 및 절연체(384)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(380), 절연체(382), 및 절연체(384)에는 도전체(386)가 형성되어 있다. 도전체(386)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0230] 또한, 예를 들어 절연체(380)에는 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(386)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(380)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성되는 것이 바람직하다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로의 수소의 확산을 억제할 수 있다.
- [0231] 상기에서, 도전체(356)를 포함하는 배선층, 도전체(366)를 포함하는 배선층, 도전체(376)를 포함하는 배선층, 및 도전체(386)를 포함하는 배선층에 대하여 설명하였지만, 본 실시형태에 따른 반도체 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배선층과 같은 배선층을 5층 이상으로 하여도 좋다.
- [0232] 절연체(384) 위에는 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공되어 있다. 절연체(510), 절연체(512), 절연체(514), 및 절연체(516) 중 어느 것은 산소나 수소에 대하여 배리어성이 있는 물질을 사용하는 것이 바람직하다.
- [0233] 예를 들어 절연체(510) 및 절연체(514)에는, 예를 들어 기판(311) 또는 트랜지스터(300)를 제공하는 영역 등으로부터 트랜지스터(500)를 제공하는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서 절연체(324)와 같은 재료를 사용할 수 있다.
- [0234] 수소에 대한 배리어성을 가지는 막의 일례로서, CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서 트랜지스터(500) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하하는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0235] 또한 수소에 대한 배리어성을 가지는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0236] 특히 산화 알루미늄은 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물의 트랜지스터(500)로의 혼입을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.
- [0237] 또한, 예를 들어 절연체(512) 및 절연체(516)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(512) 및 절연체(516)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.
- [0238] 또한 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)에는 도전체(518), 및 트랜지스터(500)를 구성하는 도전체(예를 들어 도전체(503)) 등이 매립되어 있다. 또한, 도전체(518)는 용량 소자(600) 또는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(518)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0239] 특히 절연체(510) 및 절연체(514)와 접하는 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)를 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로의 수소의 확산

을 억제할 수 있다.

[0240] 절연체(516) 위쪽에는 트랜지스터(500)가 제공되어 있다.

[0241] 도 12의 (A), (B)에 도시된 바와 같이, 트랜지스터(500)는 절연체(514) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516) 및 도전체(503) 위에 배치된 절연체(520)와, 절연체(520) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 서로 이격되어 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이에 중첩되어 개구가 형성된 절연체(580)와, 개구의 저면 및 측면에 배치된 산화물(530c)과, 산화물(530c)의 형성면에 배치된 절연체(550)와, 절연체(550)의 형성면에 배치된 도전체(560)를 가진다.

[0242] 또한 도 12의 (A), (B)에 도시된 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한 도 12의 (A), (B)에 도시된 바와 같이, 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 가지는 것이 바람직하다. 또한 도 12의 (A), (B)에 도시된 바와 같이, 절연체(580), 도전체(560), 및 절연체(550) 위에 절연체(574)가 배치되는 것이 바람직하다.

[0243] 또한 이하에서, 산화물(530a), 산화물(530b), 및 산화물(530c)을 통틀어 산화물(530)이라고 하는 경우가 있다.

[0244] 또한 트랜지스터(500)에서 채널이 형성되는 영역과 그 근방에서, 산화물(530a), 산화물(530b), 및 산화물(530c)의 3층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(530b)의 단층, 산화물(530b)과 산화물(530a)의 2층 구조, 산화물(530b)과 산화물(530c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(500)에서는, 도전체(560)를 2층의 적층 구조로서 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)가 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한 도 10, 도 12의 (A)에 나타난 트랜지스터(500)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0245] 여기서 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는, 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치시킬 수 있다. 따라서 도전체(560)를 위치를 맞추기 위한 마진의 제공없이 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적의 축소를 도모할 수 있다. 이에 의하여 반도체 장치의 미세화, 고집적화를 도모할 수 있다.

[0246] 또한 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 가지지 않는다. 이에 의하여 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서 트랜지스터(500)의 스위칭 속도를 향상시키고, 높은 주파수 특성을 가지게 할 수 있다.

[0247] 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한, 도전체(503)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압을 제어할 수 있다. 특히 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 문턱 전압을 0V보다 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(503)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.

[0248] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이에 의하여, 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 발생하는 전계와 도전체(503)로부터 발생하는 전계가 연결되고, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다. 본 명세서 등에서 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.

[0249] 또한, 도전체(503)는 도전체(518)와 같은 구성이고, 절연체(514) 및 절연체(516)의 개구의 내벽에 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성된다. 또한 트랜지스터(500)에서는 도전체(503a) 및 도전체(503b)가 적층되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(503)는

단층 또는 3층 이상의 적층 구조로 제공하는 구성을 가져도 좋다.

- [0250] 여기서 도전체(503a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서, 불순물 또는 산소의 확산을 억제하는 기능이란 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능으로 한다.
- [0251] 예를 들어 도전체(503a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(503b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다.
- [0252] 또한 도전체(503)가 배선의 기능을 겸하는 경우, 도전체(503b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 이 경우, 도전체(503a)를 반드시 제공할 필요는 없다. 또한 도전체(503b)를 단층으로 도시하였지만, 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0253] 절연체(520), 절연체(522), 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 가진다.
- [0254] 여기서 산화물(530)과 접하는 절연체(524)에는 화학량론적 조성을 충족하는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 즉 절연체(524)에는 과잉 산소 영역이 형성되어 있는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)에 접하여 제공함으로써, 산화물(530) 내의 산소 결손을 저감하여, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다.
- [0255] 과잉 산소 영역을 가지는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $1.0 \times 10^{19}$  atoms/cm<sup>3</sup> 이상, 더 바람직하게는  $2.0 \times 10^{19}$  atoms/cm<sup>3</sup> 이상, 또는  $3.0 \times 10^{20}$  atoms/cm<sup>3</sup> 이상인 산화물막이다. 또한 상기 TDS 분석 시에서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.
- [0256] 또한 절연체(524)가 과잉 산소 영역을 가지는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다.
- [0257] 절연체(522)가 산소나 불순물의 확산을 억제하는 기능을 가짐으로써, 산화물(530)이 가지는 산소는 절연체(520) 측으로 확산되지 않아 바람직하다. 또한 절연체(524)나 산화물(530)이 가지는 산소와 도전체(503)가 반응하는 것을 억제할 수 있다.
- [0258] 절연체(522)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄 네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO<sub>3</sub>), 또는 (Ba,Sr)TiO<sub>3</sub>(BST) 등의 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능해진다.
- [0259] 특히 불순물 및 산소 등의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄 네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출이나, 트랜지스터(500)의 주변부로부터 산화물(530)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.
- [0260] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0261] 또한 절연체(520)는 열적으로 안정적인 것이 바람직하다. 예를 들어 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체를 산화 실리콘 또는 산화질화 실리콘과 조합함으

로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(520)를 얻을 수 있다.

- [0262] 또한 도 12의 (A), (B)의 트랜지스터(500)에서는 3층의 적층 구조로 이루어진 제 2 게이트 절연막으로서 절연체(520), 절연체(522), 및 절연체(524)가 도시되어 있지만, 제 2 게이트 절연막은 단층, 2층, 또는 4층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.
- [0263] 트랜지스터(500)는 채널 형성 영역을 포함하는 산화물(530)에 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 산화물(530)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다.
- [0264] 구체적으로는, 산화물(530a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한, 산화물(530b)로서 In:Ga:Zn=4:2:3[원자수비] 또는 1:1:1[원자수비]의 금속 산화물을 사용하면 좋다. 또한, 산화물(530c)로서 In:Ga:Zn=1:3:4[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용하면 좋다. 또한, 산화물(530c)을 적층 구조로 하는 경우의 구체적인 예로서는, In:Ga:Zn=4:2:3[원자수비]과 In:Ga:Zn=1:3:4[원자수비]의 적층 구조, Ga:Zn=2:1[원자수비]과 In:Ga:Zn=4:2:3[원자수비]의 적층 구조, Ga:Zn=2:5[원자수비]와 In:Ga:Zn=4:2:3[원자수비]의 적층 구조, 산화 갈륨과 In:Ga:Zn=4:2:3[원자수비]의 적층 구조 등을 들 수 있다.
- [0265] 또한, 산화물(530b)은 결정성을 가져도 좋다. 예를 들어 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다. CAAC-OS 등의 결정성을 가지는 산화물은 불순물이나 결함(산소 결손 등)이 적고 결정성이 높은 치밀한 구조를 가진다. 따라서 소스 전극 또는 드레인 전극이 산화물(530b)로부터 산소를 추출하는 것을 억제할 수 있다. 또한, 가열 처리를 수행하여도, 산화물(530b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(500)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.
- [0266] 산화물(530)에서 채널 형성 영역으로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0267] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 가짐으로써, 산화물(530a)보다 아래쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다. 또한 산화물(530b) 위에 산화물(530c)을 가짐으로써, 산화물(530c)보다 위쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.
- [0268] 또한 산화물(530)은 각 금속 원자의 원자수비가 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 구체적으로는 산화물(530a)에 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(530a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(530b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한 산화물(530c)은 산화물(530a) 또는 산화물(530b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.
- [0269] 또한 산화물(530a) 및 산화물(530c)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한 환언하면 산화물(530a) 및 산화물(530c)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.
- [0270] 여기서 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화한다. 환언하면 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고 할 수도 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면 및 산화물(530b)과 산화물(530c)의 계면에서 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0271] 구체적으로는 산화물(530a)과 산화물(530b), 산화물(530b)과 산화물(530c)이, 산소 이외에 공통의 원소를 가짐으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a) 및 산화물(530c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을

사용하는 것이 좋다.

- [0272] 이때 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a), 산화물(530c)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면, 및 산화물(530b)과 산화물(530c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아져, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.
- [0273] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된다. 도전체(542a) 및 도전체(542b)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 질화 탄탈럼 등의 금속 질화물막은 수소 또는 산소에 대한 배리어성을 가지기 때문에 바람직하다.
- [0274] 또한, 도 12에서는 도전체(542a) 및 도전체(542b)를 단층 구조로서 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 질화 탄탈럼막과 텅스텐막을 적층하는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층하여도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하는 2층 구조, 텅스텐막 위에 구리막을 적층하는 2층 구조로 하여도 좋다.
- [0275] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전성 재료를 사용하여도 좋다.
- [0276] 또한 도 12의 (A)에 도시된 바와 같이, 산화물(530)과 도전체(542a)(도전체(542b)) 사이의 계면과 그 근방에는 저저항 영역으로서 영역(543a) 및 영역(543b)이 형성되는 경우가 있다. 이때 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이의 영역에 채널 형성 영역이 형성된다.
- [0277] 상기 도전체(542a)(도전체(542b))를 산화물(530)과 접하도록 제공함으로써, 영역(543a)(영역(543b))의 산소 농도가 저감되는 경우가 있다. 또한 영역(543a)(영역(543b))에, 도전체(542a)(도전체(542b))에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 밀도가 증가하여 영역(543a)(영역(543b))은 저저항 영역이 된다.
- [0278] 절연체(544)는 도전체(542a) 및 도전체(542b)를 덮도록 제공되어, 도전체(542a) 및 도전체(542b)의 산화를 억제한다. 이때 절연체(544)는 산화물(530)의 측면을 덮어 절연체(524)와 접하도록 제공되어도 좋다.
- [0279] 절연체(544)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 네오디뮴, 란타넘, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 또한 절연체(544)로서 질화산화 실리콘 또는 질화 실리콘 등도 사용할 수 있다.
- [0280] 특히 절연체(544)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히 하프늄 알루미늄네이트는 산화 하프늄막보다 내열성이 높다. 그러므로 후속의 공정에서의 열처리에서, 결정화하기 어렵기 때문에 바람직하다. 또한 도전체(542a) 및 도전체(542b)가 내산화성을 가지는 재료인 경우, 또는 산소를 흡수하여도 도전성이 현저히 저하하지 않는 경우에는 절연체(544)는 필수 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.
- [0281] 절연체(544)를 가짐으로써, 절연체(580)에 포함되는 물 및 수소 등의 불순물이 산화물(530c), 절연체(550)를 통하여 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)가 가지는 과잉 산소에 의하여 도전체

(560)가 산화되는 것을 억제할 수 있다.

- [0282] 절연체(550)는 제 1 게이트 절연막으로서 기능한다. 절연체(550)는 산화물(530c)의 내측(상면 및 측면)에 접하여 배치되는 것이 바람직하다. 절연체(550)는, 산술한 절연체(524)와 마찬가지로, 산소를 과잉으로 포함하고 또한 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다.
- [0283] 구체적으로는 과잉 산소를 포함하는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 포함하는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.
- [0284] 가열에 의하여 산소가 방출되는 절연체를 절연체(550)로서 산화물(530c)의 상면에 접하여 제공함으로써, 절연체(550)로부터 산화물(530c)을 통하여 산화물(530b)의 채널 형성 영역에 효과적으로 산소를 공급할 수 있다. 또한 절연체(524)와 마찬가지로, 절연체(550) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는, 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0285] 또한 절연체(550)가 가지는 과잉 산소를 효율적으로 산화물(530)에 공급하기 위하여 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(550)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물로서는 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.
- [0286] 또한 절연체(550)는 제 2 게이트 절연막과 마찬가지로 적층 구조를 가져도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있으므로, 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구조로 함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능해진다. 또한 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.
- [0287] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도 12의 (A), (B)에서는 2층 구조로서 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0288] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소로 인하여 도전체(560b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 도전체(560a)로서, 산화물(530)에 적용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법으로 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.
- [0289] 또한, 도전체(560b)는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(560b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0290] 절연체(580)는 절연체(544)를 개재하여 도전체(542a) 및 도전체(542b) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 예를 들어 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히 산화 실리콘 및 공공을 가지는 산화 실리콘은 추후의 공정에서 용이하게 과잉 산소 영역을 형성할 수 있으므로 바람직하다.
- [0291] 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(580)를 산화

물(530c)과 접하여 제공함으로써, 절연체(580) 내의 산소를 산화물(530c)을 통하여 산화물(530)에 효율적으로 공급할 수 있다. 또한 절연체(580) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0292] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다.

[0293] 반도체 장치를 미세화하기 위하여 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 낮아지지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 중황비가 높은 형상이 될 수 있다. 본 실시형태에서는 도전체(560)를 절연체(580)의 개구에 매립되도록 제공하기 때문에, 도전체(560)를 중황비가 높은 형상으로 하여도 공정 중에 도전체(560)가 무너지는 일 없이 형성할 수 있다.

[0294] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(550)의 상면에 접하여 제공되는 것이 바람직하다. 절연체(574)를 스퍼터링법으로 성막함으로써, 절연체(550) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이에 의하여 이 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.

[0295] 예를 들어 절연체(574)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

[0296] 특히 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서 스퍼터링법으로 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.

[0297] 또한 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0298] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 끼워 대향하여 제공된다. 도전체(540a) 및 도전체(540b)는 후술하는 도전체(546) 및 도전체(548)와 같은 구성이다.

[0299] 절연체(581) 위에는 절연체(582)가 제공되어 있다. 절연체(582)는 산소나 수소에 대하여 배리어성이 있는 물질을 사용하는 것이 바람직하다. 따라서 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0300] 특히 산화 알루미늄은 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물의 트랜지스터(500)로의 혼입을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.

[0301] 또한 절연체(582) 위에는 절연체(586)가 제공되어 있다. 절연체(586)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(586)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.

[0302] 또한 절연체(520), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(546) 및 도전체(548) 등이 매립되어 있다.

[0303] 도전체(546) 및 도전체(548)는 용량 소자(600), 트랜지스터(500), 또는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(546) 및 도전체(548)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0304] 이어서, 트랜지스터(500) 위쪽에는 용량 소자(600)가 제공되어 있다. 용량 소자(600)는 도전체(610), 도전체(620), 절연체(630)를 가진다.

[0305] 또한 도전체(546) 및 도전체(548) 위에 도전체(612)를 제공하여도 좋다. 도전체(612)는 트랜지스터(500)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(610)는 용량 소자(600)의 전극으로서의 기능을 가진다. 또한 도전체(612) 및 도전체(610)는 동시에 형성할 수 있다.

[0306] 도전체(612) 및 도전체(610)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막,

질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.

[0307] 도 10에서는 도전체(612) 및 도전체(610)를 단층 구조로서 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

[0308] 절연체(630)를 개재하여 도전체(610)와 중첩되도록 도전체(620)를 제공한다. 또한, 도전체(620)는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한 도전체 등의 다른 구조와 동시에 형성하는 경우에는 저저항 금속 재료인 Cu(구리)나 Al(알루미늄) 등을 사용하면 좋다.

[0309] 도전체(620) 및 절연체(630) 위에는 절연체(640)가 제공되어 있다. 절연체(640)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한 절연체(640)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.

[0310] 본 구조를 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서, 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또는 산화물 반도체를 가지는 트랜지스터를 사용한 전지 제어 회로에서 미세화 또는 고집적화를 도모할 수 있다.

[0311] 실시형태 1에 나타난 트랜지스터(140) 및 트랜지스터(150)는 파워 MOSFET(Power MOSFET)라고 불리는 경우가 있다. 도 30, 도 31의 (A), (B), 및 (C)에 예시한 트랜지스터(300)는 특히 트랜지스터(140) 및 트랜지스터(150)에 적용하는 것이 바람직하다. 도 30, 도 31의 (A), (B), 및 (C)에 도시된 트랜지스터(300)는 D-MOS(Double Diffusion Metal Oxide Semiconductor) FET라고 불린다.

[0312] 도 30에 도시된 트랜지스터(300)는 플레이너형 트랜지스터이다. 저저항 영역(314a) 및 저저항 영역(314b) 중 한쪽과 다른 쪽을 각각 소스 영역 및 드레인 영역으로서 사용함으로써, MOSFET로서 동작시킬 수 있으며, 여기서는 저저항 영역(314a) 및 저저항 영역(314b)을 모두 소스로서 기능시키고, 저저항 영역(314a) 및 저저항 영역(314b)의 외측에 영역(319)을 형성하고, 실리콘 기판의 반도체 영역(313)에 대하여 도 30에 도시된 단면에 있어서 아래쪽인 영역에 저저항 영역(317)을 제공하고, 이의 아래쪽에 드레인 전극으로서 기능하는 뒷면 전극(318)을 제공함으로써, 트랜지스터(300)를 D-MOSFET로서 기능시킬 수 있다. 또한, 저저항 영역(314a) 및 저저항 영역(314b)을 모두 드레인으로서 기능시키고, 뒷면 전극(318)을 소스 전극으로서 기능시켜도 좋다. 영역(319)은 저저항 영역(314a) 및 저저항 영역(314b)과 반대의 극성의 영역인 것이 바람직하다. 예를 들어, 저저항 영역(314a) 및 저저항 영역(314b)이 n형 영역인 경우에는 영역(319)은 p형 영역인 것이 바람직하다. 또는 영역(319)은 고저항 영역으로 하여도 좋다. 영역(319)은 진성 영역인 경우가 있다.

[0313] 또한, 도 30에 있어서, 저저항 영역(314a) 및 저저항 영역(314b)은 반대의 극성의 영역인 영역(319)과 접함으로써 pn 접합이 형성된다. 이와 같은 pn 접합 영역을 본 명세서 등에서는 기생 다이오드라고 부른다. 기생 다이오드는 역류 방지, 정류 등의 기능을 가진다. 또한, 기생 다이오드는 트랜지스터를 보호하는 기능을 가진다. 기생 다이오드가 드레인(예를 들어 저저항 영역(314a) 및 저저항 영역(314b))과 소스(예를 들어 뒷면 전극(318)) 사이에 형성됨으로써, 소스와 드레인 사이에 고전압이 인가될 때의 전계 집중 등이 완화되어, 트랜지스터의 파괴 또는 열화를 억제할 수 있다.

[0314] 도 30에서는 저저항 영역(314a) 및 저저항 영역(314b)에 각각 도전체(328) 등의 플러그가 전기적으로 접속되는 예를 나타내었지만, 도 31의 (A)에 도시된 예에서는 도전체(328b)가 복수의 저저항 영역에 전기적으로 접속되는 예를 나타내었다. 도전체(328b)는 복수의 저저항 영역 각각의 적어도 일부를 덮는 형상인 것이 바람직하다. 또한, 도전체(328b)는 복수의 저저항 영역 각각의 적어도 일부와 중첩되는 것이 바람직하다.

[0315] 도 30에는 트랜지스터(300)가 플레이너 구조를 가지는 D-MOSFET의 예를 나타내었지만, 도 31의 (B)에는 트랜지스터(300)가 트랜치 구조를 가지는 D-MOSFET의 예를 나타내었다. 도 31의 (A)에서, 게이트로서 기능하는 도전체(316)는 저저항 영역(314a)과 저저항 영역(314b) 사이에 제공되는 트랜치 내에 형성된다. 저저항 영역(314a) 및 저저항 영역(314b)과 도전체(316) 사이에는 게이트 절연체로서 기능하는 절연체(315)가 형성된다.

[0316] 도 31의 (B)에서는 저저항 영역(314a) 및 저저항 영역(314b)에 각각 도전체(328) 등의 플러그가 전기적으로 접

속되는 예를 나타내었지만, 도 31의 (C)에 도시된 예에서는 도전체(328b)가 복수의 저저항 영역에 전기적으로 접속되는 예를 나타내었다. 도전체(328b)는 복수의 저저항 영역 각각의 적어도 일부를 덮는 형상인 것이 바람직하다. 또한, 도전체(328b)는 복수의 저저항 영역 각각의 적어도 일부와 중첩되는 것이 바람직하다.

- [0317] 플레이너 구조와 비교하여, 트렌치 구조에서는 집적 회로의 면적은 0.5배 이하로 축소되는 것이 바람직하고, 0.4배 이하로 축소되는 것이 더 바람직하다.
- [0318] 도 13의 (A), (B), (C), 도 14의 (A) 및 (B)는 본 발명의 일 형태의 반도체 장치의 구성의 일례를 나타낸 사시도이다. 도 13의 (A), (B), (C), 도 14의 (A) 및 (B)에는 반도체 장치(900)가 가지는 각 회로를 상술한 층(385) 및 상술한 층(585)에 제공하는 일례를 나타내었다. 층(385)은 예를 들어 Si 트랜지스터를 가지는 층이다. 층(585)은 예를 들어 OS 트랜지스터를 가지는 층이다. 또한, 각 회로가 층(385) 또는 층(585)에 제공된다고 하는 경우에는, 예를 들어 각 회로를 구성하는 소자 중 트랜지스터가 층(385) 또는 층(585)에 구성되면 좋다. 또한, 각 회로가 가지는 용량 소자 및 저항 소자는, 예를 들어 이들 층 사이 또는 층(585)의 위층에 제공되어도 좋다.
- [0319] 도 13의 (A), (B), (C), 도 14의 (A) 및 (B)에 도시된 반도체 장치(900)의 일례에서, 앞의 실시형태에서 설명한 전지 제어 회로(101)는 예를 들어 회로(102) 및 회로(103)를 가진다.
- [0320] 회로(102)는, 예를 들어 셀 밸런스 회로(130), 검출 회로(185), 검출 회로(186), 검출 회로(MSD), 검출 회로(SD), 온도 센서(TS), 디코더(160), 및 논리 회로(182) 중 하나 이상을 가진다.
- [0321] 회로(103)는 트랜지스터(140) 및 트랜지스터(150) 중 하나 이상을 가진다.
- [0322] 회로(102)가 가지는 회로의 일부의 회로는 회로(102b)에 포함되고, 그 외의 회로가 회로(102a)에 포함된다. 회로(102b)가 가지는 트랜지스터는 주로 층(385)에 제공된다. 회로(102a)가 가지는 트랜지스터는 주로 층(585)에 제공된다. 회로(102b)는, 예를 들어 디코더(160) 및 논리 회로(182)를 가진다.
- [0323] 회로(102b)는, 예를 들어 충전 회로를 가져도 좋다.
- [0324] 또한, 예를 들어 앞의 실시형태에서 설명한 전압 생성 회로(119)가 가지는 트랜지스터는 주로 층(385)에 제공된다.
- [0325] 회로(195)는 MPU, MCU, CPU 등의 연산 회로를 가진다. 또한, 회로(195)는 기억 소자를 가지는 것이 바람직하다. 회로(195)가 가지는 연산 회로는 층(385)에 제공되는 트랜지스터를 주로 가지는 회로(195b) 외에, 층(385)에 제공되는 트랜지스터를 주로 가지는 회로(195a)를 가져도 좋다. 회로(195)가 가지는 연산 회로가 회로(195a)를 가짐으로써, 대기 시의 소비 전력을 저감할 수 있는 경우가 있다. 더 구체적으로는, 예를 들어 회로(195a)는 OS 트랜지스터를 포함하는 플립플롭 회로 등을 가진다.
- [0326] 회로(195)는, 예를 들어 열화도에 대응하는 충전 전류량 제어를 수행하는 기능, 잔량계의 기능 등을 가진다. 또한, 회로(195)는 전지 제어 회로(101)와 신호를 주고받는 기능을 가진다. 회로(195)는, 예를 들어 전지 제어 회로(101)로부터의 신호를 사용하여 연산을 수행하고, 연산 결과에 의거하여 전지 제어 회로(101)에 신호를 공급한다.
- [0327] 도 13의 (A)에 도시된 반도체 장치의 일례는 층(385)에 회로(103) 및 회로(195)가 제공되고, 층(585)에 회로(102)가 제공된다.
- [0328] 도 13의 (B)에 도시된 반도체 장치의 일례는 층(385)에 회로(195), 회로(102b), 회로(103), 및 전압 생성 회로(119)가 제공되고, 층(585)에 회로(102a)가 제공된다.
- [0329] 도 13의 (C)에 도시된 반도체 장치의 일례는 층(385)에 회로(195b), 회로(102b), 회로(103), 및 전압 생성 회로(119)가 제공되고, 층(585)에 회로(195a) 및 회로(102a)가 제공된다.
- [0330] 도 14의 (A)에 도시된 반도체 장치의 일례는 층(385)에 회로(195)가 제공되고, 층(585)에 회로(102) 및 회로(103)가 제공된다.
- [0331] 도 14의 (B)에 도시된 반도체 장치의 일례는 층(385)에 회로(195b), 회로(102b), 및 전압 생성 회로(119)가 제공되고, 층(585)에 회로(195a), 회로(102a), 및 회로(103)가 제공된다.
- [0332] 도 13의 (A), (B), (C), 도 14의 (A) 및 (B)에 도시된 반도체 장치의 일례는 예를 들어 후술하는 제어 회로(420) 및 제어 회로(590) 등의 제어 회로에 적용할 수 있다.

- [0333] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0334] (실시형태 5)
- [0335] 본 실시형태에서는 본 발명의 일 형태의 금속 산화물에 대하여 설명한다.
- [0336] <<금속 산화물>>
- [0337] 산화물(530)로서, 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(530)에 적용할 수 있는 금속 산화물에 대하여 설명한다.
- [0338] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한, 이들에 더하여, 갈륨, 이트륨, 주석 등이 포함되어 있는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0339] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석으로 한다. 그 외의 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등이 있다. 다만 원소 M으로서 상술한 원소를 복수 조합하여도 되는 경우가 있다.
- [0340] 또한 본 명세서 등에서, 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.
- [0341] [금속 산화물의 구조]
- [0342] 산화물 반도체(금속 산화물)는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 예를 들어 CAAC-OS, 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0343] CAAC-OS는 c축 배향성을 가지고, a-b면 방향에서 복수의 나노 결정이 연결되고, 변형을 가지는 결정 구조를 가진다. 또한 변형이란 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다.
- [0344] 나노 결정은 기본적으로 육각형이지만 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형 및 칠각형 등의 격자 배열이 변형에 포함되는 경우가 있다. 또한 CAAC-OS의 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인하는 것은 어렵다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있다는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이다.
- [0345] 또한 CAAC-OS는 인듐 및 산소를 포함하는 층(이하, In층)과, 원소 M, 아연, 및 산소를 포함하는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.
- [0346] CAAC-OS는 결정성이 높은 금속 산화물이다. 한편, CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 금속 산화물의 결정성은 불순물의 혼입이나 결함의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 금속 산화물이라고 할 수도 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.
- [0347] nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.
- [0348] 또한 인듐과 갈륨과 아연을 포함한 금속 산화물의 한 종류인 In-Ga-Zn 산화물(이하 IGZO)은 상술한 나노 결정으로 함으로써 안정적인 구조를 가지는 경우가 있다. 특히 IGZO는 대기 중에서 결정 성장하기 어려운 경향이 있기 때문에, 큰 결정(여기서는 수mm의 결정 또는 수cm의 결정)으로 형성되는 경우보다 작은 결정(예를 들어 상술

한 나노 결정)으로 형성되는 경우에 구조적으로 더 안정되는 경우가 있다.

- [0349] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 금속 산화물이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 결정성이 낮다.
- [0350] 산화물 반도체(금속 산화물)는 다양한 구조를 취하고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태에 따른 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0351] [불순물]
- [0352] 여기서, 금속 산화물 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0353] 산화물 반도체에 불순물이 혼입되면, 결함 준위 또는 산소 결손이 형성되는 경우가 있다. 따라서 산화물 반도체의 채널 형성 영역에 불순물이 혼입되면, 산화물 반도체를 사용한 트랜지스터의 전기 특성이 변동되기 쉽고, 신뢰성이 저하되는 경우가 있다. 또한 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성을 가지기 쉽다.
- [0354] 또한 상기 결함 준위에는 트랩 준위가 포함되는 경우가 있다. 금속 산화물의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 금속 산화물을 채널 형성 영역에 포함하는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0355] 또한 산화물 반도체의 채널 형성 영역에 불순물이 존재하면, 채널 형성 영역의 결정성이 낮아지는 경우가 있고, 채널 형성 영역과 접하여 제공되는 산화물의 결정성이 낮아지는 경우가 있다. 채널 형성 영역의 결정성이 낮으면, 트랜지스터의 안정성 또는 신뢰성이 저하되는 경향이 있다. 또한 채널 형성 영역과 접하여 제공되는 산화물의 결정성이 낮으면, 계면 준위가 형성되어 트랜지스터의 안정성 또는 신뢰성이 저하되는 경우가 있다.
- [0356] 따라서 트랜지스터의 안정성 또는 신뢰성을 향상시키기 위해서는, 산화물 반도체의 채널 형성 영역 및 그 근방의 불순물 농도를 저감하는 것이 유효하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0357] 구체적으로는, 상기 산화물 반도체의 채널 형성 영역 및 그 근방에 있어서, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 상기 불순물의 농도를  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 한다. 또는, 상기 산화물 반도체의 채널 형성 영역 및 그 근방에서, EDX를 사용한 원소 분석에 의하여 얻어지는 상기 불순물의 농도를 1.0atomic% 이하로 한다. 또한 상기 산화물 반도체로서 원소 M을 포함한 산화물을 사용하는 경우, 상기 산화물 반도체의 채널 형성 영역 및 그 근방에서, 원소 M에 대한 상기 불순물의 농도비를 0.10 미만, 바람직하게는 0.05 미만으로 한다. 여기서, 상기 농도비를 산출하는 경우에 사용하는 원소 M의 농도는, 상기 불순물의 농도를 산출한 영역과 같은 영역의 농도이어도 좋고, 상기 산화물 반도체 내의 농도이어도 좋다.
- [0358] 또한 불순물 농도가 저감된 금속 산화물은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0359] 또한 금속 산화물 내의 산소 결손에 수소가 들어간 경우, 산소 결손과 수소가 결합하여 V<sub>OH</sub>를 형성하는 경우가 있다. V<sub>OH</sub>는 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다.
- [0360] 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 산화물 반도체 내의 수소는 열, 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다.
- [0361] 즉, 금속 산화물 내의 V<sub>OH</sub>를 가능한 한 저감하여, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V<sub>OH</sub>가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 수분, 수소 등의 불순물을 제거하는 것(탈수, 탈수소화 처리라고 기재하는 경우가 있음)과, 산화물 반도체에 산소를 공급하여 산소 결손을 보전하는 것(가산소화 처리라고 기재하는 경우가 있음)이 중요하다. V<sub>OH</sub> 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

- [0362] 또한 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체의 캐리어 농도를 낮추는 경우에는, 산화물 반도체 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한, 산화물 반도체 내의 불순물로서는, 예를 들어 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0363] 특히, 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산화물 반도체 내에 산소 결손을 형성하는 경우가 있다. 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성을 가지는 경우가 있다. 또한 산소 결손에 수소가 들어간 결합은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다.
- [0364] 산소 결손에 수소가 들어간 결합( $V_H$ )은 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결합을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체에서는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서, 도너 농도 대신에 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉, 본 명세서 등에 기재되는 '캐리어 농도'는 '도너 농도'라고 환언할 수 있는 경우가 있다.
- [0365] 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 미만으로 한다. 수소 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0366] 또한, 채널 형성 영역의 산화물 반도체의 캐리어 농도는  $1 \times 10^{18}$  cm<sup>-3</sup> 이하인 것이 바람직하고,  $1 \times 10^{17}$  cm<sup>-3</sup> 미만인 것이 더 바람직하고,  $1 \times 10^{16}$  cm<sup>-3</sup> 미만인 것이 더욱 바람직하고,  $1 \times 10^{13}$  cm<sup>-3</sup> 미만인 것이 더욱 바람직하고,  $1 \times 10^{12}$  cm<sup>-3</sup> 미만인 것이 더욱 바람직하다. 또한, 채널 형성 영역의 산화물 반도체의 캐리어 농도의 하한 값에 대해서는 특별히 한정되지 않지만, 예를 들어  $1 \times 10^{-9}$  cm<sup>-3</sup>로 할 수 있다.
- [0367] 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태는 소비 전력이 낮은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0368] <<그 외의 반도체 재료>>
- [0369] 산화물(530)에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 산화물(530)로서, 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어, 실리콘 등의 단체 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다. 특히, 반도체로서 기능하는 층상 물질을 반도체 재료에 사용하면 적합하다.
- [0370] 여기서, 본 명세서 등에서, 층상 물질이란 층상의 결정 구조를 가지는 재료군의 총칭이다. 층상의 결정 구조는 공유 결합이나 이온 결합에 의하여 형성되는 층이 반데르발스 힘과 같은 공유 결합이나 이온 결합보다 약한 결합으로 적층되어 있는 구조이다. 층상 물질은 단위층 내에서의 전기 전도성이 높고, 즉, 2차원 전기 전도성이 높다. 반도체로서 기능하고, 또한 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 큰 트랜지스터를 제공할 수 있다.
- [0371] 층상 물질로서, 그래핀, 실리센, 칼코젠화물 등이 있다. 칼코젠화물은 칼코젠을 포함하는 화합물이다. 또한, 칼코젠은 16족에 속하는 원소의 총칭이며, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한, 칼코젠화물로서 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.
- [0372] 산화물(530)로서, 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 산화물(530)로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는  $MoS_2$ ),

셀레늄화 몰리브데넘(대표적으로는  $\text{MoSe}_2$ ), 몰리브데넘 텔루륨(대표적으로는  $\text{MoTe}_2$ ), 황화 텅스텐(대표적으로는  $\text{WS}_2$ ), 셀레늄화 텅스텐(대표적으로는  $\text{WSe}_2$ ), 텅스텐 텔루륨(대표적으로는  $\text{WTe}_2$ ), 황화 하프늄(대표적으로는  $\text{HfS}_2$ ), 셀레늄화 하프늄(대표적으로는  $\text{HfSe}_2$ ), 황화 지르코늄(대표적으로는  $\text{ZrS}_2$ ), 셀레늄화 지르코늄(대표적으로는  $\text{ZrSe}_2$ ) 등을 들 수 있다.

- [0373] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0374] (실시형태 6)
- [0375] 본 실시형태에서는, 상술한 실시형태에서 설명한 전지 제어 회로를 전자 부품으로 하는 예에 대하여 도 15의 (A) 및 (B)를 사용하여 설명한다.
- [0376] 도 15의 (A)에서는 상술한 실시형태에서 설명한 전지 제어 회로를 전자 부품으로 하는 예에 대하여 설명한다. 또한 전자 부품은 반도체 패키지 또는 IC용 패키지라고도 한다. 이 전자 부품은 단자 추출 방향이나 단자의 형상에 따라, 복수의 규격이나 명칭이 존재한다. 그러므로 본 실시형태에서는 그 일례에 대하여 설명하기로 한다.
- [0377] OS 트랜지스터나 Si 트랜지스터로 구성된 회로부는 조립 공정(후공정)을 거쳐, 인쇄 기판에 탈착 가능한 복수의 부품이 합쳐짐으로써 완성된다.
- [0378] 후공정에 대해서는, 도 15의 (A)에 도시된 각 공정을 거침으로써 완성시킬 수 있다. 구체적으로는 전공정에서 얻어지는 소자 기판이 완성(단계 S1)된 후, 기판의 뒷면을 연삭한다(단계 S2). 이 단계에서 기판을 박막화함으로써, 전공정에서의 기판의 휘어짐 등을 저감시키고, 부품의 소형화를 도모한다.
- [0379] 기판의 뒷면을 연삭하고 나서, 기판을 복수의 칩으로 분리하는 다이싱 공정을 수행한다. 그리고 분리된 칩을 각각 픽업(Pick up)하여 리드 프레임 위에 탑재하고 접합하는 다이 본딩 공정을 수행한다(단계 S3). 이 다이 본딩 공정에서의 칩과 리드 프레임의 접착은 수지에 의한 접착이나 테이프에 의한 접착 등, 제품에 따라 적합한 방법을 선택한다. 또한 다이 본딩 공정에서는, 인터포저 위에 탑재하여 접합하여도 좋다.
- [0380] 이어서, 리드 프레임의 리드와 칩 위의 전극을 금속 세션(와이어)으로 전기적으로 접속하는 와이어 본딩을 수행한다(단계 S4). 금속 세션에는 은선(silver line)이나 금선(gold line)을 사용할 수 있다. 또한 와이어 본딩으로서 볼 본딩(ball bonding)이나 웨지 본딩(wedge bonding)을 사용할 수 있다.
- [0381] 와이어 본딩된 칩에는 에폭시 수지 등으로 밀봉되는 몰딩 공정이 실시된다(단계 S5). 몰딩 공정을 수행함으로써 전자 부품의 내부가 수지로 충전(充填)되어, 내장되는 회로부나 와이어에 대한, 기계적인 외력에 의한 대미지를 저감할 수 있고, 또한 수분이나 먼지로 인한 특성의 열화를 저감할 수 있다.
- [0382] 이어서 리드 프레임의 리드를 도금 처리한다. 그리고 리드를 절단 및 성형 가공한다(단계 S6). 이 도금 처리에 의하여 리드의 녹을 방지하고, 나중에 인쇄 기판에 실장할 때의 납땜을 더 확실하게 수행할 수 있다.
- [0383] 이어서, 패키지 표면에 인자 처리(마킹)를 실시한다(단계 S7). 그리고 최종적인 검사 공정(단계 S8)을 거쳐 PLD를 포함하는 회로부를 가지는 전자 부품이 완성된다(단계 S9).
- [0384] 또한, 완성된 전자 부품의 사시 모식도를 도 15의 (B)에 도시하였다. 도 15의 (B)에서는, 전자 부품의 일례로서, QFP(Quad Flat Package)의 사시 모식도를 나타내었다. 도 15의 (B)에 도시된 전자 부품(700)은 리드(701) 및 회로부(703)를 나타낸다. 도 15의 (B)에 도시된 전자 부품(700)은, 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품(700)이 복수로 조합되고, 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 전기 기기의 내부에 탑재할 수 있다. 완성된 회로 기판(704)은 전기 기기 등의 내부에 제공된다.
- [0385] 인쇄 기판(702)에 실장되는 복수의 전자 부품 중 하나로서, 앞의 실시형태에서 설명한 전지 제어 회로를 가진 전자 부품을 들 수 있다. 또한, 다른 전자 부품으로서, 예를 들어 칩 코일, 칩인덕터 등을 들 수 있다. 또한, 앞의 실시형태에서 설명한 층(385), 층(585), 또는 층(585)에 적층되는 층에 스퍼터링법, 증착법 등을 사용하여 칩 코일, 칩인덕터 등을 형성함으로써, 회로 기판의 면적을 축소할 수 있는 경우가 있다.
- [0386] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0387] (실시형태 7)
- [0388] 본 실시형태에서는, 앞의 실시형태에서 설명한 전지 제어 회로를 가지는 전자 부품을 적용할 수 있는 축전 장치

및 축전 시스템의 구성에 대하여 설명한다.

- [0389] [원통형 이차 전지]
- [0390] 원통형 이차 전지의 예에 대하여 도 16의 (A)를 참조하여 설명한다. 원통형 이차 전지(400)는, 도 16의 (A)에 도시된 바와 같이 상면에 양극 캡(전지 뚜껑)(401)을 가지고, 측면 및 저면에 전지 캔(외장 캔)(402)을 가진다. 이들 양극 캡(401)과 전지 캔(외장 캔)(402)은 개스킷(절연 패킹)(410)에 의하여 절연되어 있다.
- [0391] 도 16의 (B)는 원통형 이차 전지의 단면을 모식적으로 나타낸 도면이다. 도 16의 (B)에 도시된 원통형 이차 전지는 상면에 양극 캡(전지 뚜껑)(601)을 가지고, 측면 및 저면에 전지 캔(외장 캔)(602)을 가진다. 이들 양극 캡과 전지 캔(외장 캔)(602)은 개스킷(절연 패킹)(610)에 의하여 절연된다.
- [0392] 중공 원통형 전지 캔(602)의 안쪽에는, 띠 형상의 양극(604)과 음극(606)이 세퍼레이터(605)를 개재하여 권회된 전지 소자가 제공되어 있다. 도시하지 않았지만, 전지 소자는 센터 핀을 중심으로 권회되어 있다. 전지 캔(602)은 한끝이 닫혀 있고, 다른 한끝이 열려 있다. 전지 캔(602)에는 전해액에 대하여 내부식성이 있는 니켈, 알루미늄, 타이타늄 등의 금속, 또는 이들의 합금이나, 이들과 다른 금속의 합금(예를 들어 스테인리스강 등)을 사용할 수 있다. 또한 전해액으로 인한 부식을 방지하기 위하여 니켈이나 알루미늄 등으로 전지 캔(602)을 피복하는 것이 바람직하다. 전지 캔(602)의 안쪽에서 양극, 음극, 및 세퍼레이터가 권회된 전지 소자는 대향하는 한 쌍의 절연판(608, 609) 사이에 끼워진다. 또한 전지 소자가 제공된 전지 캔(602)의 내부에는 비수전해액(도시하지 않았음)이 주입되어 있다. 비수전해액으로서는, 코인형 이차 전지에 사용하는 것과 같은 것을 사용할 수 있다.
- [0393] 원통형 축전지에 사용하는 양극 및 음극은 권회되기 때문에, 집전체의 양면에 활물질을 형성하는 것이 바람직하다. 양극(604)에는 양극 단자(양극 집전 리드)(603)가 접속되고, 음극(606)에는 음극 단자(음극 집전 리드)(607)가 접속된다. 양극 단자(603) 및 음극 단자(607)에는 각각 알루미늄 등의 금속 재료를 사용할 수 있다. 양극 단자(603)는 안전 밸브 기구(613)에, 음극 단자(607)는 전지 캔(602)의 바닥에 각각 저항 용접된다. 안전 밸브 기구(613)는 PTC(Positive Temperature Coefficient) 소자(611)를 통하여 양극 캡(601)에 전기적으로 접속되어 있다. 안전 밸브 기구(613)는 전지의 내압 상승이 소정의 문턱값을 초과한 경우에, 양극 캡(601)과 양극(604) 사이의 전기적인 접속을 절단하는 것이다. 또한 PTC 소자(611)는 온도가 상승한 경우에 저항이 증대되는 열감 저항 소자이며, 저항의 증대에 따라 전류량을 제한하여 이상 발열을 방지하는 것이다. PTC 소자에는 타이타늄산 바륨( $\text{BaTiO}_3$ )계 반도체 세라믹 등을 사용할 수 있다.
- [0394] 도 16의 (C)는 축전 시스템(415)의 일례를 나타낸 것이다. 축전 시스템(415)은 복수의 이차 전지(400)를 가진다. 각 이차 전지의 양극은 절연체(425)로 분리된 도전체(424)에 접촉하고 전기적으로 접속되어 있다. 도전체(424)는 배선(423)을 통하여 제어 회로(420)에 전기적으로 접속되어 있다. 또한 각 이차 전지의 음극은 배선(426)을 통하여 제어 회로(420)에 전기적으로 접속되어 있다. 제어 회로(420)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다.
- [0395] 도 16의 (D)는 축전 시스템(415)의 일례를 나타낸 것이다. 축전 시스템(415)은 복수의 이차 전지(400)를 가지고, 복수의 이차 전지(400)는 도전판(413)과 도전판(414) 사이에 끼워져 있다. 복수의 이차 전지(400)는 배선(416)에 의하여 도전판(413) 및 도전판(414)에 전기적으로 접속된다. 복수의 이차 전지(400)는 병렬 접속되어도 좋고, 직렬 접속되어도 좋고, 병렬로 접속된 후 직렬로 접속되어도 좋다. 복수의 이차 전지(400)를 가지는 축전 시스템(415)을 구성함으로써, 큰 전력을 추출할 수 있다.
- [0396] 복수의 이차 전지(400)가 병렬로 접속된 후, 직렬로 다시 접속되는 경우를 생각한다. 이와 같은 경우에는 도 1 또는 도 2에 나타난 축전 장치에 있어서, 예를 들어 전지 셀(121)은 병렬로 접속된 복수의 이차 전지에 대응하고, 하나의 셀 밸런스 회로(130)가 병렬로 접속된 복수의 이차 전지에 전기적으로 접속된다.
- [0397] 복수의 이차 전지(400) 사이에 온도 제어 장치를 가져도 좋다. 이차 전지(400)가 과열되었을 때에는 온도 제어 장치에 의하여 냉각하고, 이차 전지(400)가 지나치게 냉각되었을 때에는 온도 제어 장치에 의하여 가열할 수 있다. 그러므로 축전 시스템(415)의 성능이 외기 온도의 영향을 받기 어려워진다.
- [0398] 또한, 도 16의 (D)에서 축전 시스템(415)은 배선(421) 및 배선(422)을 통하여 제어 회로(420)에 전기적으로 접속되어 있다. 제어 회로(420)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다. 배선(421)은 도전판(413)을 통하여 복수의 이차 전지(400)의 양극에 전기적으로 접속되고, 배선(422)은 도전판(414)을 통하여 복수의 이차 전지(400)의 음극에 전기적으로 접속된다.

- [0399] [이차 전지 팩]
- [0400] 다음으로 본 발명의 일 형태의 축전 시스템의 예에 대하여 도 17의 (A), (B), 및 (C)를 사용하여 설명한다.
- [0401] 도 17의 (A)는 이차 전지 팩(531)의 외관을 나타낸 도면이다. 도 17의 (B)는 이차 전지 팩(531)의 구성을 설명하는 도면이다. 이차 전지 팩(531)은 회로 기관(501)과 이차 전지(513)를 가진다. 이차 전지(513)에는 라벨(509)이 부착되어 있다. 회로 기관(501)은 실(seal)(515)에 의하여 고정되어 있다. 또한 이차 전지 팩(531)은 안테나(517)를 가진다.
- [0402] 회로 기관(501)은 제어 회로(590)를 가진다. 제어 회로(590)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다. 예를 들어, 도 17의 (B)에 도시된 바와 같이 회로 기관(501) 위에 제어 회로(590)를 가진다. 또한 회로 기관(501)은 단자(511)에 전기적으로 접속되어 있다. 또한 회로 기관(501)은 안테나(517), 이차 전지(513)의 양극 리드와 음극 리드 중 한쪽(551), 양극 리드와 음극 리드 중 다른 쪽(552)에 전기적으로 접속된다.
- [0403] 또는, 이차 전지 팩은 도 17의 (C)에 도시된 바와 같이 회로 기관(501) 위에 제공되는 회로 시스템(590a)과, 단자(511)를 통하여 회로 기관(501)에 전기적으로 접속되는 회로 시스템(590b)을 가져도 좋다. 예를 들어 본 발명의 일 형태의 제어 회로의 일부가 회로 시스템(590a)에 제공되고, 다른 일부가 회로 시스템(590b)에 제공된다.
- [0404] 또한 안테나(517)는 코일 형상에 한정되지 않고, 예를 들어 선형, 관형이어도 좋다. 또한 평면 안테나, 개구면 안테나, 진행파 안테나, EH 안테나, 자계 안테나, 유전체 안테나 등의 안테나를 사용하여도 좋다. 또는 안테나(517)는 평판 형상의 도체이어도 좋다. 이 평판 형상의 도체는 전계 결합용 도체 중 하나로서 기능할 수 있다. 즉 콘텐츠가 가지는 2개의 도체 중 하나의 도체로서, 안테나(517)를 기능시켜도 좋다. 이에 의하여, 전자계, 자계뿐만 아니라 전계에 의한 전력의 송수신도 가능하게 된다.
- [0405] 이차 전지 팩(531)은 안테나(517)와 이차 전지(513) 사이에 층(519)을 가진다. 층(519)은, 예를 들어 이차 전지(513)에 의한 전자계를 차폐할 수 있는 기능을 가진다. 층(519)으로서는 예를 들어 자성체를 사용할 수 있다.
- [0406] 이차 전지(513)는, 예를 들어 세퍼레이터를 끼워 음극과 양극이 중첩되어 적층되고, 상기 적층 시트가 권회된 것이다.
- [0407] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0408] (실시형태 8)
- [0409] 본 실시형태에서는 본 발명의 일 형태인 축전 시스템을, 차량에 탑재하는 예를 나타낸다. 차량으로서의 예를 들어 자동차, 이륜차, 자전거 등을 들 수 있다.
- [0410] 축전 시스템을 차량에 탑재하면 하이브리드 자동차(HEV), 전기 자동차(EV), 또는 플러그인 하이브리드 자동차(PHEV) 등의 차세대 클린 에너지 자동차를 실현할 수 있다.
- [0411] 도 18의 (A), (B), 및 (C)에서, 본 발명의 일 형태인 축전 시스템을 사용한 차량을 예시하였다. 도 18의 (A)에 도시된 자동차(8400)는 주행을 위한 동력원으로서 전기 모터를 사용하는 전기 자동차이다. 또는 주행을 위한 동력원으로서 전기 모터와 엔진을 적절히 선택하여 사용할 수 있는 하이브리드 자동차이다. 본 발명의 일 형태를 사용함으로써, 항속 거리가 긴 차량을 실현할 수 있다. 자동차(8400)는 축전 시스템을 가진다. 축전 시스템은 전기 모터(8406)를 구동시킬 뿐만 아니라 헤드라이트(8401)나 실내등(도시하지 않았음) 등의 발광 장치에 전력을 공급할 수 있다.
- [0412] 또한 축전 시스템은 자동차(8400)가 가지는 속도계, 태코미터 등의 표시 장치에 전력을 공급할 수 있다. 또한 축전 시스템은 자동차(8400)가 가지는 내비게이션 시스템 등에 전력을 공급할 수 있다.
- [0413] 도 18의 (B)에 도시된 자동차(8500)는 자동차(8500)가 가지는 축전 시스템(8024)에 플러그인 방식이나 비접촉 급전 방식 등에 의하여 외부의 충전 설비로부터 전력 공급을 받아 충전할 수 있다. 도 18의 (B)에 지상 설치형 충전 장치(8021)로부터 자동차(8500)에 탑재된 축전 시스템(8024)에 케이블(8022)을 통하여 충전을 수행하는 상태를 나타내었다. 충전에서는 충전 방법이나 커넥터의 규격 등을 CHAdeMO(등록 상표)나 콤보 등의 소정의 방식으로 적절히 수행하면 좋다. 충전 장치(8021)는 상용 시설에 설치된 충전 스테이션이어도 좋고, 또한 일반 주택의 전원이어도 좋다. 예를 들어 플러그인 기술을 이용하여, 외부로부터의 전력 공급에 의하여 자동차(8500)

에 탑재된 축전 시스템(8024)을 충전할 수 있다. 충전은 ACDC 컨버터 등의 변환 장치를 통하여 교류 전력을 직류 전력으로 변환하여 수행할 수 있다.

- [0414] 또한 도시하지 않았지만, 수전 장치를 차량에 탑재하고 지상의 송전 장치로부터 전력을 비접촉으로 공급하여 충전할 수도 있다. 이 비접촉 급전 방식의 경우에는 도로나 외벽에 송전 장치를 조합함으로써 정차 시뿐만 아니라 주행 중에도 충전할 수 있다. 또한 이 비접촉 급전 방식을 이용하여 차량들 사이에서 전력을 송수신하여도 좋다. 또한 차량의 외장부에 태양 전지를 제공하여 정차 시나 주행 중에 축전 시스템의 충전을 하여도 좋다. 이와 같은 비접촉 전력 공급에는 전자기 유도 방식이나 자계 공명 방식을 사용할 수 있다.
- [0415] 또한, 도 18의 (C)는 본 발명의 일 형태의 축전 시스템을 사용한 이륜차의 일례를 나타낸 도면이다. 도 18의 (C)에 도시된 스쿠터(8600)는 축전 시스템(8602), 사이드 미러(8601), 방향 지시등(8603)을 가진다. 축전 시스템(8602)은 방향 지시등(8603)에 전기를 공급할 수 있다.
- [0416] 또한, 도 18의 (C)에 도시된 스쿠터(8600)는 좌석 아래 수납 공간(8604)에 축전 시스템(8602)을 수납할 수 있다. 축전 시스템(8602)은 시트 아래 수납 공간(8604)이 소형이어도 시트 아래 수납 공간(8604)에 수납할 수 있다.
- [0417] 또한, 도 19의 (A)는 본 발명의 일 형태의 축전 시스템을 사용한 전동 자전거의 일례를 나타낸 도면이다. 도 19의 (A)에 도시된 전동 자전거(8700)에 본 발명의 일 형태의 축전 시스템을 적용할 수 있다. 본 발명의 일 형태의 축전 시스템은, 예를 들어 복수의 축전지와, 보호 회로와, 신경망을 가진다.
- [0418] 전기 자전거(8700)는 축전 시스템(8702)을 포함한다. 축전 시스템(8702)은 운전자를 보조하는 모터에 전기를 공급할 수 있다. 또한, 축전 시스템(8702)은 들고 다닐 수 있고, 도 19의 (B)에 자전거로부터 분리된 상태를 나타내었다. 또한, 축전 시스템(8702)에는 본 발명의 일 형태의 축전 시스템이 가지는 축전지(8701)가 복수 내장되어 있으며, 그 배터리 잔량 등을 표시부(8703)에 표시할 수 있도록 하고 있다. 또한 축전 시스템(8702)은 본 발명의 일 형태의 제어 회로(8704)를 가진다. 제어 회로(8704)는 축전지(8701)의 양극 및 음극에 전기적으로 접속되어 있다. 제어 회로(8704)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다.
- [0419] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0420] (실시형태 9)
- [0421] 본 실시형태에서는 앞의 실시형태에서 설명한 축전 시스템을 전자 기기에 실장하는 예에 대하여 설명한다.
- [0422] 다음으로, 도 20의 (A) 및 (B)에 반으로 접을 수 있는 태블릿형 단말기(클램셀형 단말기도 포함함)의 일례를 나타낸다. 도 20의 (A) 및 (B)에 도시된 태블릿형 단말기(9600)는 하우징(9630a), 하우징(9630b), 하우징(9630a)과 하우징(9630b)을 접속하는 가동부(9640), 표시부(9631), 표시 모드 전환 스위치(9626), 전원 스위치(9627), 절전 모드 전환 스위치(9625), 잠금부(9629), 조작 스위치(9628)를 가진다. 표시부(9631)에는 가요성을 가지는 패널을 사용함으로써, 보다 넓은 표시부를 가지는 태블릿 단말기로 할 수 있다. 도 20의 (A)는 태블릿형 단말기(9600)를 연 상태를 나타낸 것이고, 도 20의 (B)는 태블릿형 단말기(9600)를 닫은 상태를 나타낸 것이다.
- [0423] 또한 태블릿형 단말기(9600)는 하우징(9630a) 및 하우징(9630b)의 내부에 축전체(9635)를 가진다. 축전체(9635)는 가동부(9640)를 거쳐, 하우징(9630a)과 하우징(9630b)에 걸쳐 제공되어 있다.
- [0424] 표시부(9631)는 일부를 터치 패널 영역으로 할 수 있으며, 표시된 조작 키를 터치함으로써 데이터를 입력할 수 있다. 또한 터치 패널의 키보드 표시 전환 버튼이 표시되어 있는 위치를, 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631)에 키보드 버튼을 표시할 수 있다.
- [0425] 또한 표시 모드 전환 스위치(9626)는 세로 표시 또는 가로 표시 등 표시 방향의 전환, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9625)는 태블릿형 단말기(9600)에 내장된 광 센서에서 검출되는 사용 시의 외광의 광량에 따라 표시의 휘도를 최적화할 수 있다. 태블릿형 단말기에는 광 센서뿐만 아니라 자이로스코프, 가속도 센서 등 기밀기를 검출하는 센서 등 다른 검출 장치가 내장되어도 좋다.
- [0426] 도 20의 (B)는 태블릿형 단말기(9600)가 닫힌 상태이고, 태블릿형 단말기(9600)는, 하우징(9630), 태양 전지(9633), 및 본 발명의 일 형태의 축전 시스템을 가진다. 축전 시스템은 제어 회로(9634)와 축전체(9635)를 가진다. 제어 회로(9634)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다.
- [0427] 또한 태블릿형 단말기(9600)는 반으로 접을 수 있기 때문에, 사용하지 않을 때는 하우징(9630a) 및 하우징

(9630b)이 중첩되도록 접을 수 있다. 접음으로써, 표시부(9631)를 보호할 수 있기 때문에, 태블릿형 단말기(9600)의 내구성을 높일 수 있다.

[0428] 또한, 이 외에도 도 20의 (A) 및 (B)에 도시된 태블릿형 단말기는 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력으로 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다.

[0429] 태블릿형 단말기의 표면에 장착된 태양 전지(9633)에 의하여, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수 있다. 또한 태양 전지(9633)는 하우징(9630)의 한쪽 면 또는 양쪽 면에 제공할 수 있고, 축전체(9635)의 충전을 효율적으로 수행하는 구성으로 할 수 있다.

[0430] 또한 도 20의 (A), (B)에서는, 반으로 접을 수 있는 태블릿형 단말기에 앞의 실시형태에서 설명한 전지 제어 회로를 사용한 제어 회로를 적용하는 구성에 대하여 설명하였지만, 다른 구성이어도 좋다. 예를 들어, 도 20의 (C)에 도시된 바와 같이 클램셀형 단말기인 노트북형 퍼스널 컴퓨터로 적용할 수도 있다. 도 20의 (C)에서는, 하우징(9630a)에 표시부(9631)를, 하우징(9630b)에 키보드부(9650)를 가진 노트북형 퍼스널 컴퓨터(9601)를 도시하였다. 노트북형 퍼스널 컴퓨터(9601) 내에는 도 20의 (A), (B)에서 설명한 제어 회로(9634)와 축전체(9635)를 가진다. 제어 회로(9634)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다.

[0431] 도 21에 다른 전자 기기의 예를 도시하였다. 도 21에 있어서, 표시 장치(8000)는 본 발명의 일 형태의 축전 시스템을 실장하는 전자 기기의 일례이다. 구체적으로는 표시 장치(8000)는 TV 방송 수신용 표시 장치에 상당하며, 하우징(8001), 표시부(8002), 스피커부(8003), 이차 전지(8004) 등을 가진다. 본 발명의 일 형태에 따른 검출 시스템은 하우징(8001) 내부에 제공되어 있다. 표시 장치(8000)는 상용 전원으로부터 전력을 공급받을 수도 있고, 이차 전지(8004)에 저장된 전력을 이용할 수도 있다.

[0432] 표시부(8002)에는 액정 표시 장치, 유기 EL 소자 등의 발광 소자를 각 화소에 포함한 발광 장치, 전기 영동 표시 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등의 반도체 표시 장치를 사용할 수 있다.

[0433] 또한 음성 입력 디바이스(8005)에도 이차 전지를 사용한다. 음성 입력 디바이스(8005)는 앞의 실시형태에서 설명한 축전 시스템을 가진다. 음성 입력 디바이스(8005)는 무선 통신 소자 외에 마이크로폰을 포함하는 센서(광학 센서, 온도 센서, 습도 센서, 기압 센서, 조도 센서, 동작 센서 등)를 복수로 가지고, 사용자가 명령하는 말로 다른 디바이스를 조작할 수 있고, 예를 들어 표시 장치(8000)의 전원 조작, 조명 장치(8100)의 광량 조절 등을 수행할 수 있다. 음성 입력 디바이스(8005)를 통하여 음성으로 주변 기기의 조작을 수행할 수 있고 수동의 리모컨을 대체할 수 있다.

[0434] 또한 음성 입력 디바이스(8005)는, 차륜이나 기계식 이동 수단을 가지고 사용자의 발성이 들리는 방향으로 이동하고 내장되어 있는 마이크로폰으로 정확하게 명령을 알아들을 수 있고, 또한 그 내용을 표시부(8008)에 표시하거나 또는 표시부(8008)의 터치 입력 조작을 수행할 수 있는 구성으로 하였다.

[0435] 또한 음성 입력 디바이스(8005)는 스마트폰 등의 휴대 정보 단말기(8009)의 충전 독으로서도 기능시킬 수 있다. 휴대 정보 단말기(8009)와 음성 입력 디바이스(8005)는 유선 또는 무선으로 전력을 주고받을 수 있다. 휴대 정보 단말기(8009)를 휴대할 필요가 특별히 없는 실내에서는, 필요한 용량을 확보하면서도 이차 전지에 부하가 가해져 열화되는 것을 피하기 위하여, 음성 입력 디바이스(8005)에 의하여 이차 전지의 관리, 보수 등을 수행할 수 있는 것이 바람직하다. 또한 음성 입력 디바이스(8005)는 스피커(8007) 및 마이크로폰을 가지기 때문에, 휴대 정보 단말기(8009)가 충전 중일 때에도 핸즈프리로 대화할 수 있다. 또한 음성 입력 디바이스(8005)의 이차 전지의 용량이 저하하였을 때는 화살표 방향으로 이동하고 외부 전원과 접속된 충전 모듈(8010)로부터 무선 충전에 의하여 충전을 수행하면 좋다.

[0436] 또한 음성 입력 디바이스(8005)를 받침대에 올려 놓아도 좋다. 또한 음성 입력 디바이스(8005)에 차륜이나 기계식 이동 수단을 제공하여 원하는 위치로 이동시켜도 좋고, 또는 받침대나 차륜을 제공하지 않고 음성 입력 디바이스(8005)를 원하는 위치, 예를 들어 바닥의 위 등에 고정하여도 좋다.

[0437] 또한 표시 장치에는 TV 방송 수신용 외에, 퍼스널 컴퓨터용, 광고 표시용 등 모든 정보 표시용 표시 장치가 포함된다.

[0438] 도 21에 있어서, 설치형 조명 장치(8100)는, 충전을 제어하는 마이크로프로세서(APS를 포함함)로 제어되는 이차

전지(8103)를 사용한 전자 기기의 일례이다. 구체적으로 조명 장치(8100)는 하우징(8101), 광원(8102), 이차 전지(8103) 등을 가진다. 도 21에서는, 이차 전지(8103)가, 하우징(8101) 및 광원(8102)이 설치된 천장(8104) 내부에 제공되어 있는 경우를 예시하였지만, 이차 전지(8103)는 하우징(8101) 내부에 제공되어 있어도 좋다. 조명 장치(8100)는 상용 전원으로부터 전력을 공급받을 수도 있고, 이차 전지(8103)에 저장된 전력을 이용할 수도 있다.

[0439] 또한, 도 21에서는 천장(8104)에 제공된 설치형 조명 장치(8100)를 예시하였지만, 이차 전지(8103)는 천장(8104) 이외에, 예를 들어 측벽(8105), 바닥(8106), 창문(8107) 등에 제공된 설치형 조명 장치에 사용할 수도 있고, 탁상형 조명 장치 등에 사용할 수도 있다.

[0440] 또한 광원(8102)에는 전력을 이용하여 인공적으로 광을 얻는 인공 광원을 사용할 수 있다. 구체적으로는 백열 전구, 형광등 등의 방전 램프, LED나 유기 EL 소자 등의 발광 소자를 상기 인공 광원의 일례로 들 수 있다.

[0441] 도 21에 있어서, 실내기(8200) 및 실외기(8204)를 가지는 에어컨디셔너는 이차 전지(8203)를 사용한 전자 기기의 일례이다. 구체적으로는 실내기(8200)는 하우징(8201), 송풍구(8202), 이차 전지(8203) 등을 가진다. 도 21에는 이차 전지(8203)가 실내기(8200)에 제공되는 경우를 예시하였지만, 이차 전지(8203)는 실외기(8204)에 제공되어도 좋다. 또는 실내기(8200)와 실외기(8204) 양쪽 모두에 이차 전지(8203)가 제공되어 있어도 좋다. 에어컨디셔너는 상용 전원으로부터 전력을 공급받을 수도 있고, 이차 전지(8203)에 저장된 전력을 이용할 수도 있다.

[0442] 도 21에 있어서, 전기 냉동 냉장고(8300)는 이차 전지(8304)를 사용한 전자 기기의 일례이다. 구체적으로는 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 문(8302), 냉동실용 문(8303), 이차 전지(8304) 등을 가진다. 도 21에서는 이차 전지(8304)가 하우징(8301) 내부에 제공되어 있다. 전기 냉동 냉장고(8300)는 상용 전원으로부터 전력을 공급받을 수도 있고, 이차 전지(8304)에 저장된 전력을 이용할 수도 있다.

[0443] 또한 전자 기기가 사용되지 않는 시간대, 특히 상용 전원의 공급원이 공급할 수 있는 총전력량 중 실제로 사용되는 전력량의 비율(전력 사용률이라고 함)이 낮은 시간대에 이차 전지에 전력을 저장해 둬으로써, 상기 시간대 외에서 전력 사용률이 높아지는 것을 억제할 수 있다. 예를 들어 전기 냉동 냉장고(8300)의 경우, 기온이 낮고 냉장실용 문(8302), 냉동실용 문(8303)이 개폐되지 않는 야간에, 이차 전지(8304)에 전력을 저장한다. 그리고 기온이 높아지고 냉장실용 문(8302), 냉동실용 문(8303)이 개폐되는 낮에, 이차 전지(8304)를 보조 전원으로서 사용함으로써 낮의 전력 사용률을 낮출 수 있다.

[0444] 상술한 전자 기기 외에도 이차 전지는 다양한 전자 기기에 탑재될 수 있다. 본 발명의 일 형태에 의하여 이차 전지의 사이클 특성이 양호해진다. 그러므로 본 발명의 일 형태인, 충전을 제어하는 마이크로프로세서(APS를 포함함)를 본 실시형태에서 설명한 전자 기기에 탑재함으로써 수명이 더 긴 전자 기기로 할 수 있다. 본 실시 형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0445] 본 발명의 일 형태의 충전 시스템을 전자 기기에 실장하는 예를 도 22의 (A) 내지 (E)에 나타내었다. 본 발명의 일 형태의 충전 시스템을 적용한 전자 기기로서는 예를 들어 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치, 파친코기 등의 대형 게임기 등이 있다.

[0446] 도 22의 (A)는 휴대 전화기의 일례를 나타낸 것이다. 휴대 전화기(7400)는 하우징(7401)에 제공된 표시부(7402) 외에, 조작 버튼(7403), 외부 접속 포트(7404), 스피커(7405), 마이크로폰(7406) 등을 포함한다. 또한 휴대 전화기(7400)는 본 발명의 일 형태의 충전 시스템을 가진다. 본 발명의 일 형태의 충전 시스템은 예를 들어 충전지(7407)와, 앞의 실시형태에서 설명한 전지 제어 회로를 가진다.

[0447] 도 22의 (B)는 휴대 전화기(7400)를 만족시킨 상태를 나타낸 것이다. 휴대 전화기(7400)를 외부의 힘으로 변형시켜 전체를 만족시키면, 그 내부에 제공된 충전지(7407)도 만족되는 경우가 있다. 이러한 경우에는 충전지(7407)로서 가요성을 가지는 충전지를 사용하는 것이 바람직하다. 가요성을 가지는 충전지의 굴곡된 상태를 도 22의 (C)에 도시하였다. 충전지에는 제어 회로(7408)가 전기적으로 접속되어 있다. 제어 회로(7408)로서는, 앞의 실시형태에서 설명한 전지 제어 회로를 사용할 수 있다.

[0448] 또한 플렉시블한 형태를 가지는 충전지를, 가옥이나 빌딩의 내벽 또는 외벽이나, 자동차의 내장 또는 외장의 곡면을 따라 제공할 수도 있다.

- [0449] 도 22의 (D)는 팔찌형 표시 장치의 일례를 나타낸 것이다. 휴대 표시 장치(7100)는 하우징(7101), 표시부(7102), 조작 버튼(7103), 및 본 발명의 일 형태의 충전 시스템을 가진다. 본 발명의 일 형태의 충전 시스템은 예를 들어 충전지(7104)와, 앞의 실시형태에서 설명한 전지 제어 회로를 가진다.
- [0450] 도 22의 (E)는 손목시계형 휴대 정보 단말기의 일례를 나타낸 것이다. 휴대 정보 단말기(7200)는 하우징(7201), 표시부(7202), 밴드(7203), 버클(7204), 조작 버튼(7205), 입출력 단자(7206) 등을 포함한다.
- [0451] 휴대 정보 단말기(7200)는 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다.
- [0452] 표시부(7202)는 그 표시면이 만곡되도록 제공되며, 만곡된 표시면을 따라 표시를 수행할 수 있다. 또한 표시부(7202)는 터치 센서를 포함하고 손가락이나 스타일러스 등으로 화면을 터치함으로써 조작할 수 있다. 예를 들어 표시부(7202)에 표시된 아이콘(7207)을 터치함으로써 애플리케이션을 기동할 수 있다.
- [0453] 조작 버튼(7205)은 시각 설정 외에, 전원의 온/오프 동작, 무선 통신의 온/오프 동작, 매너 모드의 실행 및 해제, 전력 절약 모드의 실행 및 해제 등, 다양한 기능을 가지게 할 수 있다. 예를 들어 휴대 정보 단말기(7200)에 내장된 운영 체제에 의하여 조작 버튼(7205)의 기능을 자유로이 설정할 수도 있다.
- [0454] 또한 휴대 정보 단말기(7200)는 통신 규격에 따른 근거리 무선 통신을 실행할 수 있다. 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써 핸즈프리로 통화할 수도 있다.
- [0455] 또한 휴대 정보 단말기(7200)는 입출력 단자(7206)를 포함하고 커넥터를 통하여 다른 정보 단말기와 직접 데이터를 송수신할 수 있다. 또한 입출력 단자(7206)를 통하여 충전을 수행할 수도 있다. 또한 충전 동작은 입출력 단자(7206)를 통하지 않고 무선 급전에 의하여 수행하여도 좋다.
- [0456] 휴대 정보 단말기(7200)는 본 발명의 일 형태의 충전 시스템을 가진다. 상기 충전 시스템은 충전지와, 앞의 실시형태에서 설명한 전지 제어 회로를 가진다.
- [0457] 휴대 정보 단말기(7200)는 센서를 가지는 것이 바람직하다. 센서로서, 예를 들어 지문 센서, 맥박 센서, 및 체온 센서 등의 인체 센서나, 터치 센서, 가압 센서, 및 가속도 센서 등이 탑재되는 것이 바람직하다.
- [0458] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0459] (실시형태 10)
- [0460] 본 실시형태에서는 본 발명의 일 형태의 전지 제어 회로가 탑재되는 시스템의 일례에 대하여 설명한다.
- [0461] 도 23의 (A)는 플렉시블 필름인 가요성 기관(811) 위에 형성된 반도체 장치(810)를 원통형 이차 전지(815)에 실장시킨 전지 제어 시스템의 개념도이다.
- [0462] 반도체 장치(810)로서, 예를 들어 앞의 실시형태에서 설명한 반도체 장치(900)를 적용할 수 있다. 또는 반도체 장치(810)로서, 예를 들어 앞의 실시형태에서 설명한 반도체 장치(900)의 일부의 구성 요소, 예를 들어 층(585)에 제공되는 구성 요소를 적용하여도 좋다.
- [0463] 본 발명의 일 형태의 전지 제어 시스템은 적어도 원통형 이차 전지(815)와, 반도체 장치(810)와, 스위치를 가진다.
- [0464] 원통형 이차 전지(815)는, 상면에 제 1 단자(812)를 가지고, 저면에 제 2 단자(813)를 가진다. 원통형 이차 전지의 제 1 단자(812)에 접속되고, 원통형 이차 전지(815)로부터 출력되는 전력을 전송(傳送)하는 제 1 전송로는 전극(818)을 통하여 충전 제어 회로의 단자에 전기적으로 접속된다. 또한, 원통형 이차 전지의 제 2 단자(813)에 접속되는 제 2 전송로는 전극(819)을 통하여 제 2 전송로를 차단하는 스위치와 접속되어 있다.
- [0465] 도 23의 (A)에서는, 제 2 전송로를 차단하는 스위치(차단용 스위치라고도 함)가 2개 제공되어 있고, 다이오드도 각각 접속되어 있고, 과방전, 과충전, 또는 과전류를 방지하기 위한 보호 회로로서 기능한다. 스위치는 도통 및 차단 동작을 제어하며, 공급 및 차단을 전환하는 전환 수단이라고도 할 수 있다. 가요성 기관(811) 위에 형성된 제 2 전송로의 다른 쪽의 단자인 제 3 단자(814)는 충전기(816)나 모바일 기기(817)에 접속되어 있다.
- [0466] 반도체 장치(810)를 가요성 기관(811) 위에 형성하는 제작 방법으로서 반도체 기관 위에 형성한 후, 박리 방법을 사용하여 박리 후에 가요성 기관(811) 위에 고정하는 방법을 사용한다. 박리 방법에서는 공지의 기술을 사용할 수 있다. 또한, 반도체 기관 위에 형성한 후에 뒷면을 연마한 후, 가요성 기관(811) 위에 고정하는 방

법으로 하여도 좋다. 또한, 레이저 광을 사용하여 부분적으로 잘라내는, 소위 레이저 커팅 후, 가요성 기판(811) 위에 고정하는 방법으로 하여도 좋다. 또한, 반도체 장치(810)를 가요성 기판(811) 위에 직접 형성하는 방법으로 하여도 좋다. 또한, 유리 기판 위에 형성한 반도체 장치(810)를 박리 방법을 사용하여 박리한 후에 가요성 기판(811) 위에 고정하는 방법을 사용한다.

[0467] 본 실시형태에서는, 이들 다이오드나 스위치도 가요성 기판(811) 위에 형성 또는 실장시키는 예를 나타내었지만, 이 구성에 특별히 한정되지 않는다.

[0468] 반도체 장치(810)가 마이크로 단락 등의 이상을 검지한 경우에는, 제 2 전송로를 차단하는 스위치의 게이트에 신호를 입력함으로써 제 2 전송로를 차단할 수 있다. 제 2 전송로를 차단하면, 충전기(816)로부터의 전류 공급의 정지, 또는 모바일 기기(817)로의 전류 공급의 정지를 수행할 수 있다. 또한, 제 2 전송로를 차단하는 스위치의 게이트에 인가하는 신호 전압을 메모리 회로(산화물 반도체를 사용한 트랜지스터를 포함함)로 유지함으로써, 차단을 장시간 유지할 수 있다. 따라서 안전성이 높은 충전 제어 시스템으로 할 수 있다.

[0469] 또한, 도 23의 (B)는 원통형 이차 전지(815)와 가요성 기판(811)을 접합하기 직전의 상태를 나타낸 공정도이며, 가요성 기판(811)의 접촉면 측을 나타낸 것이다. 도 23의 (B)에 도시된 바와 같이 가요성 기판(811)의 접촉면에 원통형 이차 전지(815)의 몸통 부분을 대어 굴림으로써, 몸통 부분의 원둘레 방향으로 가요성 기판(811)을 감도록 접촉시킨다. 또한, 가요성 기판(811)에는 Y 방향으로 전극(818)과 전극(819)을 배열한 배치로 하였지만 특별히 한정되지 않고, 한쪽이 X 방향으로 어긋나도 좋다. 또한, 굴린 후의 도면이 도 23의 (C)이다.

[0470] 원통형 이차 전지(815)의 몸통 부분의 외주면을 덮도록 외장 필름이 장착되어 있다. 이 외장 필름은, 이차 전지 내부의 구조를 밀봉하기 위한 금속 캔을 보호하고, 금속 캔과의 절연성을 도모하기 위하여 사용된다.

[0471] 외장 필름을 사용하지 않고, 원통형 이차 전지(815)의 외표면(단자 부분을 제외함)이 금속면인 경우에는, 전극(818)과의 사이, 전극(819)과의 사이에 절연 시트를 끼우는 것이 바람직하다. 전극(818) 또는 전극(819)은 도전성 금속막이나 도전성 재료로 이루어지는 도전성 테이프나, 리드선이고, 납땀이나 와이어 본딩법 등의 공지의 방법에 의하여 원통형 이차 전지(815)의 단자와 접속된다. 또한, 전극(818) 또는 전극(819)은 납땀이나 와이어 본딩법에 의하여 충전 제어 회로의 단자와 접속된다.

[0472] 도 23의 (A)에 도시된 바와 같이, 원통형 이차 전지(815)로부터 모바일 기기(817)에 전력을 공급하는 경우, 원통형 이차 전지(815)는 방전 상태가 되고, 제 1 단자(812) 및 제 2 단자(813)에서의 전압이나 전류 등의 거동을 반도체 장치(810)로 감시하고, 이상을 검지한 경우에는 제 2 전송로를 차단하여 방전을 정지한다.

[0473] 모바일 기기(817)는 이차 전지 이외의 구성을 가리키고, 모바일 기기(817)에서의 전원이 원통형 이차 전지(815)이다. 또한, 모바일 기기(817)는 휴대하여 들고 다닐 수 있는 전자 기기이다.

[0474] 또한, 원통형 이차 전지(815)에 충전기(816)로부터 전력을 공급받아 충전하는 경우, 원통형 이차 전지(815)는 충전 상태가 되고, 제 1 단자(812) 및 제 2 단자(813)에서의 전압이나 전류 등의 거동을 반도체 장치(810)로 감시하고, 이상을 검지한 경우에는 제 2 전송로를 차단하여 충전을 정지한다.

[0475] 충전기(816)는, 외부 전원과 접속되는 어댑터를 가지는 기기나, 무선 신호를 사용하여 전력 전송을 수행하는 기기를 가리킨다. 또한, 충전기(816)가 모바일 기기(817)에 내장되어 있는 경우도 있다.

[0476] 도 23에서는 원통형 이차 전지의 예를 나타내었지만, 다른 예로서 플렉시블 필름인 가요성 기판(910) 위에 형성된 반도체 장치(964)를 편평 형상의 이차 전지(963)에 실장하는 예를 도 24에 나타내었다.

[0477] 반도체 장치(964)는 가요성 기판(910) 위에 형성 또는 고정되어 있다. 반도체 장치(964)는 마이크로 단락 등의 이상을 검출한다. 또한, 과충전, 과방전, 및 과전류로부터 이차 전지(963)을 보호하는 보호 회로로서의 기능을 가져도 좋다.

[0478] 반도체 장치(964)로서, 예를 들어 앞의 실시형태에서 설명한 반도체 장치(900)를 적용할 수 있다. 또는 반도체 장치(810)로서, 예를 들어 앞의 실시형태에서 설명한 반도체 장치(900)의 일부의 구성, 예를 들어 층(585)에 제공되는 구성을 적용하여도 좋다.

[0479] 또한, 반도체 장치(964)에 더하여 안테나, 수신 회로, 및 정류 회로를 제공하여도 좋다. 안테나를 사용하여 이차 전지(963)에 비접촉으로 충전을 수행할 수도 있다. 안테나는 코일 형상에 한정되지 않고, 예를 들어 선 형상, 판 형상이어도 좋다. 또한 평면 안테나, 개구면 안테나, 진행파 안테나, EH 안테나, 자계 안테나, 유전체 안테나 등의 안테나를 사용하여도 좋다. 안테나는 예를 들어 외부 기기와의 데이터 통신을 할 수 있는 기능을

가진다. 안테나를 통한 전지 팩과 다른 기기 간의 통신 방식으로서는 NFC 등, 전지 팩과 다른 기기 간에서 사용할 수 있는 응답 방식 등을 적용할 수 있다.

[0480] 도 24의 (B)에 도시된 바와 같이, 접속 단자(911)는 반도체 장치(964)를 통하여 이차 전지(963)가 가지는 단자(951) 및 단자(952)에 전기적으로 접속된다. 또한 접속 단자(911)를 복수 제공하여, 복수의 접속 단자(911)의 각각을 제어 신호 입력 단자, 전원 단자 등으로 하여도 좋다.

[0481] 전지 팩은 반도체 장치(964)와 이차 전지(963) 사이에 절연 시트층(916)을 가진다. 절연 시트층(916)은, 예를 들어 이차 전지(963)에 의한 단락을 방지할 수 있는 기능을 가진다. 절연 시트층(916)으로서는 예를 들어 유기 수지 필름이나 접착 시트를 사용할 수 있다.

[0482] 도 24의 (A)에서는, 하우징 표면에 절연 시트층(916)을 제공하고, 반도체 장치(964)가 제공되어 있는 면을 내측으로 하여 가요성 기판을 고정하는 예를 나타내었지만, 특별히 한정되지 않고, 충전 제어 회로가 형성되는 면을 외측으로 하여 단자(951)나 단자(952)와 접속하여도 좋다. 다만 이 경우에는 접속 부분이 노출되기 때문에, 정전 파괴 또는 단락의 위험이 있어, 주의하여 조합하여야 한다.

[0483] 위에서는 가요성 기판에 반도체 장치(964)를 제공하는 예를 나타내었지만, 특별히 한정되지 않고, 동일 기판 위에 보호 회로, 차단용 스위치, 안테나, 센서 등을 제공하여도 좋다. 반도체 장치(964)는 가요성 기판에 형성되어 있고, 굴곡시킬 수 있고, 또한 이차 전지의 마이크로 단락 등의 이상을 검지할 수 있다. 또한, 본 발명의 일 형태의 반도체 장치는 이차 전지의 측면에 제공할 수 있고, 공간 절약 및 사용 부품 개수의 삭감을 실현할 수 있다.

[0484] 본 발명의 일 형태의 전지 제어 회로를 가진 전자 기기의 예에 대하여 도 25를 사용하여 설명한다.

[0485] 로봇 청소기(7000)는 이차 전지, 상면에 배치된 디스플레이, 측면에 배치된 복수의 카메라, 브러시, 조작 버튼, 각종 센서 등을 가진다. 도시하지 않았지만, 로봇 청소기(7000)에는, 타이어, 흡입구 등이 제공되어 있다. 로봇 청소기(7000)는 자율적으로 주행하고, 먼지를 검지하고, 하면에 제공된 흡입구로부터 먼지를 흡인할 수 있다. 로봇 청소기(7000)의 이차 전지에 전기적으로 접속되는 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 사용 부품 개수를 삭감할 수 있고, 또한 이차 전지의 마이크로 단락 등의 이상을 검지할 수 있다.

[0486] 로봇 청소기(7000)는 이차 전지, 조도 센서, 마이크로폰, 카메라, 스피커, 디스플레이, 각종 센서(적외선 센서, 초음파 센서, 가속도 센서, 피에조 센서, 광 센서, 자이로 센서 등), 및 이동 기구 등을 가진다. 로봇 청소기(7000)의 이차 전지에 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 이차 전지의 제어 및 보호 등을 수행할 수 있다.

[0487] 마이크로폰은 사용자의 음성 및 환경 소리 등의 음향 신호를 검지하는 기능을 가진다. 또한 스피커는 음성 및 경고음 등의 오디오 신호를 출력하는 기능을 가진다. 로봇 청소기(7000)는 마이크로폰을 통하여 입력된 오디오 신호를 해석하여, 필요한 오디오 신호를 스피커로부터 발할 수 있다. 로봇 청소기(7000)는 마이크로폰 및 스피커를 사용하여 사용자와 의사소통을 할 수 있다.

[0488] 카메라는 로봇 청소기(7000)의 주위를 촬상하는 기능을 가진다. 또한, 로봇 청소기(7000)는 이동 기구를 사용하여 이동하는 기능을 가진다. 로봇 청소기(7000)는 카메라를 사용하여 주위의 화상을 촬상하고, 화상을 해석하여 이동할 때의 장애물의 유무 등을 검지할 수 있다.

[0489] 비행체(7120)는 프로펠러, 카메라, 및 이차 전지 등을 가지고, 자율적으로 비행하는 기능을 가진다.

[0490] 또한, 비행체(7120)의 이차 전지에 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 경량화에 더하여 이차 전지의 제어 및 보호 등을 수행할 수 있다.

[0491] 전기 자동차(7160)는 이동체의 일례이다. 전기 자동차(7160)는 이차 전지, 타이어, 브레이크, 조타 장치, 카메라 등을 가진다. 전기 자동차(7160)의 이차 전지에 접속되는 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 사용 부품 개수를 삭감할 수 있고, 또한 이차 전지의 마이크로 단락 등의 이상을 검지할 수 있다.

[0492] 또한 위에서는 이동체의 일례로서 전기 자동차에 대하여 설명하였지만, 이동체는 전기 자동차에 한정되지 않는다. 예를 들어, 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등을 들 수도 있고, 이들 이동체의 이차 전지에 전기적으로 접속되는 본 발명의 일 형태의 전지 제어 회로를 탑재

한 반도체 장치를 적용함으로써, 사용 부품 개수를 삭감할 수 있고, 또한 이차 전지의 마이크로 단락 등의 이상을 검지할 수 있다.

[0493] 반도체 장치(810)를 가진 원통형 이차 전지 및/또는 반도체 장치(964)를 가진 전지 팩은 스마트폰(7210), PC(7220)(퍼스널 컴퓨터), 게임기(7240) 등에 제공할 수 있다. 또한, 원통형 이차 전지에 접합된 반도체 장치(810)는 도 23에 도시된 반도체 장치(810)에 상당한다. 또한, 전지 팩에 접합된 반도체 장치(964)는 도 24에 도시된 반도체 장치(964)에 상당한다.

[0494] 스마트폰(7210)은 휴대 정보 단말기의 일례이다. 스마트폰(7210)은 마이크로폰, 카메라, 스피커, 각종 센서, 및 표시부를 가진다. 전지 제어 회로를 탑재한 반도체 장치에 의하여 이들 주변 기기가 제어된다. 스마트폰(7210)의 이차 전지에 전기적으로 접속되는 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 사용 부품 개수를 삭감할 수 있고, 또한 이차 전지의 제어 및 보호 등을 수행할 수 있어 안전성을 높일 수 있다.

[0495] PC(7220)는 노트북형 PC의 예이다. 노트북형 PC의 이차 전지에 전기적으로 접속되는 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 사용 부품 개수를 삭감할 수 있고, 또한 이차 전지의 제어 및 보호 등을 수행할 수 있어 안전성을 높일 수 있다.

[0496] 게임기(7240)는 휴대용 게임기의 일례이다. 게임기(7260)는 가정용 거치형 게임기의 일례이다. 게임기(7260)에는 무선 또는 유선으로 컨트롤러(7262)가 접속되어 있다. 컨트롤러(7262)에 본 발명의 일 형태의 전지 제어 회로를 탑재한 반도체 장치를 적용함으로써, 사용 부품 개수를 삭감할 수 있고, 또한 이차 전지의 제어 및 보호 등을 수행할 수 있어 안전성을 높일 수 있다.

[0497] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0498] (실시형태 11)

[0499] 실시형태 10에서는 플렉시블 필름인 가요성 기관 위에 형성된 반도체 장치를 원통형 이차 전지에 실장시킨 예에 대하여 설명하였지만, 본 실시형태에서는 다른 일례로서, 외장체 내부에 반도체 장치를 전지층과 적층하는 예에 대하여 설명한다. 또한, 도 28에서, 도 17과 동일한 부분에는 같은 부호를 사용하여 설명한다.

[0500] 도 28에 도시된 바와 같이 전지 팩(531)은 각형 외장체를 사용하여 이차 전지(513)가 봉입되어 있다. 또한, 각형 외장체에는 라벨(509)이 접착되어 있다.

[0501] 복수의 전지층(614)이 적층되어 있고, 이들 중 하나의 전지층(614)이 회로층(615)과 적층되고, 이들이 모두 외장체에 봉입되어 있다. 또한, 각형 외장체 내에는 전해액을 봉입하여도 좋고, 폴리머겔 전해질을 사용하여도 좋다.

[0502] 회로층(615)은 전지 제어 회로, 전지 보호 회로 등을 포함하고, 이들 회로는 OS 트랜지스터 등으로 구성되어 있고, 박막화되어 있기 때문에, 전지층(614)과 적층할 수 있다. 예를 들어, 회로층(615)은 전지층(614)의 이상을 검지한 경우에는, 층마다 전류 공급을 차단할 수도 있다. 따라서, 하나의 층에 이상(예를 들어 단락)이 일어나도, 그 하나의 층만을 차단하여, 다른 층을 계속 사용할 수도 있다.

[0503] 전지층(614)은 양극, 세퍼레이터, 고체 전해질, 또는 음극으로부터 선택되는 적어도 하나 또는 복수의 적층체를 가리킨다. 또한, 양극 또는 음극은 집전체에 활물질을 형성한 것이다.

[0504] 전지층(614)은 고체 전해질을 사용하는 경우, 세퍼레이터나 스페이서의 설치가 불필요하다. 또한 전지 전체를 고체화할 수 있기 때문에, 누액될 우려가 없어져 안전성이 비약적으로 향상된다.

[0505] 도 28에 도시된 전지 팩(531)은 오프 전류가 작은 OS 트랜지스터 전지 제어 회로, 전지 보호 회로 등을 내장하기 때문에, 마이크로 단락 검출 등의 이상 검지가 가능하다. 회로층(615)은 전지 제어 회로, 전지 보호 회로 등을 포함하고, 이들 회로는 OS 트랜지스터 등으로 구성되어 있고, 박막화 및 경량화되어 있기 때문에, 전지 유닛의 디자인성 향상이나, 주변 회로의 소형화를 할 수 있다.

[0506] 또한, 도 28에 도시된 전지 팩(531)은 보호 회로 등을 내장하기 때문에, 보호 회로를 위한 인쇄 기판이 불필요하다.

[0507] 또한, 본 실시형태는 다른 실시형태와 자유로이 조합할 수 있다.

[0508] (실시형태 12)

- [0509] 본 실시형태에서는, 기관 위에 본 발명의 일 형태의 축전 장치의 구성을 제공하는 일례를 나타낸다.
- [0510] 도 29에는, 실리콘 웨이퍼 위에 형성된 OS 트랜지스터를 사용하여 구성된 본 발명의 일 형태의 전지 제어 회로의 기능을 가지는 칩의 사진을 나타내었다. 칩의 크기는 1변이 4mm이다. 도 29에 도시된 전지 제어 회로는 실리콘 웨이퍼 위에 형성되어 있지만, 실리콘 웨이퍼로부터 박리하여 필름 위로 전지하는 경우에는, 플렉시블 회로의 구성으로 할 수 있다.
- [0511] 도 29에 도시된 전지 제어 회로는 앞의 실시형태에서 설명한 예를 적용한 구성을 가지고, 셀 밸런스 회로, 과충전 및 과방전을 검출하는 기능을 가지는 회로, 과전류를 검출하는 기능을 가지는 회로, 마이크로 단락을 검출하는 기능을 가지는 회로, 온도 센서, 디코더 등을 가진다.
- [0512] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0513] (본 명세서 등의 기재에 관한 부기)
- [0514] 앞의 실시형태 및 실시형태에서의 각 구성의 설명에 대하여 이하에서 부기한다.
- [0515] 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 제시되는 경우에는 구성예를 적절히 조합할 수 있다.
- [0516] 또한 어떤 하나의 실시형태에서 기재하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음) 및/또는 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음)에 대하여 적용, 조합, 또는 치환 등을 수행할 수 있다.
- [0517] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0518] 또한 어떤 하나의 실시형태에서 설명하는 도면(일부이어도 좋음)은, 그 도면의 다른 부분, 그 실시형태에서 설명하는 다른 도면(일부이어도 좋음), 및/또는 하나 또는 복수의 다른 실시형태에서 설명하는 도면(일부이어도 좋음)과 조합함으로써, 더 많은 도면을 구성할 수 있다.
- [0519] 또한 본 명세서 등에서 블록도에서는 구성 요소를 기능마다 분류하고, 서로 독립적인 블록으로서 나타내었다. 그러나 실제의 회로 등에서는, 구성 요소를 기능마다 분류하기가 어려우므로, 하나의 회로에 복수의 기능이 관련되는 경우나, 복수의 회로에 하나의 기능이 관련되는 경우가 있을 수 있다. 따라서 블록도의 블록은, 명세서에서 설명한 구성 요소에 한정되지 않고, 상황에 따라 적절히 환언할 수 있다.
- [0520] 또한 도면에서 크기, 층의 두께, 또는 영역은 설명의 편의상 임의의 크기로 나타낸 것이다. 따라서 반드시 그 스케일에 한정되지 않는다. 또한 도면은 명확성을 위하여 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈로 인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0521] 본 명세서 등에서 트랜지스터의 접속 관계를 설명하는 경우, '소스 및 드레인 중 한쪽'(또는 제 1 전극 또는 제 1 단자), 소스 및 드레인 중 다른 쪽에는 '소스 및 드레인 중 다른 쪽'(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 이는, 트랜지스터의 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한 트랜지스터의 소스와 드레인의 호칭에 대해서는 소스(드레인) 단자나 소스(드레인) 전극 등, 상황에 따라 적절히 환언할 수 있다.
- [0522] 또한 본 명세서 등에서 '전극'이나 '배선'이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 '전극'은 '배선'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '전극'이나 '배선'이라는 용어는, 복수의 '전극'이나 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0523] 또한 본 명세서 등에서 전압과 전위는 적절히 환언할 수 있다. 전압은 기준이 되는 전위로부터의 전위차를 가리키고, 예를 들어 기준이 되는 전위를 그라운드 전압으로 하면, 전압을 전위로 환언할 수 있다. 그라운드 전위는 반드시 0V를 뜻하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 공급되는 전위를 변화시키는 경우가 있다.
- [0524] 또한 본 명세서 등에서 '막', '층' 등이라는 말은, 경우에 따라 또는 상황에 따라 서로 교체할 수 있다. 예를 들어 '도전층'이라는 용어를 '도전막'이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 변경할 수 있는 경우가 있다.

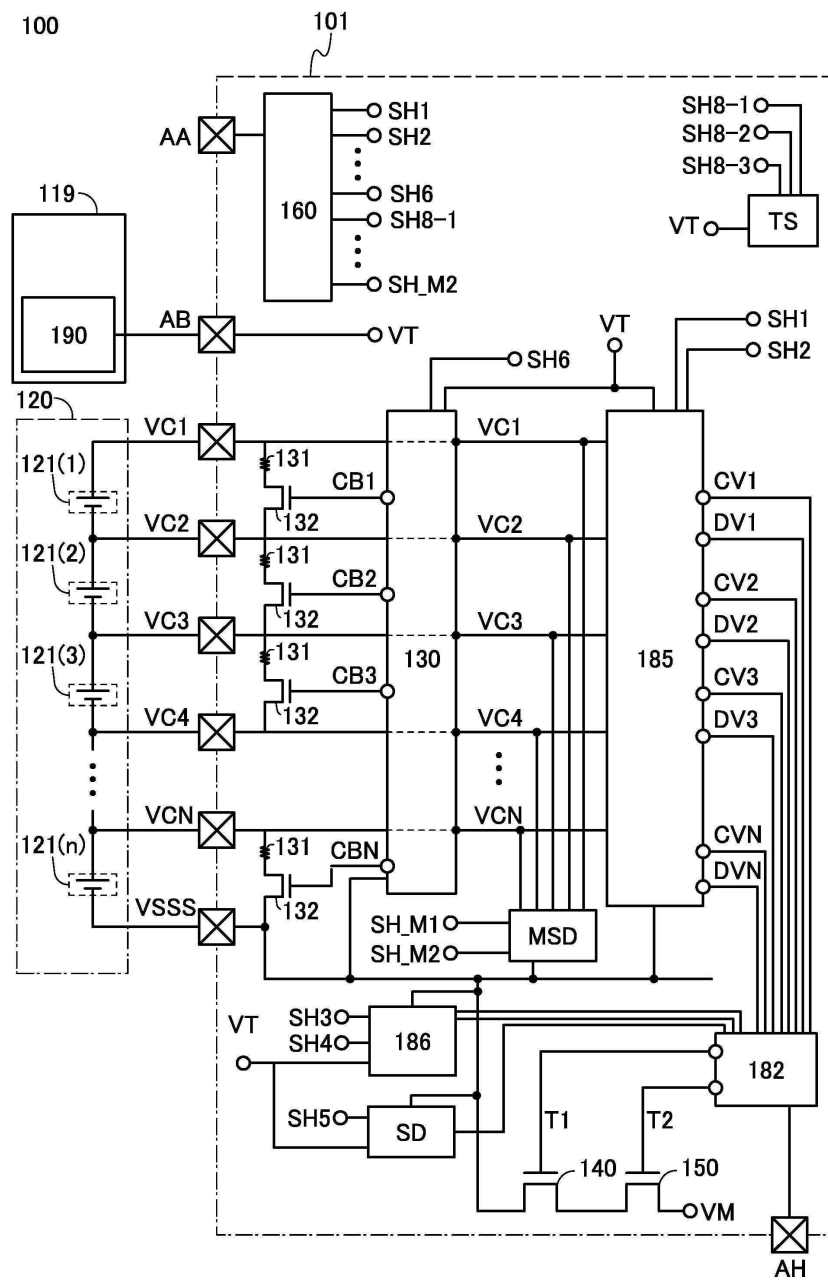
- [0525] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다.
- [0526] 본 명세서 등에서 채널 길이란 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트가 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다.
- [0527] 본 명세서 등에서 채널 폭이란 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 대향하는 부분의 길이를 말한다.
- [0528] 본 명세서 등에서, A와 B가 접속되어 있다고 하는 것은, A와 B가 직접 접속되어 있는 것 외에, 전기적으로 접속되어 있는 것을 포함하는 것으로 한다. 여기서, A와 B가 전기적으로 접속되어 있다는 것은, A와 B 사이에 어떤 전기적 작용을 가지는 대상물이 존재할 때, A와 B 사이에서 전기 신호를 주고받을 수 있게 하는 것을 말한다.

### 부호의 설명

- [0529] 90: NAND 회로, 100: 축전 장치, 101: 전지 제어 회로, 113: 콤퍼레이터, 114: 기억 소자, 120: 조전지, 121: 전지 셀, 121(1): 전지 셀, 121(2): 전지 셀, 121(3): 전지 셀, 121(k): 전지 셀, 121(n): 전지 셀, 161: 용량 소자, 162: 트랜지스터, 119: 전압 생성 회로, 130: 셀 밸런스 회로, 130(1): 셀 밸런스 회로, 130(2): 셀 밸런스 회로, 130(k): 셀 밸런스 회로, 130(n): 셀 밸런스 회로, 131: 저항 소자, 132: 트랜지스터, 140: 트랜지스터, 150: 트랜지스터, 160: 디코더, 172: 트랜지스터, 182: 논리 회로, 185: 검출 회로, 185c: 회로, 185d: 회로, 185(1): 검출 회로, 185(2): 검출 회로, 185(k): 검출 회로, 185(n): 검출 회로, 186: 검출 회로, 190: 디지털 아날로그 변환 회로

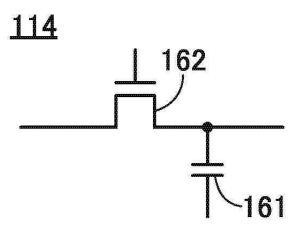
도면

도면1

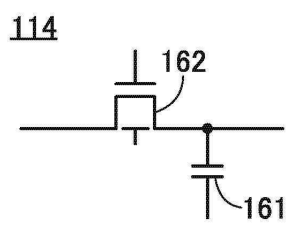


도면2

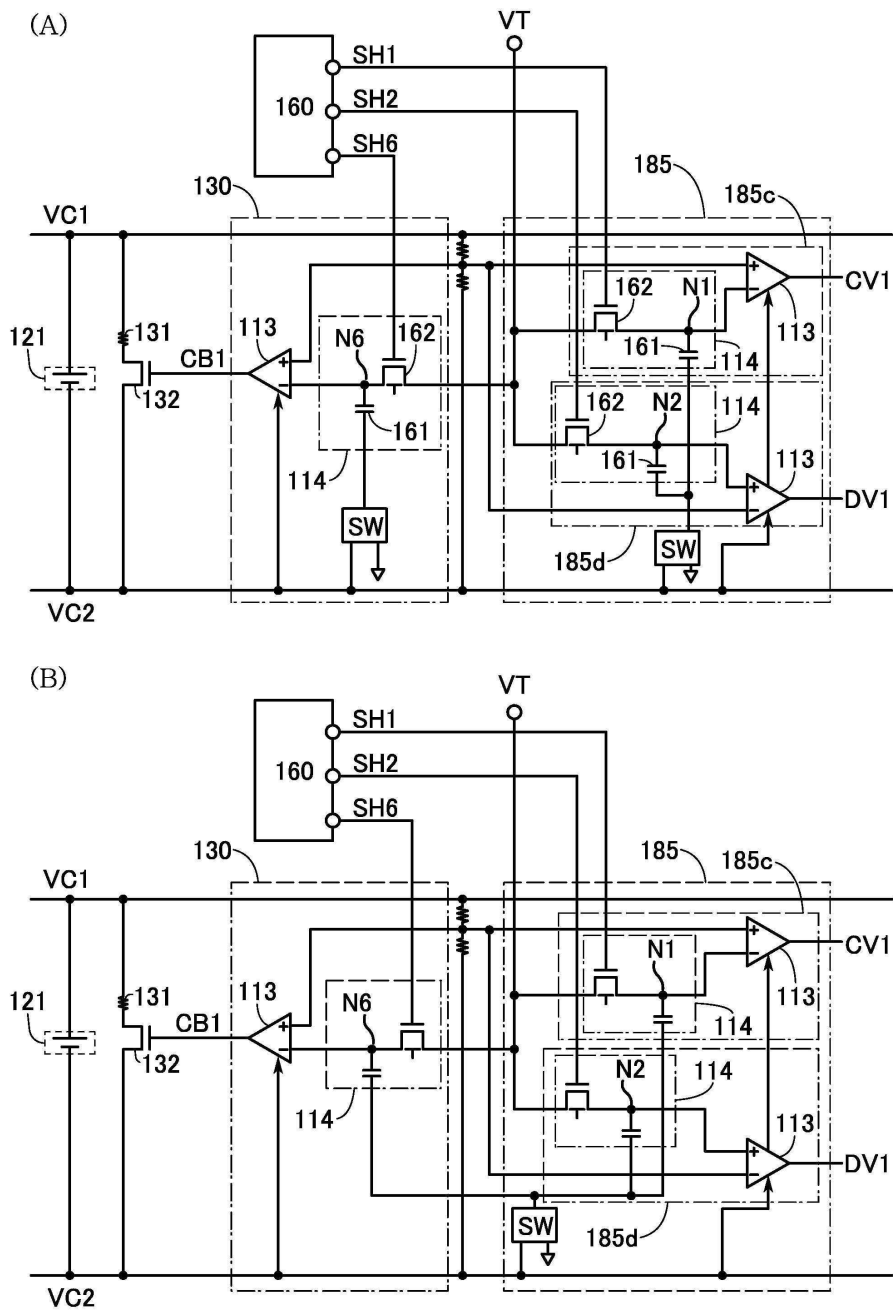
(A)



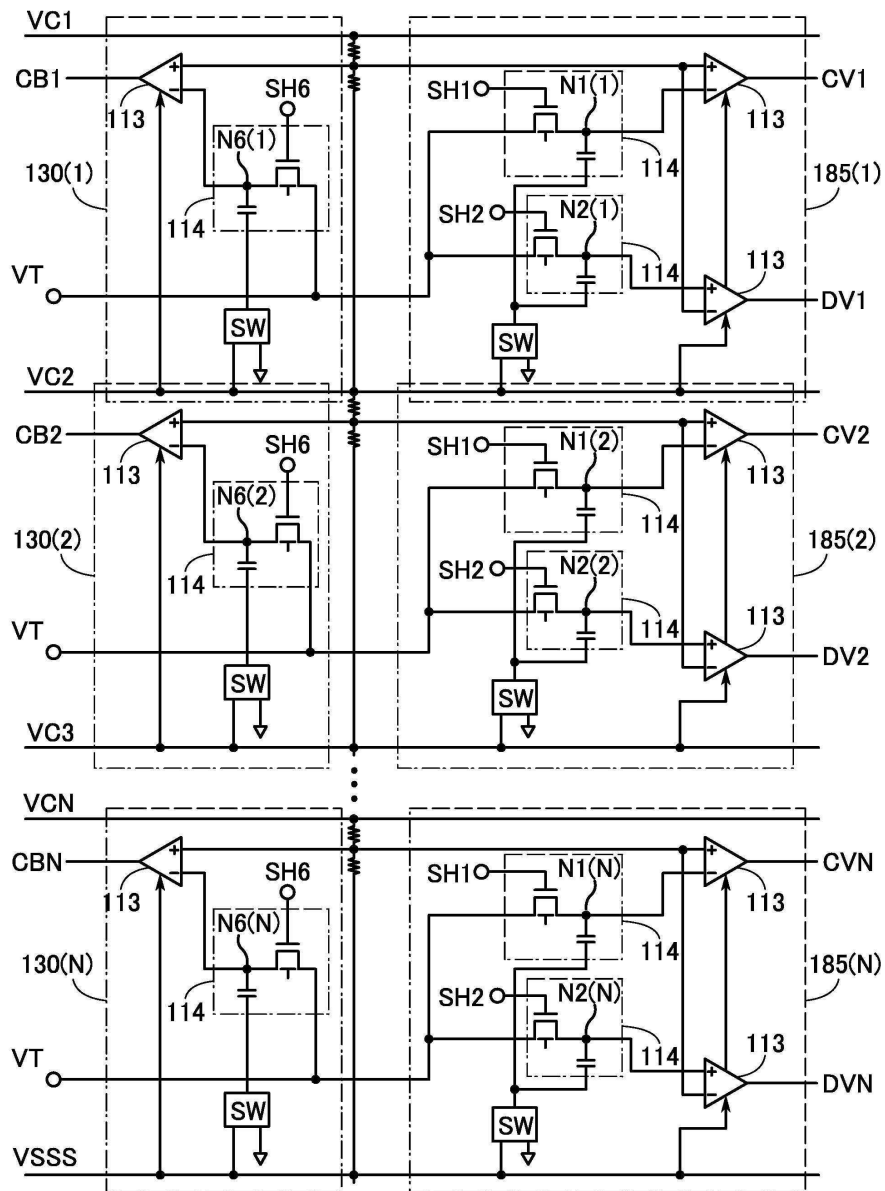
(B)



도면3

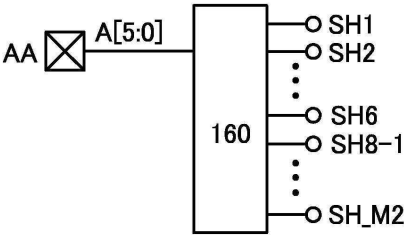


도면4

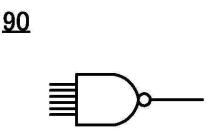


도면5

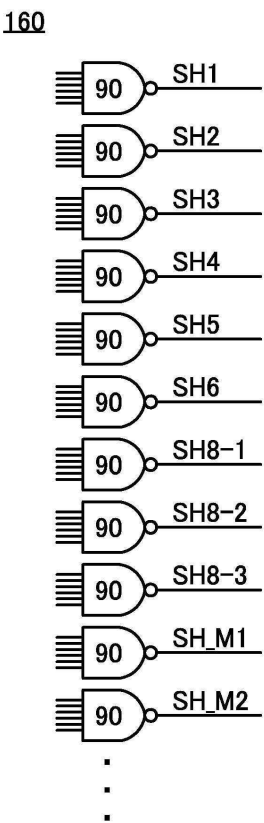
(A)



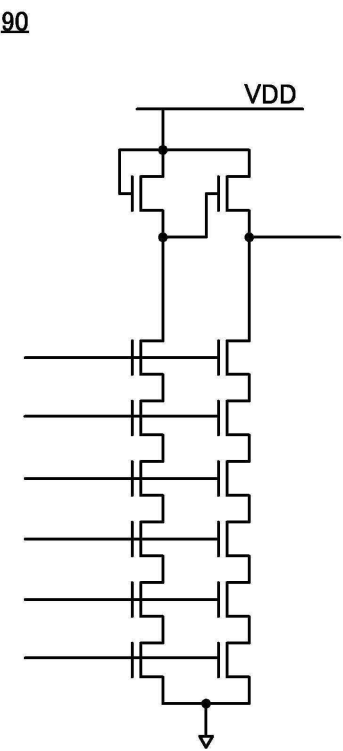
(B)



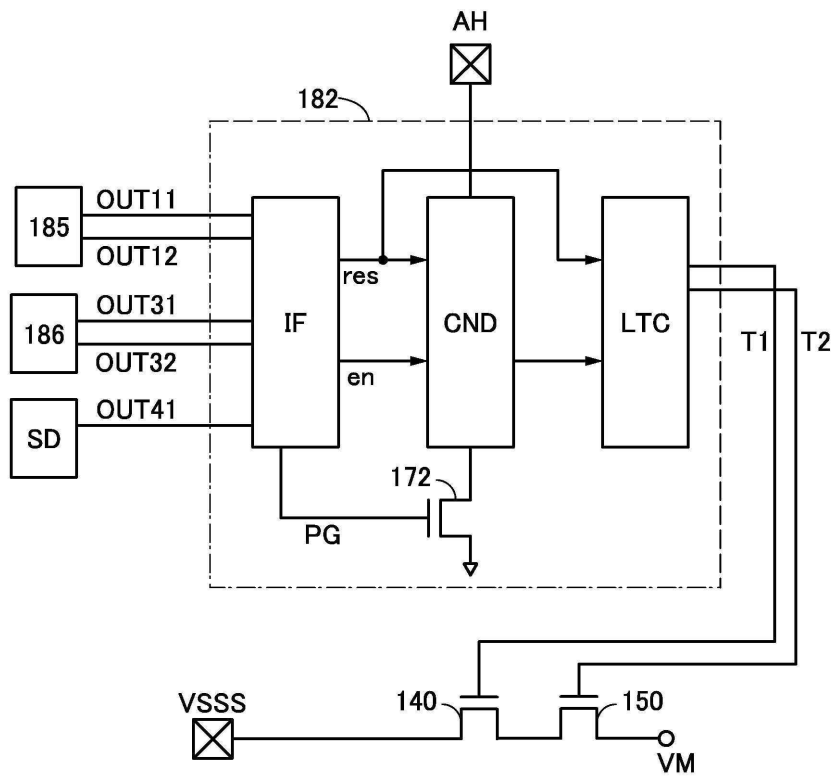
(C)



(D)



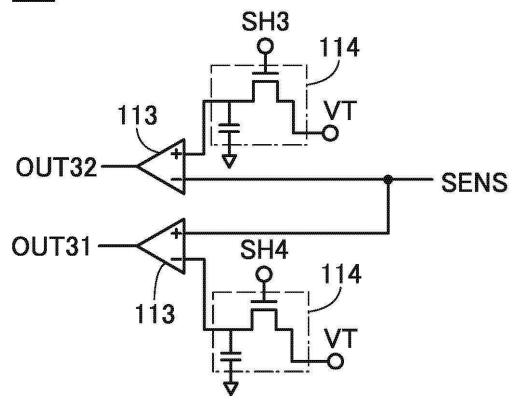
도면6



도면7

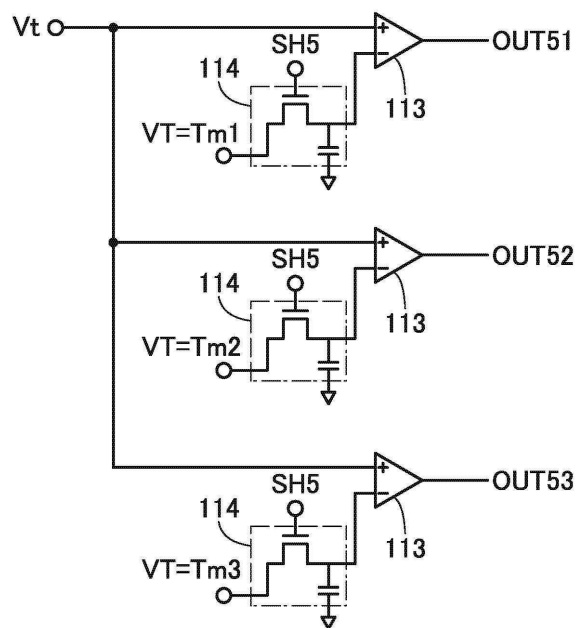
(A)

186



(B)

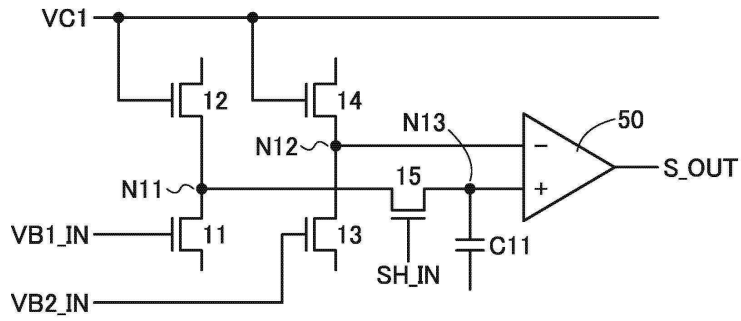
IS



도면8

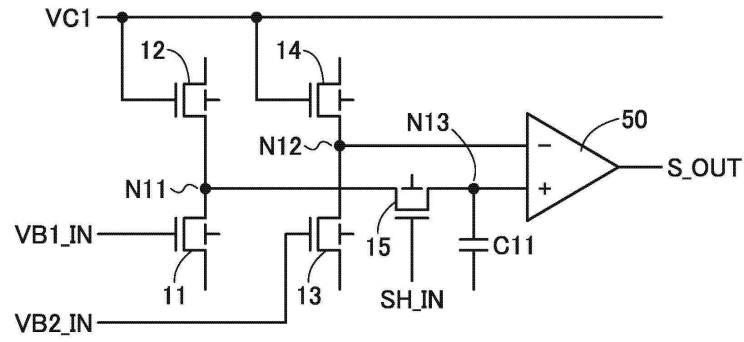
(A)

MSD



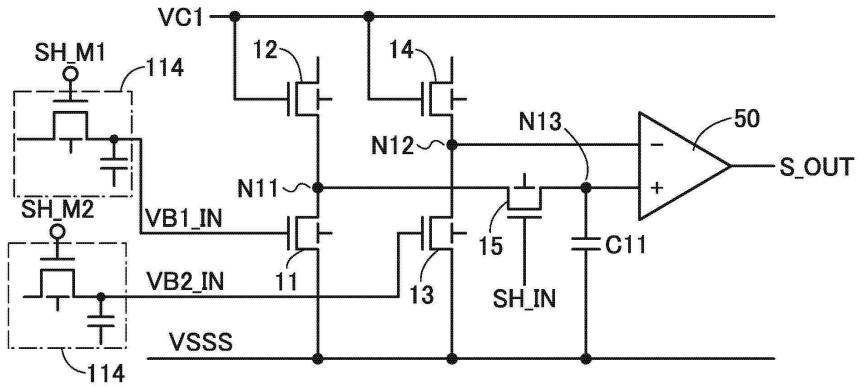
(B)

MSD



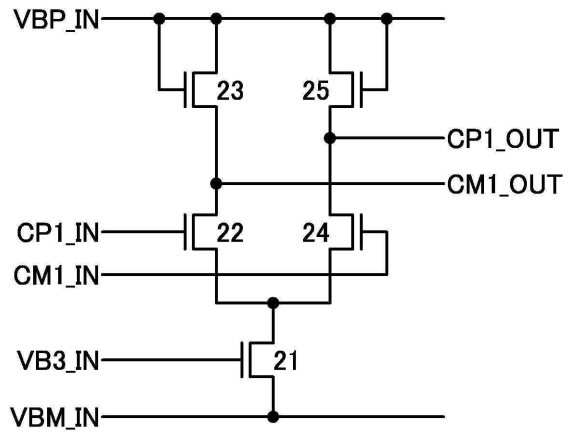
(C)

MSD

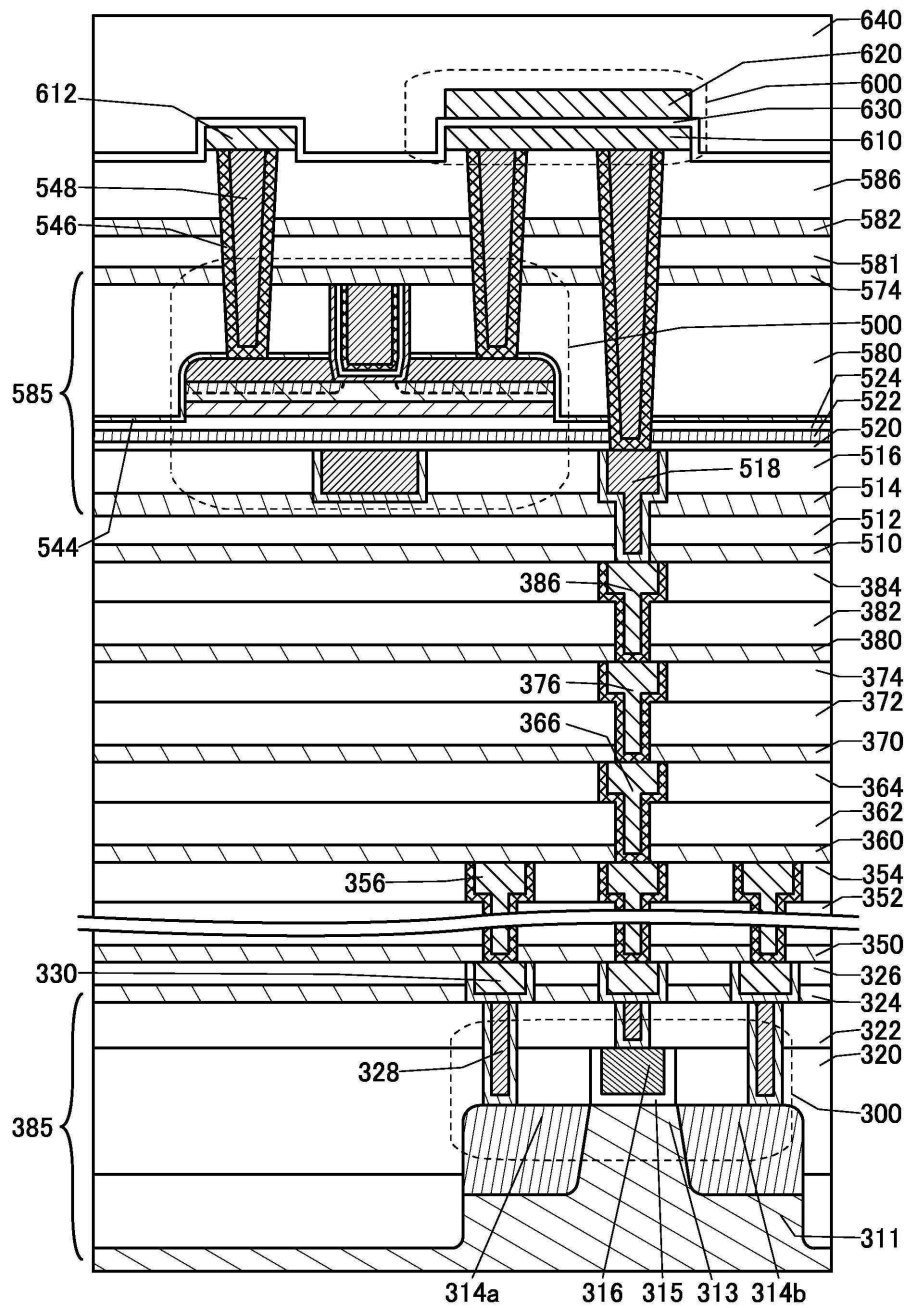


도면9

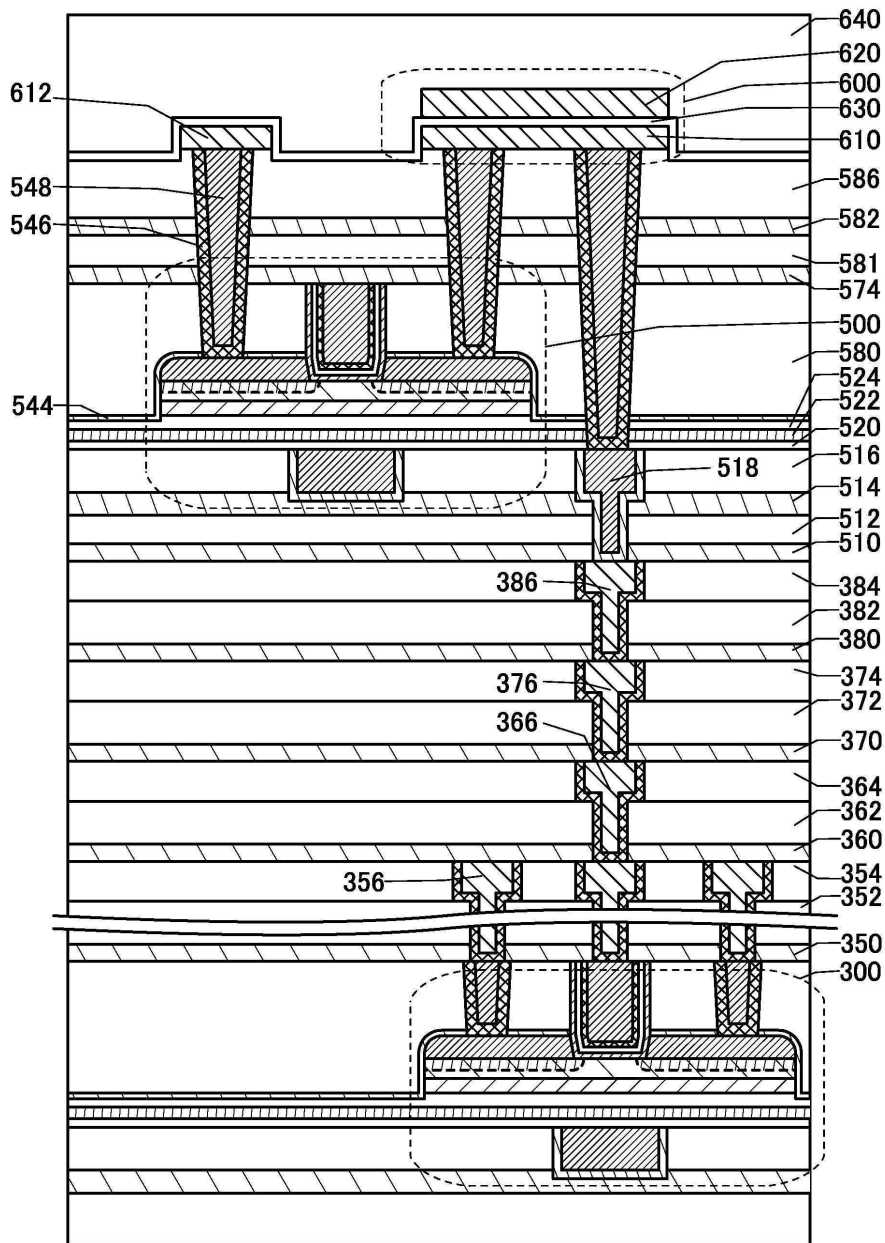
50



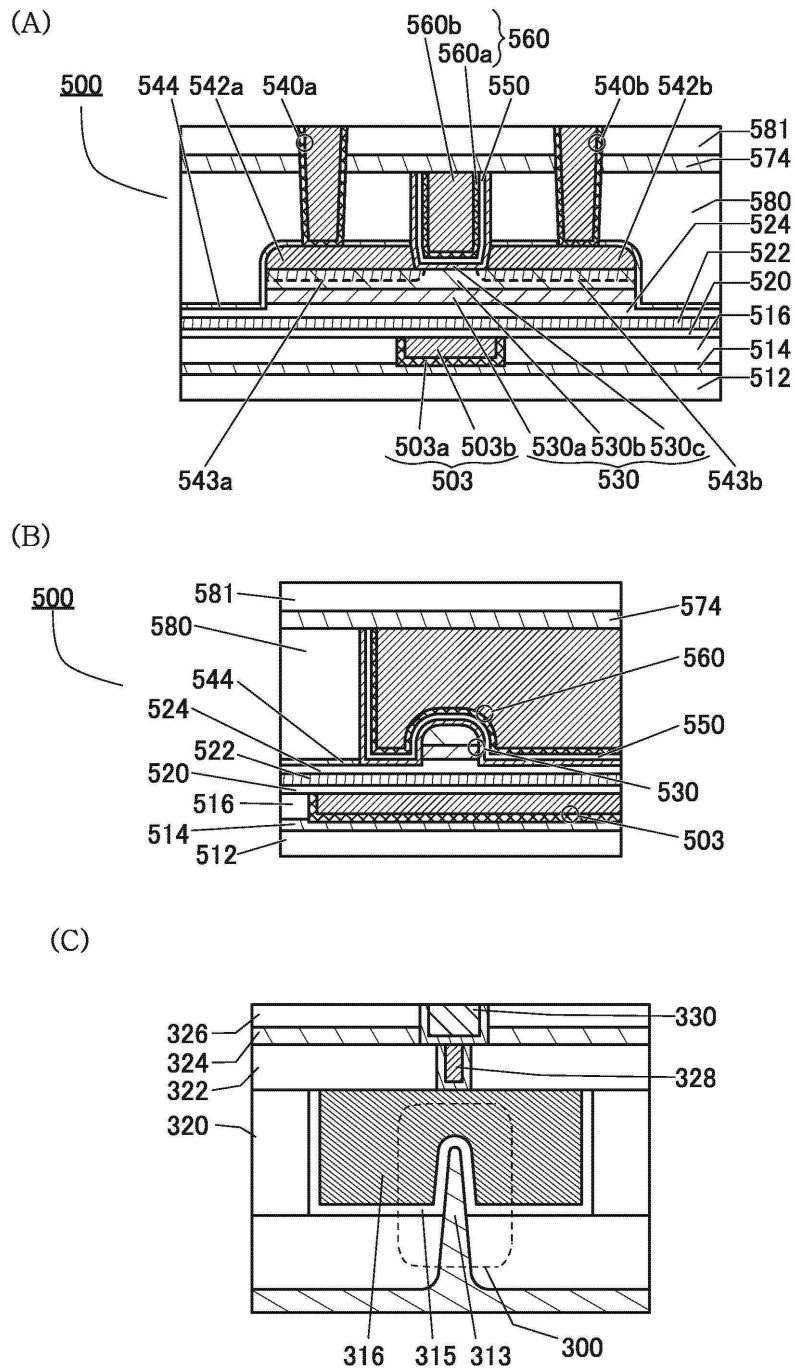
도면10



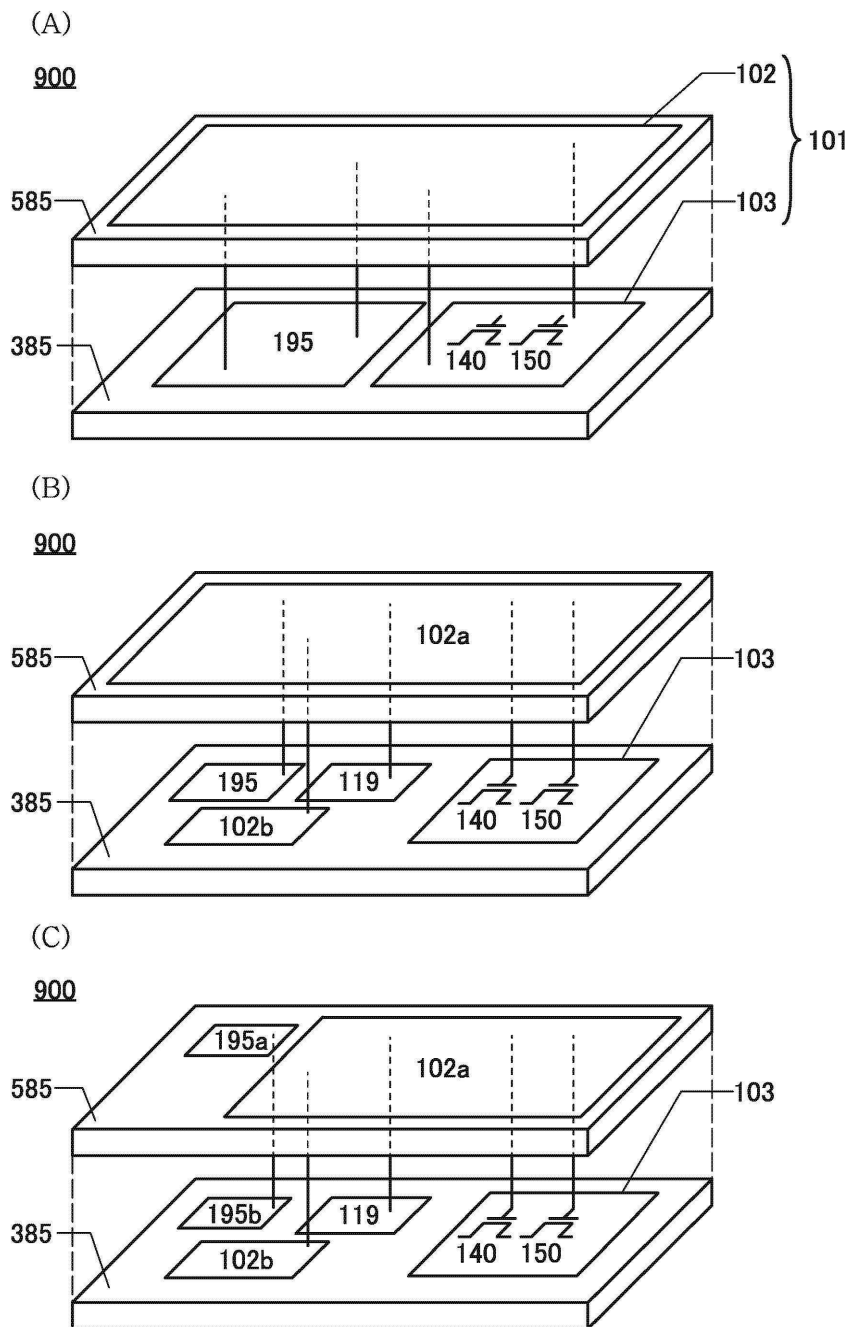
도면11



도면12



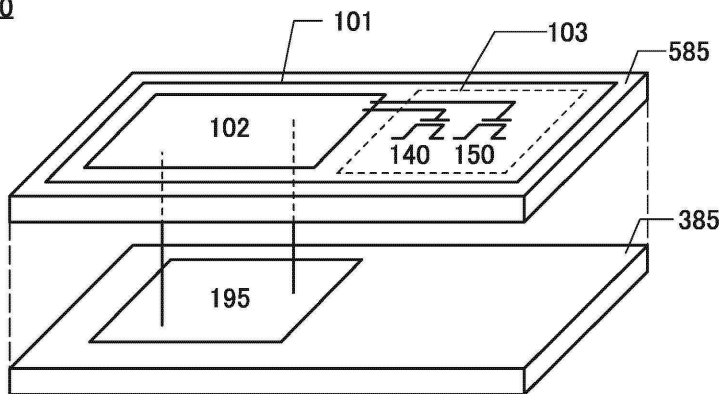
도면13



도면14

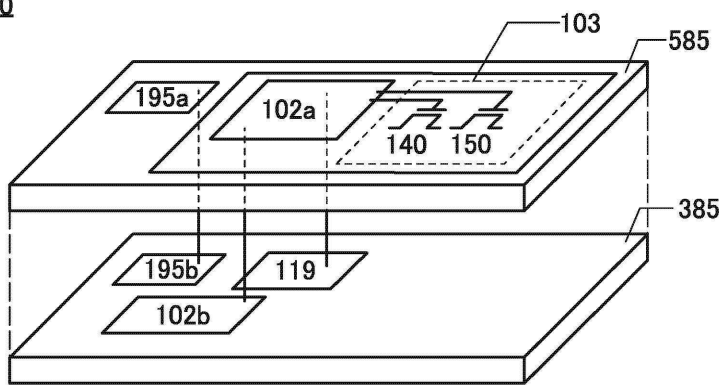
(A)

900



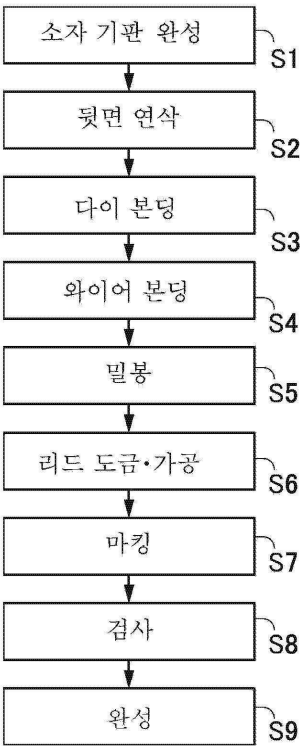
(B)

900

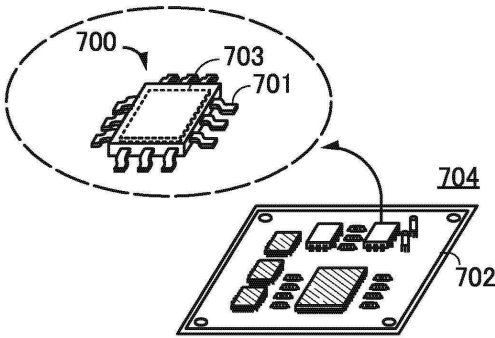


도면15

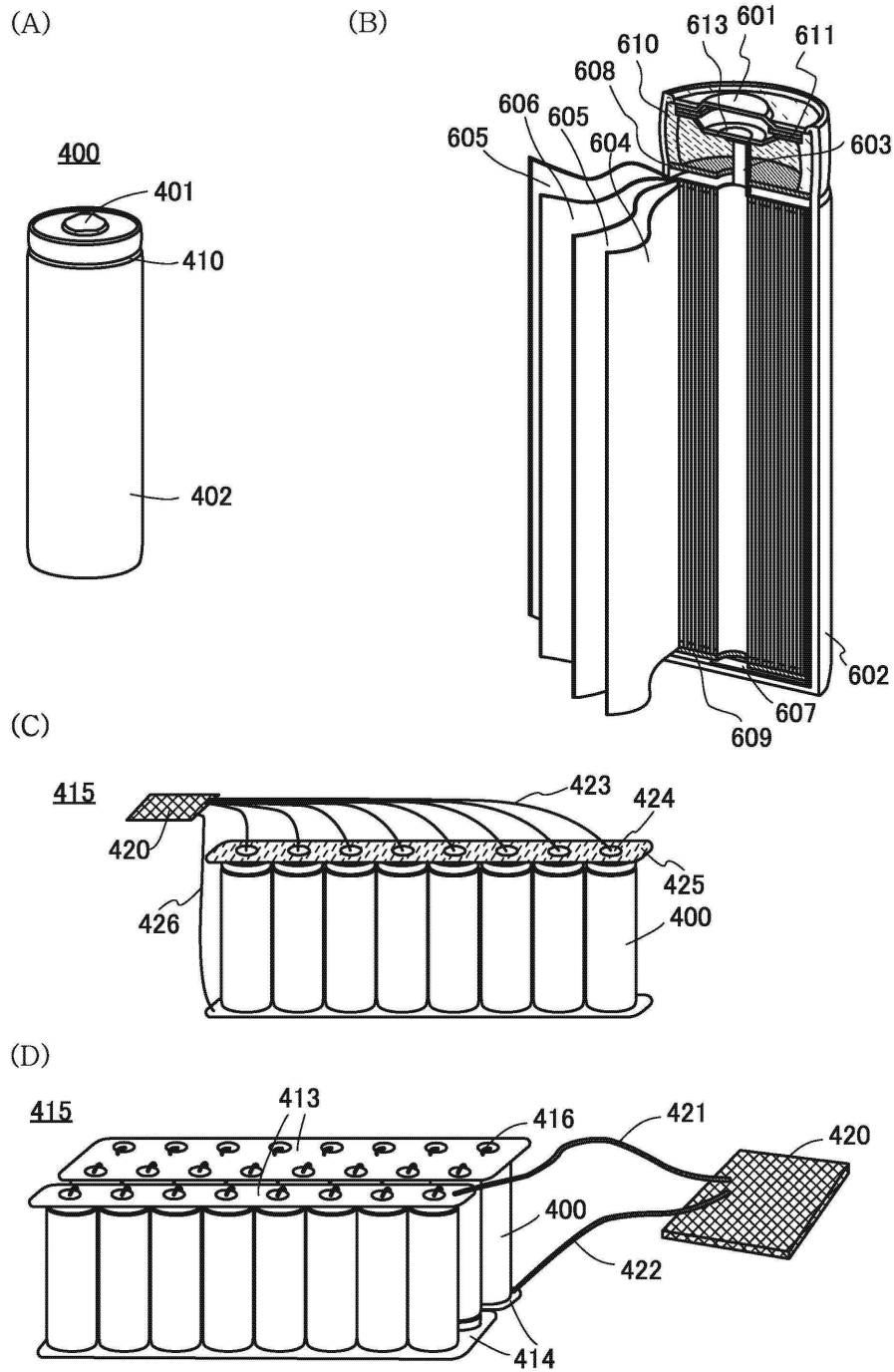
(A)



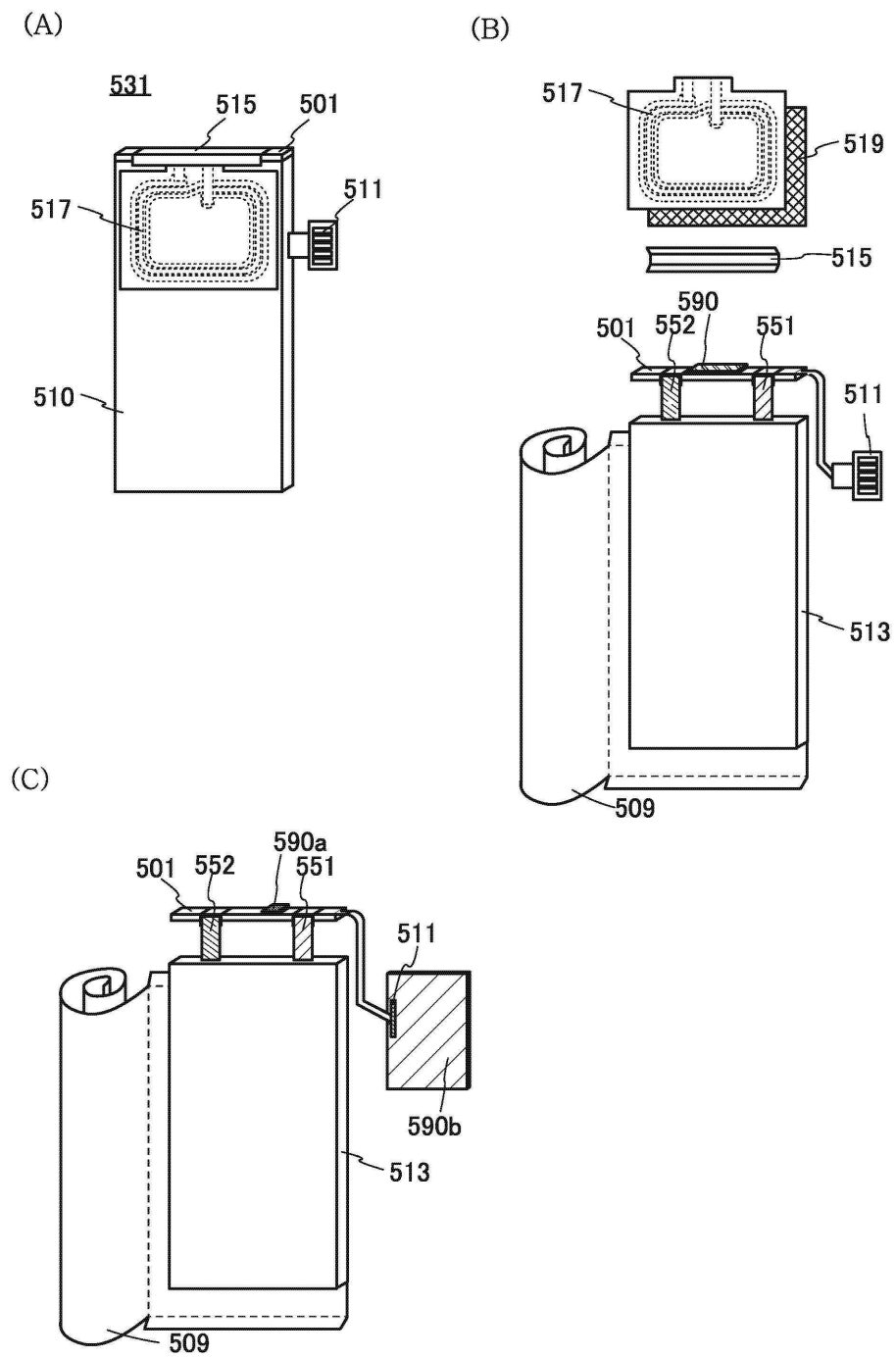
(B)



도면16

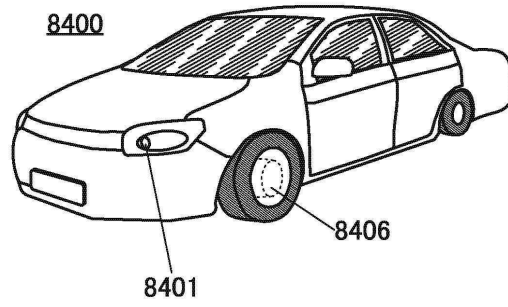


도면17

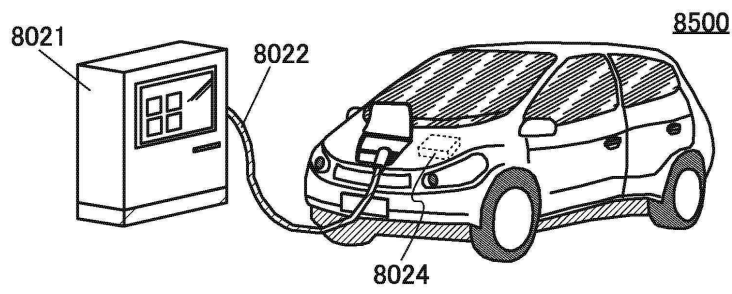


도면18

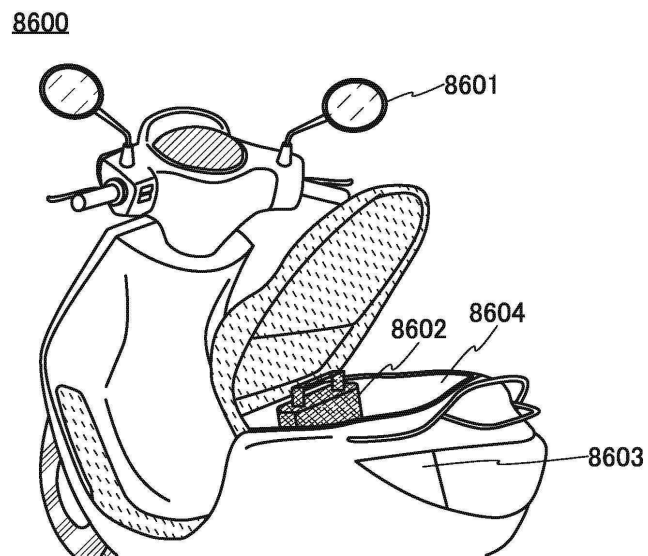
(A)



(B)

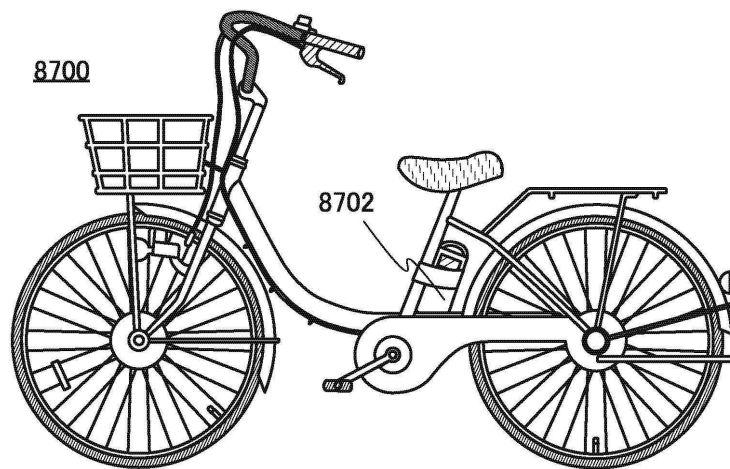


(C)

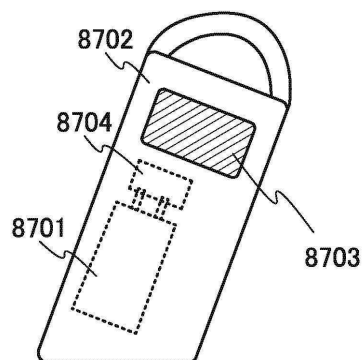


도면19

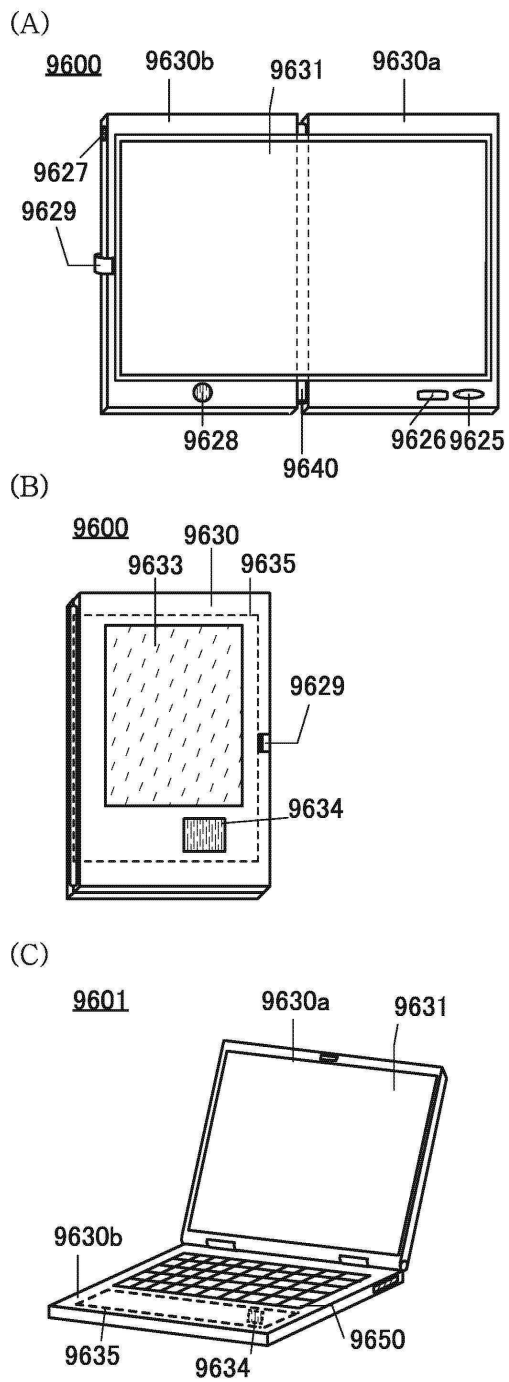
(A)



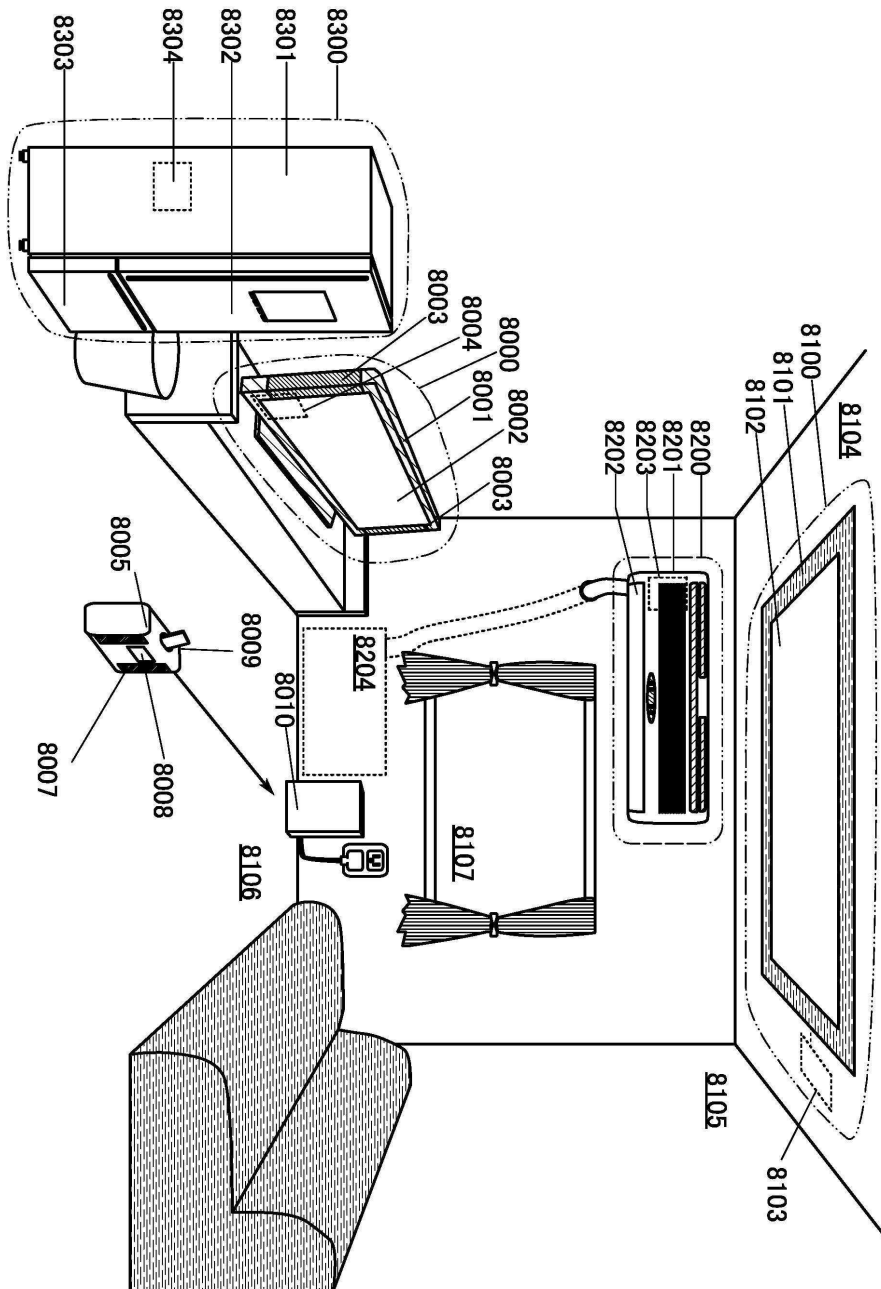
(B)



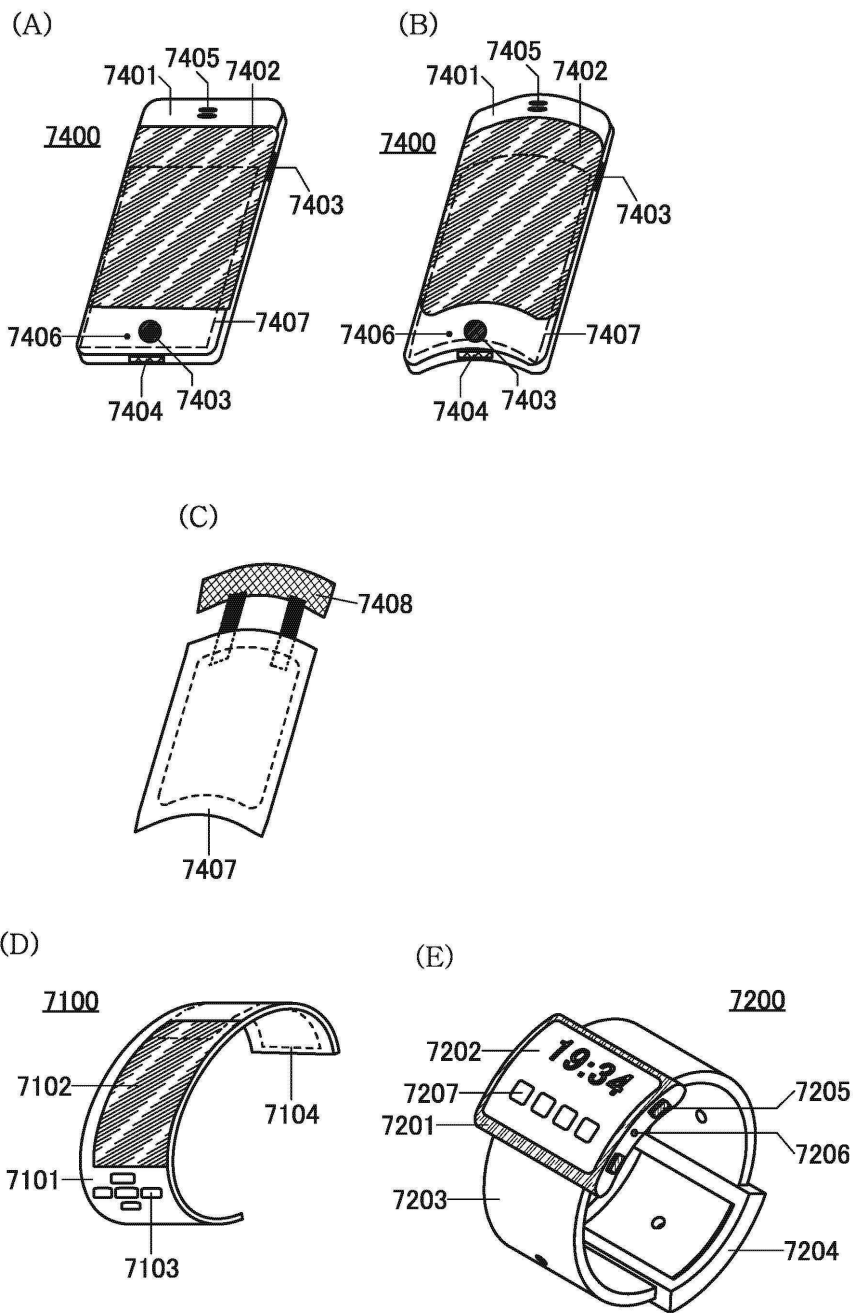
도면20



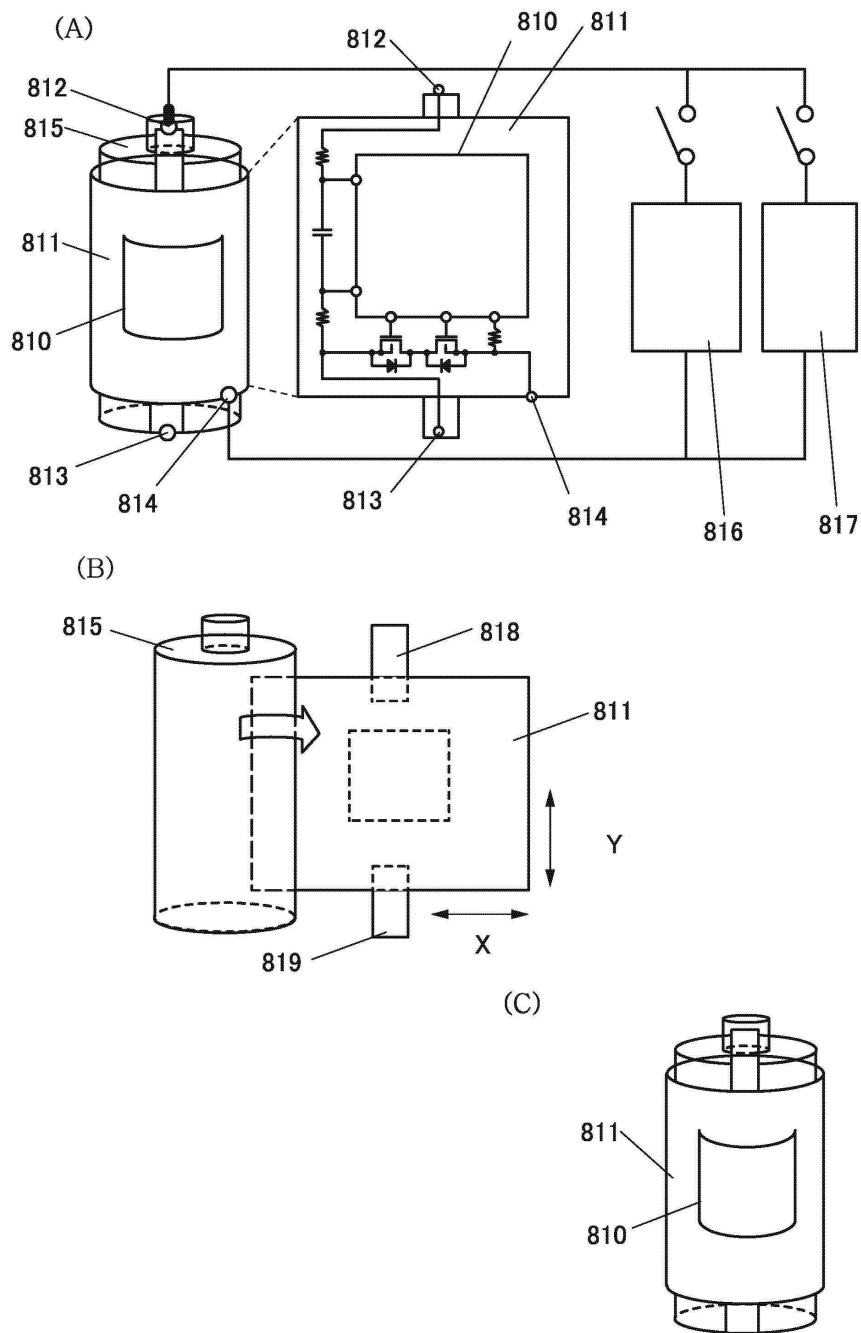
도면21



도면22

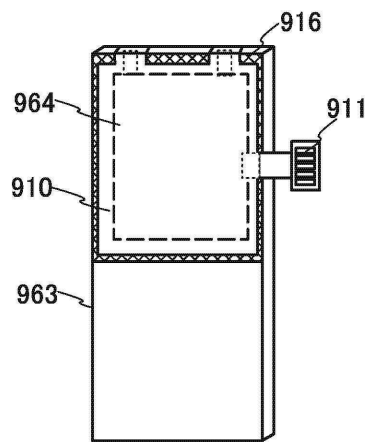


도면23

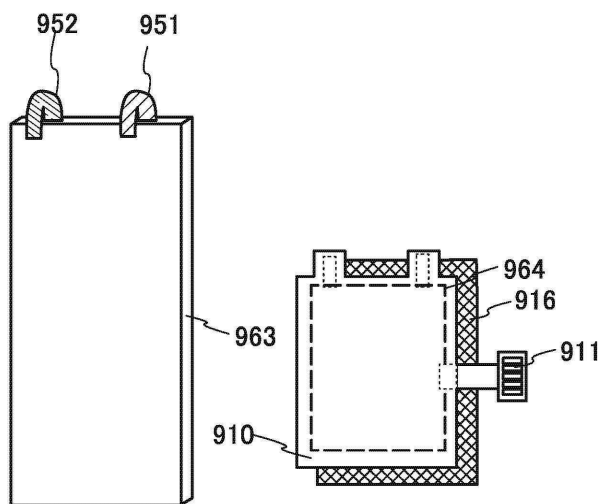


도면24

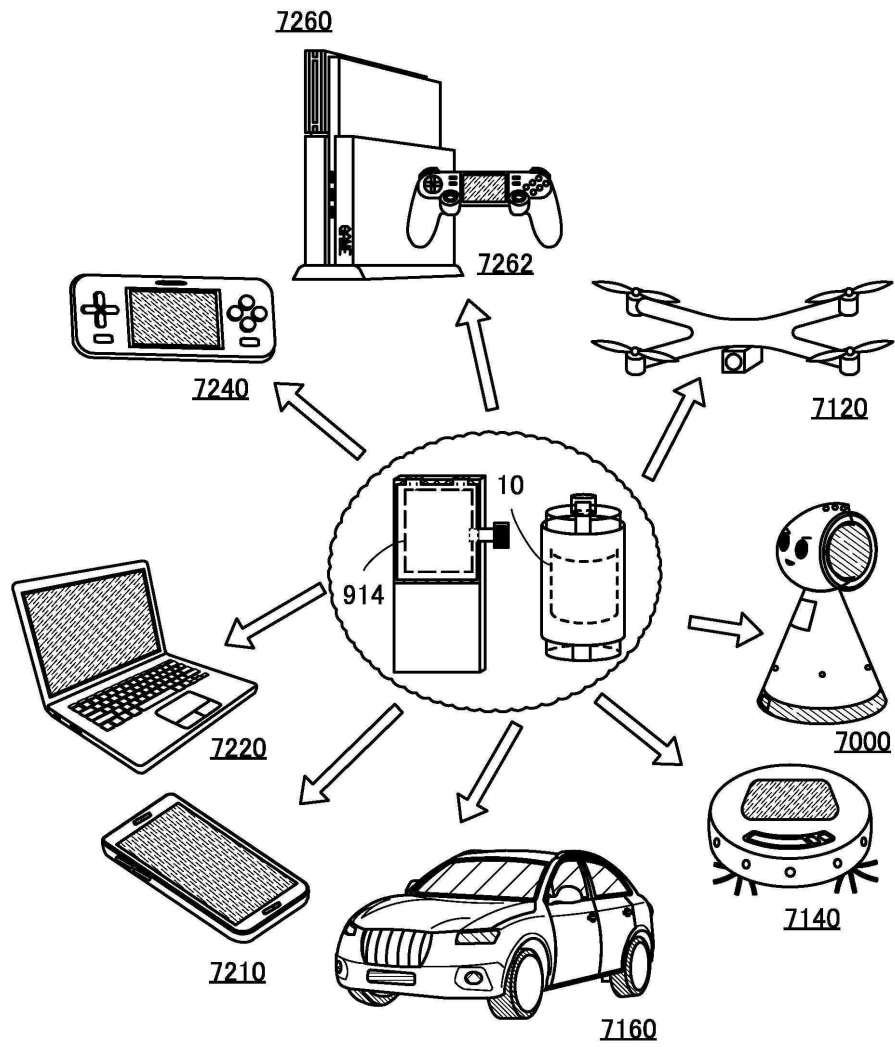
(A)



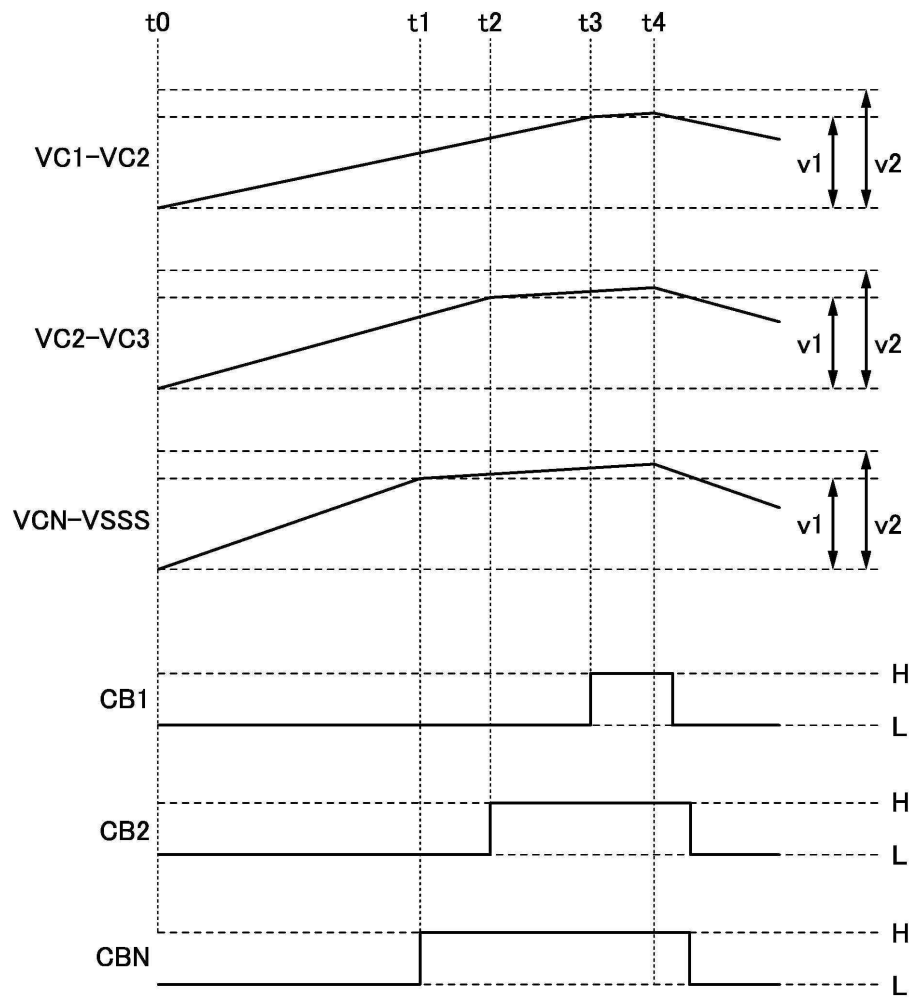
(B)



도면25

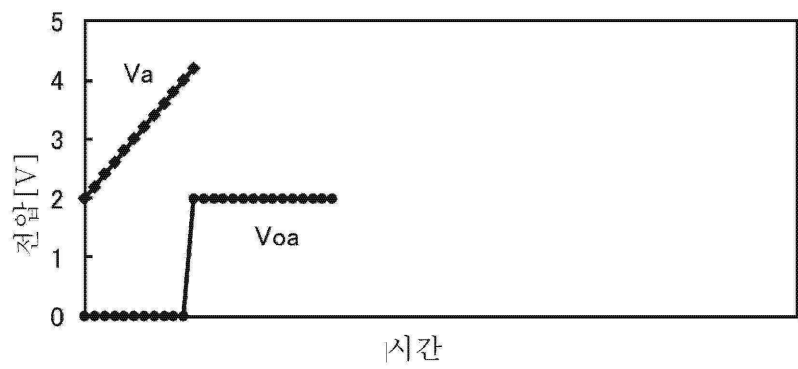


도면26

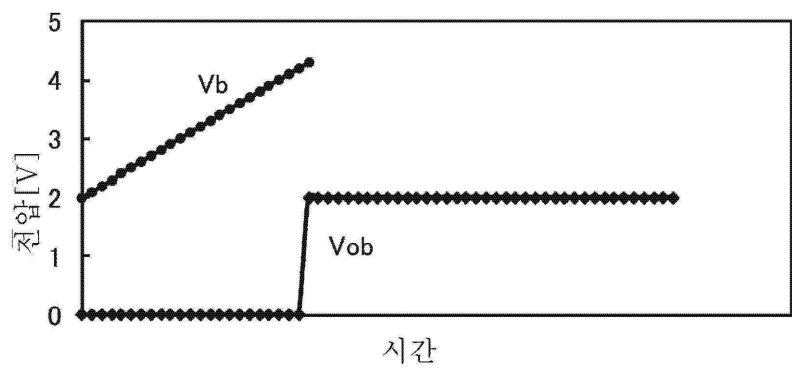


도면27

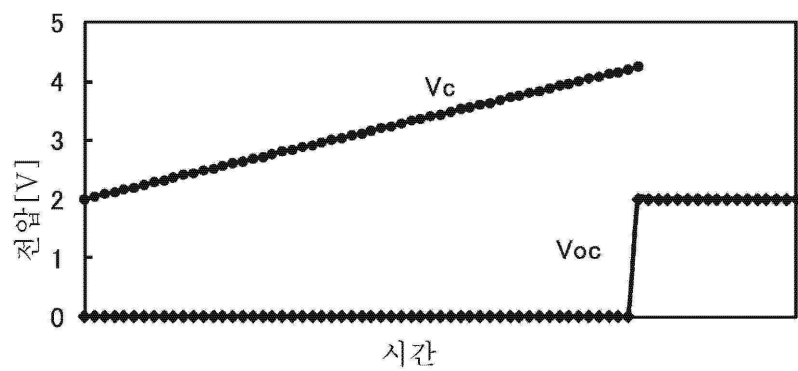
(A)



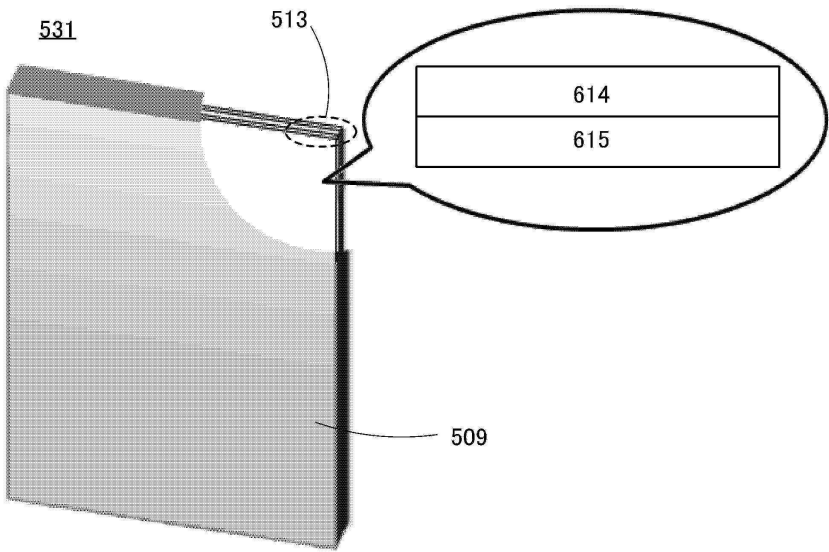
(B)



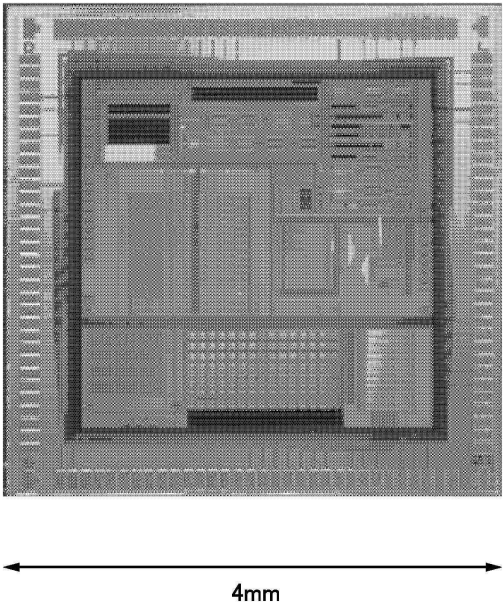
(C)



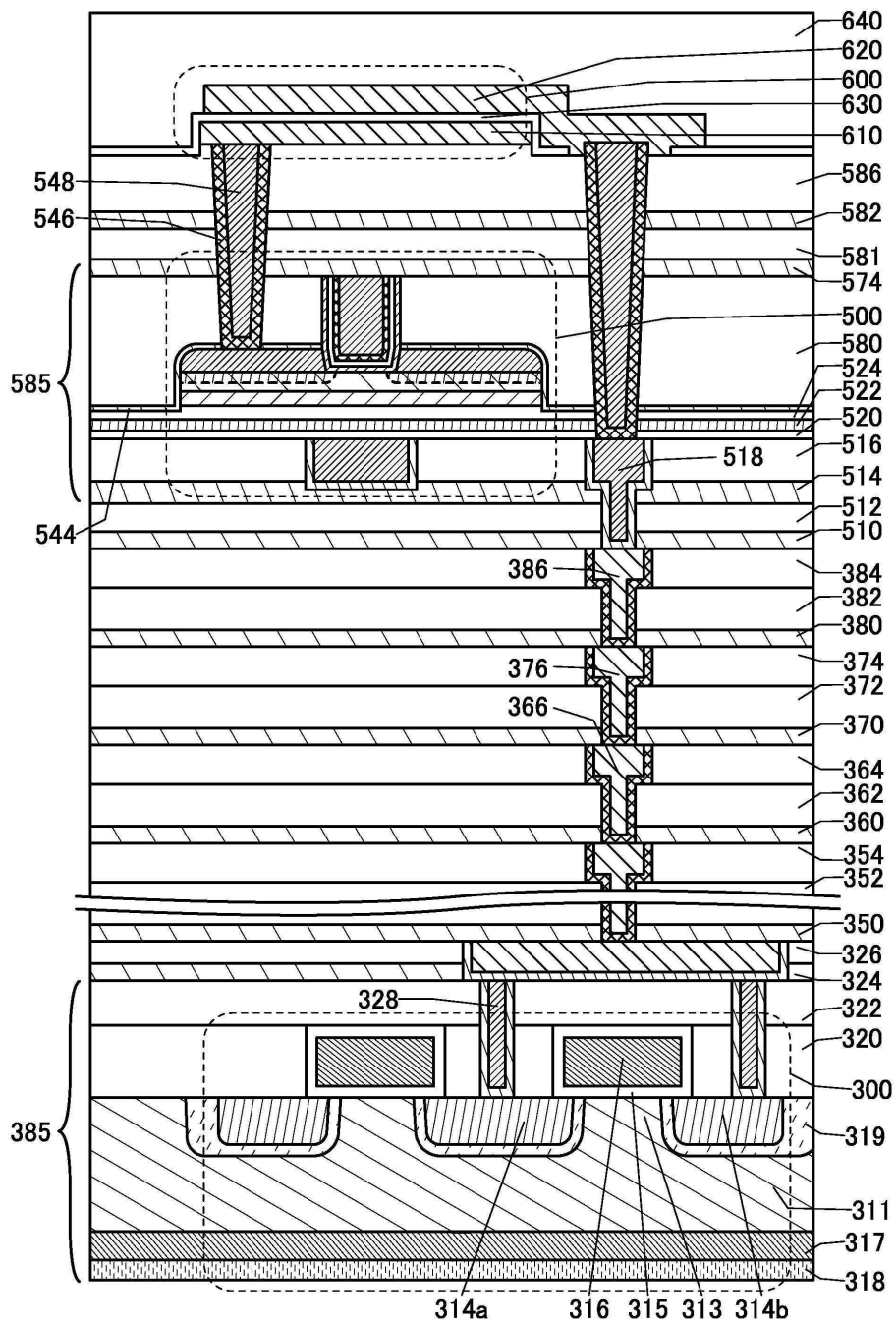
도면28



도면29

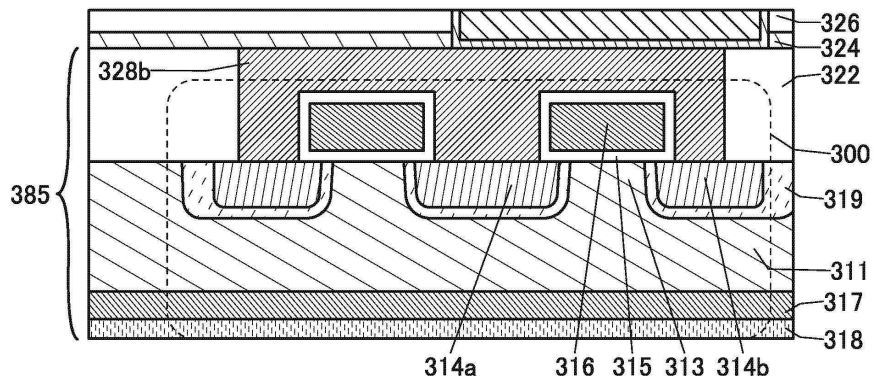


도면30

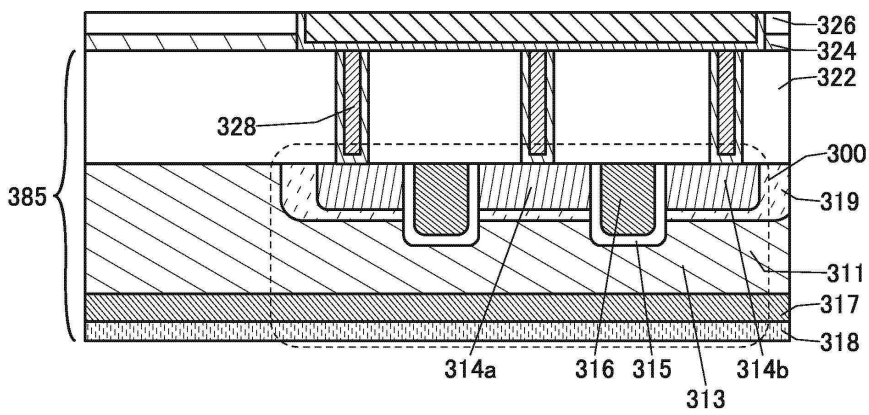


도면31

(A)



(B)



(C)

