



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년10월04일

(11) 등록번호 10-2712552

(24) 등록일자 2024년09월26일

(51) 국제특허분류(Int. Cl.)
H03K 5/1252 (2006.01) **G01R 19/25** (2006.01)
G09G 3/00 (2006.01)

(52) CPC특허분류
H03K 5/1252 (2013.01)
G01R 19/25 (2021.05)

(21) 출원번호 10-2022-7038666

(22) 출원일자(국제) 2021년03월03일
 심사청구일자 2022년11월03일

(85) 번역문제출일자 2022년11월03일

(65) 공개번호 10-2022-0162790

(43) 공개일자 2022년12월08일

(86) 국제출원번호 PCT/CN2021/078953

(87) 국제공개번호 WO 2021/203875
 국제공개일자 2021년10월14일

(30) 우선권주장
 202010272031.8 2020년04월08일 중국(CN)

(56) 선행기술조사문헌
 JP02067813 A*
 (뒷면에 계속)

(73) 특허권자
 칩원 테크놀로지(베이징) 컴퍼니 리미티드
 중국, 베이징, 베이징 이코노믹 테크놀로지컬 디벨롭먼트 아리아, 노스 징 유안 스트리트, 넘버2, 빌딩 56

(72) 발명자
 리, 진보
 중국 100176 베이징 베이징 이코노믹 테크놀로지컬 디벨롭먼트 에어리어, 노스 징 위안 스트리트 넘버 2 빌딩 56

(74) 대리인
 양영준, 임규빈, 백만기

전체 청구항 수 : 총 15 항

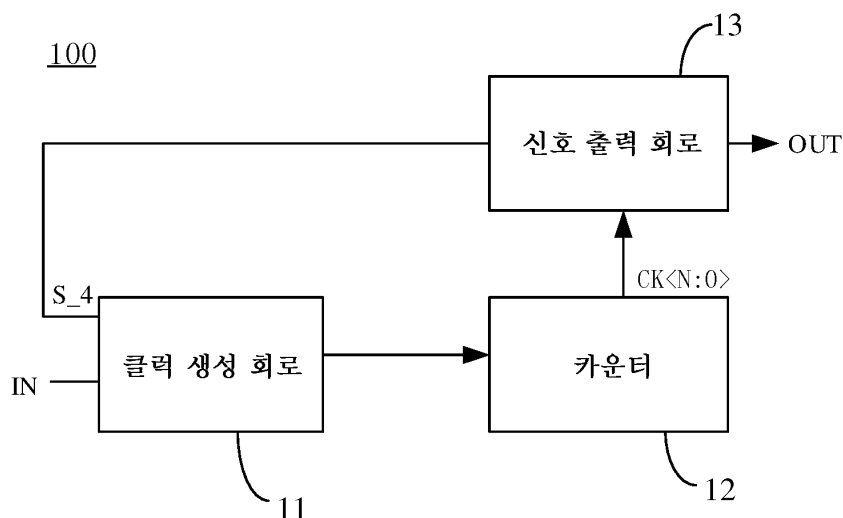
심사관 : 최규돈

(54) 발명의 명칭 펄스 제거 회로, 전압 측정 회로 및 측정 방법

(57) 요약

본 발명의 실시예는 펄스 제거 회로, 전압 측정 회로 및 측정 방법을 제공하고, 전기회로 기술 분야에 관한 것이며, 상기 펄스 제거 회로는, 논리 신호 및 제1 입력 신호를 수신하고, 논리 신호 및 제1 입력 신호를 기반으로 클럭 신호를 생성하는 클럭 생성 회로; 클럭 생성 회로에 연결되고, 클럭 신호를 수신하고 클럭 신호의 사이클 수를 집계하여 제2 입력 신호를 생성하는 카운터; 및 카운터에 연결되고 제1 입력 신호를 클럭 생성 회로에 제공하며, 제2 입력 신호를 기반으로 펄스 제거 신호를 생성하는 신호 출력 회로를 포함한다. 이로써 상기 회로는 전압 측정 과정에서 쇼트 펄스로 인한 트리거링 오류를 제거하여 전압 측정의 정확도를 향상시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

G09G 3/006 (2013.01)

(56) 선행기술조사문헌

KR1020050043326 A*

KR1020050101842 A

US20080310245 A1

US20190379368 A1

JP2003124789 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

펄스 제거 회로로서,

논리 신호 및 제1 입력 신호를 수신하고, 상기 논리 신호 및 상기 제1 입력 신호를 기반으로 클럭 신호를 생성하는 클럭 생성 회로;

상기 클럭 생성 회로에 연결되고, 상기 클럭 신호를 수신하며, 상기 클럭 신호의 사이클 수를 집계하여 제2 입력 신호를 생성하는 카운터; 및

상기 카운터에 연결되고, 상기 제1 입력 신호를 상기 클럭 생성 회로에 제공하며, 상기 제2 입력 신호를 기반으로 펄스 제거 신호를 생성하는 신호 출력 회로를 포함하되,

상기 클럭 생성 회로는,

하나의 입력단이 상기 논리 신호를 수신하고, 다른 입력단이 상기 제1 입력 신호를 수신하는 제1 AND 게이트 회로;

인에이블단이 상기 제1 AND 게이트 회로의 출력단에 연결되는 발진기; 및

하나의 입력단이 상기 제1 입력 신호를 수신하고, 다른 입력단이 상기 발진기의 클럭 펄스 출력단에 연결되며, 출력단이 상기 카운터에 연결되어 상기 카운터에 상기 클럭 신호를 출력하는 제2 AND 게이트 회로를 포함하는 것을 특징으로 하는 펄스 제거 회로.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 신호 출력 회로는,

다수의 입력단이 상기 제2 입력 신호를 입력받는 다중 입력 AND 게이트 회로;

신호 입력단이 상기 다중 입력 AND 게이트 회로의 출력단에 연결되는 제1 트리거;

신호 입력단이 상기 제1 트리거의 신호 출력단에 연결되는 제2 트리거;

하나의 입력단이 상기 제1 트리거의 신호 출력단에 연결되고, 다른 입력단이 상기 제2 트리거의 신호 출력단에 연결되며, 출력단이 상기 클럭 생성 회로에 상기 제1 입력 신호를 출력하는 NAND 게이트 회로; 및

입력단이 상기 NAND 게이트 회로의 출력단에 연결되고, 출력단이 상기 펄스 제거 신호를 출력하는 제1 인버터를 포함하는 것을 특징으로 하는 펄스 제거 회로.

청구항 4

제3항에 있어서,

상기 제1 트리거의 클럭 펄스 입력단은 상기 클럭 생성 회로의 클럭 신호 출력단에 연결되는 것을 특징으로 하는 펄스 제거 회로.

청구항 5

제3항에 있어서,

상기 신호 출력 회로는,

일단이 상기 클럭 생성 회로의 클럭 신호 출력단에 연결되고 타단이 상기 제2 트리거의 클럭 펄스 입력단에 연결되는 제2 인버터를 더 포함하는 것을 특징으로 하는 펄스 제거 회로.

청구항 6

제3항에 있어서,

상기 제1 트리거 및 상기 제2 트리거의 인에이블단은 상기 논리 신호를 입력받는 것을 특징으로 하는 펄스 제거 회로.

청구항 7

제1항에 있어서,

상기 카운터의 인에이블단은 상기 논리 신호를 입력받는 것을 특징으로 하는 펄스 제거 회로.

청구항 8

제1항에 있어서,

상기 카운터에서, 상기 제2 입력 신호는 상기 카운터의 다중 채널 출력 신호를 포함하는 것을 특징으로 하는 펄스 제거 회로.

청구항 9

제8항에 있어서,

상기 신호 출력 회로에서, 상기 제2 입력 신호를 기반으로 펄스 제거 신호를 생성하는 상기 과정은,

상기 카운터의 다중 채널 출력 신호가 모두 하이 레벨이라고 결정된 경우 상기 펄스 제거 신호를 생성하는 과정을 포함하는 것을 특징으로 하는 펄스 제거 회로.

청구항 10

전압 측정 회로로서,

제1항 및 제3항 내지 제9항 중 어느 한 항에 따른 펄스 제거 회로; 및

출력단이 상기 클럭 생성 회로에 연결되고, 상기 논리 신호를 상기 클럭 생성 회로에 제공하는 히스테리시스 비교기를 포함하고,

상기 히스테리시스 비교기의 포지티브 입력단은 기준 전압을 입력하고, 네거티브 입력단은 제2 전압 신호를 입력하며;

상기 히스테리시스 비교기는 상기 제2 전압 신호와 기준 전압을 비교하여, 비교 결과를 기반으로 상응한 상기 논리 신호를 출력하는 것을 특징으로 하는 전압 측정 회로.

청구항 11

제10항에 있어서,

입력단이 제1 전압 신호를 입력하고, 출력단이 상기 히스테리시스 비교기의 네거티브 입력단에 연결되는 전압 조절 회로를 더 포함하며,

상기 전압 조절 회로는 상기 제1 전압 신호를 승압 또는 강압하여 상기 제2 전압 신호를 얻는 것을 특징으로 하는 전압 측정 회로.

청구항 12

제11항에 있어서,

상기 전압 조절 회로에서 상기 제1 전압 신호를 승압 또는 강압하는 상기 과정은,

전압조절기를 통해 상기 제1 전압 신호를 고정 비율값만큼 승압하거나; 또는

분압 저항을 통해 상기 제1 전압 신호를 고정 비율값만큼 강압하는 과정을 포함하는 것을 특징으로 하는 전압 측정 회로.

청구항 13

전압 측정 방법으로서,

전압 조절 회로를 통해 측정할 제1 전압 신호를 수신하고, 상기 제1 전압 신호를 승압 또는 강압하여 제2 전압 신호를 얻는 단계;

히스테리시스 비교기를 통해 상기 제2 전압 신호와 기준 전압을 비교하여 논리 신호를 얻는 단계; 및

제1항 및 제3항 내지 제9항 중 어느 한 항에 따른 펄스 제거 회로를 통해 상기 논리 신호에 포함된 지속 시간이 임계값보다 작은 펄스 버스트를 제거하여 펄스 제거 신호를 얻는 단계를 포함하는 것을 특징으로 하는 전압 측정 방법.

청구항 14

제10항에 따른 전압 측정 회로를 포함하는 것을 특징으로 하는 전자 기기.

청구항 15

제14항에 있어서,

상기 전자 기기는 AMOLED 구동 장치, LCD 구동 장치, 전원 관리 장치 또는 전압 측정 장치를 포함하는 것을 특징으로 하는 전자 기기.

청구항 16

제14항에 있어서,

상기 전자 기기는 지능형 모바일 장치, 디스플레이 장치, 전력 공급 장치, 직류 전류 측정 장치 또는 경보 장치인 것을 특징으로 하는 전자 기기.

발명의 설명

기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2020년 4월 8일에 중국 특허청에 제출되고, 출원번호가 202010272031.8이며, 명칭이 "펄스 제거 회로, 전압 측정 회로 및 측정 방법"인 중국 특허출원의 우선권을 주장하고, 그 전체 내용은 참조로서 본 발명에 인용된다.

[0003] 본 발명은 전압 측정 기술 분야에 관한 것으로, 특히 펄스 제거 회로, 전압 측정 회로, 측정 방법 및 전자 기기에 관한 것이다.

배경 기술

[0004] 액티브 매트릭스 유기 발광 다이오드(Active-matrix organic light-emitting diode, AMOLED)에 대응하는 구동 칩에 대한 수요는 갈수록 증가하고 있으며, 구동 칩에는 전압을 실시간으로 측정하여 전압 부족 또는 비정상적인 전압 장애 현상을 방지하기 위한 전압 측정 모듈이 구비되어야 한다.

[0005] 현재 전압 측정 모듈은 주로 히스테리시스 비교기로 구현되며, 전압이 하한 전압보다 낮은 것으로 측정된 경우 하이 레벨을 출력하고, 전압이 상한 전압보다 높은 것으로 측정된 경우 로우 레벨을 출력함으로써 전압 부족 또는 비정상적인 전압 장애 현상을 검출한다. 그러나 쇼트 펄스가 존재할 경우에는 실제로 전압 장애가 생기거나 전압이 부족하지 않더라도 측정 오차가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 쇼트 클럭 펄스의 간섭을 제거할 수 있는 펄스 제거 회로를 제공하는 것을 목적으로 하며, 예를 들어 전압 측정의 정확도를 향상시키기 위해 사용된다.

과제의 해결 수단

- [0007] 본 발명의 실시예는 쇼트 펄스 제거 회로를 제공하고, 상기 회로는,
- [0008] 논리 신호 및 제1 입력 신호를 수신하고, 논리 신호 및 상기 제1 입력 신호를 기반으로 클럭 신호를 생성하는 클럭 생성 회로;
- [0009] 클럭 생성 회로에 연결되고, 클럭 신호를 수신하며, 클럭 신호의 사이클 수를 집계하여 제2 입력 신호를 생성하는 카운터; 및
- [0010] 카운터에 연결되고 제1 입력 신호를 클럭 생성 회로에 제공하며, 제2 입력 신호를 기반으로 펄스 제거 신호를 생성하는 신호 출력 회로를 포함한다.
- [0011] 선택적으로, 클럭 생성 회로는,
- [0012] 하나의 입력단이 논리 신호를 수신하고, 다른 입력단이 제1 입력 신호를 수신하는 제1 AND 게이트 회로;
- [0013] 인에이블단이 제1 AND 게이트 회로의 출력단에 연결되는 발진기;
- [0014] 하나의 입력단이 제1 입력 신호를 수신하고, 다른 입력단이 발진기의 클럭 펄스 출력단에 연결되며, 출력단이 카운터에 연결되어 카운터에 클럭 신호를 출력하는 제2 AND 게이트 회로를 포함한다.
- [0015] 선택적으로, 신호 출력 회로는,
- [0016] 다수의 입력단이 제2 입력 신호를 입력하는 다중 입력 AND 게이트 회로;
- [0017] 신호 입력단이 다중 입력 AND 게이트 회로의 출력단에 연결되는 제1 트리거;
- [0018] 신호 입력단이 제1 트리거의 신호 출력단에 연결되는 제2 트리거;
- [0019] 하나의 입력단이 제1 트리거의 신호 출력단에 연결되고, 다른 입력단이 제2 트리거의 신호 출력단에 연결되며, 출력단이 클럭 생성 회로에 제1 입력 신호를 출력하는 NAND 게이트 회로;
- [0020] 입력단이 NAND 게이트 회로의 출력단에 연결되고, 출력단이 펄스 제거 신호를 출력하는 제1 인버터를 포함한다.
- [0021] 선택적으로, 제1 트리거의 클럭 펄스 입력단은 클럭 생성 회로의 클럭 신호 출력단에 연결된다.
- [0022] 선택적으로, 신호 출력 회로는, 일단이 클럭 생성 회로의 클럭 신호 출력단에 연결되고, 타단이 제2 트리거의 클럭 펄스 입력단에 연결되는 제2 인버터를 더 포함한다.
- [0023] 선택적으로, 제1 트리거 및 제2 트리거의 인에이블단은 논리 신호를 입력한다.
- [0024] 선택적으로, 카운터의 인에이블단은 논리 신호를 입력한다.
- [0025] 선택적으로, 상기 카운터에서, 상기 제2 입력 신호는 상기 카운터의 다중 채널 출력 신호를 포함한다.
- [0026] 선택적으로, 상기 신호 출력 회로에서, 상기 제2 입력 신호를 기반으로 펄스 제거 신호를 생성하는 상기 과정은, 상기 카운터의 다중 채널 출력 신호가 모두 하이 레벨이라고 결정된 경우 상기 펄스 제거 신호를 생성하는 과정을 포함한다.
- [0027] 본 발명의 실시예는 전압 측정 회로를 더 제공하고, 상기 회로는,
- [0028] 상기 임의의 하나의 펄스 제거 회로;
- [0029] 출력단이 상기 클럭 생성 회로에 연결되고, 상기 논리 신호를 상기 클럭 생성 회로에 제공하는 히스테리시스 비교기를 포함하며,
- [0030] 상기 히스테리시스 비교기의 포지티브 입력단은 기준 전압을 입력하고, 네거티브 입력단은 제2 전압 신호를 입력하며;
- [0031] 상기 히스테리시스 비교기는 상기 제2 전압 신호와 기준 전압을 비교하여, 비교 결과를 기반으로 상응한 상기 논리 신호를 출력한다.

- [0032] 선택적으로, 상기 전압 측정 회로는,
- [0033] 입력단이 제1 전압 신호를 입력하고, 출력단이 상기 히스테리시스 비교기의 네거티브 입력단에 연결되는 전압 조절 회로를 더 포함하고,
- [0034] 상기 전압 조절 회로는 상기 제1 전압 신호를 승압 또는 강압하여 상기 제2 전압 신호를 얻는다.
- [0035] 선택적으로, 상기 전압 조절 회로에서 상기 제1 전압 신호를 승압 또는 강압하는 상기 과정은,
- [0036] 전압조절기를 통해 상기 제1 전압 신호를 고정 비율값만큼 승압하거나; 또는
- [0037] 분압 저항을 통해 상기 제1 전압 신호를 고정 비율값만큼 강압하는 과정을 포함한다.
- [0038] 본 발명의 실시예는 전압 측정 방법을 더 제공하고, 상기 방법은,
- [0039] 전압 조절 회로를 통해 측정할 제1 전압 신호를 수신하고, 상기 제1 전압 신호를 승압 또는 강압하여 제2 전압 신호를 얻는 단계;
- [0040] 히스테리시스 비교기를 통해 상기 제2 전압 신호와 기준 전압을 비교하여 논리 신호를 얻는 단계;
- [0041] 펄스 제거 회로를 통해 상기 논리 신호에 포함된 지속 시간이 임계값 보다 작은 펄스 버스트를 제거하여 펄스 제거 신호를 얻는 단계를 포함한다.
- [0042] 본 발명의 실시예는 상기 전압 측정 회로를 포함하는 전자 기기를 더 제공한다.
- [0043] 선택적으로, 상기 전자 기기는 AMOLED 구동 장치, LCD 구동 장치, 전원 관리 장치 또는 전압 측정 장치를 포함한다.
- [0044] 선택적으로, 상기 전자 기기는 지능형 모바일 장치, 디스플레이 장치, 전력 공급 장치, 직류 전류 측정 장치 또는 정보 장치이다.

발명의 효과

- [0045] 본 발명의 상술한 실시예에서 제공하는 기술적 해결수단은, 클럭 생성 회로를 통해 논리 신호 및 제1 입력 신호를 기반으로 클럭 신호를 생성하고, 카운터가 클럭 신호의 사이클 수를 집계하여 상응한 제2 입력 신호를 출력한다. 신호 출력 회로는 제2 입력 신호를 기반으로 펄스 제거 신호를 출력함으로써, 논리 신호의 지속되는 사이클 수가 일정한 수에 도달하면 펄스 제거 신호가 하이 레벨을 출력할 수 있도록 하여 논리 신호에 포함된 쇼트 펄스를 제거하고, 쇼트 펄스로 인한 트리거링 오류를 제거하여 신호의 안정성과 정확도를 향상시킬 수 있다.

도면의 간단한 설명

- [0046] 본 발명의 실시예에 따른 기술적 해결수단을 보다 명확하게 설명하기 위하여, 아래 본 발명의 실시예에서 사용될 도면에 대해 간단히 소개한다.
- 도 1은 본 발명의 실시예에서 제공하는 펄스 제거 회로의 개략도다.
- 도 2는 클럭 신호 및 제2 입력 신호의 파형 개략도다.
- 도 3은 본 발명의 다른 실시예에서 제공하는 펄스 제거 회로의 개략도다.
- 도 4는 도 3에 도시된 펄스 제거 회로의 상이한 위치에서의 신호 파형 개략도다.
- 도 5는 본 발명의 일 실시예에서 제공하는 전압 측정 회로의 개략도다.
- 도 6은 본 발명의 실시예에서 제공하는 전압 조절 회로의 개략도다.
- 도 7은 본 발명의 실시예에서 제공하는 제1 전압 신호, 제2 전압 신호, 논리 신호 및 펄스 제거 신호의 파형 개략도다.
- 도 8은 본 발명의 실시예에서 제공하는 전압 측정 방법의 흐름 개략도다.
- 도 9는 도 8에 대응되는 실시예 중 단계 S830의 세부 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0047] 아래 본 발명의 실시예에 첨부된 도면을 결부하여 본 발명의 실시예에 따른 기술적 해결수단에 대해 설명한다.
- [0048] 유사한 기호 및 문자는 아래의 첨부된 도면에서 유사한 항목을 나타내므로, 어느 한 항목이 하나의 도면에서 정의되었다면, 그 후의 도면에서는 이에 대한 추가 정의 및 해석이 필요하지 않다. 한편, 본 발명의 설명에서, 용어 "제1", "제2" 등은 단지 구분하여 설명하기 위한 것으로, 상대적 중요성을 나타내거나 암시하는 것으로 해석되어서는 안된다.
- [0049] 도 1은 본 발명의 실시예에서 제공하는 펄스 제거 회로의 개략도다. 도 1에 도시된 바와 같이, 펄스 제거 회로(100)는 클럭 생성 회로(11), 카운터(12) 및 신호 출력 회로(13)를 포함할 수 있다. 카운터(12)는 신호 출력 회로(13) 및 클럭 생성 회로(11)와 각각 연결될 수 있다.
- [0050] 클럭 생성 회로(11)는 논리 신호(IN) 및 제1 입력 신호(S₄)를 수신하고, 논리 신호(IN) 및 제1 입력 신호(S₄)를 기반으로 클럭 신호를 생성할 수 있다.
- [0051] 카운터(12)는 클럭 생성 회로(11)에 연결될 수 있고, 카운터(12)는 클럭 신호를 수신하고 클럭 신호의 사이클 수를 집계하여 제2 입력 신호(CK<N:0>)를 생성할 수 있다. 여기서, N+1은 카운터(12)의 출력 신호의 비트수를 나타낸다. 카운터(12)에서 출력되는 신호가 4비트라고 가정하면 N은 3이다.
- [0052] 선택적으로, 제2 입력 신호는 카운터(12)의 다중 채널 출력 신호를 포함할 수 있는 바, 예를 들어, 카운터(12)가 4비트 2진 카운터이면 4개 채널의 출력 신호를 포함할 수 있으며, 즉 제2 입력 신호는 카운터(12)의 4개 채널의 출력 신호일 수 있다.
- [0053] 신호 출력 회로(13)는 카운터(12)에 연결될 수 있고, 신호 출력 회로(13)는 제1 입력 신호(S₄)를 클럭 생성 회로(11)에 제공하며, 제2 입력 신호(CK<N:0>)를 기반으로 펄스 제거 신호(OUT)를 생성할 수 있다.
- [0054] 선택적으로, 상기 신호 출력 회로에서, 상기 제2 입력 신호를 기반으로 펄스 제거 신호를 생성하는 상기 과정은, 상기 카운터의 다중 채널 출력 신호가 모두 하이 레벨이라고 결정된 경우 상기 펄스 제거 신호를 생성하는 과정을 포함한다. 예를 들어, 카운터(12)가 4비트 2진 카운터이면 제2 입력 신호(CK<3:0>)를 기반으로 생성된 펄스 제거 신호(OUT)는 제2 입력 신호의 4개 채널의 신호가 모두 하이 레벨이라고 결정된 경우 생성된 펄스 제거 신호(OUT)이며, 다시 말해서, 제2 입력 신호의 4개 채널의 신호가 모두 하이 레벨이라고 결정된 경우, 펄스 제거 신호(OUT)는 하이 레벨이고, 그 외의 시간에는 펄스 제거 신호(OUT)가 로우 레벨일 수 있다. 구체적으로, 4개의 입력단이 구비된 AND 게이트 회로로 상기 기능을 구현할 수 있다.
- [0055] 설명해야 할 것은, 본 발명의 실시예에서는 카운터를 통해 상기 펄스 제거 신호를 생성하는 데 필요한 시간을 설정함으로써 회로 중의 지속 시간이 상대적으로 짧은 쇼트 펄스를 제거하는 목적을 달성하는 것으로 설명하였으나, 본 발명의 실시예는 카운터의 카운팅 사이클을 설정하는 방법 및 카운터와 이후의 논리 회로의 연결 방법에 대해서는 한정하지 않으며, 예를 들어, 카운터는 3비트 2진 카운터를 사용할 수도 있고 4비트 2진 카운터를 사용할 수도 있으며, 어떤 것을 선택할지는 실제 제거가 필요한 간섭 쇼트 펄스의 길이에 따라 달라질 수 있으며; 이 밖에, 카운터와 AND 게이트 회로 등 이후의 논리 회로도 카운팅 요구에 따라 임의로 수정될 수 있다. 예를 들어, 4비트 2진 카운터의 제1 채널 출력단과 4입력 AND 게이트 회로 사이에는 인버터가 추가되어 0111까지 카운팅되었을 때 펄스 제거 신호를 생성하도록 구현될 수 있으며, 즉 4비트 2진 카운터를 3비트 2진 카운터로 개조할 수 있다. 위의 예시는 본 발명의 보호범위를 제한하지 않는다.
- [0056] 선택적으로, 논리 신호(IN) 및 제1 입력 신호(S₄)가 모두 하이 레벨인 경우, 클럭 생성 회로(11)는 클럭 신호를 출력한다. 클럭 신호는 고정 사이클을 가질 수 있다.
- [0057] 카운터(12)의 인에이블단도 논리 신호(IN)를 입력하여, 논리 신호(IN)가 하이 레벨일 때 카운터(12)를 작동시킬 수도 있다. 카운터(12)는 클럭 생성 회로(11)가 출력하는 클럭 신호를 수신하고 수신된 클럭 신호의 사이클 수를 집계할 수 있다.
- [0058] 4비트 카운터(12)를 예로 들면, 도 2는 클럭 신호 및 제2 입력 신호(CK<N:0>)의 파형 개략도다. 본 실시예에서, 클럭 신호는 카운터(12)의 입력 신호일 수 있으며, 카운터(12)가 4비트 2진 카운터인 경우를 예로 들면, CK<3>, CK<2>, CK<1>, CK<0> 각각은 카운터(12)의 출력 신호(즉 제2 입력 신호)의 제1 채널 신호, 제2 채널 신호, 제3 채널 신호 및 제4 채널 신호일 수 있다. 하나의 완전한 클럭 사이클을 수신하기 전, 카운터(12)는 십진수 0에 대응하는 0000을 출력하고; 하나의 완전한 클럭 사이클을 수신한 경우, 카운터(12)는 십진수 1에 대응하는 0001을 출력하며; 2개의 완전한 클럭 사이클을 수신한 경우, 카운터(12)는 십진수 2에 대응하는 0010을 출력하고, 이와 같은 방법으로, 카운터(12)가 15개 사이클의 클럭 신호를 수신한 경우, 카운터(12)는 십진수 15에 대응하

는 1111을 출력한다.

- [0059] 신호 출력 회로(13)의 인에이블단도 논리 신호(IN)를 입력하여, 논리 신호(IN)가 하이 레벨인 경우 신호 출력 회로(13)를 작동시킬 수도 있다. 신호 출력 회로(13)는 카운터(12)에서 출력되는 제2 입력 신호(CK<N:0>)를 수신할 수 있다. 선택적으로, 신호 출력 회로(13)는 1111을 수신한 경우, 즉 카운터(12)가 15개 사이클의 클럭 신호를 수신한 경우, 신호 출력 회로(13)에서 출력되는 펄스 제거 신호(OUT)는 하이 레벨일 수 있고; 15개 사이클보다 작을 경우, 신호 출력 회로(13)에서 출력되는 펄스 제거 신호(OUT)는 로우 레벨일 수 있다.
- [0060] 지속 시간이 15개의 사이클보다 짧은 논리 신호(IN)에 대해, 신호 출력 회로(13)에서 출력되는 펄스 제거 신호(OUT)는 모두 로우 레벨일 수 있고; 15개의 사이클보다 긴 경우, 신호 출력 회로(13)는 지속적으로 하이 레벨을 출력할 수 있으므로, 논리 신호(IN)가 지속 시간이 상대적으로 짧은 쇼트 펄스일 때, 쇼트 펄스의 사이클이 15개의 사이클에 미치지 못하여, 신호 출력 회로(13)도 하이 레벨을 출력하지 않아, 쇼트 펄스의 간섭을 제거할 수 있다. 선택적으로, 펄스 사이클이 10마이크로초보다 작으면 쇼트 펄스라고 할 수 있다.
- [0061] 신호 출력 회로(13)가 수신한 제2 입력 신호(CK<N:0>)가 1111이 되기 전, 즉 논리 신호(IN)가 15개의 사이클이 되기 전, 신호 출력 회로(13)에서 클럭 생성 회로(11)를 향해 전송되는 제1 입력 신호(S₄)는 하이 레벨이고, 이로써 클럭 생성 회로(11)가 지속적으로 클럭 신호를 출력하도록 할 수 있고, 신호 출력 회로(13)가 수신한 제2 입력 신호(CK<N:0>)가 1111이 되면, 신호 출력 회로(13)가 출력하는 제1 입력 신호(S₄)는 로우 레벨이고, 이로써 클럭 생성 회로(11)의 작동을 중지시켜 클럭 생성 회로(11)의 전력 소비를 낮출 수 있다. 카운터(12)는 지속적으로 1111을 출력하여 신호 출력 회로(13)가 지속적으로 하이 레벨을 출력할 수 있도록 하고, 인에이블단의 논리 신호(IN)가 로우 레벨이 되면 신호 출력 회로(13) 및 카운터(12)는 모두 작동이 중지된다.
- [0062] 실제 요구에 따라, 신호 출력 회로(13)가 하이 레벨을 출력하도록 트리거하는 사이클 수를 설정할 수 있다. 선택적으로, 신호 출력 회로(13)는 0111을 수신한 경우, 즉 카운터(12)가 7개 사이클의 클럭 신호를 수신한 경우, 신호 출력 회로(13)는 하이 레벨을 출력할 수 있다. 이로써 논리 신호(IN)에 지속 시간이 7개 사이클보다 짧은 쇼트 펄스가 존재하더라도, 신호 출력 회로(13)도 하이 레벨을 출력하지 않아 쇼트 펄스의 간섭을 제거할 수 있다.
- [0063] 상기 실시예에서 제공하는 기술적 해결수단은 클럭 생성 회로(11)를 통해 논리 신호(IN) 및 제1 입력 신호(S₄)를 기반으로 클럭 신호를 생성하고 카운터(12)가 클럭 신호의 사이클 수를 집계하며, 상응한 제2 입력 신호(CK<N:0>)를 출력한다. 신호 출력 회로(13)는 제2 입력 신호(CK<N:0>)를 기반으로 펄스 제거 신호(OUT)를 출력함으로써, 논리 신호(IN)의 지속되는 사이클 수가 일정한 수에 도달하면 펄스 제거 신호(OUT)가 하이 레벨로 출력될 수 있도록 하여 논리 신호에 포함된 쇼트 펄스를 제거하고, 나아가 쇼트 펄스로 인한 트리거링 오류를 제거하여 신호의 안정성과 정확도를 향상시킬 수 있다.
- [0064] 도 3에 도시된 바와 같이, 상기 클럭 생성 회로(11)는 제1 AND 게이트 회로(112), 발진기(OSC)(111) 및 제2 AND 게이트 회로(113)를 포함한다.
- [0065] 제1 AND 게이트 회로(112)의 하나의 입력단은 논리 신호(IN)를 수신할 수 있고, 다른 입력단은 제1 입력 신호(S₄)를 수신할 수 있으며, 논리 신호(IN) 및 제1 입력 신호(S₄)가 모두 하이 레벨인 경우, 제1 AND 게이트 회로(112)가 하이 레벨을 출력한다. 논리 신호(IN) 및/또는 제1 입력 신호(S₄)가 로우 레벨인 경우, 제1 AND 게이트 회로(112)는 로우 레벨을 출력한다. 아래의 다른 AND 게이트 회로와 구분하기 위하여, 여기서 언급되는 AND 게이트 회로를 제1 AND 게이트 회로(112)라 한다.
- [0066] 발진기(111)의 인에이블단(EN)은 제1 AND 게이트 회로(112)의 출력단에 연결될 수 있다. 제1 AND 게이트 회로(112)가 하이 레벨을 출력하는 경우, 발진기(111)는 작동하고; 제1 AND 게이트 회로(112)가 로우 레벨을 출력하는 경우, 발진기(111)는 작동을 멈춘다. 발진기(111)는 고정된 주파수에 따라 하이 레벨(즉 클럭 펄스)을 출력하는 주파수원으로 생각할 수 있다.
- [0067] 제2 AND 게이트 회로(113)의 하나의 입력단은 제1 입력 신호(S₄)를 수신할 수 있고, 다른 입력단은 발진기(111)의 클럭 펄스 출력단에 연결될 수 있으며; 제2 AND 게이트 회로(113)의 출력단은 카운터(12)에 연결되어 카운터(COUNTER)(12)에 클럭 신호를 출력할 수 있다. 제1 입력 신호(S₄)가 하이 레벨인 경우, 제2 AND 게이트 회로(113)에서 출력되는 클럭 신호와 발진기(111)에서 출력되는 클럭 펄스는 동일하고; 제1 입력 신호(S₄)가 로우 레벨인 경우, 제1 AND 게이트 회로(112)는 로우 레벨을 출력하여 발진기(111)가 작동을 멈추도록 할 수 있고, 따라서 제2 AND 게이트 회로(113)도 클럭 신호를 출력하지 않게 된다.
- [0068] 도 3에 도시된 바와 같이, 상기 신호 출력 회로(13)는 다중 입력 AND 게이트 회로(131), 제1 트리거(132), 제2

트리거(133), NAND 게이트 회로(134) 및 제1 인버터(135)를 포함한다.

- [0069] 다중 입력 AND 게이트 회로(131)의 다수의 입력단은 제2 입력 신호($CK<N:0>$)를 입력할 수 있다. 다수의 입력단이 동시에 하이 레벨로 입력될 때, 다중 입력 AND 게이트 회로(131)는 하이 레벨을 출력할 수 있다. 예를 들어, 4입력 AND 게이트 회로에 있어서, 제2 입력 신호($CK<N:0>$)가 1111(즉 4개의 하이 레벨)인 경우 다중 입력 AND 게이트 회로(131)는 하이 레벨을 출력한다.
- [0070] 선택적으로, 논리 신호(IN)가 7개의 클럭 사이클 이상 지속되면 모두 하이 레벨이라고 가정하면, 마지막 출력(OUT)이 하이 레벨이면, 제2 입력 신호($CK<N:0>$)는 0111($CK<3>$, $CK<2>$, $CK<1>$, $CK<0>$)일 수 있다. 여기서, 제1 채널 신호($CK<3>$)는 먼저 인버터를 통해 반전된 후 다시 다중 입력 AND 게이트 회로(131)에 입력되어, 제2 입력 신호($CK<N:0>$)가 0111인 경우 다중 입력 AND 게이트 회로(131)가 하이 레벨을 출력하도록 할 수 있다.
- [0071] 제1 트리거(132)의 신호 입력단(D)은 다중 입력 AND 게이트 회로(131)의 출력단에 연결될 수 있다. 제1 트리거(132)는 D 트리거일 수 있고, 클럭 신호가 상승 에지인 경우, 제1 트리거(132)의 출력단(Q)은 입력단(D)의 신호에 따라 다중 입력 AND 게이트 회로(131)가 하이 레벨을 출력할 때 제1 트리거(132)가 하이 레벨을 출력하도록 한다.
- [0072] 제2 트리거(133)의 신호 입력단(D)은 제1 트리거(132)의 신호 출력단(Q)에 연결될 수 있다. 제1 트리거(132)가 하이 레벨을 출력하는 경우 제2 트리거(133)는 하이 레벨을 출력할 수 있다. 제2 트리거(133)는 제1 트리거(132)와 같을 수 있다.
- [0073] NAND 게이트 회로(134)의 하나의 입력단은 제1 트리거(132)의 신호 출력단에 연결될 수 있고, NAND 게이트 회로(134)의 다른 입력단은 제2 트리거(133)의 신호 출력단(Q)에 연결될 수 있으며; NAND 게이트 회로(134)의 출력단은 클럭 생성 회로(11)에 제1 입력 신호(S_4)를 출력할 수 있다. 제1 트리거(132)가 하이 레벨을 출력하고 제2 트리거(133)가 하이 레벨을 출력하는 경우, NAND 게이트 회로(134)는 로우 레벨을 출력한다. 이로써 클럭 신호의 사이클 수가 기설정된 값(예를 들어 15개의 사이클)보다 작은 경우, 다중 입력 AND 게이트 회로(131)는 로우 레벨을 출력하고, 제1 트리거(132) 및 제2 트리거(133)는 로우 레벨을 출력하며, NAND 게이트 회로(134)는 하이 레벨을 출력하므로, 즉 제1 입력 신호(S_4)가 하이 레벨이므로, 클럭 생성 회로가 지속적으로 작동하여 클럭 신호를 출력하도록 한다.
- [0074] 제1 인버터(135)의 입력단은 NAND 게이트 회로(134)의 출력단에 연결될 수 있고; 제1 인버터(135)의 출력단은 펄스 제거 신호를 출력할 수 있다. NAND 게이트 회로가 로우 레벨을 출력하는 경우, 제1 인버터(135)는 하이 레벨을 출력할 수 있어, 카운터(12)에서 클럭 신호의 사이클 수가 기설정된 값 n 보다 큰 것으로 집계된 경우, 즉 논리 신호(IN)가 하이 레벨에 처한 시간이 nT (T 는 클럭 신호의 사이클을 나타냄)보다 큰 경우, 제1 인버터(135)에서 출력되는 펄스 제거 신호(OUT)는 하이 레벨일 수 있다.
- [0075] 도 3에 도시된 바와 같이, 제1 트리거(132)의 클럭 펄스 입력단(CLK)은 클럭 생성 회로(11)의 클럭 신호 출력단(A)에 연결되어 전체 회로 시퀀스의 동기화를 유지할 수 있다. 선택적으로, 신호 출력 회로(13)는 제2 인버터(136)를 더 포함할 수 있고; 제2 인버터(136)의 일단은 클럭 생성 회로(11)의 클럭 신호 출력단(A)에 연결될 수 있으며, 제2 인버터(136)의 타단은 제2 트리거(133)의 클럭 펄스 입력단(CLK)에 연결될 수 있다.
- [0076] 클럭 생성 회로(11)가 출력하는 클럭 신호와 제2 트리거(133)가 수신하는 클럭 펄스는 정확히 반전된다. 제1 트리거(132)는 상승 에지 트리거이고, 제2 인버터(136) 및 제2 트리거(133)는 하강 에지 트리거를 구성하여, 제2 트리거(133)가 제1 트리거(132)보다 반 사이클 늦도록 함으로써 제2 트리거(133)가 제1 트리거(132)에서 출력되는 신호를 수신할 수 있도록 한다.
- [0077] 선택적으로, 제1 트리거(132) 및 제2 트리거(133)의 인에이블단(EN)은 논리 신호(IN)를 입력한다. 이로써 논리 신호(IN)가 하이 레벨인 경우, 제1 트리거(132) 및 제2 트리거(133)가 작동되도록 할 수 있고, 논리 신호(IN)가 로우 레벨인 경우, 제1 트리거(132) 및 제2 트리거(133)가 작동을 멈출 수 있다.
- [0078] 도 4는 도 3에 도시된 펄스 제거 회로(100)의 상이한 위치에서의 신호 파형 개략도다. 도 4에 도시된 바와 같이, IN은 논리 신호(IN)를 나타내고, 시작 시 IN은 로우 레벨이고, 이때 ENOSC도 0이다. 그 후 IN은 상승하고, 회로는 IN의 상승 에지에서부터 시간을 계산하기 시작하며, 이때 회로는 작동을 시작하여 ENOSC가 하이 레벨로 바뀌고, OSC(발진기(111))가 작동되며, 회로는 사이클을 계산하기 시작하여 IN이 하이 레벨인 시간이 nT (n 은 기설정된 클럭 사이클 수)를 초과하는 경우, 즉 OSC에서 출력되는 클럭이 n 개의 사이클을 초과할 경우, 다중 입력 AND 게이트 회로(131)의 출력은 1로 바뀌고, 다음 제1 트리거(132) 및 제2 트리거(133)가 순차적으로 트리거되며, 즉 S_2 및 S_3 은 순차적으로 1로 바뀌며; 그 다음 NAND 게이트 회로(134)의 출력(S_4)은 1에서 0으로 바뀌

고; S₄는 제1 인버터(135)를 통과하여 OUT 신호를 생성하고, 0에서 1로 바뀌며; S₄는 제1 AND 게이트 회로(112)를 통과하여 EN_OSC을 다시 0으로 바꾸고, 이때 OUT 출력은 하이 레벨이고 ENOSC은 로우 레벨이며 OSC는 꺼진다. IN이 하이 레벨인 지속 시간이 nT보다 작은 경우, OUT 신호는 트리거되지 않는다. 논리 신호(IN)가 로우 레벨로 바뀔 경우 전체 회로는 작동이 중지된다.

[0079] 도 5는 본 발명의 일 실시예에서 제공하는 전압 측정 회로의 개략도다. 도 5에 도시된 바와 같이, 상기 전압 측정 회로는, 도 1 또는 도 3에 도시된 펄스 제거 회로(100)를 포함하고, 히스테리시스 비교기(200)를 더 포함할 수 있다.

[0080] 히스테리시스 비교기(200)의 출력단은 클럭 생성 회로(11)에 연결되고, 논리 신호(IN)를 클럭 생성 회로(11)에 제공하며; 히스테리시스 비교기(200)의 포지티브 입력단은 기준 전압(VREF)을 입력하고, 네거티브 입력단은 제2 전압 신호(Vdet₂)를 입력한다. 히스테리시스 비교기(200)는 제2 전압 신호(Vdet₂)와 기준 전압을 비교하여 논리 신호(IN)를 얻는다.

[0081] 히스테리시스 비교기(200)가 출력한 논리 신호(IN)는 인에이블 신호로서 카운터(12), 제1 트리거(132) 및 제2 트리거(133)에 제공될 수 있다.

[0082] 선택적으로, 히스테리시스 비교기(200)는 히스테리시스 루프 전송 특성을 가진 비교기일 수 있다. 또는 포지티브 피드백을 갖는 단일 임계값 비교기로 이해할 수도 있다. 반전 입력 단일 임계값 전압 비교기를 기반으로 포지티브 피드백 네트워크가 도입되면 이중 임계값을 가진 반전 입력 히스테리시스 비교기(200)가 형성된다. 히스테리시스 비교기(200)의 기준 전압(VREF)은 칩 내부의 기준 전압이며, VREF 전압을 설정하는 것을 통해 논리 신호(IN)의 전압 임계값을 조절할 수 있다.

[0083] 제2 전압 신호(Vdet₂)가 증가하여 상한 전압에 근접하기 전까지 논리 신호(IN)는 하이 레벨을 유지할 수 있다. 제2 전압 신호(Vdet₂)가 더 증가하면 논리 신호(IN)는 로우 레벨을 유지할 수 있다. 제2 전압 신호(Vdet₂)가 감소할 경우, 단지 하한값보다 크기만 하면 논리 신호(IN)는 항상 로우 레벨을 유지하며, 단지 제2 전압 신호(Vdet₂)가 하한값보다 작을 경우에만 논리 신호(IN)는 하이 레벨로 바뀐다. 이로써 제2 전압 신호(Vdet₂)에 노이즈와 리플이 존재하더라도, 논리 신호(IN)의 결과에 영향을 주지 않아 노이즈와 리플의 간섭을 제거하게 된다.

[0084] 선택적으로, 도 5에 도시된 바와 같이, 상기 전압 측정 회로는 전압 조절 회로(300)를 더 포함한다.

[0085] 선택적으로, 전압 조절 회로(300)의 입력단은 제1 전압 신호(Vdet)를 입력할 수 있고, 전압 조절 회로(300)의 출력단은 히스테리시스 비교기(200)의 네거티브 입력단에 연결될 수 있으며, 전압 조절 회로(300)는 제1 전압 신호(Vdet)를 승압 또는 강압하여 제2 전압 신호(Vdet₂)를 출력한다.

[0086] 선택적으로, 제1 전압 신호(Vdet)는 측정할 전압 신호로 생각할 수 있다. 전압 조절 회로(300)는 제1 전압 신호(Vdet)를 승압 또는 강압할 수 있다. 측정할 전압 신호의 전압 값은 보통 상대적으로 높거나 낮으므로, 후단계 히스테리시스 비교기(200)의 입력 범위를 초과하게 된다. 따라서 측정할 전압을 강압 또는 승압하여 히스테리시스 비교기(200)의 입력 범위에 부합되도록 조절해야 한다. 측정할 전압 신호가 상대적으로 높은 경우, 저항을 통해 전압을 분할하여 고정 비율로 낮출 수 있고; 측정할 전압이 상대적으로 낮은 경우, 전압조절기를 통하여 고정 비율로 승압할 수 있다. 이렇게 측정할 전압 신호와 정비례되는 제2 전압 신호(Vdet₂)를 얻는다. 전압 조절 비율이 고정값 K라고 가정하면, $V_{det}/V_{det_2}=K$ 이고, 또한 $\Delta V_{det}/\Delta V_{det_2}=K$ 이다. 따라서, 측정할 전압(Vdet)이 변하는 경우, 제2 전압 신호(Vdet₂)도 고정 비율로 변한다.

[0087] 선택적으로, 상기 전압 조절 회로에서, 상기 제1 전압 신호를 승압 또는 강압하는 상기 과정은, 전압조절기를 통해 상기 제1 전압 신호를 고정 비율값만큼 승압하거나; 또는 분압 저항을 통해 상기 제1 전압 신호를 고정 비율값만큼 강압하는 과정을 포함한다. 도 6은 본 발명의 실시예에서 제공하는 전압 조절 회로(300)의 개략도다. 도 6에 도시된 바와 같이, 제1 전압 신호(Vdet)를 저항 R1 및 저항 R2로 전압을 분할하여 제2 전압 신호(Vdet₂)를 생성한다. 계산 공식은 $V_{det_2}=(V_{det}*R2)/((R1+R2))$ 이다. 전압 조절 회로(300)를 통해 측정할 전압 신호를 미리 강압하면, 전압 측정의 범위를 늘릴 수 있다.

[0088] 도 7은 본 발명의 실시예에서 제공하는 제1 전압 신호(Vdet), 제2 전압 신호(Vdet₂), 논리 신호(IN) 및 펄스 제거 신호의 파형 개략도다.

[0089] 도 7에 도시된 바와 같이, Vdet는 제1 전압 신호(즉 측정할 전압)이고, 전압 조절 회로(300)는 Vdet를 히스테리시스 비교기(200)의 측정에 적합한 제2 전압 신호(Vdet₂)로 조절하며; 히스테리시스 비교기(200)는 제2 전압

신호(Vdet_2)과 기준 전압을 비교하여 논리 신호(IN)를 출력한 후; 펄스 제거 회로(100)는 오류 쇼트 펄스 Tpulse를 제거할 수 있다. 최종적으로 정확한 펄스 제거 신호(OUT)를 출력한다.

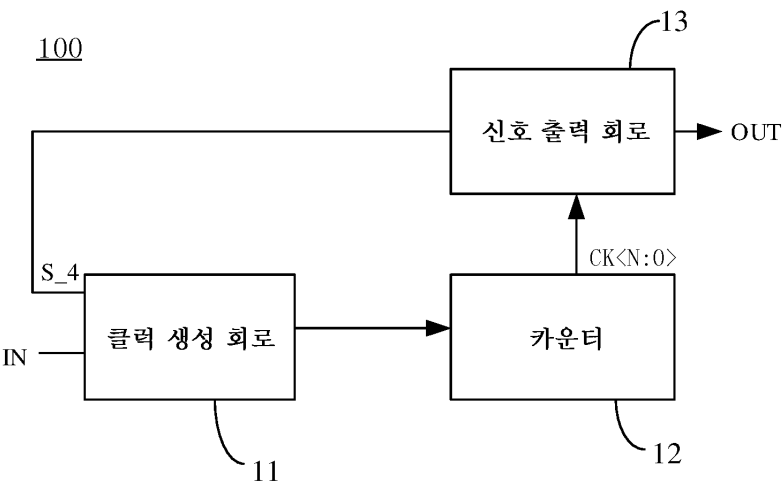
- [0090] 도 8은 본 발명의 실시예에서 제공하는 전압 측정 방법의 흐름 개략도다. 상기 전압 측정 방법은 도 5에 대응되는 실시예에서 제공하는 전압 측정 회로에 응용될 수 있다. 상기 전압 측정 방법은 아래의 단계 S810-단계 S830를 포함할 수 있다.
- [0091] 단계 S810에서, 전압 조절 회로(300) 통해 측정할 제1 전압 신호를 수신하고, 상기 제1 전압 신호를 승압 또는 강압하여 제2 전압 신호를 얻는다.
- [0092] 단계 S820에서, 히스테리시스 비교기(200)를 통해 상기 제2 전압 신호와 기준 전압을 비교하여 논리 신호를 얻는다.
- [0093] 단계 S830에서, 펄스 제거 회로(100)를 통해 상기 논리 신호에 포함된 지속 시간이 임계값보다 작은 펄스 버스트를 제거하여 펄스 제거 신호를 얻는다.
- [0094] 펄스 버스트란 신호 변화가 지속되는 시간이 임계값보다 작은 쇼트 펄스를 말하고, 예를 들어, 펄스가 10마이크로초보다 짧게 지속되면 쇼트 펄스로 생각할 수 있다.
- [0095] 여기서, 상기 전압 조절 회로(300), 히스테리시스 비교기(200) 및 펄스 제거 회로(100)는 위의 실시예를 참조하여 구현될 수 있다.
- [0096] 선택적으로, 도 9에 도시된 바와 같이, 펄스 제거 회로(100)를 통해 상기 논리 신호에 포함된 지속 시간이 임계값보다 작은 펄스 버스트를 제거하여 펄스 제거 신호를 얻는 상기 단계 S830은 아래의 단계를 포함할 수 있다.
- [0097] 단계 S831에서, 클럭 생성 회로(11)를 통해 논리 신호(IN) 및 제1 입력 신호(S_4)를 수신하고 클럭 신호를 출력한다. 제1 입력 신호(S_4)는 신호 출력 회로(13)로부터 출력될 수 있다.
- [0098] 클럭 신호의 사이클 수가 기설정된 수보다 작은 경우, 신호 출력 회로(13)에서 출력되는 제1 입력 신호(S_4)는 하이 레벨이고, 클럭 생성 회로(11)는 하이 레벨의 논리 신호(IN) 및 하이 레벨의 제1 입력 신호(S_4)를 수신하여 클럭 신호를 출력한다.
- [0099] 단계 S832에서, 카운터(12)를 통해 클럭 신호를 수신하고 클럭 신호의 사이클 수를 집계하여 제2 입력 신호(CK<N:0>)를 생성한다.
- [0100] 카운터(12)는 클럭 신호의 사이클 수를 집계하고 여러 비트의 2진 디지털 신호를 출력할 수 있다. 예를 들어, 0111는 7개의 사이클을 나타내고, 1111는 15개의 사이클을 나타낸다. 제2 입력 신호(CK<N:0>)가 바로 카운터(12)에 의해 생성된 여러 비트의 2진 디지털 신호이다. 제2 입력 신호(CK<N:0>)는 신호 출력 회로(13)에 입력될 수 있다.
- [0101] 단계 S833에서, 신호 출력 회로(13)를 통해 제2 입력 신호(CK<N:0>)를 기반으로 펄스 제거 신호를 생성한다.
- [0102] 신호 출력 회로(13)는 제2 입력 신호(CK<N:0>)를 수신하고 처리를 거친 후 펄스 제거 신호를 생성한다. 예를 들어, 제2 입력 신호(CK<N:0>)가 1111인 경우, 펄스 제거 신호는 하이 레벨을 출력한다. 제2 입력 신호(CK<N:0>)가 1111보다 작은 경우(즉 클럭 신호의 사이클 수가 15보다 작은 경우), 펄스 제거 신호는 로우 레벨을 출력하여 쇼트 클럭 펄스로 인한 간섭을 제거한다.
- [0103] 본 발명의 실시예에서 제공하는 전압 측정 회로 및 전압 측정 방법은 AMOLED(액티브 매트릭스 유기 발광 다이오드 패널)의 구동 칩에 응용될 수 있고, 외부에서 제공되는 전원 전압의 측정에 사용될 수 있으며, 칩 내부에서 생성되는 전압의 측정에도 사용될 수 있다. 전압 상황을 실시간으로 모니터링하여 전압이 너무 낮거나 비정상적인 전압 장애가 발생하면 출력이 트리거된다.
- [0104] 본 발명의 실시예는 전자 기기를 더 제공하고, 상기 전자 기기는 상술한 실시예에 따른 전압 측정 회로를 포함할 수 있다. 여기서, 상기 전자 기기는 AMOLED 구동 장치, LCD(Liquid Crystal Display) 구동 장치, 전원 관리 장치 또는 전압 측정 장치를 포함할 수 있다.
- [0105] 선택적으로, 상기 전자 기기는 AMOLED 디스플레이 또는 LCD 디스플레이가 설치된 스마트폰, 스마트 웨어러블 기기, 지능형 로봇 등의 지능형 모바일 장치일 수 있다.
- [0106] 상기 전자 기기는 예를 들어, AMOLED 디스플레이 또는 LCD 디스플레이가 설치된 TV, 컴퓨터 또는 모니터 등의

디스플레이 장치일 수도 있다.

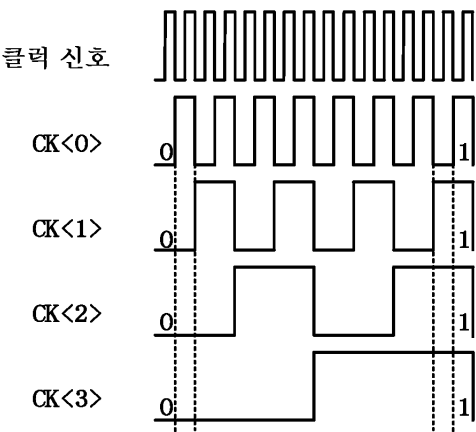
- [0107] 상기 전자 기기는 전원 공급 장치(예를 들어 전기 카트리지, 전원 박스, 배전 캐비닛, UPS 무정전 전원 공급 장치), 직류 전류 측정 장치 또는 경보 장치일 수도 있다. 본 발명의 실시예에서 제공하는 전압 측정 회로는 상기 제공된 전자 기기에 장착될 수 있다.
- [0108] 본 발명에서 제공하는 다양한 실시예에서 개시된 장치 및 방법은 다른 방식으로 구현될 수도 있다. 위에서 설명된 장치 실시예는 단지 예시적인 것으로서, 예를 들면, 첨부된 도면 중의 흐름도 및 블록도는 본 발명의 다양한 실시예에 따른 장치, 방법 및 컴퓨터 프로그램 제품의 구현 가능한 아키텍처, 기능 및 동작을 도시하였다. 이 점에서, 흐름도 또는 블록도 중의 각 블록은 지정된 논리적 기능을 구현하기 위한 하나 이상의 실행 가능한 명령을 포함하는 모듈, 프로그램 세그먼트 또는 코드의 일부를 나타낼 수 있다. 일부 대체 구현 방법에서, 블록에 표기된 기능도 첨부된 도면에 도시된 것과 다른 순서로 구현될 수도 있다. 예를 들어, 연속적인 2개의 블록은 실제로 기본적으로 병렬 실행될 수 있고, 관련 기능에 따라 때때로 역순으로 실행될 수도 있다. 또한, 블록도 및/또는 흐름도 중의 각 블록, 및 블록도 및/또는 흐름도 중의 블록의 조합은 지정된 기능 또는 동작을 수행하는 전용 하드웨어 기반 시스템에 의해 구현되거나 전용 하드웨어와 컴퓨터 명령의 조합으로 구현될 수도 있음에 유의해야 한다.
- [0109] 이 밖에, 본 발명의 각 실시예의 각 기능 모듈은 통합되어 하나의 독립된 부분을 형성할 수도 있고, 각 모듈이 단독으로 존재할 수도 있으며, 둘 이상의 모듈이 통합되어 하나의 독립된 부분을 형성할 수도 있다.
- [0110] 기능이 소프트웨어 기능 모듈의 형태로 구현되어 독립적인 제품으로 판매 또는 사용될 경우, 컴퓨터 판독 가능 저장 매체에 저장될 수 있다. 이러한 이해를 바탕으로, 본 발명의 기술적 해결수단은 본질적으로 또는 선행 기술에 기여하는 일부분 또는 상기 기술적 해결수단의 일부분은 소프트웨어 제품의 형태로 반영될 수 있으며, 상기 컴퓨터 소프트웨어 제품은 저장 매체에 저장되고, 컴퓨터 기기(개인용 컴퓨터, 서버, 또는 네트워크 기기 등 일 수 있음)가 본 발명의 각 실시예에 따른 방법의 전부 또는 일부 단계를 수행하도록 하는 여러 명령을 포함한다. 전송된 저장 매체는 U 디스크, 이동식 하드 디스크, 판독 전용 메모리(ROM, Read-Only Memory), 랜덤 액세스 메모리(RAM, Random Access Memory), 자기 디스크 또는 광 디스크 등 프로그램 코드를 저장할 수 있는 다양한 매체를 포함한다.
- [0111] 산업상 이용가능성
- [0112] 본 발명의 실시예는 펄스 제거 회로, 전압 측정 회로, 측정 방법 및 전자 기기를 제공하고, 본 발명의 실시예의 펄스 제거 회로는 카운터, 클럭 생성 회로 및 신호 출력 회로를 포함하므로, 논리 신호의 지속되는 사이클 수가 일정한 수에 도달할 경우, 펄스 제거 신호가 하이 레벨로 출력될 수 있도록 하여 논리 신호에 포함된 쇼트 펄스를 제거하고, 나아가 쇼트 펄스로 인한 트리거링 오류를 제거하여 신호의 안정성 및 전압 측정의 정확도를 향상시킬 수 있다.

도면

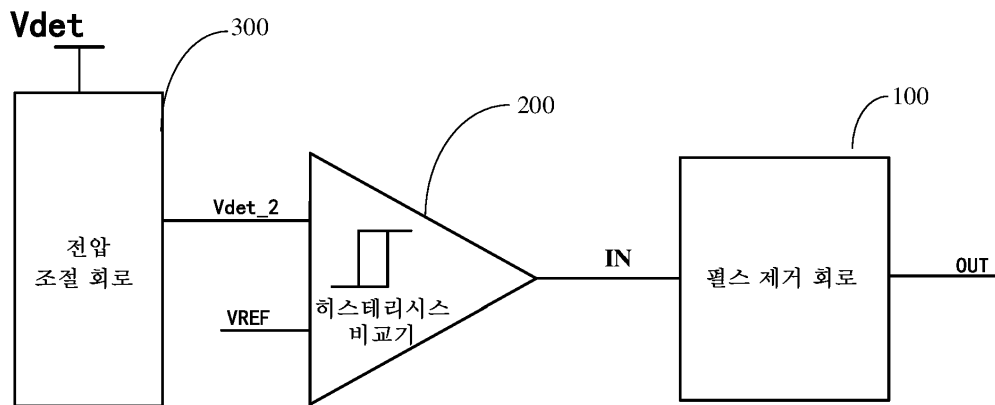
도면1



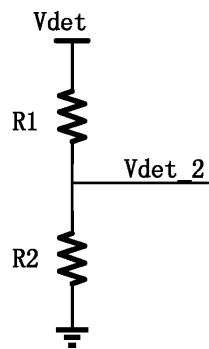
도면2



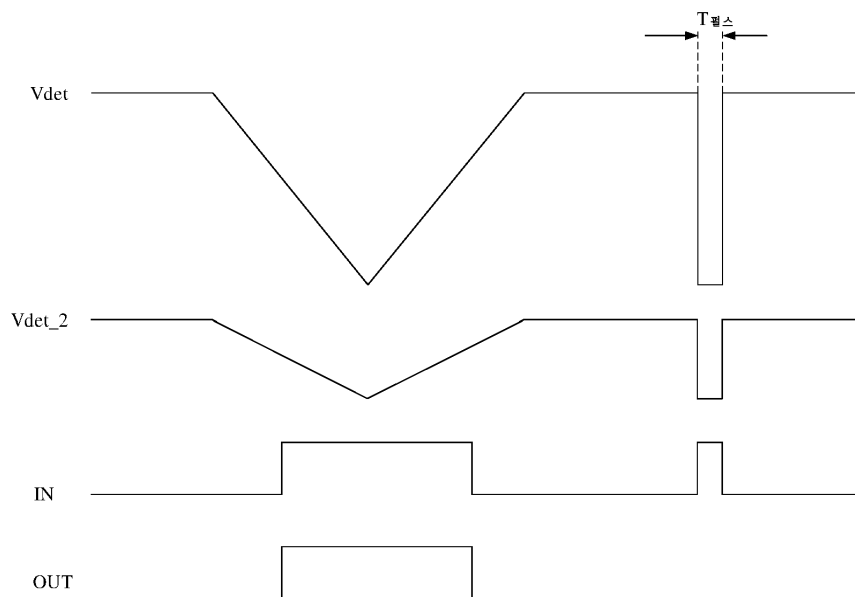
도면5



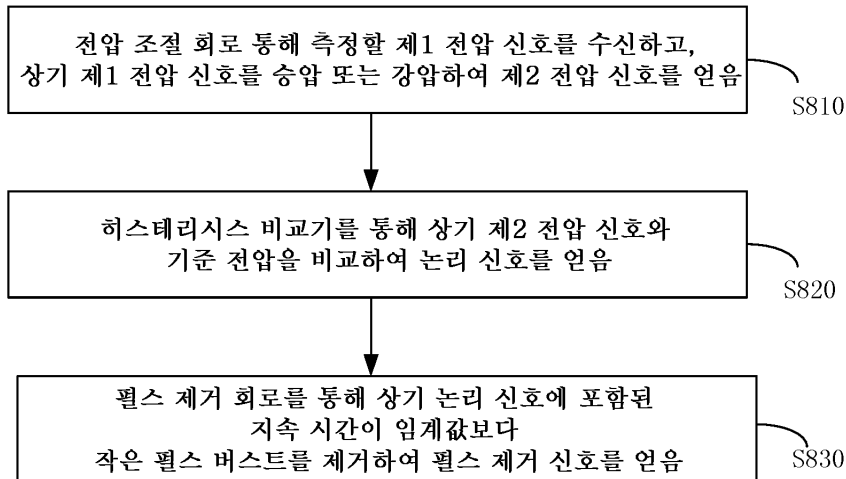
도면6



도면7



도면8



도면9

