

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 10 月 13 日 (13.10.2011)

PCT

(10) 国际公布号
WO 2011/124088 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2011/000581
- (22) 国际申请日: 2011 年 4 月 6 日 (06.04.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010142125.X 2010 年 4 月 7 日 (07.04.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELEC-
TRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Bei-
jing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou)
[CN/US]; 美国纽约州波基普西市洛克科劳斯特街
11#, Poughkeepsie, NY 12603 (US)。 骆志炯 (LUO,
Zhijiong) [CN/US]; 美国纽约州波基普西市洛克科
劳斯特街 11#, Poughkeepsie, NY 12603 (US)。 朱慧
珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西
市奥特姆路 93#, Poughkeepsie, NY 12603 (US)。
- (74) 代理人: 中国专利代理 (香港) 有限公司 (CHI-
NA PATENT AGENT (H. K.) LTD.); 中国香港特别

行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong
Kong (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB,
BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

本国际公布:

- 包括国际检索报告 (条约第 21 条(3))。

(54) Title: GATE STACK STRUCTURE, SEMICONDUCTOR DEVICE, AND METHODS FOR MANUFACTURING THEM

(54) 发明名称: 一种栅堆叠结构、半导体器件及二者的制造方法

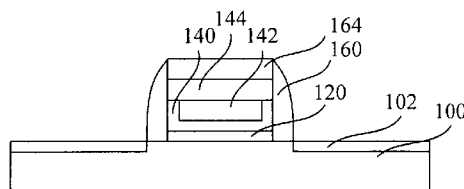


图 4 / Fig. 4

(57) Abstract: A gate stack structure and a manufacturing method thereof are provided. The structure comprises a gate dielectric layer (120) formed on an active region and a connection region (104) in a substrate (100); a gate formed on the gate dielectric layer; sidewalls (160) formed around the gate dielectric layer and the gate; and an isolating dielectric layer (164) formed on the gate and embedded in the gate, wherein the sidewalls cover the opposing sides of the isolating dielectric layer, and the thickness of the isolating dielectric layer located on the active region is larger than the thickness of the isolating dielectric layer located on the connection region. The method comprises removing a part of the gate, the thickness of the gate located on the active region is larger than that of the gate located on the connection region, to expose the opposing inner walls of the sidewalls; and forming the isolating dielectric layer on the gate, the isolating dielectric layer covers the exposed inner walls. A semiconductor device and a manufacturing method thereof are also provided. The possibility for occurrence of short circuit between the gate and a second contact hole can be reduced.

[见续页]



WO 2011/124088 A1



(57) 摘要:

提供一种栅堆叠结构及其制造方法。该结构包括栅介质层(120)，形成于基底(100)内的活性区和连接区(104)上；栅极，形成于栅介质层上；侧墙(160)，环绕栅介质层和栅极形成；以及隔离介质层(164)，隔离介质层形成于栅极上且嵌入其中，其中侧墙覆盖隔离介质层中相对的侧面，且位于活性区上的隔离介质层的厚度大于位于连接区上的隔离介质层的厚度。该方法包括去除部分栅极，位于活性区上的栅极的厚度大于位于连接区上的栅极的厚度，以暴露侧墙中相对的内壁；以及在栅极上形成隔离介质层，隔离介质层覆盖暴露的内壁。还提供了一种半导体器件及其制造方法。可以减少栅极和第二接触孔之间发生短路的可能性。

一种栅堆叠结构、半导体器件及二者的制造方法

优先权要求

本申请要求了 2010 年 4 月 7 日提交的、申请号为 201010142125X、发明名称为“一种栅堆叠结构、半导体器件及二者的制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体技术领域，具体来说，涉及一种栅堆叠结构、半导体器件及二者的制造方法。

背景技术

随着半导体器件的临界尺寸越来越小，接触孔（CA）的尺寸也越来越小，且栅极和接触孔间的距离也随之减小。

其中，国际上各主要半导体公司 and 研究组织竞相研发的课题之一为 CMOS 器件栅工程研究。通常，如图 1 所示，栅堆叠结构包括形成于基底 10 上的栅介质层 20、形成于所述栅介质层 20 上的栅极 40，以及，环绕所述栅介质层 20 和所述栅极 40 的侧墙 30。其中，栅极 40 多选用金属栅极。其中，如图 2 所示，所述栅极 40 位于所述基底 10 的活性区 12 和连接区 14 上，位于所述活性区 12 上的所述栅极 40 用以调整器件性能，位于所述连接区 14 上的所述栅极 40、形成于其上的接触孔 16 以及形成于所述活性区 12 上的所述接触孔 18 均用以形成金属互连。

如图 3 所示，在形成栅堆叠结构后，将继续形成与所述栅堆叠结构等高的第一接触孔 60，继而，在所述第一接触孔 60 上形成第二接触孔 62（所述第二接触孔 62 与第一接触孔 60 共同构成同一层间介质层 50 中的接触孔），以形成第一层金属互连。将接触孔的形成过程一分为二（本文件中简称为两次接触孔形成工艺），利于降低刻蚀过程中接触孔的深宽比，减少刻蚀不完全以及填充孔洞等缺陷。

但是，在上述工艺中，结合图 1 及图 2 所示，由于所述第二接触孔 62 与位于所述活性区 12 的所述栅极 40 距离非常近，而实践中由于工艺的限制，易于在所述第二接触孔 62 与所述栅极 40 之间发生短路（如图 3 中虚线 64 所标示）。

发明内容

为了解决上述问题，本发明提供了一种栅堆叠结构及其制造方法，可减少第二接触孔与栅极之间发生短路的可能性；本发明提供了一种半导体器件及其制造方法，可减少半导体器件内第二接触孔与栅极之间发生短路的可能性。

本发明提供的一种栅堆叠结构，包括，
栅介质层，形成于基底内的活性区和连接区上；
栅极，形成于所述栅介质层上；以及，
侧墙，环绕所述栅介质层和所述栅极；
还包括：

隔离介质层，形成于所述栅极上且嵌入其中，所述侧墙覆盖所述隔离介质层中相对的侧面，位于所述活性区上的所述隔离介质层的厚度大于位于所述连接区上的所述隔离介质层的厚度。

可选地，所述隔离介质层仅位于所述活性区上。

可选地，在包含所述栅堆叠结构的器件中引入阻挡层时，所述隔离介质层材料与阻挡层材料不同。

可选地，所述隔离介质层为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃或者低介电常数介质材料中的一种或其组合。

本发明提供的一种栅堆叠结构的制造方法，包括，

在包含活性区和连接区的基底上形成栅介质层、形成于所述栅介质层上的栅极，以及环绕所述栅介质层和所述栅极的侧墙；

还包括：

去除部分厚度的所述栅极，被去除的位于所述活性区上的厚度大于位于所述连接区上的厚度，以暴露所述侧墙中相对的内壁；

在所述栅极上形成隔离介质层，所述隔离介质层覆盖暴露的所述内壁。

可选地，去除部分厚度的所述栅极的步骤为：仅去除位于所述活性区上的所述栅极的部分厚度。

可选地，在形成栅堆叠结构后引入阻挡层时，所述隔离介质层材料与阻挡层材料不同。

可选地，所述隔离介质层为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃或者低介电常数介质材料中的一种或其组合。

本发明提供的一种半导体器件，所述半导体器件包含上述栅堆叠结构。

本发明提供的一种半导体器件的制造方法，包括，

在基底上形成栅堆叠结构；

在形成有所述栅堆叠结构的所述基底上形成金属互连；

采用上述方法形成所述栅堆叠结构。

与现有技术相比，采用本发明提供的技术方案具有如下优点：

通过在所述栅极上嵌入隔离介质层，并使所述侧墙覆盖所述隔离介质层中相对的侧面，位于活性区上的所述隔离介质层的厚度大于位于连接区上的所述隔离介质层的厚度，既可以增加位于活性区中栅极与第二接触孔之间的垂直距离，并在所述栅极与所述第二接触孔之间形成隔离带，减小所述栅极与所述第二接触孔之间发生短路的可能性；对于位于所述连接区上的所述栅极而言，又可以通过调整所述隔离介质层的厚度，以使在其上形成的所述隔离介质层的厚度尽量地小，以在刻蚀第二接触孔时，可以与两次接触孔形成工艺兼容；

通过使所述隔离介质层仅位于所述活性区上，可使在减小所述栅极与第二接触孔之间发生短路的可能性时，可使在位于所述连接区内的所述栅极上不再形成所述隔离介质层，在刻蚀第二接触孔时，可以与两次接触孔形成工艺更好地兼容；

通过使所述隔离介质层材料与阻挡层材料不同，可在刻蚀所述阻挡层以形成第二接触孔时，对所述隔离介质层的损伤控制到最小，利于保证所述栅极与所述第二接触孔之间的隔离效果。

附图说明

图 1 所示为现有技术中栅堆叠结构的结构示意图；

图 2 所示为现有技术中器件结构的俯视图；

图 3 所示为现有技术中形成第一层金属互连后的结构示意图；

图 4 所示为活性区中本发明栅堆叠结构第一实施例的结构示意图；

图 5 所示为连接区中本发明栅堆叠结构第一实施例的结构示意图；

图 6 所示为活性区中本发明栅堆叠结构第二实施例的结构示意图；

图 7 所示为连接区中本发明栅堆叠结构第二实施例的结构示意图；

图 8 至图 16 所示为施行本发明栅堆叠结构的制造方法第一实施例各步骤时的中间结构示意图；

图 17 至图 18 所示为施行本发明栅堆叠结构的制造方法第一实施例后获得的结构俯视图；

图 19 至图 21 所示为施行本发明栅堆叠结构的制造方法第二实施例各步骤时的中间结构示意图。

具体实施方式

下文的公开提供了许多不同的实施例或例子以实现本发明提供的技术方案。虽然下文中对特定例子的部件和设置进行了描述，但是，它们仅仅为示例，并且目的不在于限制本发明。

此外，本发明可以在不同实施例中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论的各种实施例和/或设置之间的关系。

本发明提供了各种特定工艺和/或材料的例子，但是，本领域普通技术人员可以意识到的其他工艺和/或其他材料的替代应用，显然未脱离本发明要求保护的范围。需强调的是，本文件内所述的各种区域的边界包含由于工艺或制程的需要所作的必要的延展。

如图 4 所示，在本发明栅堆叠结构的第一实施例中，所述栅堆叠结构包括：形成于基底 100 上的栅介质层 120、形成于所述栅介质层 120 上的栅极，以及，环绕所述栅介质层 120 和所述栅极的侧墙 160；所述栅极包括功函数金属层 140、金属层 142 和辅助金属层 144，所述功函数金属层 140 形成于所述栅介质层 120 上并向所述侧墙 160 的内壁延伸，所述金属层 142 形成于所述功函数金属层 140 上，所述辅助金属层 144 形成于所述金属层 142 上，所述辅助金属层 144 的电阻率小于所述金属层 142 的电阻率，仅在位于所述基底内活性区的所述辅助金属层 144 上还形成有隔离介质层 164，所述侧墙 160 覆盖所述隔离介质层 164 中相对的侧面。

其中，所述基底 100 意指已经历处理操作的衬底，所述处理操作包括预清洗、形成阱区及形成浅沟槽隔离区，被所述浅沟槽隔离区包围的区域为活性区，用以形成控制器件性能的栅极、源漏区及部分金属互连；在所述浅沟槽隔离区上也形成有栅极，所述栅极用以替代位于所述活性区的所述栅极完成金属互连，因此，本文件内，将完成金属互连的所述栅极所在区域称为连接区。所述衬底可以包括硅晶片或其他化合物半导体，如碳化硅、砷化镓、砷化铟或磷化铟；此外，所

述衬底优选地包括外延层；所述衬底也可以包括绝缘体上硅（SOI）结构。

所述栅介质层 120 可以选用铪基材料，如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 或 HfZrO 中的一种或其组合。侧墙 160 可以包括氮化硅、氧化硅、氮氧化硅、碳化硅中的一种或其组合。侧墙 160 可以具有多层结构。可采用传统工艺执行上述处理操作及形成所述栅介质层 120 和所述侧墙 160。

在本实施例中，所述栅极可以采用伪栅工艺形成，即，先利用如多晶硅形成伪栅，继而，形成环绕所述伪栅的侧墙，再去除所述伪栅而在所述侧墙内壁环绕的区域内形成栅极区，在所述栅极区内填充所述功函数金属层、金属层和辅助金属层后形成栅极。

所述功函数金属层 140 可以包括 TiN 、 TiAlN 、 TaN 或 TaAlN 中的一种或其组合；所述金属层 142 和所述辅助金属层 144 可以包括 Al 、 Ti 、 Ta 、 W 或 Cu 中的一种或其组合。在形成所述栅极之前，已在所述基底上按工艺要求形成轻掺杂漏区（LDD）、源漏区和接触区（所述接触区 102 多为金属硅化物，以在选用硅衬底时，使硅和随后淀积的导电材料更好地接触；为形成所述金属硅化物而在所述衬底上形成的金属材料包括 Co 、 Ni 、 Mo 、 Pt 或 W 中的一种或其组合）。所述功函数金属层 140、金属层 142 和辅助金属层 144 可以采用溅射、脉冲激光沉积（PLD）、金属有机化学气相淀积（MOCVD）、原子层淀积（ALD）、等离子体增强原子层淀积（PEALD）或其他适合的工艺形成。

可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除部分厚度的所述辅助金属层 144，以在所述栅极上形成隔离介质层 164，并使所述侧墙 160 覆盖所述隔离介质层 164 中相对的侧面。被去除的所述辅助金属层 144 的部分厚度可以根据器件性能和工艺要求灵活确定，只要利用去除部分厚度的所述辅助金属层 144 可提供容纳空间，在所述容纳空间中形成所述隔离介质层 164 后，可在所述栅极与第二接触孔之间形成附加的隔离带即可。

需说明的是，本实施例中，所述辅助金属层 144 是为减小栅极电阻而选用，作为示例，在本实施例中，所述辅助金属层 144 的厚度与所述侧墙 160 的高度之比可以大于或等于 20%，所述隔离介质层 164 的厚度与所述侧墙 160 的高度之比可以大于或等于 15%；而在栅堆叠

结构的其他实施例中，所述栅极可以只包含功函数金属层 140 和金属层 142，此时，可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除部分厚度的所述功函数金属层 140 和金属层 142，以在所述栅极上形成隔离介质层 164（此时，所述隔离介质层 164 的厚度与所述侧墙 160 的高度之比可以大于或等于 15%），并使所述侧墙 160 覆盖所述隔离介质层 164 中相对的侧面。被去除的所述功函数金属层 140 和金属层 142 的部分厚度可以根据器件性能和工艺要求灵活确定，只要利用去除部分厚度的所述功函数金属层 140 和金属层 142 可提供容纳空间，在所述容纳空间中形成所述隔离介质层 164 后，可在所述栅极与第二接触孔之间形成附加的隔离带即可。

其中，所述隔离介质层 164 可以为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃（如氟硅玻璃、硼硅玻璃、磷硅玻璃、硼磷硅玻璃、碳氧化硅或碳氮氧化硅等）或者低介电常数介质材料（如黑钻石、coral 等）中的一种或其组合。所述隔离介质层 164 可以采用化学气相沉积（CVD）、PLD、ALD、PEALD 或其他适合的工艺形成。

由于形成所述栅堆叠结构后，为形成半导体器件，需继续形成阻挡层、层间介质层及嵌入所述阻挡层和层间介质层中的第二接触孔，所述阻挡层将覆盖所述隔离介质层，所述阻挡层的材料可以为氮化硅、碳氮化硅。

在本实施例中，所述隔离介质层 164 的材料可以与所述阻挡层的材料相同，此时，由于所述隔离介质层具有一定厚度，使得在刻蚀所述阻挡层以形成第二接触孔时，即使所述第二接触孔与所述栅极距离非常近，在刻蚀所述阻挡层时导致部分厚度的所述隔离介质层被刻蚀，仍可通过预先控制所述隔离介质层的厚度，使其在经历所述阻挡层的刻蚀操作后仍保留部分厚度，以在所述栅极与所述接触孔之间形成隔离带，减小所述栅极与第二接触孔之间发生短路的可能性。

在本发明栅堆叠结构的其他实施例中，优选地，所述隔离介质层 164 的材料与阻挡层的材料不同，即，若所述阻挡层材料选为氮化硅时，所述隔离介质层 164 材料可选为未掺杂的二氧化硅。则在刻蚀所述阻挡层时，由于同一刻蚀剂（如刻蚀气体或刻蚀溶剂）对不同材料的刻蚀速率不同，可选用对所述阻挡层材料刻蚀速率快而对所述隔离介质层材料刻蚀速率较慢的刻蚀剂刻蚀所述阻挡层。此时，所述隔离介质

层被刻蚀的程度较轻，隔离效果较好。即，通过使所述隔离介质层材料与阻挡层材料不同，可在刻蚀所述阻挡层以形成第二接触孔时，对所述隔离介质层的损伤控制到最小，利于保证所述栅极与所述第二接触孔之间的隔离效果。

需强调的是，在本实施例中，所述隔离介质层仅位于所述活性区上，如图 5 所示，此时，位于所述连接区上的栅堆叠结构只包括：形成于连接区 104 上的栅极（所述连接区 104 中与所述栅极相接触的材料通常为浅沟槽隔离材料，如未掺杂的二氧化硅等），以及，环绕所述栅极的侧墙 160；所述栅极包括功函数金属层 140、金属层 142 和辅助金属层 144，所述功函数金属层 140 形成于所述栅介质层 120 上并向所述侧墙 160 的内壁延伸，所述金属层 142 形成于所述功函数金属层 140 上，所述辅助金属层 144 形成于所述金属层 142 上，所述辅助金属层 144 的电阻率小于所述金属层 142 的电阻率。换言之，在位于所述连接区 104 上的栅堆叠结构中不包括隔离介质层。如此，在后续利用两次接触孔形成工艺刻蚀第二接触孔时，由于连接于所述栅极的第二接触孔和连接于第一接触孔的第二接触孔同步形成，对位于所述连接区 104 上的栅堆叠结构中不做改变，利于引入新结构的所述栅堆叠结构与两次接触孔形成工艺更好地兼容。

但是，在本发明栅堆叠结构的其他实施例中，在位于所述连接区 104 上的栅堆叠结构中也可以包括隔离介质层，只是位于所述活性区上的所述隔离介质层的厚度需大于位于所述连接区上的所述隔离介质层的厚度。此时，虽然在位于所述连接区 104 上的栅堆叠结构中引入所述隔离介质层，将导致在刻蚀连接于所述栅极的第二接触孔和连接于第一接触孔的第二接触孔时，需去除的介质层的厚度不同；在刻蚀连接于第一接触孔的第二接触孔时，只需去除形成于所述第一接触孔上的层间介质层和阻挡层，而在刻蚀连接于所述栅极的第二接触孔时，在去除形成于所述栅极之上的层间介质层和阻挡层之余，还要去除形成于所述栅极之上的隔离介质层。即使如此，仍可通过调整所述隔离介质层的形成工艺，而使引入新结构的所述栅堆叠结构与两次接触孔形成工艺兼容。由于在刻蚀连接于第一接触孔的第二接触孔时，为优化刻蚀效果，通常需引入过刻蚀操作，则通过使形成于连接区中的栅极上的所述隔离介质层尽量薄，可以使所述隔离介质层在所述过刻蚀

操作中被去除（即使所述隔离介质层与所述阻挡层材料不同，选用的刻蚀剂对二者的刻蚀效果不同，但是用以去除所述阻挡层材料的刻蚀剂也总会在一定程度上刻蚀所述隔离介质层材料，只要所述隔离介质层尽量薄，该操作是可以实现的；此外，为在所述活性区和所述连接区上形成不同厚度的所述隔离介质层，预先被去除的所述栅极的厚度是不同的，此时，可利用单掩模多刻蚀深度工艺去除不同厚度的所述栅极；所述单掩模多刻蚀深度工艺意指在一块掩模中形成具有不同灰度的图形，利用每一灰度图形可刻蚀具有单一厚度的材料），以使引入新结构的所述栅堆叠结构与两次接触孔形成工艺兼容。

如图 6 所示，在本发明栅堆叠结构的第二实施例中，所述栅堆叠结构包括：形成于基底 100 上的栅介质层 120、形成于所述栅介质层 120 上的栅极，以及，环绕所述栅介质层 120 和所述栅极的侧墙 160；所述栅极包括多晶硅 146（优选为掺杂的多晶硅），在所述栅极上还形成有隔离介质层 164，所述侧墙 160 覆盖所述隔离介质层 164 中相对的侧面。

可采用传统工艺执行形成所述基底所需的处理操作及形成所述栅介质层 120、栅极和所述侧墙 160。在所述基底 100 上还形成有接触区 102。可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除部分厚度的所述多晶硅 146。被去除的部分所述多晶硅 146 的厚度可以根据器件性能和工艺要求灵活确定，只要利用去除部分厚度的所述多晶硅层 146 可提供容纳空间，并在所述容纳空间中形成所述隔离介质层 164，以在所述栅极与所述接触孔之间形成附加的隔离带即可。

需强调的是，在本实施例中，所述隔离介质层仅位于所述活性区上，如图 7 所示，此时，位于所述连接区上的栅堆叠结构只包括：形成于所述连接区 104 上的栅极，以及，环绕所述栅极的侧墙 160；所述栅极包括多晶硅 146（优选为掺杂的多晶硅）。

其中，所述隔离介质层可以为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃（如氟硅玻璃、硼硅玻璃、磷硅玻璃、硼磷硅玻璃、碳氧化硅或碳氮氧化硅等）或者低介电常数介质材料（如黑钻石、coral 等）中的一种或其组合；所述隔离介质层的厚度与所述侧墙的高度之比可以大于或等于 15%；所述隔离介质层材料可以与阻挡层材料相同

或不同。所述隔离介质层既可以仅位于所述活性区上；也可以同时位于所述活性区和连接区上，只是位于所述活性区上的所述隔离介质层的厚度大于位于所述连接区上的所述隔离介质层的厚度。所述隔离介质层的厚度与所述侧墙的高度之比可以大于或等于 15%。具体因由如前述实施例中所述，不再赘述。

通过在所述栅极上嵌入隔离介质层，并使所述侧墙覆盖所述隔离介质层中相对的侧面，位于活性区上的所述隔离介质层的厚度大于位于连接区上的所述隔离介质层的厚度（换言之，位于活性区上的所述栅极的厚度小于位于连接区上的所述栅极的厚度），既可以增加位于活性区中栅极与第二接触孔之间的垂直距离，并在所述栅极与所述第二接触孔之间形成隔离带，减小所述栅极与所述第二接触孔之间发生短路的可能性；对于位于所述连接区上的所述栅极而言，又可以通过调整所述隔离介质层的厚度，以使在其上形成的所述隔离介质层的厚度尽量地小，以在刻蚀第二接触孔时，可以与两次接触孔形成工艺兼容。

需说明的是，随着技术的发展，所述栅极还可以选择除金属或多晶硅之外的其他替代材料，在上述实施例的教导下，本领域技术人员利用此替代材料时，能够灵活应用本发明所提供的技术方案，不再赘述。

本发明还提供了一种栅堆叠结构的制造方法。

具体地，在所述制造方法的第一实施例中，所述制造方法包括：

首先，如图 8 所示，在所述基底 200 上顺序形成所述栅介质层 220、伪栅 240、轻掺杂漏区（未示出）、环绕所述伪栅 240 和栅介质层 220 的侧墙 260、覆盖所述伪栅 240 的盖层 262，以及，源漏区（未示出）和接触区 202。

其中，所述基底 200 意指已经历处理操作的衬底，所述处理操作包括预清洗、形成阱区及完成浅沟槽隔离。所述衬底可以包括硅晶片或其他化合物半导体，如碳化硅、砷化镓、砷化铟或磷化铟；此外，所述衬底可选地包括外延层；所述衬底也可以包括绝缘体上硅（SOI）结构。

所述栅介质层 220 可以选用铪基材料，如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 或 HfZrO 中的一种或其组合。侧墙 260 及覆盖所述伪

栅的盖层 262 均可以包括氮化硅、氧化硅、氮氧化硅、碳化硅中的一种或其组合。侧墙 260 可以具有多层结构。所述伪栅 240 可选用多晶硅或非晶硅。可采用传统工艺执行上述处理操作及形成所述栅介质层 220、侧墙 260、伪栅 240 和覆盖所述伪栅 240 的盖层 262，以及轻掺杂漏区、源漏区和接触区 202。所述接触区 202 多为金属硅化物，以在选用硅衬底时，使硅和随后淀积的导电材料更好地接触；为形成所述金属硅化物而在所述衬底上形成的金属材料包括 Co、Ni、Mo、Pt 或 W 中的一种或其组合。

然后，如图 9 所示，在经历上述操作的所述基底 200 上形成层间介质层 280，继而，平坦化所述层间介质层 280 并去除覆盖所述伪栅 240 的盖层 262，以暴露所述伪栅 240。

其中，可以采用如 CVD 及/或其他合适的工艺形成所述层间介质层 280，所述层间介质层 280 包括氧化硅、氟硅玻璃、硼硅玻璃、磷硅玻璃、硼磷硅玻璃、低 k 电介质材料（如黑钻石、coral 等）中的一种或其组合。所述层间介质层 280 可以具有多层结构。可以采用如化学机械研磨（CMP）工艺执行平坦化所述层间介质层 280 及去除覆盖所述伪栅 240 的盖层 262 的操作。

随后，如图 10 所示，去除所述伪栅 240，获得由所述侧墙 260 内壁围成的栅极空间，顺次形成功函数金属层 242 和金属层 244 以填充所述栅极空间。

可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除所述伪栅 240。在去除所述伪栅 240 后，可以根据工艺要求灵活选择保留所述栅介质层 220 或去除所述栅介质层 220 而重新形成所述栅介质层 220 以优化器件性能。

所述功函数金属层 242 可以包括 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合；所述金属层 244 可以包括 Al、Ti、Ta、W 或 Cu 中的一种或其组合。可以采用溅射、PLD、MOCVD、ALD、PEALD 或其他适合的工艺形成所述功函数金属层 242 和金属层 244。

再后，如图 11 所示，去除位于所述栅极空间以外的所述功函数金属层 242 和金属层 244。

可以采用如化学机械研磨（CMP）工艺去除位于所述栅极空间以外的所述功函数金属层 242 和金属层 244。

而后，如图 12 所示，去除所述栅极空间内部分厚度的所述功函数金属层 242 和金属层 244。

可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除所述栅极空间内部分厚度的所述功函数金属层 242 和金属层 244。

随后，如图 13 所示，在所述金属层 244 上形成辅助金属层 246，所述辅助金属层 246 的电阻率小于所述金属层 244 的电阻率。

可以采用溅射、PLD、MOCVD、ALD、PEALD 或其他适合的工艺形成所述辅助金属层 246。所述辅助金属层 246 可以包括 Al、Ti、Ta、W 或 Cu 中的一种或其组合。

之后，如图 14 所示，去除位于所述栅极空间以外的所述辅助金属层 246。

可以采用如化学机械研磨（CMP）工艺去除位于所述栅极空间以外的所述辅助金属层 246。

再后，如图 15 所示，再去除活性区中位于所述栅极空间以内的部分厚度的所述辅助金属层 246，以暴露所述侧墙中相对的内壁。

可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除所述栅极空间内部分厚度的所述辅助金属层 246。被去除的部分所述辅助金属层 246 的厚度可以根据器件性能和工艺要求灵活确定，只要利用去除部分厚度的所述辅助金属层 246 可提供容纳空间，在所述容纳空间中形成所述隔离介质层 264 后，可在所述栅极与第二接触孔之间形成附加的隔离带即可。

最后，如图 16 所示，在所述辅助金属层 246 上形成隔离介质层 264，所述隔离介质层 264 覆盖暴露的所述内壁。在去除位于栅极空间之外的所述隔离介质层 264 之后，可继续执行形成层间介质层及第二接触孔等操作。此时，如图 17 所示，只在活性区 106 上形成有所述隔离介质层 264。

所述隔离介质层 264 可以为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃（如氟硅玻璃、硼硅玻璃、磷硅玻璃、硼磷硅玻璃、碳氧化硅或碳氮氧化硅等）或者低介电常数介质材料（如黑钻石、coral 等）中的一种或其组合。可以采用 CVD、PLD、ALD 或 PEALD 等工艺形成所述隔离介质层 264。

需说明的是，本实施例中，所述辅助金属层 246 是为减小栅极电

阻而选用，作为示例，在本实施例中，所述辅助金属层 144 的厚度与所述侧墙 160 的高度之比可以大于或等于 20%，所述隔离介质层 164 的厚度与所述侧墙 160 的高度之比可以大于或等于 15%；在栅堆叠结构的其他实施例中，所述栅极可只包含功函数金属层 242 和金属层 244，此时，可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除部分厚度的所述功函数金属层 242 和金属层 244，以在活性区的所述栅极上形成隔离介质层 264（此时，所述隔离介质层 264 的厚度与所述侧墙 160 的高度之比可以大于或等于 15%），并使所述侧墙 260 覆盖所述隔离介质层 264 中相对的侧面。被去除的所述功函数金属层 242 和金属层 244 的部分厚度可以根据器件性能和工艺要求灵活确定，只要利用去除部分厚度的所述功函数金属层 242 和金属层 244 可提供容纳空间，在所述容纳空间中形成所述隔离介质层 264 后，可在所述栅极与第二接触孔之间形成附加的隔离带即可。

由于形成所述栅堆叠结构后，为形成半导体器件，需继续形成阻挡层、层间介质层及嵌入所述阻挡层和层间介质层中的第二接触孔，所述阻挡层将覆盖所述隔离介质层，所述阻挡层的材料可以为氮化硅、碳氮化硅。

在本实施例中，所述隔离介质层的材料可以与所述阻挡层的材料相同，此时，由于所述隔离介质层具有一定厚度，使得在刻蚀所述阻挡层以形成第二接触孔时，即使所述第二接触孔与所述栅极距离非常近，在刻蚀所述阻挡层时导致部分厚度的所述隔离介质层被刻蚀，仍可通过预先控制所述隔离介质层的厚度，使其在经历所述阻挡层的刻蚀操作后仍保留部分厚度，以在所述栅极与所述接触孔之间形成隔离带，减小所述栅极与第二接触孔之间发生短路的可能性。

在本发明栅堆叠结构的其他实施例中，优选地，所述隔离介质层材料与阻挡层材料不同。则在刻蚀所述阻挡层时，由于同一刻蚀剂（如刻蚀气体或刻蚀溶剂）对不同材料的刻蚀速率不同，可选用对所述阻挡层材料刻蚀速率快而对所述隔离介质层材料刻蚀速率较慢的刻蚀剂刻蚀所述阻挡层。此时，所述隔离介质层被刻蚀的程度较轻，隔离效果较好。即，通过使所述隔离介质层材料与阻挡层材料不同，可在刻蚀所述阻挡层以形成第二接触孔时，对所述隔离介质层的损伤控制到最小，利于保证所述栅极与第二接触孔之间的隔离效果。

需强调的是，在本发明的其他实施例中，如图 18 所示，在去除活性区中位于所述栅极空间以内的部分厚度的所述辅助金属层 246 之后，还可以再去去除连接区中位于所述栅极空间以内的部分厚度的所述辅助金属层 246，但需使被去除的位于所述活性区上的厚度大于位于所述连接区上的厚度，以暴露所述侧墙中相对的内壁。此时，在活性区和连接区上均形成有所述隔离介质层 264。

此时，虽然在位于所述连接区上的栅堆叠结构中引入所述隔离介质层，将导致在刻蚀连接于所述栅极的第二接触孔和连接于第一接触孔的第二接触孔时，需去除的介质层的厚度不同；在刻蚀连接于第一接触孔的第二接触孔时，只需去除形成于所述第一接触孔上的层间介质层和阻挡层，而在刻蚀连接于所述栅极的第二接触孔时，在去除形成于所述栅极之上的层间介质层和阻挡层之余，还要去除形成于所述栅极之上的隔离介质层。即使如此，仍可通过调整所述隔离介质层的形成工艺，而使引入新结构的所述栅堆叠结构与两次接触孔形成工艺兼容。由于在刻蚀连接于第一接触孔的第二接触孔时，为优化刻蚀效果，通常需引入过刻蚀操作，则通过使形成于连接区中的栅极上的所述隔离介质层尽量薄，可以使所述隔离介质层在所述过刻蚀操作中被去除（即使所述隔离介质层与所述阻挡层材料不同，选用的刻蚀剂对二者的刻蚀效果不同，但是用以去除所述阻挡层材料的刻蚀剂也总会在一定程度上刻蚀所述隔离介质层材料，只要所述隔离介质层尽量薄，该操作是可以实现的；此外，为在所述活性区和所述连接区上形成不同厚度的所述隔离介质层，预先被去除的所述栅极的厚度是不同的，此时，可利用单掩模多刻蚀深度工艺去除不同厚度的所述栅极），以使引入新结构的所述栅堆叠结构与两次接触孔形成工艺兼容。

只不过在去除栅极空间内部分厚度的所述辅助金属层时，对连接区内的所述栅极不做变动，由于连接于所述栅极的第二接触孔和连接于第一接触孔的第二接触孔同步形成，利于引入新结构的所述栅堆叠结构与两次接触孔形成工艺更好地兼容。

在所述制造方法的第二实施例中，所述制造方法包括：

首先，如图 19 所示，在所述基底 200 上顺序形成所述栅介质层 220、多晶硅栅极 248、轻掺杂漏区（未示出）、环绕所述多晶硅栅极 248 和栅介质层 220 的侧墙 260、覆盖所述多晶硅栅极 248 的盖层 262，以及，

源漏区（未示出）和接触区 202。

可采用传统工艺形成所述多晶硅栅极 248。

然后，如图 20 所示，在经历上述操作的所述基底 200 上形成层间介质层 280，继而，平坦化所述层间介质层 280 并去除覆盖所述多晶硅栅极 248 的盖层 262，以暴露所述多晶硅栅极 248。

可以采用如化学机械研磨（CMP）工艺执行所述平坦化操作。

最后，如图 21 所示，去除活性区内部分厚度的所述多晶硅栅极 248，在所述多晶硅栅极 248 上形成隔离介质层 264，所述侧墙 260 覆盖所述隔离介质层 264 中相对的侧面。

可以采用如反应离子刻蚀（RIE）等干法刻蚀技术或湿法刻蚀技术去除部分厚度的所述多晶硅 248。被去除的部分所述多晶硅 248 的厚度可以根据器件性能和工艺要求灵活确定（被去除的部分所述多晶硅 248 的厚度与所述侧墙 260 的高度之比可以大于或等于 15%），只要利用去除部分厚度的所述多晶硅层 248 可提供容纳空间，所述容纳空间可在栅极与所述接触孔之间形成附加的隔离带即可。形成所述隔离介质层 264 的操作与前述实施例中相同，不再赘述。

需说明的是，在本发明的其他实施例中，在去除活性区中位于所述栅极空间以内的部分厚度的所述多晶硅 248 时或之后，还可以去除连接区中位于所述栅极空间以内的部分厚度的所述多晶硅 248，但需使被去除的位于所述活性区上的厚度大于位于所述连接区上的厚度，以暴露所述侧墙中相对的内壁。因由如前所述，不再赘述。

通过在所述栅极上嵌入隔离介质层，并使所述侧墙覆盖所述隔离介质层中相对的侧面，位于活性区上的所述隔离介质层的厚度大于位于连接区上的所述隔离介质层的厚度（换言之，位于活性区上的所述栅极的厚度小于位于连接区上的所述栅极的厚度），既可以增加位于活性区中栅极与第二接触孔之间的垂直距离，并在所述栅极与所述第二接触孔之间形成隔离带，减小所述栅极与所述第二接触孔之间发生短路的可能性；对于位于所述连接区上的所述栅极而言，又可以通过调整所述隔离介质层的厚度，以使在其上形成的所述隔离介质层的厚度尽量地小，以在刻蚀第二接触孔时，可以与两次接触孔形成工艺兼容。

本发明还提供了一种半导体器件，所述半导体器件包含如前述实

施例中所述的栅堆叠结构。

本发明还提供了一种半导体器件的制造方法，包括，
在基底上形成栅堆叠结构；

在形成有所述栅堆叠结构的所述基底上形成金属互连；其中，采用如前述实施例中的所述的方法形成所述栅堆叠结构。不再赘述。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、结构、制造、物质组成、手段、方法及步骤。根据本发明的公开内容，本领域技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，它们在执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果时，依照本发明的教导，可以对它们进行应用，而不脱离本发明所要求保护的范围。

权 利 要 求

1. 一种栅堆叠结构, 包括,
栅介质层, 形成于基底内的活性区和连接区上;
栅极, 形成于所述栅介质层上; 以及,
侧墙, 环绕所述栅介质层和所述栅极;
其特征在于, 还包括:

隔离介质层, 形成于所述栅极上且嵌入其中, 所述侧墙覆盖所述隔离介质层中相对的侧面, 位于所述活性区上的所述隔离介质层的厚度大于位于所述连接区上的所述隔离介质层的厚度。

2. 根据权利要求 1 所述的栅堆叠结构, 其特征在于: 所述隔离介质层仅位于所述活性区上。

3. 根据权利要求 2 所述的栅堆叠结构, 其特征在于: 在包含所述栅堆叠结构的器件中引入阻挡层时, 所述隔离介质层材料与所述阻挡层材料不同。

4. 根据权利要求 1 所述的栅堆叠结构, 其特征在于: 在包含所述栅堆叠结构的器件中引入阻挡层时, 所述隔离介质层材料与阻挡层材料不同。

5. 根据权利要求 1 至 4 中任一项所述的栅堆叠结构, 其特征在于: 所述隔离介质层为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃或者低介电常数介质材料中的一种或其组合。

6. 一种栅堆叠结构的制造方法, 包括,

在包含活性区和连接区的基底上形成栅介质层、形成于所述栅介质层上的栅极, 以及环绕所述栅介质层和所述栅极的侧墙;

其特征在于, 还包括:

去除部分厚度的所述栅极, 被去除的位于所述活性区上的厚度大于位于所述连接区上的厚度, 以暴露所述侧墙中相对的内壁;

在所述栅极上形成隔离介质层, 所述隔离介质层覆盖暴露的所述内壁。

7. 根据权利要求 6 所述的方法, 其特征在于, 去除部分厚度的所述栅极的步骤为: 仅去除位于所述活性区上的所述栅极的部分厚度。

8. 根据权利要求 7 所述的方法, 其特征在于: 在形成栅堆叠结构

后引入阻挡层时，所述隔离介质层材料与阻挡层材料不同。

9. 根据权利要求 6 所述的方法，其特征在于：在形成栅堆叠结构后引入阻挡层时，所述隔离介质层材料与阻挡层材料不同。

10. 根据权利要求 6 至 9 中任一项所述的方法，其特征在于：所述隔离介质层为氮化硅、碳氮化硅、掺杂或未掺杂的氧化硅玻璃或者低介电常数介质材料中的一种或其组合。

11. 一种半导体器件，其特征在于：所述半导体器件包含如权利要求 1 至 5 所述的栅堆叠结构。

12. 一种半导体器件的制造方法，包括，

在基底上形成栅堆叠结构；

在形成有所述栅堆叠结构的所述基底上形成金属互连；

其特征在于：采用如权利要求 6 至 10 所述的方法形成所述栅堆叠结构。

1/5

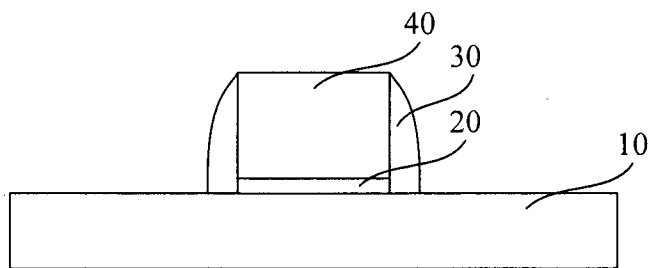


图 1

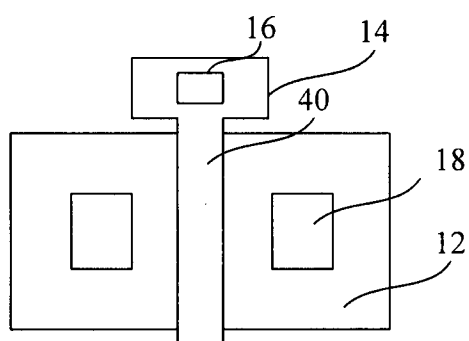


图 2

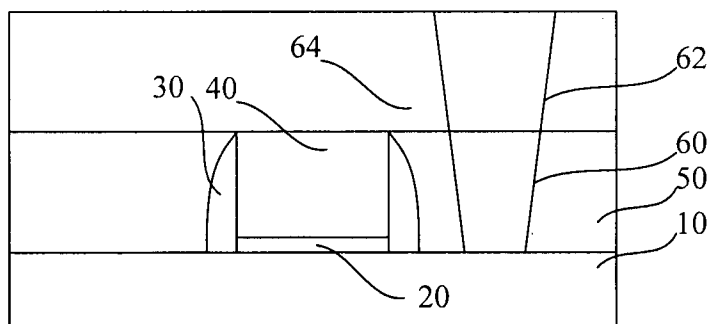


图 3

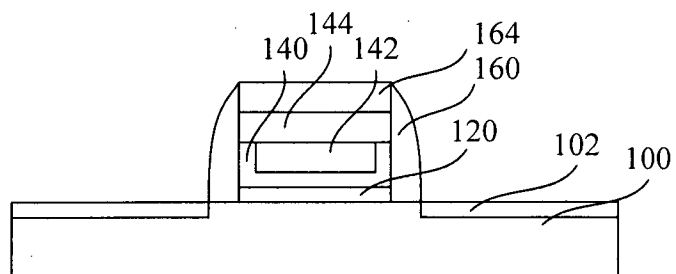


图 4

2/5

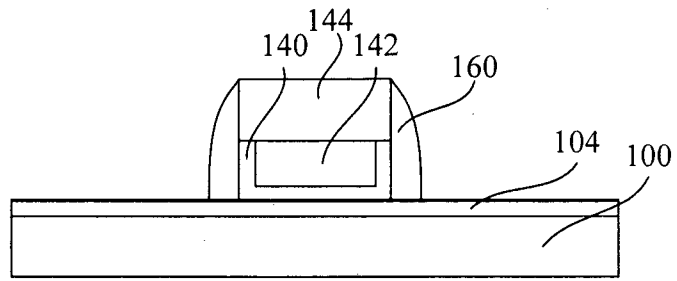


图 5

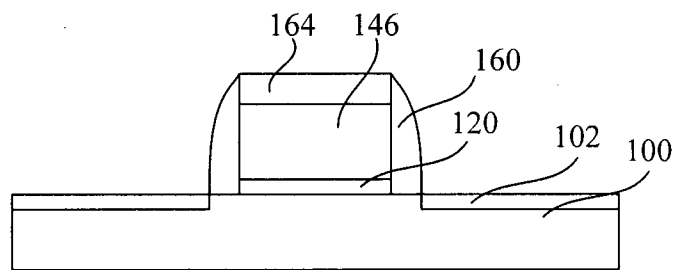


图 6

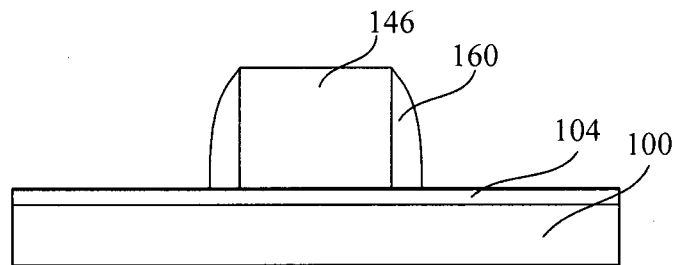


图 7

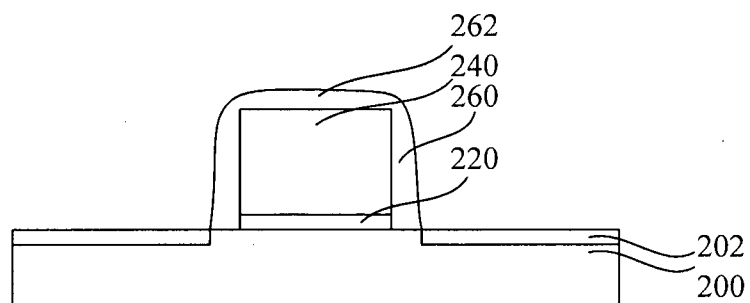


图 8

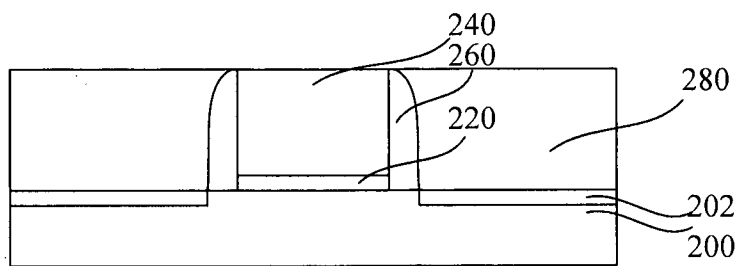


图 9

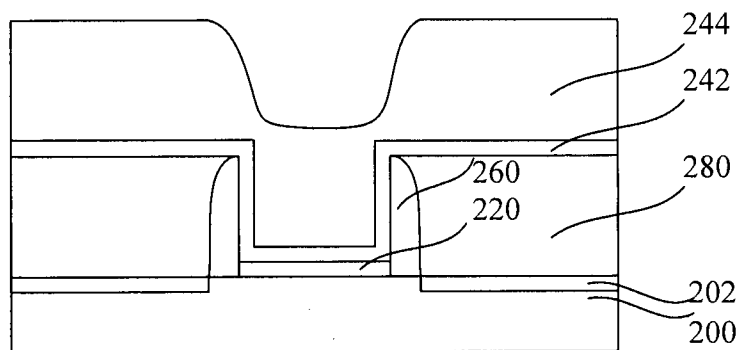


图 10

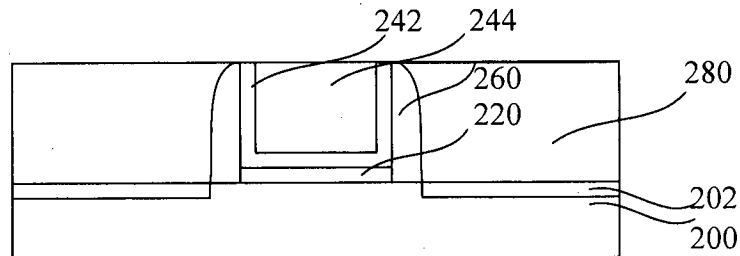


图 11

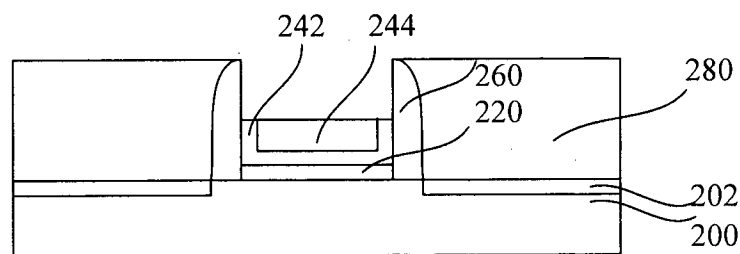


图 12

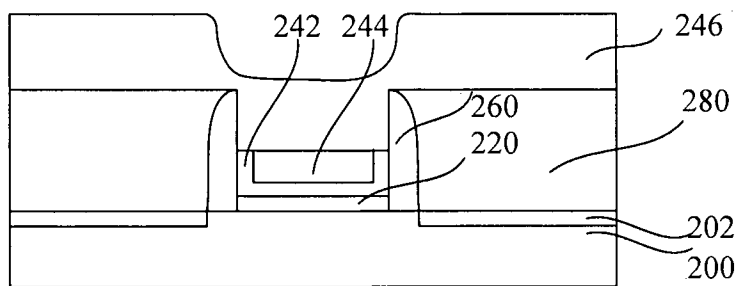


图 13

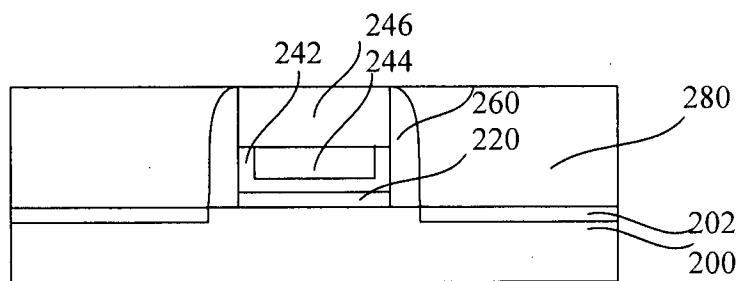


图 14

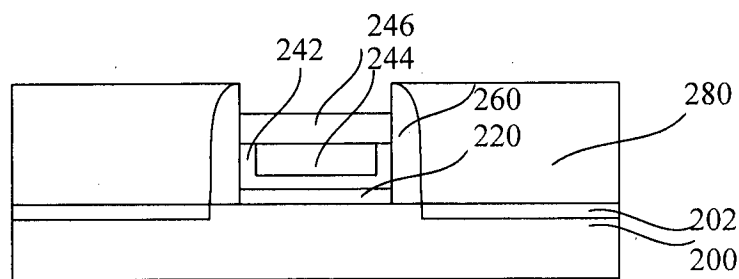


图 15

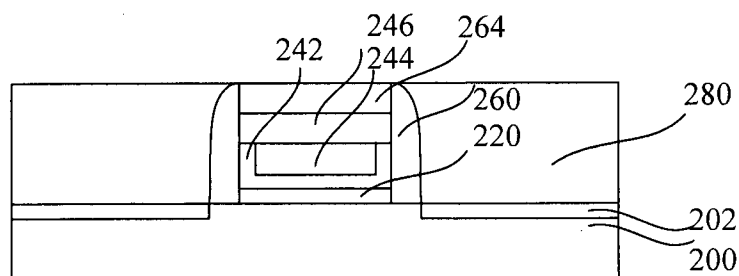


图 16

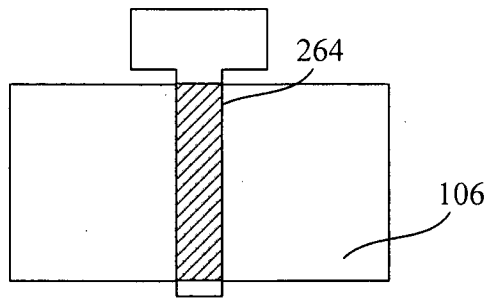


图 17

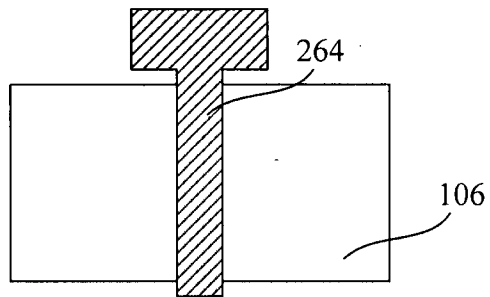


图 18

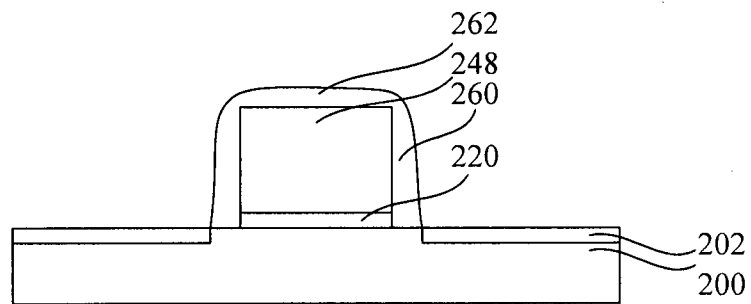


图 19

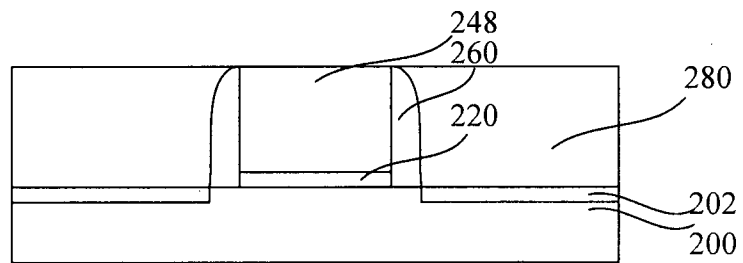


图 20

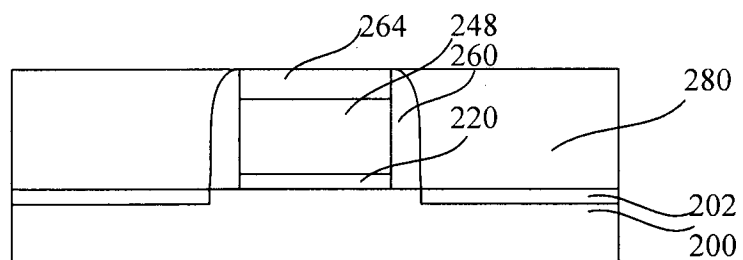


图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/000581

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,EPODOC,WPI: gate, stack+, sidewall?, dielectric, connect+, thickness

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US2006/0003524A1 (Anke Krasemann) 05 Jan. 2006(05.01.2006) see the whole document	1-12
A	CN101099233A(TEXAS INSTR INC) 02 Jan. 2008(02.01.2008) see the whole document	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 Jun. 2011(16.06.2011)	Date of mailing of the international search report 07 Jul. 2011 (07.07.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer YANG,Zifang Telephone No. (86-10)62411806

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/000581

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2006/0003524A1	05.01.2006	DE102004028852A1	05.01.2006
		DE102004028852B4	05.04.2007
		US7390713B2	24.06.2008
CN101099233A	02.01.2008	US2006099744A1	11.05.2006
		WO2006053338A2	18.05.2006
		US7118977B2	10.10.2006
		JP2008520115T	12.06.2008

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/000581

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

国际检索报告

国际申请号

PCT/CN2011/000581

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI,EPODOC,WPI: 栅, 堆叠, 叠层, 叠置, 层叠, 侧壁, 侧墙, 介质, 连接, 厚度, gate, stack+, sidewall?, dielectric, connect+, thickness

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2006/0003524A1(Anke Krasemann) 05.1 月 2006(05.01.2006) 参见全文	1-12
A	CN101099233A(德克萨斯仪器股份有限公司) 02.1 月 2008(02.01.2008) 参见全文	1-12



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

16.6 月 2011(16.06.2011)

国际检索报告邮寄日期

07.7 月 2011 (07.07.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

杨子芳

电话号码: (86-10) **62411806**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/000581

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2006/0003524A1	05.01.2006	DE102004028852A1	05.01.2006
		DE102004028852B4	05.04.2007
		US7390713B2	24.06.2008
CN101099233A	02.01.2008	US2006099744A1	11.05.2006
		WO2006053338A2	18.05.2006
		US7118977B2	10.10.2006
		JP2008520115T	12.06.2008

A. 主题的分类

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i