

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】令和 5 年 12 月 28 日(2023.12.28)

【公開番号】特開 2023-87065(P2023-87065A)
【公開日】令和 5 年 6 月 22 日(2023.6.22)
【年通号数】公開公報(特許)2023-116
【出願番号】特願 2023-76187(P2023-76187)
【国際特許分類】

H 0 4 N 2 5 / 6 1 7 (2 0 2 3 . 0 1)

10

H 0 4 N 2 5 / 7 7 8 (2 0 2 3 . 0 1)

H 0 4 N 2 5 / 7 9 (2 0 2 3 . 0 1)

【 F I 】

H 0 4 N 2 5 / 6 1 7

H 0 4 N 2 5 / 7 7 8

H 0 4 N 2 5 / 7 9

【手続補正書】

【提出日】令和 5 年 12 月 20 日(2023.12.20)

【手続補正 1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素を含む画素アレイと、第一の信号線と、第二の信号線と、を有し、
前記画素アレイは 2 つ以上の画素を含む第一の画素列を有し、
前記第一の画素列に含まれる第一の画素は前記第一の信号線を介して第一の回路群に接続
され、
前記第一の画素列に含まれる第二の画素は前記第二の信号線を介して第二の回路群に接続
され、
前記第一の回路群に含まれる第一の回路と
前記第二の回路群に含まれ前記第一の回路と同一の機能を有する第二の回路と、
を有し、
前記第一の回路と、前記第二の回路と、が異なる列に配置されることを特徴とする光電変
換装置。

30

【請求項 2】

前記第一の画素を覆う第一のカラーフィルタと、前記第二の画素を覆う第二のカラーフィ
ルタと、が同一の色に対応することを特徴とする請求項 1 に記載の光電変換装置。

40

【請求項 3】

前記第一の回路と、前記第二の回路と、が同一の行に配置されることを特徴とする請求項
1 または請求項 2 のいずれか一項に記載の光電変換装置。

【請求項 4】

前記第一の回路と、前記第二の回路と、が隣接する異なる列に配置されることを特徴とす
る請求項 1 乃至請求項 3 のいずれか一項に記載の光電変換装置。

【請求項 5】

第三の信号線と、第四の信号線と、を有し、
前記第一の画素列に含まれる第三の画素は前記第三の信号線を介して第三の回路群に接続
され、前記第一の画素列に含まれる第四の画素は前記第四の信号線を介して第四の回路群

50

に接続され、

前記第三の回路群に含まれ前記第一の回路と同一の機能を有する第三の回路と、前記第四の回路群に含まれ前記第一の回路と同一の機能を有する第四の回路と、を有し、
前記第三の回路と、前記第四の回路と、が異なる列に配置され、前記第一の回路と、前記第三の回路と、が異なる行に配置され、前記第二の回路と、前記第四の回路と、が異なる行に配置されることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の光電変換装置。

【請求項 6】

前記第一の画素を覆う第一のカラーフィルタと、前記第二の画素を覆う第二のカラーフィルタと、前記第三の画素を覆う第三のカラーフィルタと、前記第四の画素を覆う第四のカラーフィルタと、が同一の色に対応することを特徴とする請求項 5 に記載の光電変換装置。

10

【請求項 7】

前記第一の回路と、前記第二の回路と、が同一の行に配置され、前記第三の回路と、前記第四の回路と、が同一の行に配置されることを特徴とする請求項 5 または請求項 6 のいずれか一項に記載の光電変換装置。

【請求項 8】

前記第一の回路と、前記第二の回路と、が隣接する異なる列に配置され、前記第三の回路と、前記第四の回路と、が隣接する異なる列に配置され、前記第一の回路と、前記第三の回路と、が隣接する異なる行に配置され、前記第二の回路と、前記第四の回路と、が隣接する異なる行に配置されることを特徴とする請求項 5 乃至請求項 7 のいずれか一項に記載の光電変換装置。

20

【請求項 9】

前記第一の回路群に含まれ前記第一の回路と異なる機能を有する第五の回路を有し、
上面視において、前記第一の回路と前記第五の回路との間に前記第三の回路が配置されることを特徴とする請求項 5 乃至請求項 8 のいずれか一項に記載の光電変換装置。

【請求項 10】

前記第一の回路群の一部の配置は、前記第三の回路群の一部を反転させた配置であることを特徴とする請求項 5 乃至請求項 9 のいずれか一項に記載の光電変換装置。

【請求項 11】

前記第一の回路はトランジスタであり、
前記第二の回路は前記第一の回路と同一の機能を持ったトランジスタであることを特徴とする請求項 1 乃至請求項 10 のいずれか一項に記載の光電変換装置。

30

【請求項 12】

複数の画素を含む画素アレイを有し、

前記複数の画素のうち第一の画素と第二の画素とは第一の方向に並んで配され、異なる色に対応し、

前記第一の画素は、第一の信号線を介して第一の回路群と接続され、

前記第二の画素は、第二の信号線を介して第二の回路群と接続され、

前記第一の回路群に含まれる第一の回路と、第二の回路と、前記第二の回路群に含まれ、前記第一の回路と同一の機能を持った第三の回路と、を有し、

40

上面視において、前記第一の回路と前記第三の回路との間に前記第二の回路が配置されることを特徴とする光電変換装置。

【請求項 13】

前記第一の画素を覆う第一のカラーフィルタと、前記第二の画素を覆う第二のカラーフィルタとの対応する色が異なることを特徴とする請求項 12 に記載の光電変換装置。

【請求項 14】

前記第一の回路はトランジスタであり、

前記第三の回路は前記第一の回路と同一の機能を持ったトランジスタであることを特徴とする請求項 12 または請求項 13 のいずれか一項に記載の光電変換装置。

50

【請求項 15】

前記第一の回路群及び第二の回路群のそれぞれは、比較器と、前記比較器の出力に応じた信号を保持する第一のメモリと、前記第一のメモリの出力を取り込む第二のメモリと、を含み、

前記第一の回路群の前記第一のメモリと前記第二の回路群の第一のメモリとの間に前記第一の回路群の前記第二のメモリが配されることを特徴とする請求項 12 乃至請求項 14 のいずれか一項に記載の光電変換装置。

【請求項 16】

第一の画素と、第二の画素と、を含む画素アレイを有し、

前記第一の画素に第一の信号線を介して接続される第一の回路群と、

前記第二の画素に第二の信号線を介して接続される第二の回路群と、を有し

前記第一の回路群及び第二の回路群のそれぞれは、比較器と、前記比較器の出力に応じた信号を保持する第一のメモリと、前記第一のメモリの出力を取り込む第二のメモリと、を含み、

前記第一の回路群の前記第一のメモリと前記第一の回路群の前記第二のメモリとの間に前記第二の回路群の少なくとも一部が配されることを特徴とする光電変換装置。

【請求項 17】

前記第一の回路群の前記第一のメモリと前記第一の回路群の前記第二のメモリとの間に前記第二の回路群の前記第一のメモリが配されることを特徴とする請求項 16 記載の光電変換装置。

【請求項 18】

前記第一の回路群と前記第二の回路群とは、異なる色に応じた信号を処理することを特徴とする請求項 16 または請求項 17 のいずれか一項に記載の光電変換装置。

【請求項 19】

前記第一の回路群の一部の配置は、前記第二の回路群の一部を反転させた配置であることを特徴とする請求項 12 乃至請求項 18 のいずれか一項に記載の光電変換装置。

【請求項 20】

前記第一の画素及び前記第二の画素は第一の半導体基板に形成され、

前記第一の回路群及び第二の回路群は第二の半導体基板に形成され、

前記第一の半導体基板及び前記第二の半導体基板を含む複数の半導体基板を積層して構成されることを特徴とする請求項 1 乃至請求項 19 のいずれか一項に記載の光電変換装置。

【請求項 21】

前記第一の回路群及び前記第二の回路群に含まれる回路のそれぞれは、アナログ部と、デジタル部とを含み、

前記回路の前記アナログ部を配置した半導体基板と、前記デジタル部を配置した半導体基板とが異なることを特徴とする請求項 20 記載の光電変換装置。

【請求項 22】

前記アナログ部は電流源もしくは比較器を含むことを特徴とする請求項 21 記載の光電変換装置。

【請求項 23】

前記デジタル部はラッチ回路を含むことを特徴とする請求項 21 または請求項 22 のいずれか一項に記載の光電変換装置。

【請求項 24】

前記第一の回路群及び前記第二の回路群は前記第一の信号線の電流源及び前記第二の信号線の電流源を含むことを特徴とする請求項 1 乃至請求項 23 のいずれか一項に記載の光電変換装置。

【請求項 25】

前記第一の回路群及び前記第二の回路群のそれぞれは比較器を含むことを特徴とする請求項 1 乃至請求項 24 のいずれか一項に記載の光電変換装置。

10

20

30

40

50

【請求項 26】

請求項 1 乃至請求項 25 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置が出力する信号を用いて画像を生成する信号処理部と、を有することを特徴とする光電変換システム。

【請求項 27】

請求項 1 乃至請求項 25 のいずれか 1 項に記載の光電変換装置を備える移動体であって、
前記光電変換装置が出力する信号を用いて前記移動体の移動を制御する制御部を有することを特徴とする移動体。

【請求項 28】

複数の画素を含む画素アレイと、第一の信号線と、第二の信号線と、を有する半導体基板に積層される半導体基板であって、
第一の回路群と、第二の回路群と、第一の接続部と、第二の接続部と、を有し、
前記第一の接続部は前記第一の回路群に接続されるとともに、前記画素アレイに含まれ 2 つ以上の画素を有する第一の画素列に含まれる第一の画素が接続される前記第一の信号線に接続可能であり、
前記第二の接続部は前記第二の回路群に接続されるとともに、前記第一の画素列に含まれる第二の画素が接続される前記第二の信号線に接続可能であり、
前記第一の回路群に含まれる第一の回路と、
前記第二の回路群に含まれ前記第一の回路と同一の機能を有する第二の回路と、
を有し、
前記第一の回路と、前記第二の回路と、が異なる列に配置されることを特徴とする半導体基板。

【請求項 29】

第一の方向に並んで配され、異なる色に対応する第一の画素と第二の画素とを含む画素アレイを有する半導体基板に積層される半導体基板であって、
第一の回路群と、第二の回路群と、を有し、
前記第一の画素は、第一の信号線を介して前記第一の回路群と接続され、
前記第二の画素は、第二の信号線を介して前記第二の回路群と接続され、
前記第一の回路群に含まれる第一の回路と、第二の回路と、前記第二の回路群に含まれ、
前記第一の回路と同一の機能を持った第三の回路と、を有し、
上面視において、前記第一の回路と前記第三の回路との間に前記第二の回路が配置されることを特徴とする半導体基板。

【請求項 30】

複数の画素を含む画素アレイを有する半導体基板に積層される半導体基板であって、
第一の画素に第一の信号線を介して接続される第一の回路群と、
第二の画素に第二の信号線を介して接続される第二の回路群と、を有し
前記第一の回路群及び第二の回路群のそれぞれは、比較器と、前記比較器の出力に応じた信号を保持する第一のメモリと、前記第一のメモリの出力を取り込む第二のメモリとを含み、
前記第一の回路群の前記第一のメモリと前記第二のメモリとの間に前記第二の回路群の少なくとも一部が配されることを特徴とする半導体基板。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明の一つの側面は、光電変換装置であって、複数の画素を含む画素アレイと、第一の信号線と、第二の信号線と、を有し、前記画素アレイは 2 つ以上の画素を含む第一の画

10

20

30

40

50

素列を有し、前記第一の画素列に含まれる第一の画素は前記第一の信号線を介して第一の回路群に接続され、前記第一の画素列に含まれる第二の画素は前記第二の信号線を介して第二の回路群に接続され、前記第一の回路群に含まれる第一の回路と前記第二の回路群に含まれ前記第一の回路と同一の機能を有する第二の回路と、を有し、前記第一の回路と、前記第二の回路と、が異なる列に配置されることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

10

【0 0 0 6】

本発明の他の側面は、光電変換装置であって、複数の画素を含む画素アレイを有し、前記複数の画素のうち第一の画素と第二の画素とは第一の方向に並んで配され、異なる色に対応し、記第一の画素は、第一の信号線を介して第一の回路群と接続され、前記第二の画素は、第二の信号線を介して第二の回路群と接続され、前記第一の回路群に含まれる第一の回路と、第二の回路と、前記第二の回路群に含まれ、前記第一の回路と同一の機能を持った第三の回路とを有し、上面視において、前記第一の回路と前記第三の回路との間に前記第二の回路が配置されることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

20

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

本発明の更に他の側面は、光電変換装置であって、第一の画素と、第二の画素と、を含む画素アレイを有し、前記第一の画素に第一の信号線を介して接続される第一の回路群と、前記第二の画素に第二の信号線を介して接続される第二の回路群と、を有し、前記第一の回路群及び前記第二の回路群のそれぞれは、比較器と、前記比較器の出力に応じた信号を保持する第一のメモリと、前記第一のメモリの出力を取り込む第二のメモリと、を含み、前記第一の回路群の前記第一のメモリと前記第一の回路群の前記第二のメモリとの間に前記第二の回路群の少なくとも一部が配されることを特徴とする。

30

40

50