

# 公告本

|      |            |
|------|------------|
| 申請日期 | 89.3.29    |
| 案 號  | 89105820   |
| 類 別  | H01L 21/68 |

A4  
C4

466692

(以上各欄由本局填註)

## 發明專利說明書

|            |               |                                                    |
|------------|---------------|----------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 製造半導體裝置之方法                                         |
|            | 英 文           | "A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE" |
| 二、發明<br>人  | 姓 名           | 1. 克拉斯 葛布蘭德 卓傑夫<br>2. 瑪格麗特 李斯特 戴奇瑪                 |
|            | 國 籍           | 均荷蘭                                                |
|            | 住、居所          | 均荷蘭尼吉密根市葛茲威街2號                                     |
| 三、申請人      | 姓 名<br>(名稱)   | 荷蘭商皇家飛利浦電子股份有限公司                                   |
|            | 國 籍           | 荷蘭                                                 |
|            | 住、居所<br>(事務所) | 荷蘭愛因和文市格羅尼渥街1號                                     |
|            | 代 表 人 姓 名     | J.L. 凡 德 渥                                         |

裝

訂

線

466692

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

歐洲專利機構 1999年05月27日 09201693.1 ☐有 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

本發明係關於一種製造半導體裝置之方法，特別是用於積體電路，及用於晶圓的表面矽質層，此表面矽質層具有一表面，有元件位於其矽質區域中，此區域至少由絕緣層所實質性地標示，並以高阻值相的矽化鈦所覆蓋，其中此晶圓經過相轉換退火，而將高阻值相的矽化鈦轉換成低阻值相的矽化鈦。

矽化鈦已成為VLSI產業中最廣泛使用於自我對準矽化物應用的矽化物，其著重在減少電路的薄片及接觸電阻。在一典型的應用中，矽化鈦( $\text{TiSi}_2$ )可存在於一以正菱形為中心基礎的相，每個單位格位具有12個原子，及阻值大約 $60\text{-}100\ \mu\Omega\text{cm}$ ，此高阻值相即為熟知的矽化鈦的C49相，或是為一較佳為熱力學正菱形相，其每個單位格位具有24個原子，而阻值大約 $12\text{-}20\ \mu\Omega\text{cm}$ ，其低阻值相即為熟知的矽化鈦的C54相。當使用一般所接受的形成矽化鈦的製程條件時，會先形成較不需要的高阻值(C49)相的矽化鈦，為了取得低阻值(C54)相的矽化鈦，需要一高溫相轉換退火製程。

這種製造半導體裝置的方法，已公開於一日本專利編號JP-A-8-008211。在此已知方法中，一單晶矽晶圓的表面具有一金氧半導體電晶體，其包含一單晶矽閘或非晶矽閘，一源極及汲極，其每一個元素皆提供部份的矽質曝光區域，此矽質區域至少由氧化層，或氮化物側壁間隙壁的絕緣材料及氧化物場絕緣區域(未示於圖)所覆蓋。然後，此晶圓具有一多晶矽或非晶矽質層，其厚度約在10 nm左

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明(2)

右，矽質層係被鈦質層所覆蓋，其厚度約有30到40 nm或更厚。在下一步驟，晶圓即進行形成矽化物的退火製程，以便在晶圓的整個表面上形成高阻值(C49)相的矽化鈦。矽化物成形退火是持續進行，直到矽質層位於絕緣材料之上，且鈦質層位於閘極之上，及汲極與源極亦被整個厚度所覆蓋。在矽化物成形退火之後，部份殘留於晶圓表面的鈦質層係透過選擇性蝕刻來移除。在移除鈦質層部份之後，晶圓即進行相轉換退火製程，以便將高阻值(C49)相的矽化鈦轉換成低阻值(C54)相的矽化鈦。接著晶圓的整個表面則進行回蝕刻製程，以便移除存在於絕緣材料上的低阻值(C54)相的矽化鈦。在回蝕刻製程中，部份存在於閘極上的低阻值(C54)相的矽化鈦，及源極與汲極，皆會被移除。

在上面所提到的日本專利編號JP-A-8-008211之專利應用中，晶圓的整個表面具有高阻值(C49)相的矽化鈦，以便接著進行低阻值(C54)相的矽化鈦的轉換，其與裝置線距無關。其認為C49到C54相的矽化鈦轉換製程，在裝置線距日益縮小的情況下，將更為困難。

已知方法的缺點是晶圓的整個表面皆為低阻值(C54)相的矽化鈦所覆蓋，需要一回蝕刻製程，將由氧化物或氮化物側壁間隙壁，及氧化物場絕緣區域所提供的絕緣材料，進行重新曝光。此回蝕刻製程為一額外的製程步驟，並且是非常精確的。如果回蝕刻製程過早結束，矽化鈦的殘留物會存在於例如氧化物或氮化物側壁間隙壁上，這些殘留

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

### 五、發明說明(3)

物會因為熟稱的過間隙壁橋接現象(over-spacer bridging)，而造成嚴重的漏電流現象；另一方面，如果回蝕製程實施過久，對金氧半導體電晶體的薄片及接觸電阻都會有不利的影響。

本發明的目的即在提供在公開文獻中所提到的製造半導體裝置的方法，其能夠將高阻值(C49)相的矽化鈦轉換成低阻值(C54)相的矽化鈦，而不需要額外對精確度要求很高的製程步驟。

根據本發明所能達到的目的，係將高阻值相的矽化鈦轉換成低阻值相的矽化鈦的過程，經由提供具有矽質延伸部份的區域來增進，此延伸部份至少由絕緣層所實質性地標示，並以高阻值(C49)相的矽化鈦所覆蓋，此延伸部份的面積與該區域相較來得大。

本發明的重點尤其是在，此將高阻值(C49)相的矽化鈦轉換成低阻值(C54)相的矽化鈦的過程，是與表面區域有關，而無涉於線距。經由提供一覆蓋C49相的矽化鈦之矽質區域，並具有相對而言蠻大的由C49相的矽化鈦之矽質所覆蓋的矽質延伸部份，因此在相轉換退火過程中，將位在矽質區域的C49相的矽化鈦轉換成C54相的矽化鈦之機率則大為增加。

依據本發明方法之有效的具體實施例，在相關的專利申請範圍中說明。

本發明的這些特點及其它各方面，係由以下所描述的具體實施例，以及附圖中所顯示的部份當中，進行闡述與說

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明(4)

明，圖中：

圖1所示為一製程控制模組的上視圖，其係利用本發明的方法製造，其製程控制模組具有4x4矩陣式的浮置閘極電晶體；

圖2所示為一浮置閘極電晶體的剖視圖，其係利用本發明的方法製造，此剖視圖由圖1中的A-A剖面線形成；

圖3到圖6所示為利用本發明的方法，在製造圖2的浮置閘極電晶體的連續階段中的各個剖視圖；

圖7及圖8所示為一關係累計圖，分別為代表相轉換良率(Y in %)，及薄片電阻( $R_{\square}$  in  $\Omega/\square$ )之間的關係，一多晶矽區域由矽化鈦所覆蓋，及一單晶矽區域由矽化鈦所覆蓋，而具有不同的延伸部份面積。

雖然本發明在此所做的說明，係以一在製程控制模組形式中的元件為基礎，對於本技術的專業人士而言，本發明可有效地應用於單一主動電路裝置，例如一場效電晶體，雙載子電晶體，或是一浮置閘極電晶體，或就其本身而言，為一熟知的CMOS或BICMOS積體電路。

圖1中所示製程控制模組的上視圖，代表一具有儲存格位的記憶體，此格位是配置成4列乘4行的矩陣。很明顯地，列及行的數目基本上會超出4甚多。儲存格位是與在其它列或行中的儲存格位共享電氣連接，並位於字元線1和位元線2的交叉點。每一個儲存格位具有一場效電晶體，其包含一浮置閘極，控制閘極，源極及汲極，其電晶體亦可稱之為浮置閘極電晶體。每條位於一共用列而提供

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明(5)

浮置閘極電晶體的閘極之字元線1，由一位址解碼器(未示)來驅動。每一條位元線2皆連接到位於一共用欄的浮置閘極電晶體的汲極，並與一位址解碼器及/或讀取電路(未示)連接。製程控制模組也具有源極線3，在本例中為接地，每一條源極線3彼此連接浮置閘極電晶體的源極，其中源極係位於一個或兩個相鄰的共用列。

在本例中，源極線3具有一共用延伸部份4，其相較於每一條源極線3來得大。此共用延伸部份4係在自我對準矽化物製程中，做為增進為於每一條源極線3上矽化鈦的C49到C54相轉換，同時也做為自我對準矽化物製程，用於製程控制模組在其製造過程中使用。在本例中，延伸部份4係連接到製程控制模組中所有的源極線3，這是可能的，因為源極線3皆有接地。也因此很明顯地，也有可能提供給每一條源極線3一分開的延伸部份4，或是舉例而言，提供一個或多個具有延伸部份的字元線1。

圖2所示為一浮置閘極電晶體的剖視圖，由圖1的A-A剖面線形成，相似的元素係用相似的參考數字所標示。浮置閘極電晶體是位在第一導體型式的表面矽質層6的表面5，在本例中為p-型，其中表面矽質層6是晶圓7的一部份，此晶圓在本例中為一單晶矽晶圓。此浮置閘極電晶體具有一浮置閘極8，舉例而言，其具有n-型多晶矽，其位於一重疊控制閘極9及一通道10之間，例如：此重疊控制閘極9由n-型多晶矽構成，而此通道則位於表面矽質層6，並延伸到一源極11及汲極12之間，其具有一第二，及

## 五、發明說明(6)

相反的導體型式，在本例中為n-型。浮置閘極8係由一浮置閘極介電層13而與表面矽質層6絕緣，及由一內介電層14而與重疊控制閘極9絕緣。控制閘極9具有側壁間隙壁15，舉例而言，由氧化矽或氮化矽構成。為了降低浮置閘極電晶體的薄片及接觸電阻，矽質區域16，17及18，此矽質區域分別由控制閘極9，源極11，及汲極12所提供，該矽質區域係由低阻值(C54)相矽化鈦19所覆蓋。此浮置閘極電晶體是由一介電層20所覆蓋，舉例而言，其由硼磷矽酸玻璃(BPSG)覆蓋於四乙基正交矽酸(TEOS)所構成，其中介電層20具有一接觸洞21，允許位元線2之一接觸到浮置閘極電晶體的汲極12，因此增加了汲極接觸22(亦見於圖1)。

圖3到圖6所示為在製造圖2的浮置閘極電晶體的連續階段中的各個剖視圖，其中源極11係透過製造控制模組之源極線3之一而連接到延伸部份4。

此製造流程係從晶圓7(圖3)開始，在本例中為一單晶矽晶圓，包含一第一導體型式的表面矽質層6，本例中為p-型。表面矽質層6具有一氧化物場絕緣區域(未示)，通常藉由局部矽氧化(LOCOS)或淺溝渠隔離(STI)方式來絕緣，此氧化物場絕緣區域至少部份會凹入表面矽質層6，並在其中定義出一主動區域。接著，表面矽質層6的表面5具有一絕緣層，舉例而言，其由氧化矽構成，並提供浮置閘極介電層13。另外，可採用一介電質材料，其具有比氧化矽高的介電常數，例如氧化鈮，氧化鋁，或氮化

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂



## 五、發明說明(7)

矽。然後，例如一多晶矽層，利用像是磷來進行沉積，其中層上的圖案，是以一般的微影技術來形成浮置閘極8。除了多晶矽，也可使用非晶矽或 $\text{Si}_x\text{Ge}_{1-x}$ ，其中x代表矽的比例，約在0.6到1之間。然後，源極11及源極12，其具有第二、相反的導體型式，在本例中為n-型，並由自我對準的沉積法形成於浮置閘極8的另一側，沉積材料可為磷或砷。在下一步驟，浮置閘極8係由一絕緣層覆蓋，舉例而言為氧化矽，並由閘極內介電層14構成。另外，也可使用氮氧化矽( $\text{SiON}$ )，氧化矽及氮化矽的三明治結構(ONO)，或一介電質材料，其介電常數比一些氧化矽高，如：氧化鈮，氧化鋁或是氮化矽。然後，例如一多晶矽層，利用像是磷來進行沉積，其中層上的圖案，是以一般的微影技術來形成浮置閘極9。除了多晶矽，也可使用非晶矽或 $\text{Si}_x\text{Ge}_{1-x}$ ，其中x代表矽的比例，約在0.6到1之間。控制閘9接著以一已知方法來構成側壁間隙壁15，例如，可透過沉積及非等方性的氧化矽或氮化矽層的回蝕刻而形成。結果示於圖3。

浮置閘極電晶體包含曝光的矽質區域16，17及18，其中曝光的矽質區域係分別由控制閘9，源極11及汲極12來提供。每一處曝光的矽質區域16，17及18，為一曝光的矽質區域的一部份，而曝光的矽質區域至少是由絕緣材料所實質地標示。曝光的矽質區域16是字線1之一的一部份(見圖1)。每一條字線1皆代表一曝光的矽質區域，在本發明中的多晶矽，其中的曝光矽質區域至少是由絕緣材料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(8)

所實質地標示，其由氮化物或由位於一共用列的浮置閘極電晶體的氧化物側壁間隙壁15及氧化物場絕緣區域所構成(未示)。此曝光矽質區域18其本身(見圖1)即代表一曝光的絕緣區域，在本例中的單晶矽，一曝光矽質區域會至少由氮化物所提供的絕緣材料，或是由位於兩相鄰共用列的浮置閘極電晶體的氧化物側壁間隙壁15，及由氧化物場絕緣區域(未示)。再者，曝光的矽質區域17為一條源極線3的一部份(見圖1)，每一條源極線3皆代表一曝光的矽質區域，在本例中為單晶矽，此曝光的矽質區域係由至少由氮化物，或由位於一個或兩個相鄰共用列的浮置閘極電晶體的氧化物側壁間隙壁15所提供的絕緣材料做實質地標示，或由氧化物場絕緣區域來標示(未示)，並具有矽質的共用延伸部份4，其在本例中為單晶矽。此共用延伸部份4是至少由氧化物場絕緣區域(未示)所提供的絕緣材料做實質地標示，因此可以增進在每一條源極線3上的矽化鈦的C49到C54的相轉換，其面積相較於每一條源極線3是比較大的。

為了降低圖1之製程控制模組的薄片及接觸電阻，晶圓7即進行一自我對準的矽化物製程，也稱之自我對準矽化物(salicide)製程，此製程中，每一個曝光的矽質區域，及曝光矽質區域16，17，18，皆具有高阻質(C49)相23的矽化鈦(見圖5)，此高阻值相23在同一製程中的稍後階段(見圖6)，需要轉換成低阻值(C54)相19的矽化鈦。此自我對準矽化物製程的後續階段，藉由浮置閘極電晶體的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(9)

曝光矽質區域16, 17, 18, 在此做詳細的說明。很明顯地, 圖1中製程控制模組的每一個曝光矽質區域, 及每一條源極線3, 爲了以上的目的, 皆具有延伸部份4, 並貫穿整個所經歷的階段。

自我對準矽化物製程通常以一去氧步驟開始, 藉以去除曝光矽質區域16, 17, 18中的殘留部份(圖3), 這些氧化物殘留部份係因爲暴露到空氣中(自然氧化), 或是因爲遮罩蝕刻一層TEOS所致, 其可用以保護某些矽質區域, 避免在上述自我對準矽化物製程中導致矽化。去除這些氧化物殘留部份, 可藉由濕式化學蝕刻的方法達成, 例如使用含有1%氫氟酸(HF)的溶液來進行。

在下一步驟(圖4), 一含鈦層24覆蓋至晶圓7, 此含鈦層24可施作爲單一的鈦質層, 透過400°C到700°C的溫度環境之下, 實施加強式電漿化學汽相沉積(PECVD), 其中曝光矽質區域16, 17, 18立即就具有高阻值(C49)相的鈦矽化物, 或是在相對較低的溫度之下, 實施物理汽相沉積, 其中曝光矽質區域16, 17, 18即具有鈦, 如前所述, 此鈦質會在製程中的稍後階段轉換爲高阻值(C49)相的矽化鈦。但是, 此含鈦層24最好是施作成雙層, 具有鈦的第一子階層25, 及鈦的第二子階層26在其上, 此第二子階層26如同一覆蓋層, 可防止對鈦的第一子階層25造成不利的氧化。此鈦的第一子階層25, 及鈦的第二子階層26可利用物理汽相沉積的方式實施, 舉例而言, 其厚度大致分別爲30 nm及25 nm。

## 五、發明說明(10)

在下一步驟(圖5)，對晶圓7實施矽化物成形退火，用以將在矽質區域16，17，18中的鈦的第一子階層25轉換成高阻值(C49)相23的矽化鈦，至少須涵蓋其厚度的一部份。在將鈦的第一子階層25轉換成高阻值(C49)相23的矽化鈦時，是否為整個厚度或部份厚度做轉換，係依據是否矽化物成形退火是在氮氣( $N_2$ )環境之中，或是以氮氣為主的空氣環境中，亦或是在惰性氣體環境中，例如氬氣(Ar)。在前一個狀況中，鈦的第一子階層25會與空氣中的氮氣反應，而在其部份厚度中形成氮化鈦，雖然矽化物成形退火可以透過習用的熔爐退火方式，但最好採用快速熱退火(RTA)方式，以降低晶圓7的熱能預算。此階段在自我對準矽化物製程中，較低的熱能預算比較好，是因為會產生寄生效應，像是在側壁間隙壁15上形成橫向的矽化鈦，而造成所謂的過間隙壁橋接效應。快速熱退火方式的施行，舉例而言，可使用氮氣( $N_2$ )，溫度約在730°C，實施大約20秒的時間。

在矽化物成形退火期間，高阻值相23的矽化鈦係形成於矽質區域之上，此區域係由具有氧化物或氮化物側壁間隙壁15所提供的絕緣材料，以及氧化物場絕緣區域(未示)來做實質的標示，因此，在每一條源極線3與延伸部份4的上方，係與每一條源極線3連接在一起。在由具有氧化物或氮化物側壁間隙壁15所提供的絕緣材料，以及氧化物場絕緣區域(未示)之上，並不會形成矽化鈦。

在矽化物成形退火完成之後，未轉換成高阻質相23矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(11)

化鈦之含鈦材料，必須要移除掉，其中含鈦材料包含了鈦27及氮化鈦28，係位於氧化物或氮化物側壁間隙壁15所提供的絕緣材料，以及氧化物場絕緣區域上，以及氮化鈦29部份，係位於高阻值相23矽化鈦。位於絕緣材料上的鈦27，如果將氧化矽做為絕緣材料，其將包含少量的氧氣及矽；如果使用氮化矽做為絕緣材料，其將包含少量的氧氣、氮氣及矽。鈦27及氮化鈦28，29，在將高阻值相23矽化鈦轉換成低阻值相19矽化鈦的相轉換之後，可以移除掉，但最好是在上述相轉換前即移除，其可藉由選擇性濕蝕刻方法，例如：使用稱為standard clean 1 (SC1)的化學物質，在30°C之下，進行20分鐘即可，SC1化學物質含有氫氧化胺(NH<sub>4</sub>OH)，過氧化氫(H<sub>2</sub>O<sub>2</sub>)及水(H<sub>2</sub>O)的混合物，舉例而言，其比例約為1:2:7。在此蝕刻處理之後，晶圓7即進行相轉換退火，以便將矽質區域16，17，18中的高阻值(C49)相23矽化鈦，轉換成低阻值(C54)相19矽化鈦(如圖6所示)。雖然矽化物成形退火可以透過習用的熔爐退火方式，但最好採用快速熱退火(RTA)方式，以降低晶圓7的熱能預算。此階段在自我對準矽化物製程中，較低的熱能預算比較好，是因為會產生寄生效應，例如，摻雜物在摻雜的矽質區域會重新分佈，而矽化鈦會接觸到此區域。快速熱退火方式的施行，舉例而言，可使用氮氣(N<sub>2</sub>)，溫度約在900°C，實施大約20秒的時間。

在相轉換退火期間，在每一矽質區域中的高阻值(C49)相23的矽化鈦，皆會轉換成低阻值(C54)相19的矽化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (12)

鈦，這些區域係由具有氧化物或氮化物側壁間隙壁15所提供的絕緣材料，以及氧化物場絕緣區域(未示)來做實質的標示。爲了增進在每一條源極線3的C49到C54的相轉換，源極線3具有相當大的延伸部份4，其也是由高阻值(C49)相的矽化鈦所覆蓋。

最後，介電層20，舉例而言，可由硼磷矽酸玻璃(BPSG)覆蓋於四乙基正交矽酸(TEOS)所構成，而此介電層係施加在晶圓7之上，其中介電層20具有一接觸洞21，允許位元線2之一接觸到浮置閘極電晶體的汲極12，因此增加了汲極接觸22，其結果示於圖2。

圖7及圖8所示爲一關係累計圖，分別爲代表相轉換良率(Y in %)，及薄片電阻( $R_{\square}$  in  $\Omega/\square$ )之間的關係，一摻雜多晶矽區域由矽化鈦所覆蓋，及一摻雜單晶矽區域由矽化鈦所覆蓋，而具有不同的延伸部份面積。

多晶矽區域是以濃度約在 $4.10^{15}$  atoms/cm<sup>2</sup>下做摻雜，其表面積約在 $30 \times 0.35 = 10.5 \mu\text{m}^2$ 。單晶矽區域亦是以濃度約在 $4.10^{15}$  atoms/cm<sup>2</sup>下做摻雜，其表面積約在 $30 \times 0.40 = 12.0 \mu\text{m}^2$ 。延伸部份的面積在兩張圖中，不同的符號分別代表 $18 \mu\text{m}^2$  (圓圈)， $32 \mu\text{m}^2$  (方形)， $50 \mu\text{m}^2$  (交叉)， $110 \mu\text{m}^2$  (三角)，及 $450 \mu\text{m}^2$  (星形)。此矽化鈦在每一個摻雜區域及所連接的延伸部份上的厚度約爲30 nm，此厚度大致是與矽化鈦的相無關。每一種矽質區域和延伸部份面積的組合，總共測試了400種樣本，因此，其中在40例時的相轉換良率(Y)在10%，200例時的良率在50%，360例

## 五、發明說明 ( 13 )

時的良率則可達90%。

再者，必須留意的是，其中最高的薄片電阻(約為10-12.5  $\Omega/\square$ )係對應於高阻值(C49)相矽化鈦，而最低的薄片電阻(約為2  $\Omega/\square$ )係對應於低阻值(C54)相矽化鈦，此薄片電阻對應於高阻值(C49)相矽化鈦的變化，可能是由於在高阻值相時的計量的微小變化所致。

圖7及圖8所示的結果，可以很清楚地看到，在給定薄片電阻( $R_{\square}$ )之下的相轉換良率(Y)，會隨著延伸部份面積增加而增加。從設計的觀點來看，約5  $\Omega/\square$ 的薄片電阻一般視為相當低，而根據圖7及圖8，為了達到在5  $\Omega/\square$ 的薄片電阻的情形下，相轉換良率(Y) 95%，10.5  $\mu\text{m}^2$ 的摻雜多晶矽區域及12.0  $\mu\text{m}^2$ 的摻雜單晶矽區域，皆須具有一50  $\mu\text{m}^2$ 的延伸部份面積。為了達到在相同5  $\Omega/\square$ 的薄片電阻的情形下，相轉換良率(Y) 99%，10.5  $\mu\text{m}^2$ 的摻雜多晶矽區域及12  $\mu\text{m}^2$ 的摻雜單晶矽區域，則須具有一110  $\mu\text{m}^2$ 的延伸部份面積。

本發明很顯然地並不限於上述的實施例，對本技術的專業人士而言，於本發明的範圍內可以有許多變化。一矽質區域具有促進C49到C54相轉換矽化鈦的延伸部份，舉例而言，可以包含單晶矽，多晶矽，非晶矽，或矽鍍合金，即為 $\text{Si}_x\text{Ge}_{1-x}$ ，其中x代表矽的比例，約在0.6到1之間。因為此合金包含大量的矽，在此處亦可視為矽。再者，此矽質可為純質的，或特別經過摻雜而呈現p-型或n-型的導電性。在上述的實施例中，延伸部份為長方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 14 )

形，但顯然地，延伸部份的平面幾何型態並不相關，只要其面積夠大，足以達到前述相轉換的標準即可。另外，上述實施例中的晶圓，為一單晶矽晶圓，具有一表面矽質層做為其主要表面，但此晶圓也可為在絕緣體上矽晶圓 (silicon-on-insulator, SOI)，具有半導體材料的本體，此材料可如矽，而其主要表面上有一層絕緣材料，例如為氧化矽或氮化矽，此絕緣材料層以一層矽覆蓋於上，即代表前述的表面矽質層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 四、中文發明摘要 (發明之名稱：製造半導體裝置之方法)

一種製造半導體裝置之方法，特別是以積體電路的形式，該裝置被製造於一晶圓的表面矽質層，此表面矽質層被提供在具有包含一矽區域之元件之一表面，此區域至少由絕緣材料所實質性地標示，並以高阻值(C49)相的矽化鈦所覆蓋。此晶圓經過相轉換退火，以將高阻值(C49)相的矽化鈦轉換成低阻值(C54)相的矽化鈦。為了增進高阻值(C49)相的矽化鈦到低阻值(C54)相的矽化鈦轉換，此區域具有一矽質的延伸部份，此延伸部份至少由絕緣材料所實質性地標示，並以高阻值(C49)相的矽化鈦所覆蓋，此延伸部份的面積與該區域相較來得大。

## 英文發明摘要 (發明之名稱："A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE")

In a method of manufacturing a semiconductor device, in particular an integrated circuit, in a superficial silicon layer of a wafer, the superficial silicon layer is provided at a surface with a component comprising an area of silicon, which area is at least substantially marked by insulating material and covered with a high-resistivity (C49) phase of titanium silicide. The wafer is subjected to a phase transformation anneal to transform the high-resistivity (C49) phase of titanium silicide into a low-resistivity (C54) phase of titanium silicide. In order to promote the transformation of the high-resistivity (C49) phase of titanium silicide into the low-resistivity (C54) phase of titanium silicide, the area is provided with an extension of silicon, which extension is at least substantially marked by insulating material and covered with the high-resistivity (C49) phase of titanium silicide, the extension being relatively large compared to the area.

## 六、申請專利範圍

1. 一種製造半導體裝置之方法，特別是以積體電路的形式，該裝置被製造於一晶圓的表面矽質層，此表面矽質層係被提供在具有包含矽區域之元件之一表面，該區域至少由絕緣材料所實質性地標示並以高阻值相的矽化鈦所覆蓋，其中該晶圓經過相轉換退火，以將高阻值相的矽化鈦轉換成低阻值相的矽化鈦，其特徵在藉由提供該區域一矽質的延伸部份而增進高阻值相的矽化鈦到低阻值相的矽化鈦之轉換，該延伸部份至少由絕緣材料所實質性地標示並以高阻值相的矽化鈦所覆蓋，該延伸部份的面積與該區域相較來得大。
2. 如申請專利範圍第1項之方法，其特徵為覆蓋於該區域及矽質的延伸部份的高阻值相矽化鈦之形成，係經由覆蓋一含鈦層於該晶圓上，並使該晶圓經過矽化物成形退火，以將該區域及該延伸部份中含鈦層轉換為該高阻值相矽化鈦，其轉換至少涵蓋其厚度的一部份。
3. 如申請專利範圍第2項之方法，其特徵為該含鈦層是施作成雙層，具有包含鈦的第一子層，及其上含有氮化鈦的第二子層。
4. 如申請專利範圍第2項或第3項之方法，其特徵為，在矽化物成形退火及相轉換退火製程之間，該晶圓係經過蝕刻處理，以將所有在該絕緣材料、該區域及該延伸部份中未被轉換成高阻值相矽化鈦的含鈦材料全部去除。
5. 如申請專利範圍第2項之方法，其特徵為其矽化物成形退火是以快速熱退火方式進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

6. 如申請專利範圍第1項之方法，其特徵為其相轉換退火是以快速熱退火方式進行。
7. 如申請專利範圍第1項之方法，其特徵為該元件被施加於該表面矽質層之表面作為一程序控制模組。
8. 如申請專利範圍第1項之方法，其特徵為該元件被施加於該表面矽質層之表面作為一具有一閘極，一源極及一汲極的電晶體，其中該矽質區域，則至少由該閘極，源極及汲極之其中一元素來提供。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

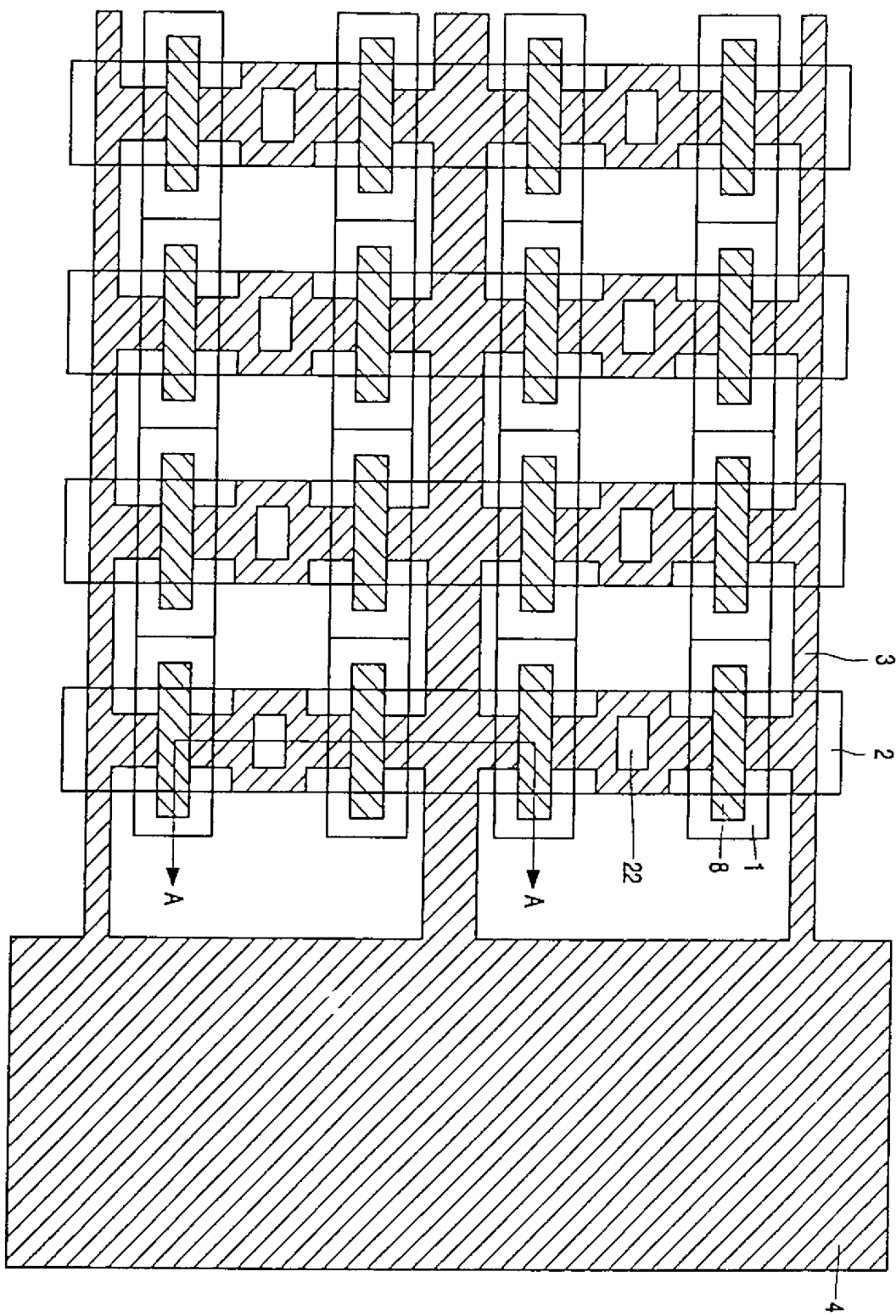


图 1

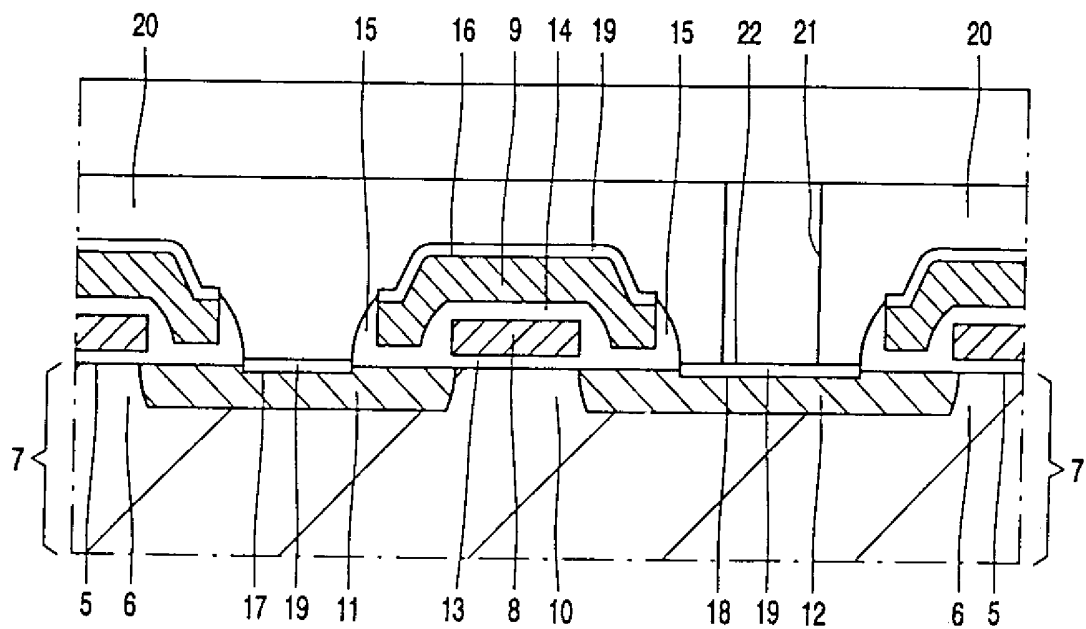


圖 2

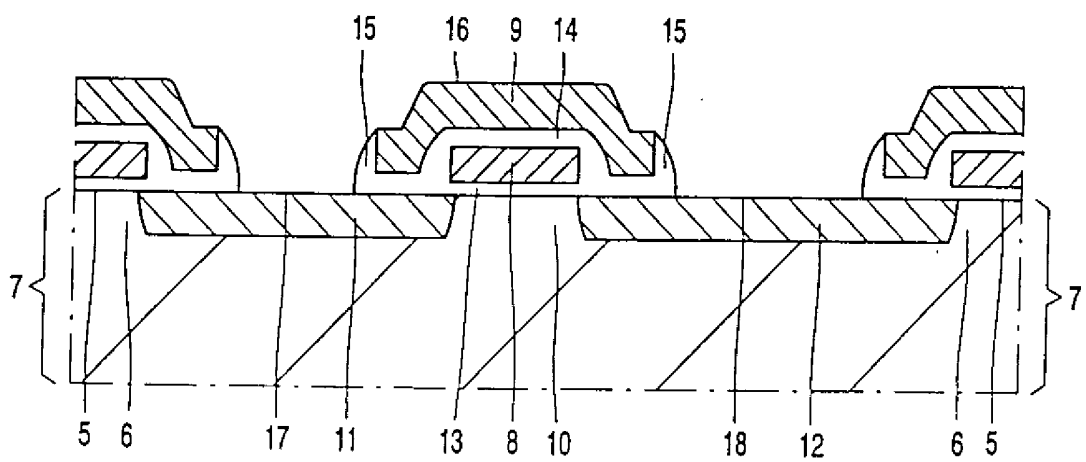


圖 3

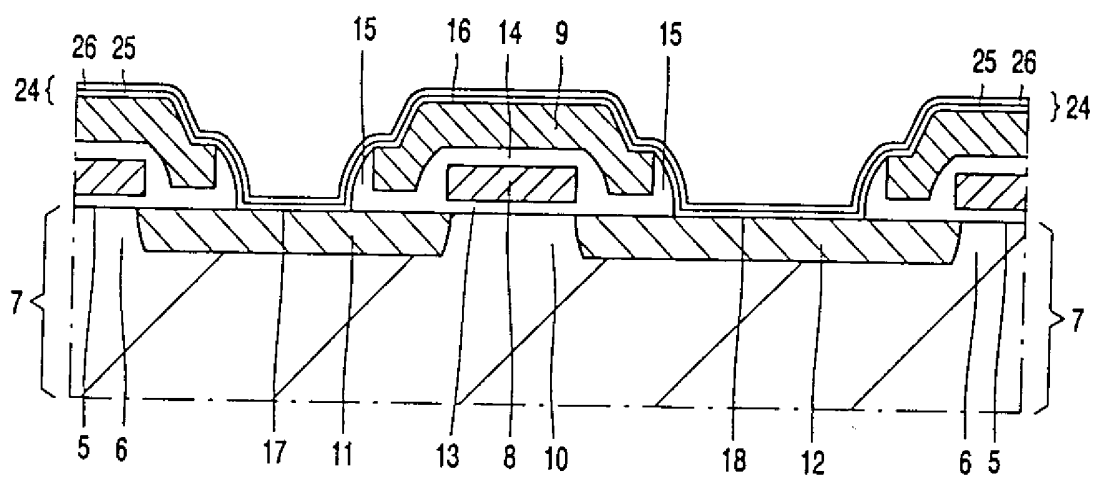


圖 4

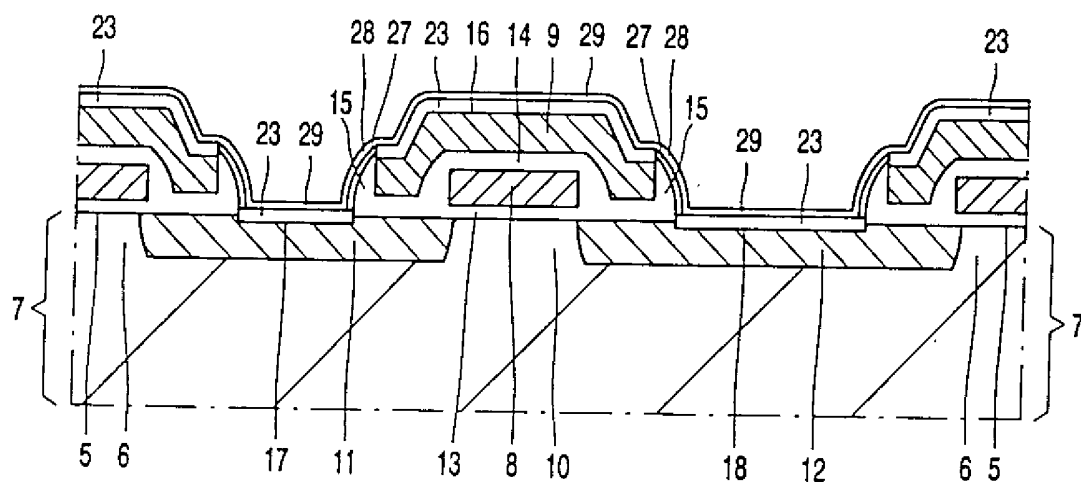


圖 5

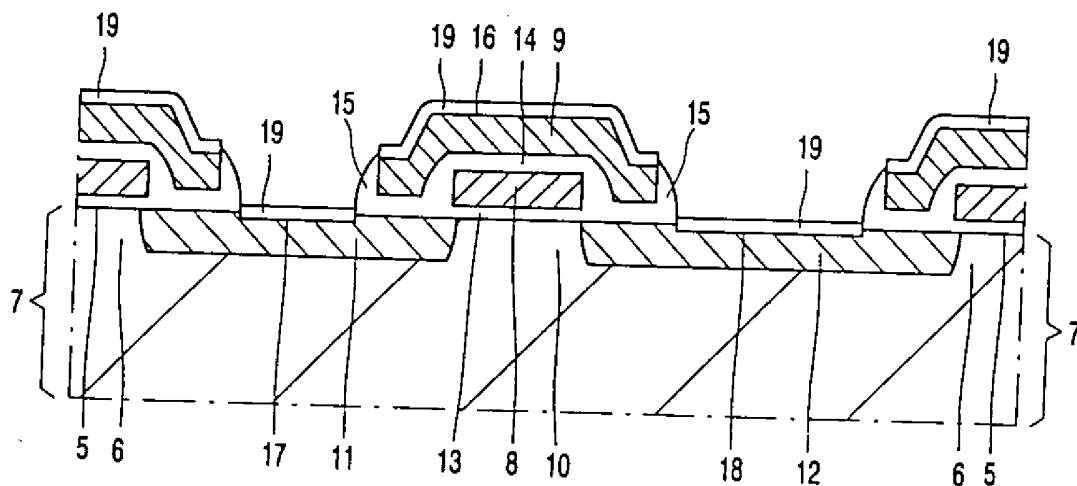


圖 6

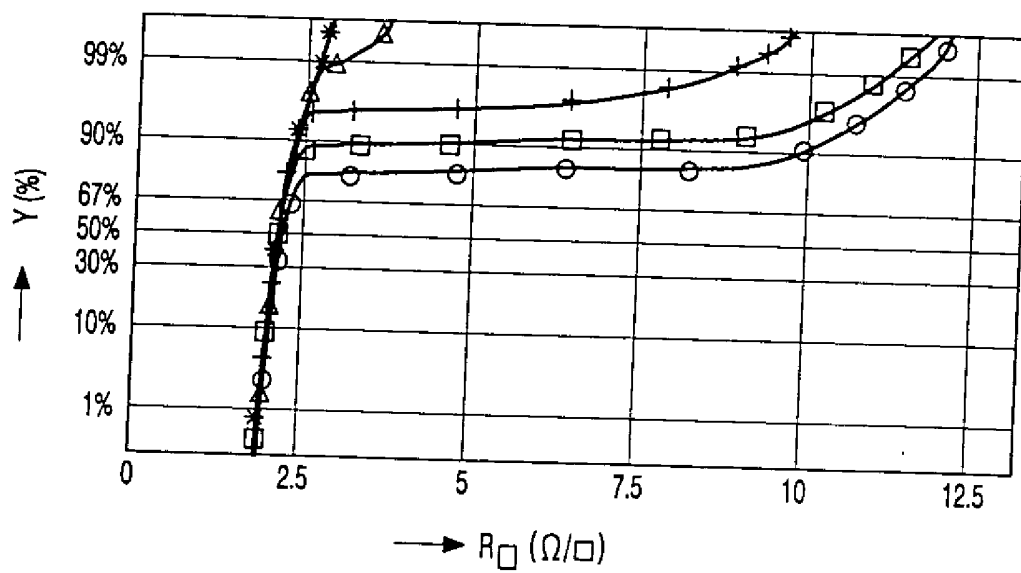


圖 7

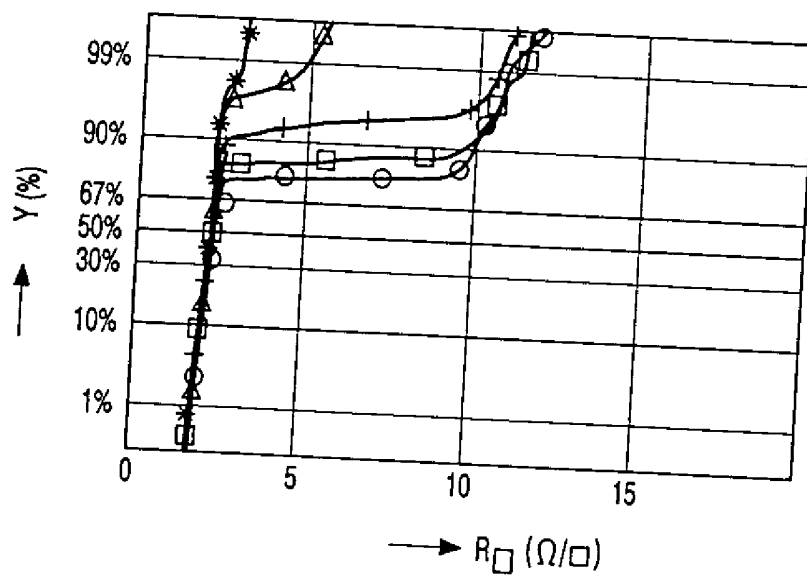


圖 8



## 六、申請專利範圍

1. 一種製造半導體裝置之方法，特別是以積體電路的形式，該裝置被製造於一晶圓的表面矽質層，此表面矽質層係被提供在具有包含矽區域之元件之一表面，該區域至少由絕緣材料所實質性地標示並以高阻值相的矽化鈦所覆蓋，其中該晶圓經過相轉換退火，以將高阻值相的矽化鈦轉換成低阻值相的矽化鈦，其特徵在藉由提供該區域一矽質的延伸部份而增進高阻值相的矽化鈦到低阻值相的矽化鈦之轉換，該延伸部份至少由絕緣材料所實質性地標示並以高阻值相的矽化鈦所覆蓋，該延伸部份的面積與該區域相較來得大。
2. 如申請專利範圍第1項之方法，其特徵為覆蓋於該區域及矽質的延伸部份的高阻值相矽化鈦之形成，係經由覆蓋一含鈦層於該晶圓上，並使該晶圓經過矽化物成形退火，以將該區域及該延伸部份中含鈦層轉換為該高阻值相矽化鈦，其轉換至少涵蓋其厚度的一部份。
3. 如申請專利範圍第2項之方法，其特徵為該含鈦層是施作成雙層，具有包含鈦的第一子層，及其上含有氮化鈦的第二子層。
4. 如申請專利範圍第2項或第3項之方法，其特徵為，在矽化物成形退火及相轉換退火製程之間，該晶圓係經過蝕刻處理，以將所有在該絕緣材料、該區域及該延伸部份中未被轉換成高阻值相矽化鈦的含鈦材料全部去除。
5. 如申請專利範圍第2項之方法，其特徵為其矽化物成形退火是以快速熱退火方式進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂