

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸
G11C 7/06 (2006.01)

(45) 공고일자 2006년01월24일
(11) 등록번호 10-0546184
(24) 등록일자 2006년01월18일

(21) 출원번호 10-2000-0061799
(22) 출원일자 2000년10월20일

(65) 공개번호 10-2002-0030985
(43) 공개일자 2002년04월26일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 강원준
서울특별시동작구본동150쌍용아파트102-1305

(74) 대리인 이후동
이정훈

심사관 : 윤난영

(54) 센스 앰프 회로

요약

본 발명은 센스 앰프 회로에 관한 것으로, 센스 앰프의 전원전압(Vcc) 프리차지 상태를 유지하는 신호인 센스앰프 인에이블 신호(RSASEL)의 입력단인 접지부에 PMOS트랜지스터를 추가하여 구성함으로써 Vss간의 누설전류량을 줄이고, 프리차지 기간 동안의 자체 비대칭성에 의해 센싱된 폭을 줄여 리드시 원하는 데이터의 반전을 용이하게 할 수 있다. 또한, 센스앰프 인에이블 신호(RSASEL)가 펄스 타입이므로 하이 펄스 동작시 더 빠른 센싱이 가능하게 되므로 스피드 개선 효과가 있다.

대표도

도 2

색인어

PMOS, 센스 앰프, 판독, 마진

명세서

도면의 간단한 설명

도 1은 종래의 센스 앰프의 회로도,

도 2는 본 발명에 따른 센스 앰프 회로,

도 3은 본 발명에 따른 센스 앰프 회로의 다른 실시예,

도 4는 본 발명에 따른 센스 앰프 회로의 또 다른 실시예.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 프리차지부 20 : 센스앰프

30 : 접지부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 센스 앰프 회로에 관한 것으로서, 특히, VLSI반도체 디램 장치에 있어서, DB센스 앰프의 관독모드시 발생하는 노이즈에 대한 마진을 증대시키기 위한 센스 앰프 회로에 관한 것이다.

일반적으로 비트/비트바 센스 앰프는 그 드레인 단자에 데이터 버스 라인(IO, $\bar{I}O$)단자가 물려있는 반면에, 데이터 버스(DB) 센스 앰프는 게이트 단자에 데이터 버스 라인(IO, $\bar{I}O$)단자가 물려있는 차이점이 있다. 또한, 비트/비트바 센스 앰프는 그 동작시 액티브에 의해 펄스가 아닌 프리차지 전까지 로우 신호를 유지하는 비트라인 이퀄라이제이션 신호(BLEQ)에 의해 충분한 센싱 시간을 벌 수 있는 반면에, 데이터 버스 센스 앰프는 펄스로 동작하는 센스 앰프 인에이블 신호에 의존해야 하는 차이점이 있다.

도 1은 종래의 DB센스 앰프 회로에 관한 것이다.

도 1을 보면, 센스앰프(20)는 크로스 커플드 구조로 연결된 제 1(N1), 제 2엔모스 트랜지스터(N2) 및 제 4(P4), 제 5피모스 트랜지스터(P5)를 구비하고, 센스앰프 제어신호에 의해 비트라인(BL $\bar{R}D$, BL $\bar{R}Db$)에 실린 데이터를 센싱한다. 그리고, 센스앰프(20)는 게이트 단자를 통하여 데이터 버스 라인(LIO, $\bar{L}IOb$)으로부터 인가되는 데이터 입출력 신호를 각각 입력받는 제 3(N3) 및 제 4엔모스 트랜지스터(N4)를 구비한다.

여기서, 제 3(N3), 제 4엔모스 트랜지스터(N4)의 공통 소스 단자는 센스 앰프 인에이블 신호(RSASEL)를 그 게이트 단자를 통하여 입력받는 제 5엔모스 트랜지스터(N5)의 드레인 단자와 연결된다. 또한, 제 5엔모스 트랜지스터(N5)는 소스 단자가 접지되어 불필요한 누설전류를 접지단으로 흘려주게 된다.

그리고, 프리차지부(10)는 센스 앰프 인에이블 신호(RSASEL)를 입력받아 제 5엔모스 트랜지스터(N5)의 제어에 의해 전압을 프리차지하는 제 1(P1), 제 2(P2), 제 3피모스 트랜지스터(P3)를 구비한다. 제 1(P1) 및 제 2피모스 트랜지스터(P2)는 그 소스단자를 통해 전원전압을 인가받으며, 제 1(P1), 제 2(P2) 및 제 3피모스 트랜지스터(P3)의 게이트 단자는 상호 연결되어 있다.

이러한 구성을 갖는 종래의 DB센스 앰프 회로의 동작 과정을 설명하자면 다음과 같다.

먼저, 센스 앰프의 동작시에는 센스 앰프의 출력신호인 PD 및 PDb신호는 로우 상태로 있다. 따라서, 프리차지 상태에서는 비트라인 리드 신호(BL $\bar{R}D$, BL $\bar{R}Db$)가 하이상태가 된다. 이때, 센스 앰프 이네이블 신호(RSASEL)는 로우 상태를 유지하고 있다.

그리고, 센스앰프(20)의 중앙에 구성된 크로스-커플드 래치 양단의 전위는 센스앰프 이네이블 신호(RSASEL)가 로우 상태 이므로 제 1(P1), 제 2(P2) 및 제 3피모스 트랜지스터(P3)가 턴온되어 하이로 유지한다.

한편, 리드 상태에서는 센스 앰프 인에이블 신호(RSASEL)가 펄스로 3~4nS동안 액티브 하이가 되는데, 그 동안에 제 1(P1), 제 2(P2), 제 3피모스 트랜지스터(P3)를 오프시키고, 데이터 버스 라인(LIO, $\bar{L}IOb$)에 실려오는 데이터로 제 3(N3),

제 4엔모스 트랜지스터(N4)의 턴온 정도 차이를 가지고 센스앰프(20)의 동작을 수행한다. 즉, 리드 동작시에는 동일한 비트라인 프리차지 전압(1/2Vcc)으로 프리차지 되어 있던 데이터 버스라인(LIO, LIOb) 중 한쪽이 비트 라인 증폭기로부터의 전압 차이에 의해 그 전위가 상대적으로 높아지게 된다.

그 일례로, 만약 데이터 버스라인(LIO, LIOb) 중 LIO가 하이전위라고 가정하고, LIOb는 로우 전위라고 가정하면, 이 전위는 각각 센스앰프(20)의 제 4엔모스 트랜지스터(N4)를 턴오프시키고, 제 3엔모스 트랜지스터(N3)를 턴온시킨다. 센스 앰프 인에이블 신호(RSASEL)가 하이가 되면 제 5엔모스 트랜지스터(N5)가 하이가 되어 턴온됨과 동시에 제 1피모스 트랜지스터(P1) 내지 제 3피모스 트랜지스터(P3)가 턴오프된다. 따라서, 제 2인버터(IV2)의 입력단에 더이상 전원전압의 공급이 없어지게 된다.

만약, 전원전압에 의해 제 1피모스 트랜지스터(P1) 내지 제 3피모스 트랜지스터(P3)가 턴오프되면, 제 1엔모스 트랜지스터(N1), 제 3엔모스 트랜지스터(N3) 및 제 5피모스 트랜지스터(P5)가 턴온되어 있기 때문에 전원전압은 접지되고 제 2인버터(IV2)에 로우 신호가 입력되어 PDb가 하이 데이터로 출력된다. 따라서, 제 7엔모스 트랜지스터(N7)는 풀다운 바(PDb)신호를 하이로 입력받아 턴온되어 BL_RDb가 로우 신호를 출력한다.

또한, 제 4엔모스 트랜지스터(N4)의 턴오프시 제 1인버터(IV1)로 하이 신호가 입력되고, 제 6엔모스 트랜지스터(N6)는 풀다운(PD) 신호로 로우 신호를 입력받아 턴오프되어 BL_RD를 하이 신호로 유지한다.

이때, 각각의 인버터(IV2, IV1)를 통해 반전된 신호가 출력되므로 비트라인리드 바(BL_RDb) 단자는 로우 레벨의 전위가, 비트라인 리드(BL_RD) 단자에는 하이 레벨의 전위가 출력된다.

상술된 종래의 데이터 버스 센스 앰프는 프리차지시 동일하게 Vcc를 유지하고 있다가 LIO와 LIOb의 1차 센싱된 데이터에 의해 2차 센싱이 데이터 버스 센스앰프에서 빠르게 이루어지기를 기대하게 된다.

그런데, 이러한 종래의 DB센스 앰프 회로는 리드동작 이전까지 주위의 라인, 특히 전원라인에 의한 노이즈 때문에 센스 앰프 인에이블 신호(RSASEL)가 완전히 로우 상태가 유지되기 힘들 수 있게 된다.

따라서, 이럴 경우 자체 비대칭과 인에이블 신호의 라인 노이즈에 의해 센스 앰프 인에이블 신호(RSASEL)에 물려있는 NMOS트랜지스터에 누설 전류가 발생되고, 이로 인해 실제 리드시 반대 데이터가 입력될 경우 기존의 원치않는 데이터를 반전시켜야 하는 어려움이 있어 데이터 패일이 발생하는 문제점이 있다.

그리고, 프리차지 동안에 라인들이 모두 Vcc로 연결되어 있다면 지속적인 전원 누설 발생으로 전력 소모가 발생하는 문제점이 있다. 또한, 센스 앰프 인에이블 신호의 펄스가 하이로 인에이블 되는 동안 센싱 전류를 Vss로 빼내야 하는 NMOS트랜지스터의 부담감이 스피드 및 센싱 마진에 어려움을 주게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 센싱 전류를 접지시키는 NMOS트랜지스터에 PMOS트랜지스터를 연결하여 사용하므로, 프리차지 동안 센스 앰프 인에이블 신호(RSASEL)에 의해 발생하는 노이즈의 마진을 개선할 수 있도록 하는 센스 앰프 회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 센스 앰프 회로는, 센스 앰프 회로에 있어서, 센스앰프 제어신호에 의해 데이터 버스라인에 실린 데이터를 센싱하는 크로스 커플드 센스 앰프; 센스 앰프의 인에이블 신호에 의해 센스 앰프에 프리차지 전압을 제공하는 프리차지부; 및 센스 앰프 인에이블 신호의 활성화 상태에 따라 선택적으로 턴온되어 센스 앰프 인에이블 신호의 하이 펄스 구간 동안 발생하는 센싱 전류를 접지시키는 전송게이트를 구비함을 특징으로 한다.

또한, 본 발명은 센스앰프 제어신호에 의해 데이터 버스 라인에 실린 데이터를 센싱하는 크로스 커플드 센스 앰프; 센스 앰프의 인에이블 신호에 의해 센스 앰프에 프리차지 전압을 제공하는 프리차지부; 프리차지부와 연결되어 센스 앰프 인에이블 신호를 그 게이트 단자를 통해 입력받는 엔모스 트랜지스터; 센스 앰프 인에이블 신호를 반전시키는 인버터; 및 인버터에 의해 반전된 센스 앰프 인에이블 신호가 그 게이트 단자로 입력되고, 엔모스 트랜지스터와 접지전압단 사이에 직렬 연결된 피모스 트랜지스터를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

도 2는 본 발명에 따른 센스 앰프 회로의 개략적인 구성도로서, 종래와 동일 구성은 동일한 부호로 설명한다.

도 2를 보면, 센스앰프(20)는 크로스 커플드 구조로 연결된 제 1(N1), 제 2엔모스 트랜지스터(N2) 및 제 4(P4), 제 5피모스 트랜지스터(P5)를 구비하고, 센스앰프 제어신호에 의해 비트라인(BL_RD, BL_RDb)에 실린 데이터를 센싱한다. 그리고, 센스앰프(20)는 게이트 단자를 통하여 데이터 버스 라인(LIO, LIOb)으로부터 인가되는 데이터 입출력 신호를 각각 입력받는 제 3(N3)엔모스 트랜지스터 및 제 4엔모스 트랜지스터(N4)를 구비한다.

여기서, 제 3(N3) 및 제 4엔모스 트랜지스터(N4)의 공통 소스 단자는, 제 11엔모스 트랜지스터(N11) 및 제 3인버터(IV3)에 의해 반전된 센스 앰프 인에이블 신호(RSASEL)가 인가되는 제 11피모스 트랜지스터(P11)로 구성된 전송게이트와 연결된다.

그리고, 프리차지부(10)는 센스 앰프 인에이블 신호(RSASEL)를 입력받아 전압을 프리차지하는 제 1(P1), 제 2(P2), 제 3 피모스 트랜지스터(P3)를 구비한다. 제 1(P1) 및 제 2피모스 트랜지스터(P2)는 그 소스단자를 통해 전원전압을 인가받으며, 제 1(P1), 제 2(P2) 및 제 3피모스 트랜지스터(P3)의 게이트 단자는 상호 연결되어 있다.

이러한 구성을 갖는 본 발명의 센스 앰프 회로의 동작 과정을 설명하자면 다음과 같다.

먼저, 센스 앰프의 동작시에는 센스 앰프의 출력신호인 PD 및 PDb신호는 로우 상태로 있다. 따라서, 프리차지 상태에서는 비트라인 리드 신호(BL_RD, BL_RDb)가 하이상태가 된다. 이때, 센스 앰프 이네이블 신호(RSASEL)는 로우 상태를 유지하고 있다.

그리고, 센스앰프(20)의 중앙에 구성된 크로스-커플드 래치 양단의 전위는 센스앰프 이네이블 신호(RSASEL)가 로우 상태 이므로 제 1(P1), 제 2(P2) 및 제 3피모스 트랜지스터(P3)가 턴온되어 하이로 유지한다.

한편, 리드 상태에서는 센스 앰프 인에이블 신호(RSASEL)가 펄스로 3~4nS동안 액티브 하이로 되는데, 그 동안에 제 1(P1), 제 2(P2), 제 3피모스 트랜지스터(P3)를 오프시키고, 데이터 버스 라인(LIO, LIOb)에 실려오는 데이터로 제 3(N3), 제 4엔모스 트랜지스터(N4)의 턴온 정도 차이를 가지고 센스앰프(20)의 동작을 수행한다. 즉, 리드 동작시에는 하이로 프리차지 되어 있던 데이터 버스라인(LIO, LIOb) 중 한쪽이 비트 라인 증폭기로부터의 데이터에 의해 로우로 내려가고, 다른 하나는 계속 하이로 남게 된다.

따라서, 데이터 버스라인(LIO, LIOb)의 LIO는 하이로 되고, LIOb는 로우 전위가 되는데, 이 전위는 각각 센스앰프(20)의 제 4엔모스 트랜지스터(N4)를 턴오프시키고, 제 3엔모스 트랜지스터(N3)를 턴온시킨다.

센스 앰프 인에이블 신호(RSASEL)가 하이로 되면 전송게이트(N11, P11)는 센스 앰프 인에이블 신호 및 제 3인버터(IV3)에 의해 반전된 센스 앰프 인에이블 신호를 입력으로 받아 하이로 되어 턴온되고, 제 1피모스 트랜지스터(P1) 내지 제 3피모스 트랜지스터(P3)가 턴오프된다.

만약, 전원전압에 의해 제 1피모스 트랜지스터(P1) 내지 제 3피모스 트랜지스터(P3)가 턴온되면, 제 4피모스 트랜지스터(P4), 제 1(N1), 제 3(N3) 및 전송게이트(N11, P11)가 턴온되어 있기 때문에 전원전압은 접지되어 제 2인버터(IV2)로 로우 신호가 출력된다.

이때, 전송게이트(N11, P11)의 턴온시 센스 앰프 인에이블 신호(RSASEL)의 펄스가 하이로 인에이블 되는 동안 센싱 전류를 접지단으로 신속하게 빼낼 수 있게 된다.

그리고, 제 7엔모스 트랜지스터(N7)는 풀다운 바(PDb)신호를 입력받아 턴오프되어 로우 신호를 출력한다.

또한, 제 4엔모스 트랜지스터(N4)의 턴온시 제 1인버터(IV1)로 하이 신호가 출력되고, 제 6엔모스 트랜지스터(N6)는 풀다운(PD) 신호를 입력받아 턴온되어 하이 신호를 출력한다.

이때, 각각의 인버터(IV2, IV1)를 통해 반전된 신호가 출력되므로 비트라인리드 바(BL_RDb) 단자는 하이 레벨의 전위가, 비트라인 리드(BL_RD) 단자에는 로우 레벨의 전위가 출력된다.

도 3은 본 발명에 따른 접지부의 다른 실시예에 대한 회로도이다.

도 3을 보면, 접지부(30)는 센스 앰프 인에이블 신호(RSASEL)를 그 게이트 단자를 통해 입력받는 제 12엔모스 트랜지스터(N12)와, 제 4인버터(IV4)에 의해 반전된 센스 앰프 인에이블 신호(RSASEL)가 그 게이트 단자로 입력되고, 제 12엔모스 트랜지스터(N12)와 직렬 연결된 제 12피모스 트랜지스터(P12)를 구비한다.

도 4는 본 발명에 따른 접지부의 또 다른 실시예에 대한 회로도이다.

도 4를 보면, 접지부(30)는 제 13엔모스 트랜지스터(N13)와 제 13피모스 트랜지스터(P13)로 구성되어, 각각 센스앰프 인에이블 신호(RSASEL) 및 제 5인버터(IV5)에 의해 반전된 센스 앰프 인에이블 신호를 입력받는 전송 게이트(N13,P13)를 구비한다. 그리고, 전송게이트(N13,P13)와 직렬 연결되고 게이트 단자를 통하여 제 5인버터(IV5)로부터 인가되는 반전된 센스 앰프 인에이블 신호(RSASEL)를 입력받는 제 14피모스 트랜지스터(P14)를 구비한다.

따라서, 리드 상태에서 센스 앰프 인에이블 신호(RSASEL)의 펄스가 액티브 하이가 되는 동안 센싱 전류를 신속하게 접지 시킴으로써 스태바이 전류가 증가됨을 방지할 수 있게 된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명의 센스 앰프 회로는, 센스앰프 인에이블 신호(RSASEL)의 입력단인 접지부에 PMOS 트랜지스터를 추가하여 구성함으로써 V_{SS} 간의 누설전류량을 줄이고, 프리차지 기간 동안의 자체 비대칭성에 의해 센싱된 폭을 줄여 리드시 원하는 데이터의 반전을 용이하게 할 수 있다.

또한, 센스앰프 인에이블 신호(RSASEL)가 펄스 타입이므로 하이 펄스 동작시 더 빠른 센싱이 가능하게 되므로 스피드 개선 효과가 있다.

(57) 청구의 범위

청구항 1.

센스 앰프 회로에 있어서,

센스앰프 제어신호에 의해 데이터 버스 라인에 실린 데이터를 센싱하는 크로스 커플드 센스 앰프;

센스 앰프의 인에이블 신호에 의해 상기 센스 앰프에 프리차지 전압을 제공하는 프리차지부; 및

상기 센스 앰프 인에이블 신호의 활성화 상태에 따라 선택적으로 턴온되어 상기 센스 앰프 인에이블 신호의 하이 펄스 구간 동안 발생하는 센싱 전류를 접지시키는 전송게이트를 구비함을 특징으로 하는 센스 앰프 회로.

청구항 2.

센스앰프 제어신호에 의해 데이터 버스 라인에 실린 데이터를 센싱하는 크로스 커플드 센스 앰프;

센스 앰프의 인에이블 신호에 의해 상기 센스 앰프에 프리차지 전압을 제공하는 프리차지부;

상기 프리차지부와 연결되어 상기 센스 앰프 인에이블 신호를 그 게이트 단자를 통해 입력받는 엔모스 트랜지스터;

상기 센스 앰프 인에이블 신호를 반전시키는 인버터; 및

상기 인버터에 의해 반전된 센스 앰프 인에이블 신호가 그 게이트 단자로 입력되고, 상기 엔모스 트랜지스터와 접지전압단 사이에 직렬 연결된 피모스 트랜지스터를 구비함을 특징으로 하는 센스 앰프 회로.

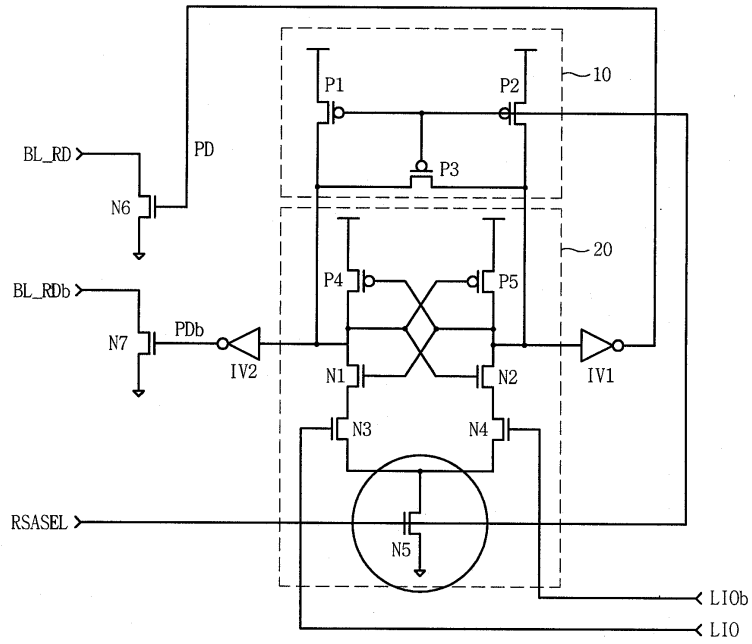
청구항 3.

제 1 항에 있어서,

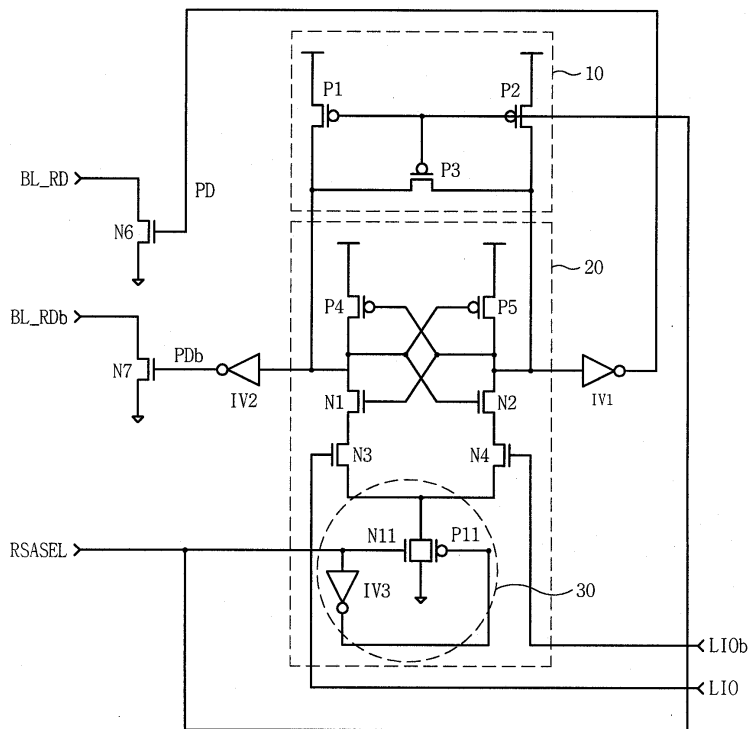
상기 전송게이트와 접지전압단 사이에 직렬 연결되고 게이트 단자를 통하여 반전된 상기 센스 앰프 인에이블 신호를 입력 받는 제 2 피모스 트랜지스터를 더 구비함을 특징으로 하는 센스 앰프 회로.

도면

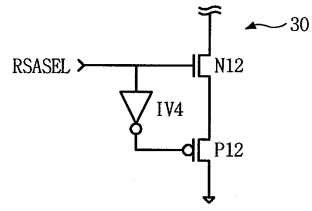
도면1



도면2



도면3



도면4

