

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호
WO 2010/076926 A1

PCT

(43) 국제공개일
2010년 7월 8일 (08.07.2010)

- (51) 국제특허분류:
H01L 27/115 (2006.01)
- (21) 국제출원번호: PCT/KR2009/002388
- (22) 국제출원일: 2009년 5월 7일 (07.05.2009)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2008-0137964 2008년 12월 31일 (31.12.2008) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **한양대학교 산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)** [KR/KR]; 서울 성동구 행당동 17번지, 133-791 Seoul (KR).
- (72) 발명자: **김태환 (KIM, Tae-Whan)** [KR/KR]; 서울 마포구 성산동 181-7, 121-250 Seoul (KR). **곽계달 (KWACK, Kae-Dal)** [KR/KR]; 서울 종로구 구기동 154-3 번지 건덕빌라 B 동 201 호, 110-011 Seoul (KR). **김현주 (KIM, Hyun-Joo)** [KR/KR]; 경기도 고양시 일산서구 탄현동 1479 번지, 411-841 Gyeonggi-do (KR).
- (75) 발명자/출원인 (US 에 한하여): **김태환 (KIM, Tae-Whan)** [KR/KR]; 서울 마포구 성산동 181-7, 121-250 Seoul (KR). **곽계달 (KWACK, Kae-Dal)** [KR/KR]; 서울 종로구 구기동 154-3 번지 건덕빌라 B 동 201 호, 110-011 Seoul (KR). **김현주 (KIM, Hyun-Joo)** [KR/KR]; 경기도 고양시 일산서구 탄현동 1479 번지, 411-841 Gyeonggi-do (KR).
- (74) 대리인: **특허법인 이상 (E-SANG PATENT & TRADEMARK LAW FIRM)**; 서울 서초구 양재동 82-2 우도빌딩 3층, 137-890 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

규칙 4.17 에 의한 선언서:

- 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

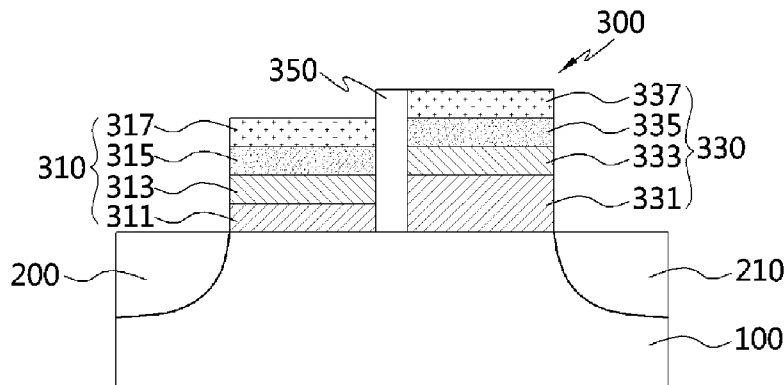
공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: MULTI-BIT FLASH MEMORY AND METHOD FOR MANUFACTURING THE SAME

(54) 발명의 명칭: 멀티 비트 플래시 메모리 및 이를 제조하기 위한 방법

[Fig. 1]



(57) Abstract: Disclosed is a flash memory having at least two gates prepared in one gate structure and a method for manufacturing the same. Each gate can store 1-bit data, and each cell transistor can store at least 2-bit information. In addition, the electric influence from adjacent floating gates is minimized while executing a program because of the varying thicknesses of each tunneling dielectric film. That is to say, electric charge trapping through a certain floating gate can be performed regardless of electromagnetic influence from the adjacent floating gates as a result of the height difference among the floating gates.

(57) 요약서: 하나의 게이트 구조물에 구비된 적어도 2 개의 게이트를 가진 플래시 메모리 및 이를 제조하는 방법이 개시된다. 각각의 게이트는 1 비트의 데이터를 저장할 수 있으며, 하나의 셀 트랜지스터는 적어도 2 비트의 정보를 저장할 수 있다. 또한, 각각의 터널링 유전막의 두께는 달리 설정되어, 프로그램 동작 시에 인접한 부유 게이트에 의한 전기적 영향은 최소화된다. 즉, 서로 다른 높이를 가지는 부유 게이트에 의해 특성의 부유 게이트를 통한 전하의 트랩 동작은 인접한 부유 게이트에 의한 전자기적 영향을 배제한 채 수행할 수 있다.

WO 2010/076926 A1

명세서

멀티 비트 플래시 메모리 및 이를 제조하기 위한 방법

기술분야

- [1] 본 발명은 플래시 메모리에 관한 것으로, 더욱 상세하게는 서로 다른 두께를 가지는 터널링 산화막을 보유한 2 비트 플래시 메모리와 이를 제조하는 방법에 관한 것이다.

배경기술

- [2] 플래시 메모리는 대표적인 비휘발성 메모리로서 전원이 제거되더라도 저장된 정보가 삭제되지 아니하고 보존되는 특성을 가진다. 통상의 플래시 메모리는 하나의 셀 트랜지스터에 2개의 게이트층을 구비하고, 셀 트랜지스터의 문턱전압의 변경에 의해 데이터를 저장하는 동작을 취한다.
- [3] 특히, 플래시 메모리는 DRAM과 같은 물리적인 커패시터를 요구하지 않고, 부유 게이트(floating gate)에 전하를 저장하거나 제거하는 동작을 통해 프로그램 또는 소거 동작을 수행하므로 고집적화 및 대용량화에 유리하다는 장점을 가진다. 프로그램 또는 소거 동작을 위해 셀 트랜지스터는 터널링 유전막, 부유 게이트, 게이트간 유전막 및 제어 게이트의 순차적인 적층구조를 가진다.
- [4] 플래시 메모리의 크기는 소형화 및 고집적화에 대한 요구에 따라 기본 구조는 변하지 않는 상태에서 면적 또는 크기만이 비례 축소(scale-down)의 형태로 진행되어 왔다. 그러나, 이러한 비례 축소를 이용한 소자의 고집적화는 크기의 축소와 함께 트랜지스터가 가지는 소자 동작의 한계를 노출하고 있다. 대표적인 현상이 단채널 효과(Short Channel Effect)인데, 이는 소스와 드레인이 물리적으로 근접하여 게이트가 채널에서 반송자의 이동을 제어할 수 없는 현상을 지칭한다. 이러한 단채널 효과 등은 트랜지스터가 스위치로서 기능하는 것을 방해하며, 대용량화 고집적화를 가로막는 요소가 된다.
- [5] 상술한 문제점을 해결하기 위해 플래시 메모리 분야에서는 하나의 셀 트랜지스터가 2비트 이상의 데이터를 저장하도록 하는 멀티레벨 소자에 관한 연구가 활발하다. 멀티레벨 소자라 함은 부유 게이트에 트랩되는 전자의 양을 조절하여 다수의 문턱전압을 설정하고, 설정된 문턱전압을 통해 멀티 비트를 구현하고자 하는 기술이다. 그러나, 이러한 기술도 부유 게이트에 트랩되는 전자의 양을 정확하게 조절하는데 한계가 있으며, 미세한 문턱전압의 변화에 따라 채널에 흐르는 전류의 양을 센싱하는데 문제점을 노출한다. 또한, 동일한 높이를 가지는 2개의 터널링 유전막으로 인해 하나의 부유 게이트에만 전하를 트랩한다 하더라도, 동일 높이로 구비되는 인접한 부유 게이트에 트랩된 전하가 전기적 영향을 미치게 되고, 문턱전압의 확보의 신뢰성이 떨어지는 문제가 발생한다.

발명의 상세한 설명

기술적 과제

- [6] 상술한 문제를 해결하기 위한 본 발명의 제1 목적은 서로 다른 두께의 터널링 산화막을 가지는 멀티 비트 플래시 메모리를 제공하는데 있다.
- [7] 또한, 본 발명의 제2 목적은 상기 제1 목적의 달성을 위해 사용되는 멀티 비트 플래시 메모리의 제조방법을 제공하는데 있다.

기술적 해결방법

- [8] 상기 제1 목적을 달성하기 위한 본 발명은, 기판 상에 형성되고, $n+$ 로 도핑된 소스; 상기 소스와 대향하는 위치에 형성되고, $n+$ 로 도핑된 드레인; 및 적어도 2개의 게이트들을 가지고, 서로 다른 두께의 터널링 유전막을 가진 게이트 구조물을 포함하는 멀티 비트 플래시 메모리를 제공한다.
- [9] 상기 제2 목적을 달성하기 위한 본 발명은, 기판 상에 제1 두께를 가진 터널링 유전막을 형성하는 단계; 상기 터널링 유전막을 부분 식각하여 제1 게이트가 형성되는 영역의 터널링 유전막이 상기 제1 두께보다 얇은 제2 두께를 가지도록 하는 단계; 상기 부분 식각된 터널링 유전막의 상부에 부유 게이트를 형성하는 단계; 상기 부유 게이트 상부에 게이트간 유전막을 형성하는 단계; 상기 게이트간 유전막 상부에 제어 게이트를 형성하는 단계; 부분 식각을 통해 분리막이 형성되는 영역의 상기 기판 표면을 노출시키는 단계; 및 상기 노출된 기판 표면을 매립하여 상기 분리막을 형성하고, 상기 분리막에 의해 구획되는 제1 게이트 및 제2 게이트를 형성하는 단계를 포함하는 멀티 비트 플래시 메모리의 제조방법을 제공한다.

유리한 효과

- [10] 상술한 본 발명에 따르면, 하나의 게이트 구조물을 통해 2비트의 데이터는 저장된다. 또한, 일방적인 크기의 비례축소에 따라, 셀 트랜지스터가 유발하는 단채널 현상은 방지될 수 있다. 즉, 소스-드레인 사이의 길이가 단축됨에 따라 게이트를 통한 채널의 온/오프 제어가 불가능해지는 현상은 방지될 수 있다. 이는 본 발명에서 하나의 게이트에 읽기 전압을 인가하는 동안, 인접한 게이트에는 패스 전압이 인가되어 실질적인 채널의 길이가 증가하는데 기인한다.
- [11] 또한, 적어도 2개로 분리된 게이트들이 하나의 게이트 구조물로 형성되고, 각각의 게이트의 부유 게이트는 서로 다른 높이를 가지도록 설정된다. 따라서, 부유 게이트와 터널링 유전막의 계면에 포집되는 전하들에 의한 커플링 커패시턴스 현상은 저감된다. 즉, 터널링되는 전하가 프로그램되는 부유 게이트 이외에 인접한 부유 게이트에 의해 유도된 전기적 영향은 저감될 수 있다.

도면의 간단한 설명

- [12] 도 1은 본 발명의 바람직한 실시예에 따른 멀티 비트 플래시 메모리를 도시한 단면도이다.
- [13] 도 2 내지 도 5는 상기 도 1에 도시된 플래시 메모리의 제조방법을 설명하기

위한 단면도들이다.

발명의 실시를 위한 최선의 형태

- [14] 본 발명은 다양한 변형을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변형, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [15] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [16] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [17]
- [18] 실시예
- [19] 도 1은 본 발명의 바람직한 실시예에 따른 멀티 비트 플래시 메모리를 도시한 단면도이다.
- [20] 도 1을 참조하면, 기판(100) 상에 게이트 구조물(300)이 구비되고, 게이트 구조물(300)의 양측면에 소스(200) 및 드레인(210)이 구비된다.
- [21] 소스(200) 및 드레인(210)은 $n+$ 로 고농도 도핑된 영역이다.
- [22] 상기 게이트 구조물(300)은 2개의 게이트들(310, 330) 및 이들 사이를 구획하는 차단막(350)으로 구성된다. 제1 게이트(310)는 제2 게이트(330) 보다 낮은 높이를 가진다. 이는 제1 게이트(310)에 구비된 터널링 유전막(311)의 두께가 제2 게이트(330)에 구비된 터널링 유전막(331)의 두께보다 작음에 기인한다.
- [23] 상기 제1 게이트(310)는 소스(200)에 인접한 영역에 형성된다. 또한, 제1 게이트(310)는 제1 터널링 유전막(311), 제1 부유 게이트(313), 제1 게이트간 유전막(315) 및 제1 제어 게이트(317)를 가진다.
- [24] 제1 터널링 유전막(311)은 실리콘 산화막으로 형성됨이 바람직하다.
- [25] 상기 제1 터널링 유전막(311) 상부에는 제1 부유 게이트(313)가 구비된다. 상기 제1 부유 게이트(313)는 실리콘 질화물로 구성됨이 바람직하다.
- [26] 이어서 제1 부유 게이트(313) 상부에는 제1 게이트간 유전막(315)이 구비된다. 상기 제1 게이트간 유전막(315)은 실리콘 산화물 또는 금속 산화물로 구성된다. 특히, 금속 산화물은 고유전율을 실현하기 위해 하프늄 산화물, 티타늄 산화물, 이트륨 산화물, 알루미늄 산화물, 탄탈륨 산화물 및 지르코늄 산화물로 구성된

그룹에서 선택된 적어도 어느 하나일 수 있으며, 이들 그룹에서 선택된 어느 하나에 질소 또는 실리콘이 첨가될 수 있으며, 이들의 복합막일 수 있다.

- [27] 상기 제1 게이트간 유전막(315) 상부에는 제1 제어 게이트(317)가 구비된다. 제1 제어 게이트(317)로는 다결정 실리콘, 금속, 도전성 금속질화물 또는 도전성 산화물이 사용될 수 있다. 바람직하게는 상기 제1 제어 게이트(317)는 다결정 실리콘으로 형성된다.
- [28] 차단막(350)으로 구획되고, 상기 제1 게이트(310)와 대향하는 부위에는 제2 게이트(330)가 구비된다. 상기 제2 게이트(330)를 이루는 적층물은 상기 제1 게이트(310)와 유사하다. 따라서, 상기 제2 게이트(330)는 제2 터널링 유전막(331), 제2 부유 게이트(333), 제2 게이트간 유전막(335) 및 제2 제어 게이트(337)를 가진다. 또한, 각각의 막질의 구성은 상기 제1 게이트(310)에 개시된 막질의 구성과 동일한 조성을 가진다. 다만, 상기 제2 터널링 유전막(331)은 제1 터널링 유전막(311)보다 두껍게 형성된다.
- [29] 제1 게이트(310)와 제2 게이트(330) 사이에는 차단막(350)이 구비된다. 상기 차단막(350)은 제1 게이트(310)와 제2 게이트(330) 사이를 가로질러 형성되며, 비전도성 재질로 형성된다. 비전도성 재질이라면 어느 것이라도 차단막(350)으로 구성될 수 있겠으나, 본 실시예에서는 낮은 유전상수를 가지는 다공질 실리카로 차단막(350)을 형성한다.
- [30] 또한, 기판(100)은 상기 도 1에서는 일반적인 실리콘 단결정 기판이 개시되나, 실시의 형태에 따라서, 산화막 상에 에피택셜 성장을 통해 형성된 기판이 사용될 수도 있다.
- [31] 도 2 내지 도 5는 상기 도 1에 도시된 플래시 메모리의 제조방법을 설명하기 위한 단면도들이다.
- [32] 먼저, 도 2를 참조하면, 기판(100) 상에 터널링 유전막(321)을 형성한다. 상기 터널링 유전막(321)은 제1 두께 t_1 을 가지도록 형성된다. 바람직하게는 상기 터널링 유전막(321)은 열산화 공정을 이용하여 형성한다. 이어서, 터널링 유전막(321) 상부에 포토레지스트를 도포하고, 통상적인 리소그래피 공정을 이용하여 포토레지스트를 패터닝한다. 포토레지스트의 패터닝에 의해 상기 도 1의 제1 게이트(310)가 형성되는 영역은 오픈된다.
- [33] 도 3을 참조하면, 패터닝된 포토레지스트를 식각 마스크로 이용하여 식각을 수행한다. 상기 식각은 습식 또는 건식으로 수행될 수 있으며, 건식 식각이 수행됨이 바람직하다. 식각을 통해 제1 두께 t_1 의 터널링 유전막(321)의 일부 영역은 제2 두께 t_2 로 형성된다. 즉, 터널링 유전막(321)은 서로 다른 두께를 가지도록 단차를 가진채 형성된다.
- [34] 도 4를 참조하면, 단차를 가진 터널링 유전막(321) 상부에 부유 게이트(323), 게이트간 유전막(325) 및 제어 게이트(327)를 순차적으로 형성한다.
- [35] 도 5를 참조하면, 도 4에 개시된 구조물의 상부에 포토레지스트를 도포하고, 통상의 리소그래피 공정을 이용하여 차단막(350)이 형성되는 영역을 오픈한다.

이어서, 차단막(350)이 형성되는 영역이 오픈된 포토레지스트 패턴을 식각마스크로 하여 식각 공정을 수행한다. 식각 공정은 하부 기관(100)의 표면이 노출될 때 까지 진행한다.

[36] 계속해서, 포토레지스트 패턴을 제거하고, 식각에 의해 형성된 홀에 절연성 물질을 매립하여 차단막(350)을 형성한다.

[37] 이후에는 제1 게이트(310) 및 제2 게이트(330)의 일부 영역을 식각하고, 잔류하는 제1 게이트(310) 및 제2 게이트(330)를 마스크로 하여 이온 주입 공정을 수행하여 소스 및 드레인 영역을 형성한다.

[38] 상술한 과정에 따라 형성된 플래시 메모리는 도 1에 도시된 구조를 가진다. 이하는 상기 도 1에 도시된 플래시 메모리의 프로그램, 소거 및 읽기 동작을 설명한다. 이는 본 발명에 개시된 플래시 메모리의 사용방법에 관한 설명이다.

[39] 프로그램 동작은 게이트 구조물 하단의 기관 영역에 있는 전자를 제1 부유 게이트(313) 또는 제2 부유 게이트(333)에 트랩시키는 동작이다. 제1 터널링 유전막(311)의 두께는 제2 터널링 유전막(331)의 두께보다 작으므로, 제어 게이트들(317, 337)을 통해 동일한 프로그램 전압을 인가하더라도, 제1 부유 게이트(313)에 인가되는 전압은 제2 부유 게이트(333)에 인가되는 전압보다 낮은 값을 가지게 된다. 따라서, 제1 게이트(310)는 채널 영역에 상대적으로 낮은 전계를 형성하고, 이는 제1 부유 게이트(313)의 계면에 트랩되는 전하량이 제2 부유 게이트(333)의 계면에 트랩되는 전하량보다 낮은 양을 가지게 된다. 따라서, 2개의 게이트(310, 330)가 동일 프로그램 전압에 의해 프로그램된 경우, 제1 게이트(310)가 제2 게이트(330)보다 낮은 문턱전압을 가진다.

[40] 소거 동작은 제1 제어 게이트(317) 및 제2 제어 게이트(337)에 소거 전압을 인가하는 동작이다. 이를 통해 제1 부유 게이트(313) 및 제2 부유 게이트(333)에 트랩된 전하는 채널 영역으로 이동한다. 즉, 제1 부유 게이트(313) 또는 제2 부유 게이트(333)에 트랩된 전하는 제1 터널링 유전막(311) 또는 제2 터널링 유전막(331)을 가로질러 채널 영역으로 이동하게 된다. 이러한 경우, 프로그램된 상태의 문턱전압보다 낮은 문턱전압을 유지한다.

[41] 읽기 동작은 2개의 게이트들 중 특정의 어느 하나를 선택하여 읽기 전압을 인가하고, 나머지 하나의 게이트에는 패스 전압을 인가하는 동작으로 시작한다. 읽기 전압은 선택된 게이트에서 설정된 2개의 문턱전압 사이의 전압으로 설정되고, 나머지 하나의 게이트에 인가되는 패스 전압은 설정된 2개의 문턱전압 이상의 전압으로 설정된다.

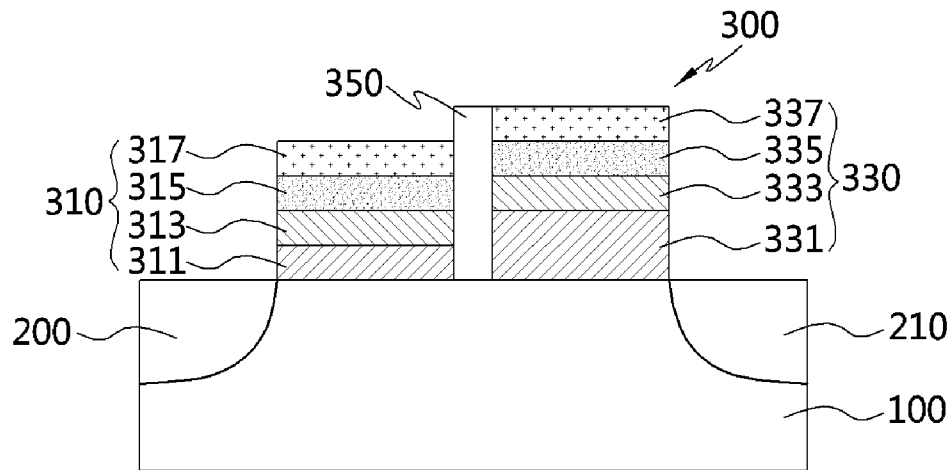
[42] 예컨대, 제1 게이트(310)에 읽기 전압을 인가하는 경우, 제1 게이트(310)에 인가되는 읽기 전압은 제1 게이트(310)의 소거 동작 시의 문턱전압과 제1 게이트(310)의 프로그램 시의 문턱전압 사이로 설정된다. 제1 게이트(310)에 읽기 전압이 인가되면, 제2 게이트(330)에는 패스 전압이 인가된다. 상기 패스 전압은 제2 게이트(330)의 소거 동작 시의 문턱전압과 제2 게이트(330)의 프로그램 동작 시의 문턱전압 이상으로 설정된다.

- [43] 만일, 제2 게이트(330)에 읽기 전압을 인가하는 경우에는 제1 게이트(310)에는 패스 전압이 인가된다.
- [44] 상술한 동작에서 게이트가 프로그램된 상태인 경우, 채널의 전하는 제1 부유 게이트(313) 또는 제2 부유 게이트(333)의 계면에 트랩된다. 특히, 2개의 부유 게이트들(313, 333) 중 하나에만 전하가 트랩되는 경우, 커플링 커패시턴스 현상이 발생할 수 있다. 이는 2개의 부유 게이트들(313, 333)의 높이나 두께가 서로 동일한 경우에 더욱 심화된다. 즉, 하나의 부유 게이트에 트랩된 전하는 인접한 부유 게이트에 전기적인 영향을 미치고, 전계에 의해 터널링 유전막을 이동하는 전하는 2개의 부유 게이트들을 하나의 부유 게이트로 인식하는 문제가 발생한다. 따라서, 전하가 인식하는 커패시턴스는 증가하고, 동일한 프로그램 전압이 인가되더라도, 적은 양의 전하가 계면에 트랩되는 문제가 발생한다. 적은 양의 전하가 부유 게이트의 계면에 트랩되면 소거 상태와 문턱전압의 차이가 작아지고, 데이터의 기록의 신뢰도가 떨어지는 문제가 발생한다.
- [45] 본 발명에서는 제1 부유 게이트(313)의 위치는 제2 부유 게이트(333)의 위치와 다르게 구성된다. 즉, 제1 터널링 유전막(311)의 두께가 제2 터널링 유전막(313)의 두께보다 얇으므로, 제1 부유 게이트(313)는 제2 부유 게이트(333)와 기판(100)으로부터 동일한 위치에 있지 아니하고, 좀 더 낮은 위치에 있게 된다. 따라서, 채널 영역에서 2개의 부유 게이트(313, 333)를 바라볼 때, 서로 다른 부유 게이트로 보게 되며, 커플링 커패시턴스의 효과는 방지된다. 즉, 제1 부유 게이트(313)의 계면에 트랩된 전하가 제2 부유 게이트(333)의 계면에 전기적인 영향을 줄 수 없도록 제1 부유 게이트(313) 계면과 동일한 위치에는 제2 터널링 유전막(331)이 배치되는 구조가 된다.
- [46] 또한, 제2 부유 게이트(333)의 계면과 동일한 높이에는 제1 부유 게이트(313)의 계면이 위치하지 않고, 제1 부유 게이트(313)의 벌크, 제1 게이트간 유전막(315) 또는 제1 제어 게이트(317)가 위치하게 된다. 따라서, 제2 부유 게이트(333)의 계면에 트랩된 전하에 따른 커플링 커패시턴스 효과는 방지된다.
- [47]

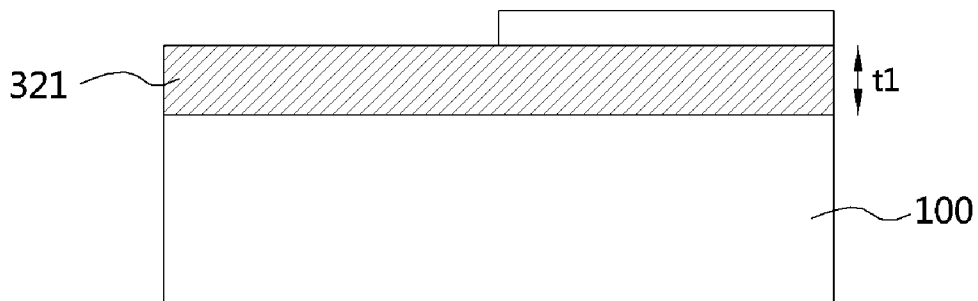
청구범위

- [1] 기판 상에 형성되고, n+로 도핑된 소스;
상기 소스와 대향하는 위치에 형성되고, n+로 도핑된 드레인; 및
적어도 2개의 게이트들을 가지고, 서로 다른 두께의 터널링 유전막을 가진
게이트 구조물을 포함하는 멀티 비트 플래시 메모리.
- [2] 제1항에 있어서, 상기 게이트 구조물은,
제1 두께의 제1 터널링 유전막, 상기 제1 터널링 유전막 상부에 구비된 제1
부유 게이트, 상기 제1 부유 게이트 상에 형성된 제1 게이트간 유전막 및
상기 제1 게이트간 유전막 상부에 형성된 제1 제어 게이트를 가지는 제1
게이트;
상기 제1 두께보다 큰 제2 두께를 가지는 제2 터널링 유전막, 상기 제2
터널링 유전막 상부에 구비된 제2 부유 게이트, 상기 제2 부유 게이트 상에
형성된 제2 게이트간 유전막 및 상기 제2 게이트간 유전막 상부에 형성된
제2 제어 게이트를 가지는 제2 게이트; 및
상기 제1 게이트 및 상기 제2 게이트를 전기적으로 차단하고 구획하는
차단막을 포함하는 것을 특징으로 하는 멀티 비트 플래시 메모리.
- [3] 제2항에 있어서, 상기 차단막은 다공질 실리콘을 특징으로 하는 멀티
비트 플래시 메모리.
- [4] 제2항에 있어서, 상기 제1 부유 게이트가 상기 제1 터널링 유전막과 접하는
계면의 높이는 상기 제2 터널링 유전막의 벌크에 해당하는 것을 특징으로
하는 멀티 비트 플래시 메모리.
- [5] 기판 상에 제1 두께를 가진 터널링 유전막을 형성하는 단계;
상기 터널링 유전막을 부분 식각하여 제1 게이트가 형성되는 영역의
터널링 유전막이 상기 제1 두께보다 얇은 제2 두께를 가지도록 하는 단계;
상기 부분 식각된 터널링 유전막의 상부에 부유 게이트를 형성하는 단계;
상기 부유 게이트 상부에 게이트간 유전막을 형성하는 단계;
상기 게이트간 유전막 상부에 제어 게이트를 형성하는 단계;
부분 식각을 통해 분리막이 형성되는 영역의 상기 기판 표면을 노출시키는
단계; 및
상기 노출된 기판 표면을 매립하여 상기 분리막을 형성하고, 상기 분리막에
의해 구획되는 제1 게이트 및 제2 게이트를 형성하는 단계를 포함하는 멀티
비트 플래시 메모리의 제조방법.

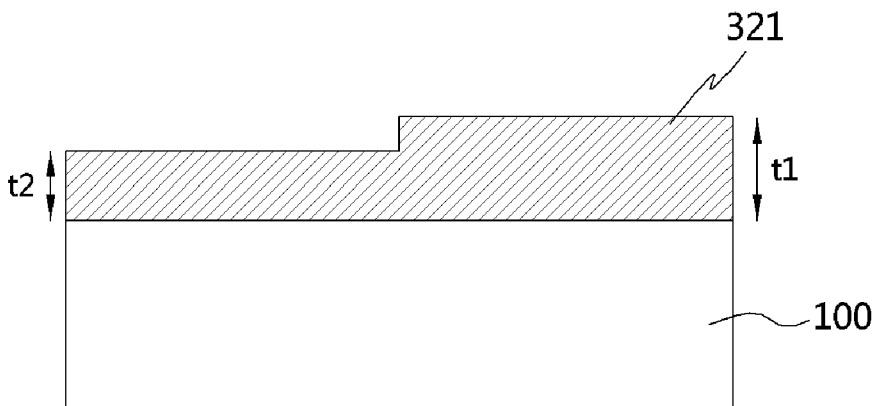
[Fig. 1]



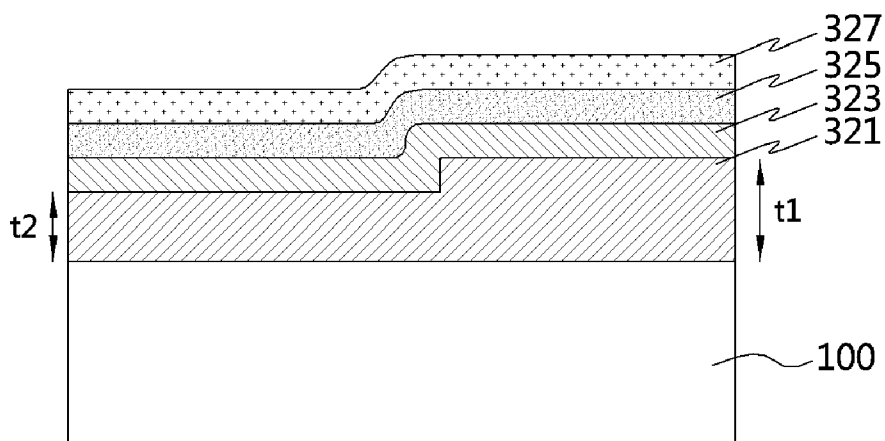
[Fig. 2]



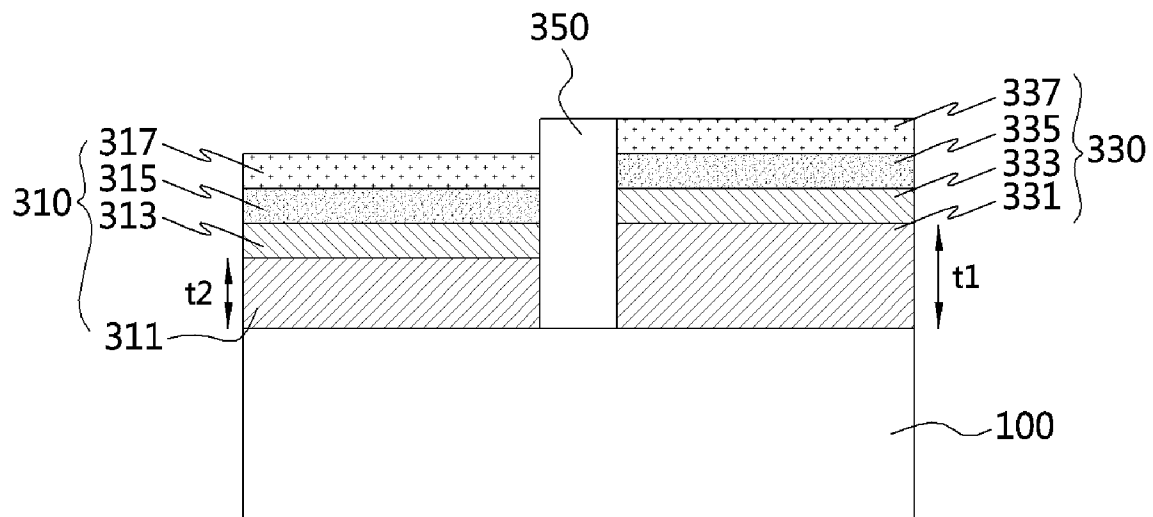
[Fig. 3]



[Fig. 4]



[Fig. 5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2009/002388**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 27/115(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; H01L 21/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: flash memory, multi-bit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-0590568 B1 (SAMSUNG ELECTRONICS CO., LTD.) 19 June 2006 See abstract, figures 3-5 and their related description (pages 3-4)	1-5
A	KR 10-2007-0007608 A (SAMSUNG ELECTRONICS CO., LTD.) 16 January 2007 See abstract, figures 2a-2d, claims 1-7	1-5
A	KR 10-0854887 B1 (HYNIX SEMICONDUCTOR INC.) 28 August 2008 See abstract, claims 1, figures 1a-1g	1-5
A	KR 10-0669345 B1 (SAMSUNG ELECTRONICS CO., LTD.) 16 January 2007 See abstract, figures 5-13, pages 5-6	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 JANUARY 2010 (15.01.2010)

Date of mailing of the international search report

18 JANUARY 2010 (18.01.2010)

Name and mailing address of the ISA/



Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR2009/002388

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
KR 10-0590568 B1	19.06.2006	JP 2006-140482 A US 2006-097306 A1 US 7535049 B2	01.06.2006 11.05.2006 19.05.2009
KR 10-2007-0007608 A	16.01.2007	NONE	
KR 10-0854887 B1	28.08.2008	NONE	
KR 10-0669345 B1	16.01.2007	US 2007-141796 A1 US 7618864 B2	21.06.2007 17.11.2009

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/115(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/115; H01L 21/28 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 플래시 메모리, 멀티 비트		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-0590568 B1 (삼성전자주식회사) 2006.06.19 요약, 도면 3-5 및 관련 상세한 설명(페이지3-4) 참조	1-5
A	KR 10-2007-0007608 A (삼성전자주식회사) 2007.01.16 요약, 도면 2a-2d, 청구항1-7 참조	1-5
A	KR 10-0854887 B1 (주식회사 하이닉스반도체) 2008.08.28 요약, 청구항1, 도면 1a-1g 참조	1-5
A	KR 10-0669345 B1 (삼성전자주식회사) 2007.01.16 요약, 도 5-13, 페이지 5-6 참조	1-5
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2010년 01월 15일 (15.01.2010)		국제조사보고서 발송일 2010년 01월 18일 (18.01.2010)
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 선사로 139, 정부대전청사 팩스 번호 82-42-472-7140		심사관 여인홍 전화번호 82-42-481-5673 

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0590568 B1	2006.06.19	JP 2006-140482 A US 2006-097306 A1 US 7535049 B2	2006.06.01 2006.05.11 2009.05.19
KR 10-2007-0007608 A	2007.01.16	없음	
KR 10-0854887 B1	2008.08.28	없음	
KR 10-0669345 B1	2007.01.16	US 2007-141796 A1 US 7618864 B2	2007.06.21 2009.11.17