

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 29 日(29.09.2011)

(10) 国際公開番号
WO 2011/118149 A1

- (51) 国際特許分類:
H01L 33/38 (2010.01) H01L 33/42 (2010.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2011/001472
- (22) 国際出願日: 2011 年 3 月 14 日(14.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-066087 2010 年 3 月 23 日(23.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 豊田合成株式会社 (TOYODA GOSEI CO., LTD.) [JP/JP]; 〒4528564 愛知県清須市春日長畑 1 番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中條 直樹 (NAKAJO, Naoki) [JP/JP]; 〒4528564 愛知県清須市春日長畑 1 番地豊田合成株式会社内 Aichi (JP). 神谷 真央 (KAMIYA, Masao) [JP/JP]; 〒4528564 愛知県清須市春日長畑 1 番地豊田合成株式会社内 Aichi (JP). 本間 昭広 (HONMA, Akihiro) [JP/JP]

JP]; 〒4528564 愛知県清須市春日長畑 1 番地豊田合成株式会社内 Aichi (JP).

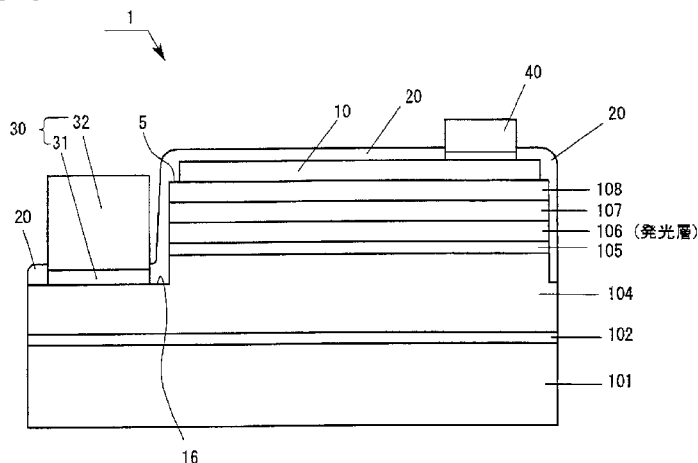
- (74) 代理人: 藤谷 修 (FUJITANI, Osamu); 〒4600002 愛知県名古屋市中区丸の内 2 丁目 1 8 番 2 5 号 丸の内 K S ビル 1 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT-EMITTING ELEMENT MANUFACTURING METHOD

(54) 発明の名称: 半導体発光素子の製造方法

[図1]



106 (Luminous Layer)

(57) Abstract: A problem is to improve luminous efficiency and reliability. To resolve the problem, a transparent conductive film (10) is formed on a top surface of a second semiconductor layer (108) and photoresist is coated on the formed transparent conductive film. When photoresist on a top of an electrode forming portion (16) of a first semiconductor layer (104) is removed, the photoresist is removed so that a thickness of the remaining photoresist becomes thinner toward a portion that is removed, at contours of the portion to be removed. A portion of the second semiconductor layer is exposed by performing wet-etching of the transparent conductive film using the remaining photoresist as a mask. An electrode forming portion of the first semiconductor layer is exposed by dry-etching, using the remaining photoresist and transparent conductive film as masks. The portion exposed by dry-etching of the transparent conductive film is wet-etched to remove the remaining photoresist, using the remaining photoresist as a mask.

(57) 要約: 【課題】発光効率と信頼性の向上 【解決手段】第2半導体層108上の全面に、透明導電膜10を形成し、形成された透明導電膜の上に、フォトレジ

ストを塗布し、第1半導体層104の電極形成部16の上部のフォトレジストが除去される際に、除去される部分の輪郭部において、残されたフォトレジストの厚さが除去される部分に向かって次第に薄くなるようにフォトレジストを除去する。残されたフォトレジストをマスクとして、透明導電膜をウエットエッチングして、第2半導体層の一部を露出させる。残されたフォトレジスト及び透明導電膜をマスクとして、ドライエッチングして、第1半導体層の電極形成部を露出させる。残されたフォトレジストをマスクとして、透明導電膜のドライエッチングで露出した部分をウエットエッチングし、残されたフォトレジストを除去する。

WO 2011/118149 A1

WO 2011/118149 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体発光素子の製造方法

技術分野

[0001] 本発明は、同一面側に、 n 電極と透明導電膜から成る p 電極とを有する半導体発光素子の製造方法に関する。特に、III族窒化物半導体発光素子に関するものである。

背景技術

[0002] 例えば、従来のIII族窒化物半導体発光素子においては、 p 型層は低抵抗化処理を行っても n 型層より抵抗率が高いために p 型層内での面上の水平方向への電流の広がりが出ず、電極直下で発光するだけであるので p 型層の上面の広範囲に電極層を形成する必要がある。また、基板としてサファイア等の絶縁物を用いていることから、下層の n 型層に対する電極を素子上面に形成する必要がある。このため、電極を形成するには、まず n 電極形成領域となる n 型層の一部を露出させるために、その n 型層の上方に存在する p 型層や発光層等をエッチングにより除去し、その露出した n 型層の上面に電極を形成し、次に p 型層上面に透光性電極を形成する必要がある。

[0003] このように、 n 型層の露出、 n 型層上の n 電極の形成、 p 型層上の透光性電極の形成と、多数回のフォトリソグラフィ、エッチング工程を必要としていた。また、 n 型層の露出工程の後に、 p 型層上に透光性電極を形成しているために、露出された n 型層と p 型層との境界部に、正確に位置合せをして、 p 型層の全面に窓の形成されたマスクを形成することは困難である。そのため、上記の境界部（段差のエッジ）から数 μm 程度後退した p 型層上に、透光性電極を形成せざるを得なかった。このため、透光性電極が形成されていない p 型層部分が存在するために、発光に寄与しない部分が存在し、発光効率を低下させていた。

[0004] この課題を解決するために、下記特許文献1、2に開示の技術が存在する。特許文献1の技術では、 p 型層上の全面に金属から成る透光性電極と S i

SiO₂層とを形成した後、そのSiO₂層の上の全面にフォトリソグレイスを塗布して、フォトリソグラフィによりn型層の露出すべき部分のSiO₂層をウェットエッチングしている。そして、残されたフォトリソグレイスとSiO₂層をマスクとして、p型層などの半導体層をドライエッチングしてn型層の一部を露出させ、ウェットエッチングによりSiO₂層を除去している。この工程によると、工程数が少なくなると共に、露出されたn型層とp型層との境界部まで透光性電極が形成されるために、発光効率を向上させることができる。しかしながら、n型層を露出させる工程において、段差側面のpn接合部分に、金属などの導電性原子が付着するため、素子の信頼性が低下していた。

[0005] 一方、特許文献2に開示の技術は、p型層上の透明電極にITOを用いるものである。この技術では、p型層上の全面にITOから成る透明電極を形成した後、その層の上の全面にフォトリソグレイスを塗布して、フォトリソグラフィによりn型層の露出すべき部分のITO膜をウェットエッチングしている。そして、残されたITO膜とフォトリソグレイスとをマスクとして、p型層などの半導体層をドライエッチングしてn型層の一部を露出させている。また、エッチングされた段差におけるp型層のエッジ部分に電界がかかると、静電耐圧が減少する。これを防止するために、p型層のエッジ部分に電界がかからないように、ITO膜を、そのエッジ部分から3μm程度後退した位置に形成している。そのため、マスクを用いたITO膜をウェットエッチングする際に、マスクのエッジ部分から後退した位置までITO膜をアンダーカットエッチングしている。これにより、p型層のエッジ部分から後退した位置にITO膜のエッジが位置するようにして、段差のp型層のエッジ部分に電界が印加されないようにしている。

先行技術文献

特許文献

[0006] 特許文献1：特開平10-173229

特許文献2：特開2005-19945

発明の概要

発明が解決しようとする課題

[0007] ところが、この方法によると、フォトレジストのエッジ直下のITO膜を、所定量だけ、アンダーカットエッチングするには、ウェットエッチングの時間を精密に管理する必要がある。アンダーカットの量が少ないと、上記の静電耐圧を低下させる原因となり、アンダーカットの量が多いと、p型層上にITO膜が形成されていない領域が大きくなるので、発光効率が低下するという問題がある。

さらには、ITO膜とその上のフォトレジストをマスクとして、p型層などの半導体層を反応性ガスのプラズマを用いてドライエッチングしてn型層を露出させる場合に、ITOを構成するIn、Snなどの導電性金属原子が、pn接合の側面に付着して、リーク電流の原因となるという問題があった。

[0008] そこで、本発明の目的は、透明導電膜を電極とする発光素子において、製造工程の簡略化を図り、素子の発光効率を向上させ、素子の信頼性を向上させることである。

課題を解決するための手段

[0009] 第1の発明は、基板と、この基板上に形成された第1伝導型の第1半導体層と、第1伝導型とは異なる第2伝導型の第2半導体層と、第2半導体層の上に形成された透明導電膜から成る第2電極と、第2半導体層側からエッチングして、第1半導体層の電極形成部を露出させ、この電極形成部に第1電極を形成する半導体発光素子の製造方法において、第2半導体層上の全面に、透明導電膜を形成し、形成された透明導電膜の上に、フォトレジストを塗布し、第1半導体層の電極形成部の上部のフォトレジストが除去される際に、除去される部分の輪郭部において、残されたフォトレジストの厚さが除去される部分に向かって次第に薄くなるようにフォトレジストを除去し、残されたフォトレジストをマスクとして、透明導電膜をウェットエッチングして、第2半導体層の一部を露出させ、残されたフォトレジスト及び透明導電膜をマスクとして、ドライエッチングして、第1半導体層の電極形成部を露出

させ、残されたフォトリジストをマスクとして、透明導電膜のドライエッチングで露出した部分をウエットエッチングし、残されたフォトリジストを除去することを特徴とする半導体発光素子の製造方法である。

[0010] ここで、発光素子は、透明導電膜を通して光を外部に出力させるフェースアップのワイヤボンディング型の発光素子に用いることができる。また、発光素子は、透光性基板を用いて、透光性基板を上にして半導体層側をリードフレームに接合するいわゆるフェースダウンで用い、透光性基板の側から光を出力させるフリップチップ型の半導体発光素子であっても良い。フリップチップ型の場合には、透明導電膜の上に直接、又は、絶縁膜を介在させて反射膜を形成する素子に、本発明を用いることができる。半導体の材料としては任意であるが、本発明は、特に、III族窒化物半導体を各層に用いる場合に有効である。透明導電膜が形成される第2半導体層としては、p型半導体でもn型半導体でもいずれでも良い。しかし、n型半導体よりも比抵抗の大きいp型半導体に、透明導電膜を用いるのが一般的である。したがって、本発明において、一般的には、第1伝導型はn型、第2伝導型はp型、第1半導体層はn型半導体層、第2半導体層は、p型半導体層である。しかし、以下の理由により、第1伝導型はp型、第2伝導型はn型、第1半導体層はp型半導体層、第2半導体層はn型半導体層とすることも可能である。

[0011] 基板から最も離れた最上層がIII族窒化物半導体の場合には、p型化処理の関係で、通常、p型半導体となるが、製造技術の進化により最上層がn型半導体になる場合もあるし、LLO法により製造される発光素子は、支持基板と最も離れた層がn型半導体層となるので、透明導電膜が形成される第2半導体層は、いずれの伝導型であっても本発明は適用可能である。

[0012] また、第1半導体層の電極形成部の上部のフォトリジストが除去される際に、除去される輪郭部において、残されたフォトリジストの厚さが、除去される部分に向かって次第に薄くなるようにフォトリジストを形成することは、フォトリジストの露光量分布を制御することにより、現像後のフォトリジストの厚さを制御することで、実現することができる。例えば、フォトリジ

ストの露光部分が現像時に除去される場合には、フォトリソグラフィを除去する部分と残す部分との境界である輪郭部において、残す側に向けて露光量を徐々に減少させることにより実現することができる。残されたフォトリソグラフィマスクにおいて、除去された領域に向かって、厚さが次第に薄くなり、傾斜した面（以下、この部分を「傾斜部」という）が、輪郭部に形成される。

- [0013] 半導体層には、III族窒化物半導体を用いることができる。III族窒化物半導体とは、一般式 $A_l x Ga_y In_z N$ （ $x + y + z = 1$ 、 $0 \leq x, y, z \leq 1$ ）で表される半導体であり、 A_l 、 Ga 、 In の一部を他の第3B族元素（第13族元素）である B や Tl で置換したもの、 N の一部を他の第5B族元素（第15族元素）である P 、 As 、 Sb 、 Bi で置換したものをも含むものとする。より一般的には、 Ga を少なくとも含む GaN 、 $InGaN$ 、 $AlGaInN$ 、 $AlGaInN$ を示す。n型不純物としては Si 、p型不純物としては Mg が通常用いられる。

発明の効果

- [0014] 第2半導体層の上全面に、透明導電膜を形成し、その膜の上全面にフォトリソグラフィを塗布した後に、フォトリソグラフィにより、第1半導体層の電極形成部に該当する部分のフォトリソグラフィが除去される。そして、残されたフォトリソグラフィをマスクとして、透明導電膜がウエットエッチングされる。その後、透明導電膜とフォトリソグラフィをマスクとして、第1半導体層を露出させるドライエッチングが行われる。したがって、第1半導体層を露出させる工程と、第2半導体層の上に透明導電膜とを形成する工程を、1回のフォトリソグラフィにより実施でき、製造工程が簡略化される。
- [0015] また、第1半導体層の電極形成部を形成した後に、透明導電膜を形成することはないために、マスク形成時の位置合せがなく、製造が簡単となると共に、第2半導体層の全面に、透明導電膜を形成することができるので、発光効率を向上させることができる。また、第2半導体層の全面に、透明導電膜を形成していることから、流れる電流路の断面積が拡大することから抵抗が低下して、駆動電圧も低下することができる。また、フォトリソグラフィは、除

去される部分との境界部で、厚さが減少する傾斜部を有している。この傾斜部のうち厚さの薄い所定の部分は、第1半導体層を露出するドライエッチングの工程において、エッチングされて、消滅する。そして、除去された部分に透明導電膜が露出する。透明導電膜は、ドライエッチングにおいて、半導体層よりも高い耐性を有しているので、エッチングされ難く残る。エッチングされたとしても、上部にフォトリソの傾斜部が存在するので、透明導電膜のエッチング開始が遅れる結果、透明導電膜の全厚さはエッチングされない。そのように、フォトリソの厚さ、透明導電膜の厚さが決定される。エッチングその後、露出した透明導電膜が、そのフォトリソをマスクとしてウェットエッチングされるので、フォトリソの傾斜部のうちの薄い所定領域に相当する部分がエッチングされることになる。その結果、透明導電膜のエッジは、第1半導体層の電極形成部の輪郭部から傾斜部のうちの上記の所定領域部分だけ後退することになる。そして、この後退位置は、フォトリソの傾斜部の幅や角度で制御できるので、この後退位置を極めて正確に極微量とすることができる。この結果、第2半導体層のほぼ全面に透明導電膜を形成することができるので、発光素子の発光効率を向上させることができる。

[0016] さらに、第1半導体層を露出するドライエッチングの後に、透明導電膜がウェットエッチングされる工程があるので、ドライエッチングの工程において形成された段差の側面のp-n接合部に、導電性金属原子が付着しても、このウェットエッチングの工程で除去されるので、素子の信頼性が向上する。

図面の簡単な説明

[0017] [図1]本発明の具体的な実施例にかかる発光素子の断面図。

[図2]同実施例の発光素子の平面図。

[図3]同実施例の発光素子の製法を示す発光素子の断面図。

[図4]同実施例の発光素子の製法を示す発光素子の断面図。

[図5]同実施例の発光素子の製法を示す発光素子の断面図。

[図6]同実施例の発光素子の製法を示す発光素子の断面図。

[図7] 同実施例の発光素子の製法を示す発光素子の断面図。

[図8] 本発明の他の実施例にかかる発光素子の断面図。

発明を実施するための形態

[0018] 本発明を実施するための形態について説明する。

基板としては、絶縁性基板、導電性基板、不透光性基板、透光性基板など、任意の基板を用いることができる。たとえば、サファイア (Al_2O_3)、炭化硅素 (SiC)、窒化ガリウム (GaN)、リン化ガリウム (GaP)、酸化亜鉛 (ZnO)、酸化マグネシウム (MgO)、酸化マンガン (MnO)、一般式 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ で表される4元、3元、2元の半導体、 AlN 、セラミックス、などを用いることができる。

[0019] 透明導電膜としては、金属酸化物などの導電性酸化膜が挙げられるが、代表的には、インジウム錫酸化物 (ITO) や酸化亜鉛 (ZnO) を用いるのが良い。その他、 ZnO に Al_2O_3 や Ga_2O_3 など3価のイオンとなる元素を数%添加した材料 (AZO 、 GZO)、フッ素ドーパが酸化亜鉛 (FTO)、酸化インジウムと酸化亜鉛の複合体、ニオブ添加二酸化チタン $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ (TNO)、その他、酸化亜鉛系、酸化インジウム系、酸化スズ系、カドミウム系 (CTO) などの透明導電膜を用いることができる。これらの材料は、ウエットエッチングされ易く、塩素、フッ素などを用いたドライエッチングのエッチング速度がIII族窒化物半導体に比べて遅い。ウエットエッチングの材料は、透明導電膜をエッチングできれば、任意である。また、ドライエッチングも、III族窒化物半導体がエッチングできるものであれば任意であり、塩素、フッ素などのプラズマエッチングを用いることができる。第1電極、第2電極の材料は任意ではあるが、金、金とチタンの多層膜、又は、金とチタンの合金、タングステン (W)、チタン (Ti)、金 (Au) の多層膜等、ニッケル (Ni)、チタン (Ti)、金 (Au) 等を用いることができる。

[0020] 透明導電膜の形成方法は、スパッタ、真空蒸着などを用いることができ、特に限定されないが、電子線による真空蒸着で形成するのが望ましい。なお

、発光層を構成する単一量子井戸構造や多重量子井戸構造は、少なくともインジウム（ In ）を含むIII族窒化物系化合物半導体 $\text{Al}_y\text{Ga}_{1-y}\text{In}_z\text{N}$ （ $0 \leq y < 1$, $0 < z \leq 1$ ）から成る井戸層を含むものが望ましい。発光層の構成は、例えばドーパされた、又はアンドープの $\text{Ga}_{1-z}\text{In}_z\text{N}$ （ $0 < z \leq 1$ ）から成る井戸層と、当該井戸層よりもバンドギャップが大きい任意の組成のIII族窒化物系化合物半導体 AlGaInN から成る障壁層が挙げられる。好ましい例としてはアンドープの $\text{Ga}_{1-z}\text{In}_z\text{N}$ （ $0 < z \leq 1$ ）の井戸層とアンドープの GaN から成る障壁層である。ここでドーパは、ドーパントを意図的に原料ガスに含ませて目的とする層に添加していることを意味し、アンドープは、原料ガスにドーパントを含ませないで、意図的にドーパントを添加しないものを意味する。したがって、アンドープは、近接の層から拡散して自然にドーピングされている場合をも含む。

[0021] III族窒化物半導体層を結晶成長させる方法としては、分子線気相成長法（MBE）、有機金属気相成長法（MOVPE）、ハイドライド気相成長法（HVPE）、液相成長法等が有効である。半導体発光素子を構成する各層のIII-V族窒化物半導体は、少なくとも $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ （ $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x + y \leq 1$ ）にて表される2元系、3元系若しくは4元系の半導体から成るIII-V族窒化物系化合物半導体で形成することができる。また、これらのIII族元素の一部は、ボロン（B）、タリウム（Tl）で置き換えても良く、窒素（N）の一部をリン（P）、砒素（As）、アンチモン（Sb）、ビスマス（Bi）で置き換えても良い。

[0022] 更に、これらの半導体を用いてn型の層を形成する場合には、n型不純物として、Si、Ge、Se、Te、C等を添加し、p型の層を形成する場合には、p型不純物としては、Be、Ca、Sr、Ba等を添加することができる。

実施例 1

[0023] 図1は、本実施例1の半導体発光素子1を示す断面図であり、図2はその平面図である。厚さ $100\mu\text{m}$ のサファイヤ基板101の上には窒化アルミ

ニウム（AlN）から成る膜厚約20nmのバッファ層102が設けられ、その上にシリコン（Si）ドーパのGaNから成る膜厚約8.0μmの高キャリア濃度n⁺層であるn型コンタクト層104（第1半導体層）が形成されている。このn型コンタクト層104の電子濃度は $5 \times 10^{18} / \text{cm}^3$ である。この層の電子濃度は、高い程、望ましいが、 $2 \times 10^{19} / \text{cm}^3$ まで、増加可能である。そして、n型コンタクト層104の上にIn_{0.03}Ga_{0.97}Nからなる歪み緩和層105が200nmの厚さに形成されている。そして、その歪み緩和層105の上に、膜厚20nmのノンドープのGaNと膜厚3nmのノンドープのGa_{0.8}In_{0.2}Nからなる3周期分積層した多重量子井戸構造（MQW）の発光層106が形成されている。発光層106の上にはマグネシウム（Mg）ドーパのAl_{0.15}Ga_{0.85}Nから成る膜厚約60nmのクラッド層に相当するp型層107が形成されている。さらに、p型層107の上にはマグネシウム（Mg）ドーパのGaNから成る膜厚約130nmのp型コンタクト層108（第2半導体層）が形成されている。

[0024] また、p型コンタクト層108の上にはMOCVD法により形成されたITOから成る透明導電膜10が形成されている。p型コンタクト層108の平面上周辺部には、環状に幅3μmの露出部5が形成されている。この露出部5の幅は、発光効率から言えば、狭い程望ましいが、段差の側壁におけるpn接合の短絡の防止を考慮すると、最低、1μm設けるのが望ましい。6μmを越えると発光効率が低下するので、6μm以下が望ましい。その透明導電膜10の上には、SiO₂から成る絶縁性保護膜20が形成されている。透明導電膜10の厚さは、0.5μm、絶縁性保護膜20は、厚さ、200nmである。絶縁性保護膜20に開けられた窓に形成されたpパッド電極40は、厚さ0.01μmのチタン（Ti）と、厚さ0.5μmの金（Au）との2重構造で構成されている。また、p電極パッド40は、TiとAuの合金で構成されていても良い。

[0025] 一方、p型コンタクト層108からエッチングして、露出したn型コンタクト層104上には、n電極30が形成されている。n電極30は2重構造

をしており、膜厚約18nmのバナジウム(V)層31と、膜厚約1.8μmのアルミニウム(Al)層32とをn型コンタクト層104の一部露出された部分である電極形成部16に、順次積層させることにより構成されている。

[0026] 次に、本実施例に係る半導体発光素子の製法について説明する。まず、サファイア基板101上に、MOCVD法により、400℃において、窒化アルミニウム(AlN)の低温成長によるバッファ層102が形成される。次に、それぞれのIII族窒化物半導体のエピタキシャル成長の最適温度に調整しつつ、MOCVD法によってIII族窒化物半導体からなるn型コンタクト層104、歪み緩和層105、発光層106、p型層107、p型コンタクト層108を順に積層させた。MOCVD法において用いる原料ガスは、窒素源として、アンモニア(NH₃)、Ga源として、トリメチルガリウム(Ga(CH₃)₃)、In源として、トリメチルインジウム(In(CH₃)₃)、Al源として、トリメチルアルミニウム(Al(CH₃)₃)、n型ドーピングガスとして、シラン(SiH₄)、p型ドーピングガスとしてシクロペンタジエニルマグネシウム(Mg(C₅H₅)₂)、キャリアガスとしてH₂またはN₂である。

[0027] 以上の半導体層のエピタキシャル成長については、良く知られた方法である。図3に示すように、p型コンタクト層108の上の全面に、ITOを、厚さ0.5μmで、一様に堆積させて透明導電膜12を形成した。次に、その透明導電膜12の上の全面に、厚さ4μmに、フォトレジスト13を塗布した。その後、そのフォトレジスト13を露光した。この時、図3に示すように、フォトレジスト13を除去する境界部14において、残す領域に向けて、露光強度が低下する方向に傾斜するように露光させた。例えば、プロキシミティー露光法を用い、フォトマスクとウエハとの間隔(プロキシミティーギャップ)を変化させることにより、又は、プロキシミティーギャップを一定にして、露光強度を変化させることにより、露光強度の傾斜の程度を制御することができる。次に、このフォトレジスト13を現像して、露光部8

0を除去して、図4に示すように傾斜部15を境界部14に有したフォトリジスト13を形成した。除去された部分がn型コンタクト層104を露出する部分に対応する。

[0028] 次に、この状態で、ウエットエッチングをした。その結果、図5に示すように、フォトリジスト13に覆われていない部分の透明導電膜12が除去された。次に、残された透明導電膜12とフォトリジスト13の2重層をマスクとして、塩素プラズマによりドライエッチングを行った。この結果、図6に示すように、n型コンタクト層104が露出して、電極形成部16が形成された。この時、フォトリジスト13の厚さは全体的に薄くなり、傾斜部15は薄いために、傾斜部15の所定幅の部分19は、エッチングにより除去されて、下層の透明導電膜12の一部17が露出した。この部分19の下層の透明導電膜12は、エッチングが終了する時刻において、完全には除去されない。フォトリジスト13と透明導電膜12の厚さは、この状態が実現する厚さに設計されている。次に、図7に示すように、この状態で、残されたフォトリジスト13をマスクとして、透明導電膜12の露出部17をウエットエッチングした。残された部分が、図1に示す半導体発光素子1の透明導電膜10となる。この時、段差の側面18のpn接合に付着しているITOの構成元素であるIn、Snなどが、排除された。

[0029] この後、最表面上に一様にフォトリジストの塗布し、露光現像により、透明導電膜10上のpパッド電極40の形成領域に窓を形成して、厚さ0.01 μ mにTiと、厚さ0.5 μ mにAuを堆積して、フォトリジストをリフトオフして、pパッド電極40を形成した。その後、同様に、最表面上に一様にフォトリジストの塗布し、露光現像により、n型コンタクト層104の電極形成部16に対応する部分に窓を開けて、厚さ18nmにVと、厚さ1.8 μ mにAlを堆積して、n電極30を形成した。その後、最表面上に一様にSiO₂を200nmの厚さに堆積して、さらに面上に一様に、フォトリジストを塗布し、露光現像により、所定領域に窓を開けて、フッ素系のエッチングガスによりドライエッチングを行い、その後、レジストを除去して、

絶縁性保護膜 20 を形成した。

実施例 2

[0030] 本発明は、図 8 に示す、フリップチップ型の半導体発光素子 2 を形成する場合にも用いることができる。実施例 1 と同一の構成部分には、同一の符号が付されている。透明導電膜 10 の上に、 SiO_2 から成る第 1 絶縁性保護膜 20 が形成されており、その第 1 絶縁性保護膜 20 の上に、Al から成る反射膜 50 が形成されている。そして、反射膜 50、露出している第 1 絶縁性保護膜 20 の上及び素子 2 の上面に、 SiO_2 から成る第 2 絶縁性保護膜 21 が形成されている。すなわち、第 1 絶縁性保護膜 20 と第 2 絶縁性保護膜 21 は一体となり、その内部に反射膜 50 が存在している。また、p パッド電極 40 には、p バンプ電極 70 が、n 電極 30 には、n バンプ電極 60 が接合している。このような半導体発光素子 2 において、n 型コンタクト層 104 の電極形成部 16 を露出させて、電極形成部 16 の段差のエッジに当たる部分に、p 型コンタクト層 108 の極微小幅の露出部 5 を形成して、透明導電膜 10 を形成する形成時のエッチングに実施例 1 の方法を用いることができる。

[0031] 上記の全実施例において、半導体発光素子の層構成については任意である。本発明は、n 電極と p 電極とを、同一面側に形成した素子において、透明導電膜を第 2 半導体層の上に形成して、第 1 半導体層に対する電極を形成する場合において、半導体層のエッチングする工程を有すれば、どのような発光素子の製法にも適用できる。

産業上の利用可能性

[0032] 本発明は、半導体発光素子の発光効率の向上に用いることができる。

符号の説明

[0033] 1…発光素子
 5…露出部
 10…透明導電膜
 15…傾斜部

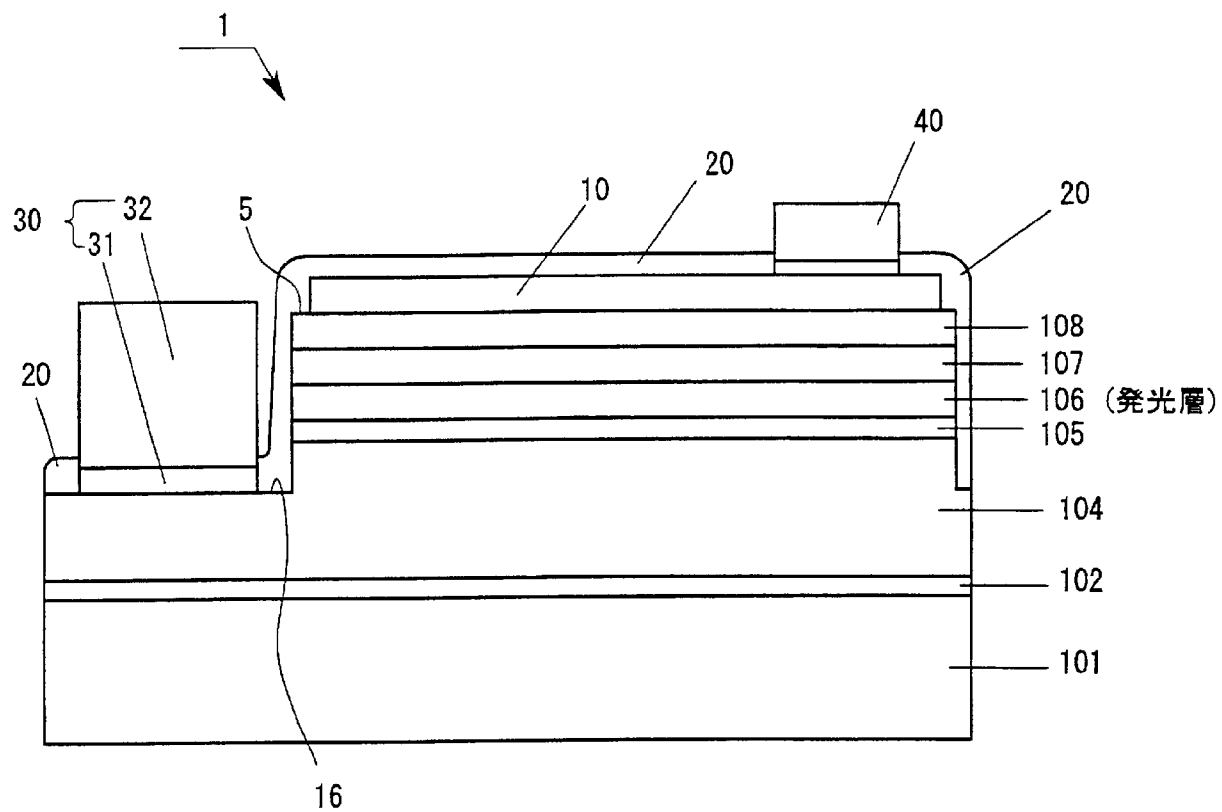
- 20…絶縁性保護膜
- 40…pパッド電極
- 101…サファイア基板
- 102…バッファ層
- 104…n型コンタクト層
- 105…歪み緩和層
- 106…発光層
- 107…p型クラッド層
- 108…p型コンタクト層
- 30…n電極

請求の範囲

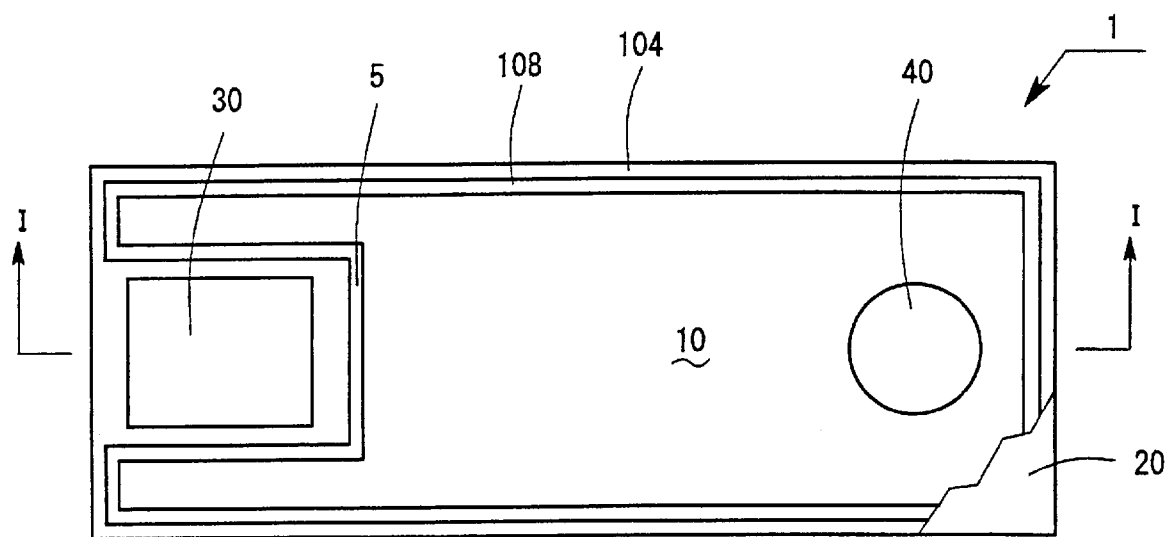
- [請求項1] 基板と、この基板上に形成された第1伝導型の第1半導体層と、第1伝導型とは異なる第2伝導型の第2半導体層と、第2半導体層の上に形成された透明導電膜から成る第2電極と、前記第2半導体層側からエッチングして、前記第1半導体層の電極形成部を露出させ、この電極形成部に第1電極を形成する半導体発光素子の製造方法において、
- 、
- 前記第2半導体層上の全面に、前記透明導電膜を形成し、
- 形成された前記透明導電膜の上に、フォトリソを塗布し、
- 前記第1半導体層の前記電極形成部の上部のフォトリソが除去される際に、除去される部分の輪郭部において、残されたフォトリソの厚さが除去される部分に向かって次第に薄くなるようにフォトリソを除去し、
- 残されたフォトリソをマスクとして、前記透明導電膜をウエットエッチングして、前記第2半導体層の一部を露出させ、
- 残された前記フォトリソ及び前記透明導電膜をマスクとして、ドライエッチングして、前記第1半導体層の前記電極形成部を露出させ、
- 残された前記フォトリソをマスクとして、前記透明導電膜の前記ドライエッチングで露出した部分をウエットエッチングし、
- 残されたフォトリソを除去する
- ことを特徴とする半導体発光素子の製造方法。
- [請求項2] 前記輪郭部におけるフォトリソの厚さは、露光量分布を制御することにより、現像後のフォトリソの厚さを、除去される部分に向かって次第に薄くなるように制御されることを特徴とする請求項1に記載の半導体発光素子の製造方法。
- [請求項3] 前記第1半導体層は、n型のIII族窒化物半導体から成り、前記第2半導体層は、p型のIII族窒化物半導体から成ることを特徴とする

請求項 1 又は請求項 2 に記載の半導体発光素子の製造方法。

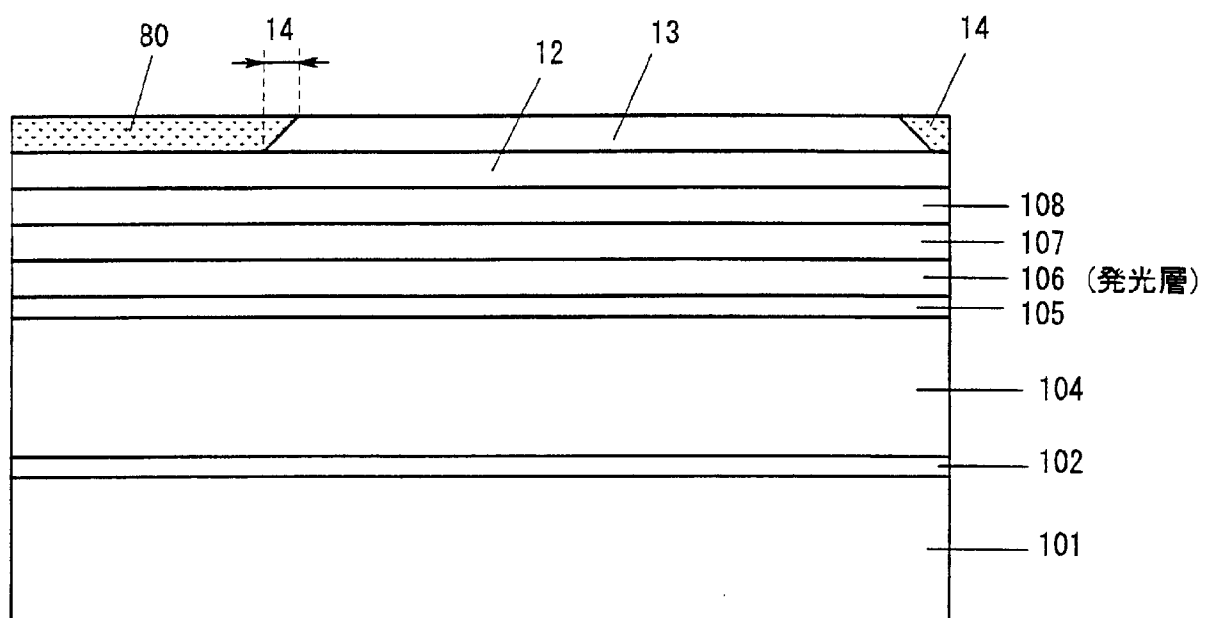
[図1]



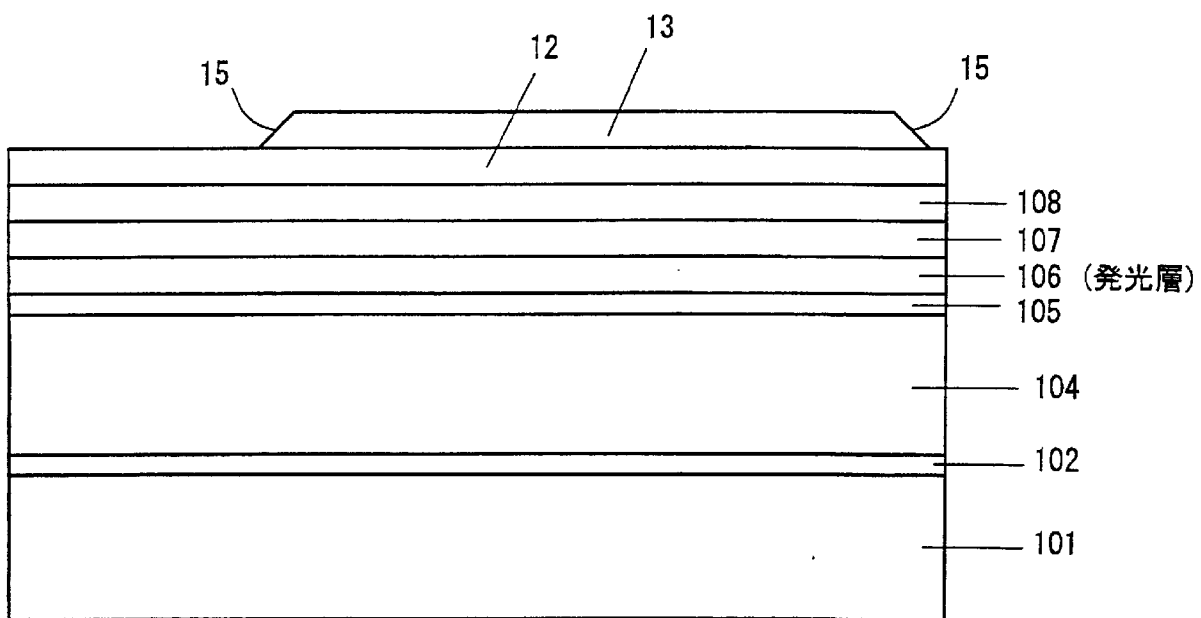
[図2]



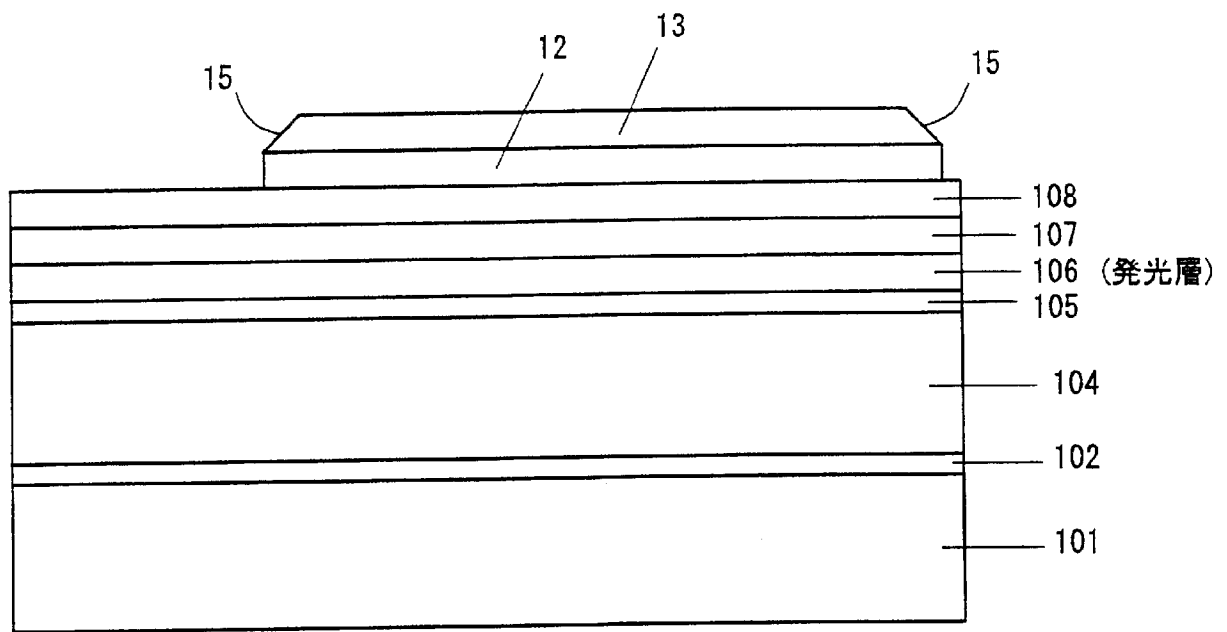
[図3]



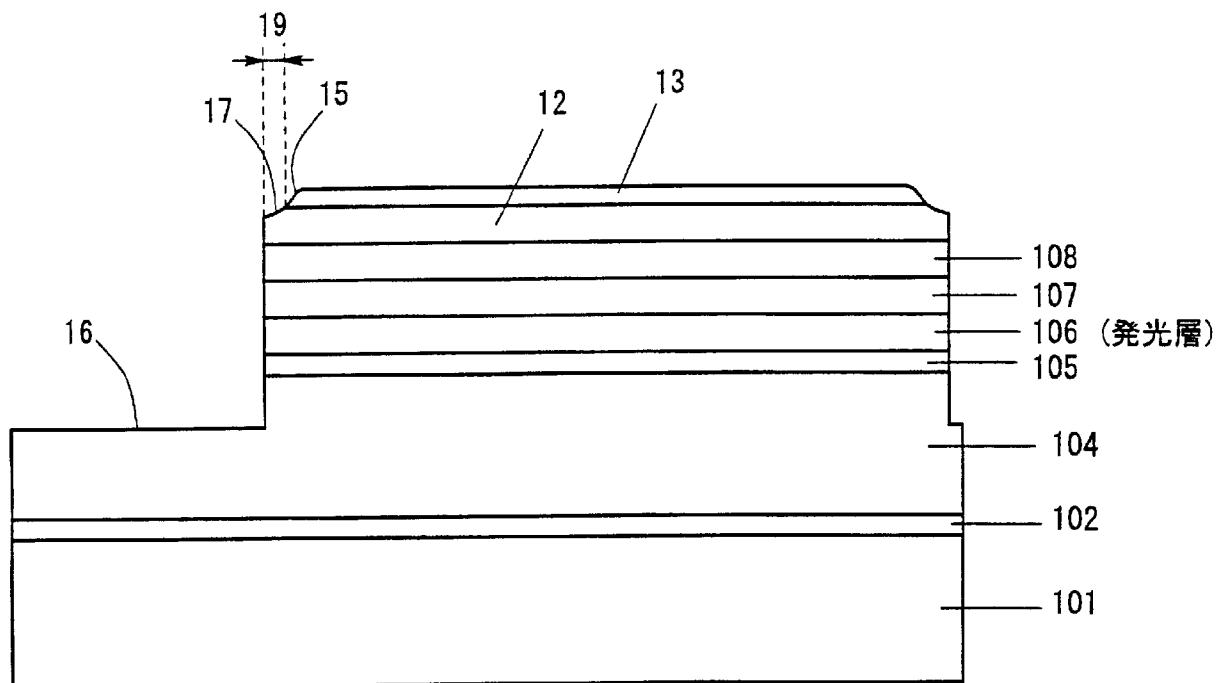
[図4]



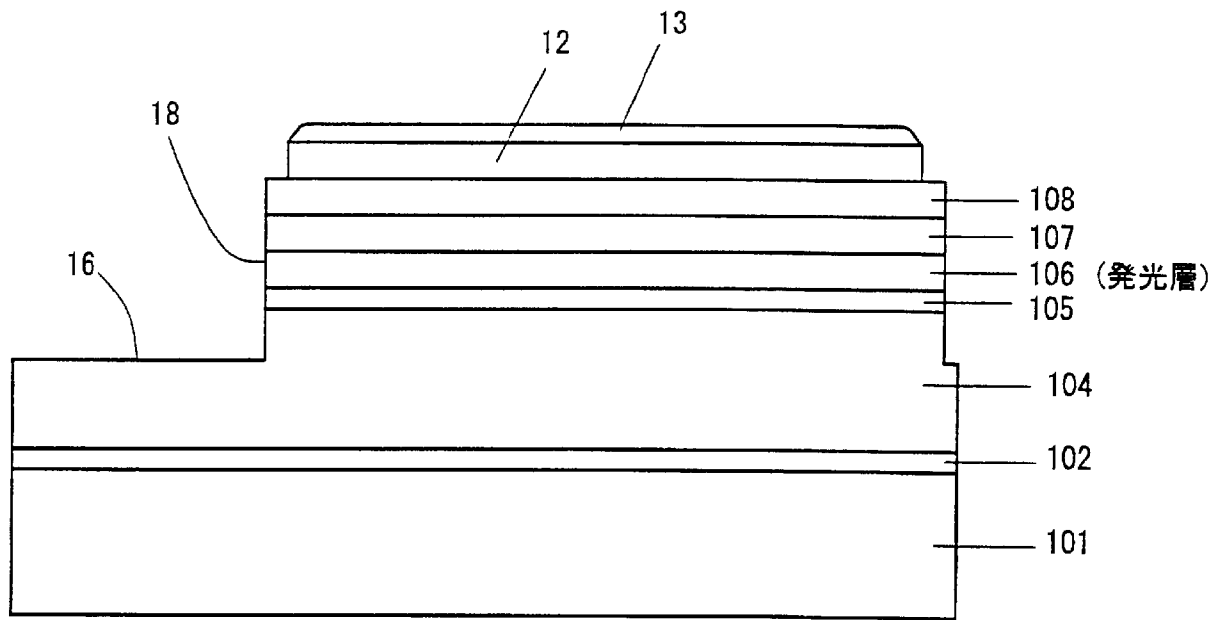
[図5]



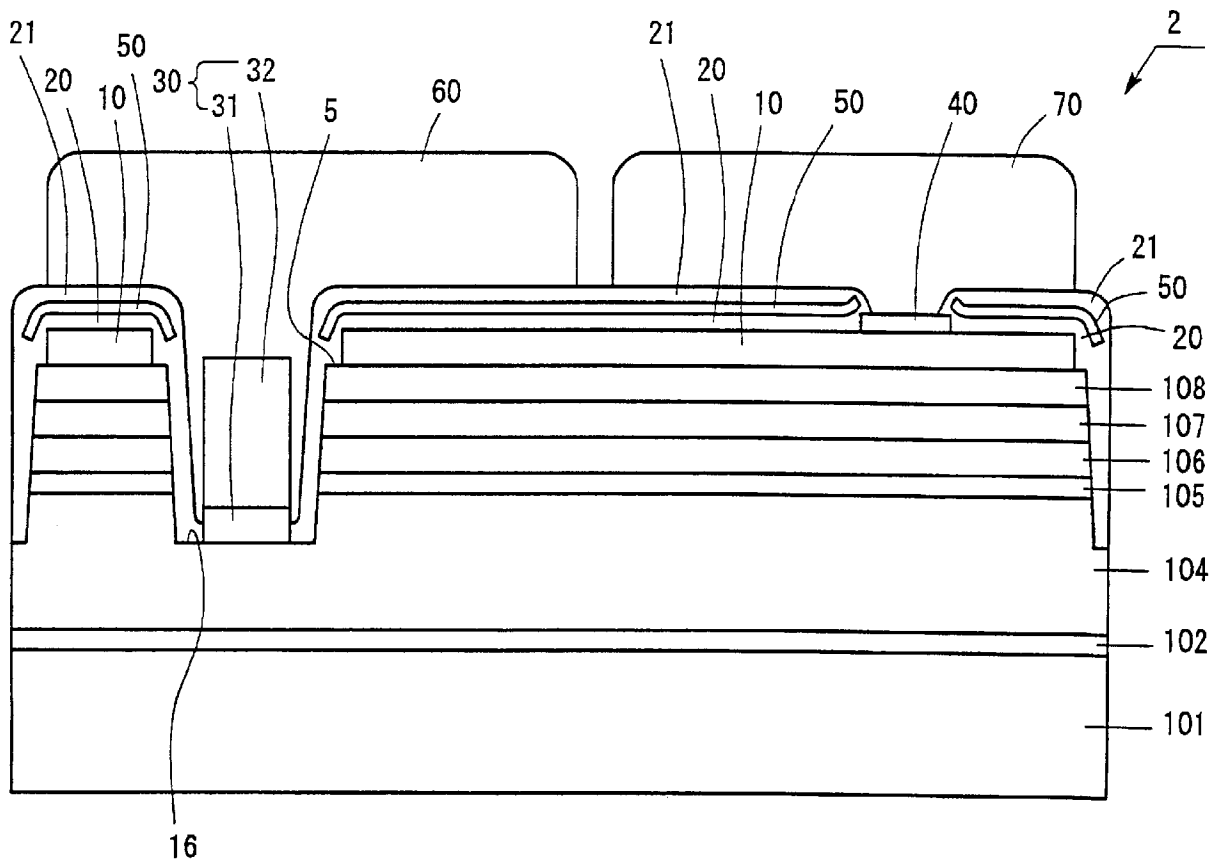
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001472

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/38(2010.01)i, H01L21/28(2006.01)i, H01L33/42(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/38, H01L21/28, H01L33/42, H01S5/00-5/50, H01L21/28-21/288, 21/44-21/445, 29/40-29/49, 29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-185758 A (Toyoda Gosei Co., Ltd.), 06 July 2001 (06.07.2001), paragraphs [0024] to [0025]; fig. 2 to 3 (Family: none)	1-3
A	JP 7-130701 A (Fuji Electric Co., Ltd.), 19 May 1995 (19.05.1995), paragraph [0009] (Family: none)	1-3
A	JP 2005-268725 A (Sony Corp.), 29 September 2005 (29.09.2005), paragraphs [0145] to [0147] (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2011 (15.04.11)

Date of mailing of the international search report
26 April, 2011 (26.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001472

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-49829 A (Fuji Xerox Co., Ltd.), 16 February 2006 (16.02.2006), paragraph [0052] & US 2005/0286597 A1 & US 2005/0286596 A1 & KR 10-2006-0048555 A & CN 1716720 A	1-3
A	JP 2006-339384 A (Kyocera Corp.), 14 December 2006 (14.12.2006), paragraph [0070] (Family: none)	1-3

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L33/38(2010.01)i, H01L21/28(2006.01)i, H01L33/42(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/38, H01L21/28, H01L33/42, H01S 5/00- 5/50
H01L 21/28-21/288, 21/44-21/445, 29/40-29/49, 29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-185758 A（豊田合成株式会社）2001.07.06, 段落[0024]-[0025], 図2-図3（ファミリーなし）	1-3
A	JP 7-130701 A（富士電機株式会社）1995.05.19, 段落[0009] （ファミリーなし）	1-3
A	JP 2005-268725 A（ソニー株式会社）2005.09.29, 段落[0145]-[0147]（ファミリーなし）	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 4 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

多田 春奈

2 K

3 2 0 5

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-49829 A (富士ゼロックス株式会社) 2006. 02. 16, 段落[0052] & US 2005/0286597 A1 & US 2005/0286596 A1 & KR 10-2006-0048555 A & CN 1716720 A	1-3
A	JP 2006-339384 A (京セラ株式会社) 2006. 12. 14, 段落[0070] (ファミリーなし)	1-3