

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 12 月 7 日 (07.12.2017)



(10) 国际公布号
WO 2017/206269 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 21/77** (2017.01)

(21) 国际申请号: PCT/CN2016/089601

(22) 国际申请日: 2016 年 7 月 11 日 (11.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610379712.8 2016 年 6 月 1 日 (01.06.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 周志超(ZHOU, Zhichao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 夏慧(XIA, Hui); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所(普通合伙)(CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 阵列基板及其制备方法

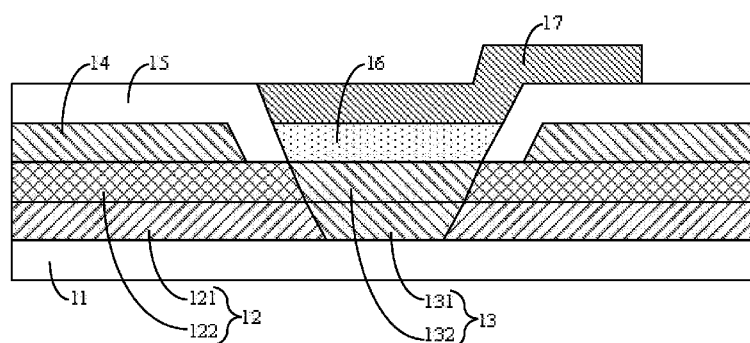


图 1

(57) Abstract: An array substrate and a preparation method therefor. The array substrate comprises: a first insulating layer (12) arranged on a substrate (11); a source electrode pattern (13) arranged in the first insulating layer (12); an annular gate electrode pattern (14) arranged on the first insulating layer (12) and surrounding the periphery of the source electrode pattern (13); a second insulating layer (15) covering the annular gate electrode pattern (14); a semiconductor pattern (16) arranged in a surrounding area of the annular gate electrode pattern (14) and electrically connected to an exposed part of the source electrode pattern (13), wherein the semiconductor pattern (16) is further electrically insulated from the annular gate electrode pattern (14) by the second insulating layer (15); and a pixel electrode (17) arranged on the second insulating layer (15) and electrically connected to one side, far away from the substrate (11), of the semiconductor pattern (16). By means of the method, the width to length ratio of a channel can be increased, thereby increasing an on-state current.

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种阵列基板及其制备方法。该阵列基板包括：第一绝缘层（12）设置于基板（11）上；源极图案（13）设置于第一绝缘层（12）内；环状栅极图案（14）设置于第一绝缘层（12）上且环绕于源极图案（13）的外围；第二绝缘层（15）覆盖于环状栅极图案（14）上；半导体图案（16）设置于环状栅极图案（14）的环绕区域内且与源极图案（13）的外露部分电性连接，半导体图案（16）与环状栅极图案（14）之间进一步由第二绝缘层（15）电性绝缘；像素电极（17）设置于第二绝缘层（15）上且与半导体图案（16）的远离基板（11）的一侧电性连接。通过上述方式，能够增加沟道的宽长比，进而提高开态电流。

发明名称：阵列基板及其制备方法

[1] 【技术领域】

[2] 本发明涉及阵列基板技术领域，特别是涉及一种阵列基板及其制备方法。

[3] 【背景技术】

[4] 在液晶面板工业中，目前的阵列基板通常采用底栅结构，而底栅结构的开态电流极为依赖沟道的宽长比。由于目前的阵列基板的制备工艺条件有限，沟道的长度到达5微米级别已很难再缩小，而增加沟道的宽度会牺牲一定的开口率。因此，现有技术的阵列基板的沟道的宽长比无法增加，进而无法增加底栅结构的开态电流。

[5] 【发明内容】

[6] 本发明的目的在于提供一种阵列基板及其制备方法，能够解决上述问题。

[7] 为实现上述目的，本发明采用的一个技术方案是：提供一种阵列基板，其包括：

[8] 基板；

[9] 第一绝缘层，设置于基板上；

[10] 源极图案，设置于第一绝缘层内；

[11] 环状栅极图案，设置于第一绝缘层上且环绕于源极图案的外围；

[12] 第二绝缘层，覆盖于环状栅极图案上，其中源极图案的远离基板的一侧经第一绝缘层和第二绝缘层至少部分外露；

[13] 半导体图案，设置于环状栅极图案的环绕区域内且与源极图案的外露部分电性连接，半导体图案与环状栅极图案之间进一步由第二绝缘层电性绝缘；

[14] 像素电极，设置于第二绝缘层上且与半导体图案的远离基板的一侧电性连接；

[15] 与源极图案电性连接的数据线，第一绝缘层包括缓冲层和钝化层，其中数据线形成于缓冲层内，并由钝化层覆盖；

[16] 其中，源极图案包括层叠设置的第一源极图案层和第二源极图案层，其中第一源极图案层与数据线为同一材料，第二源极图案层与环状栅极图案为同一材料

- 。
- [17] 其中，阵列基板包括与环状栅极图案电性连接的扫描线，第二绝缘层进一步覆盖扫描线。
- [18] 其中，半导体图案与源极图案的外露部分直接接触。
- [19] 其中，像素电极与半导体图案的远离基板的一侧直接接触。
- [20] 为实现上述目的，本发明采用的一个技术方案是：提供一种阵列基板，其包括：
- [21] 基板；
- [22] 第一绝缘层，设置于基板上；
- [23] 源极图案，设置于第一绝缘层内；
- [24] 环状栅极图案，设置于第一绝缘层上且环绕于源极图案的外围；
- [25] 第二绝缘层，覆盖于环状栅极图案上，其中源极图案的远离基板的一侧经第一绝缘层和第二绝缘层至少部分外露；
- [26] 半导体图案，设置于环状栅极图案的环绕区域内且与源极图案的外露部分电性连接，半导体图案与环状栅极图案之间进一步由第二绝缘层电性绝缘；
- [27] 像素电极，设置于第二绝缘层上且与半导体图案的远离基板的一侧电性连接。
- [28] 其中，阵列基板包括与源极图案电性连接的数据线，第一绝缘层包括缓冲层和钝化层，其中数据线形成于缓冲层内，并由钝化层覆盖。
- [29] 其中，源极图案包括层叠设置的第一源极图案层和第二源极图案层，其中第一源极图案层与数据线为同一材料，第二源极图案层与环状栅极图案为同一材料。
- 。
- [30] 其中，阵列基板包括与环状栅极图案电性连接的扫描线，第二绝缘层进一步覆盖扫描线。
- [31] 其中，半导体图案与源极图案的外露部分直接接触。
- [32] 其中，像素电极与半导体图案的远离基板的一侧直接接触。
- [33] 为实现上述目的，本发明采用的另一个技术方案是：提供一种阵列基板的制备方法，其包括：
- [34] 基板；

- [35] 在基板上形成第一绝缘层以及设置于第一绝缘层内的源极图案，其中第一绝缘层至少部分外露源极图案的远离基板的一侧；
- [36] 在第一绝缘层上形成环状栅极图案，其中环状栅极图案环绕于源极图案的外围；
- [37] 在环状栅极图案上形成第二绝缘层，其中第二绝缘层至少部分外露源极图案的远离基板的一侧；
- [38] 在环状栅极图案的环绕区域内形成半导体图案，其中半导体图案与源极图案的外露部分电性连接且与环状栅极图案之间由第二绝缘层电性绝缘；
- [39] 在第二绝缘层形成像素电极，其中像素电极与半导体图案的远离基板的一侧电性连接。
- [40] 其中，在基板上形成第一绝缘层以及设置于第一绝缘层内的源极图案的步骤包括：
- [41] 在基板上形成缓冲层并进行图案化处理，以在缓冲层上形成与源极图案和数据线对应的沟槽；
- [42] 在缓冲层上形成第一导电层并进行图案化处理，以在沟槽内形成第一源极图案层和数据线；
- [43] 在缓冲层上形成钝化层并进行图案化处理，以在钝化层上形成至少部分外露第一源极图案层的开口。
- [44] 其中，在第一绝缘层上形成环状栅极图案的步骤包括：
- [45] 在钝化层上形成第二导电层并进行图案化处理，以在开口内形成第二源极图案层并在开口的外围形成环状栅极图案，其中第一源极图案层和第二源极图案层共同作为源极图案。
- [46] 其中，在钝化层上形成第二导电层并进行图案化处理的步骤进一步包括：基板；形成与环状栅极图案电性连接的扫描线。
- [47] 本发明的有益效果是：区别于现有技术的情况，本发明的阵列基板包括：基板；第一绝缘层，设置于基板上；源极图案，设置于第一绝缘层内；环状栅极图案，设置于第一绝缘层上且环绕于源极图案的外围；第二绝缘层，覆盖于环状栅极图案上，其中源极图案的远离基板的一侧经第一绝缘层和第二绝缘层至少

部分外露；半导体图案，设置于环状栅极图案的环绕区域内且与源极图案的外露部分电性连接，半导体图案与环状栅极图案之间进一步由第二绝缘层电性绝缘；像素电极，设置于第二绝缘层上且与半导体图案的远离基板的一侧电性连接；相较于现有技术的阵列基板采用底栅结构，采用环状栅极结构，能够增加沟道的宽长比，进而提高开态电流。

[48] **【附图说明】**

[49] **】**

- [50] 图1是本发明第一实施例的阵列基板的剖面图；
- [51] 图2是图1中数据线与源极图案的平面图；
- [52] 图3是图1中钝化层的平面图；
- [53] 图4是图1中扫描线和环状栅极图案的平面图；
- [54] 图5是图1中第二绝缘层的平面图；
- [55] 图6是图1中半导体图案的平面图；
- [56] 图7是图1中像素电极的平面图；
- [57] 图8是图1中环状栅极图案的剖面图；
- [58] 图9是本发明第一实施例的阵列基板的制备方法的流程图；
- [59] 图10是图9中制备缓冲层的示意图；
- [60] 图11是图9中制备第一源极图案层和数据线的示意图；
- [61] 图12是图9中制备钝化层的示意图；
- [62] 图13是图9中制备第二源极图案层和环状栅极图案的示意图；
- [63] 图14是图9中制备第二绝缘层的示意图；
- [64] 图15是图9中制备半导体图案的示意图；
- [65] 图16是图9中制备像素电极的示意图；
- [66] 图17是本发明第一实施例的显示面板的结构示意图。

[67] **【具体实施方式】**

- [68] 请参见图1，图1是本发明第一实施例的阵列基板的剖面图。本实施例所揭示的阵列基板包括：扫描线G、数据线D、基板11、第一绝缘层12、源极图案13、环状栅极图案14、第二绝缘层15、半导体图案16以及像素电极17。

- [69] 其中，基板11优选为玻璃基板。第一绝缘层12设置在基板11上，具体而言，第一绝缘层12包括缓冲层121和钝化层122，通过CVD（Chemical Vapor Deposition，化学气相沉积）-Photo（曝光）-Dry（干刻）-Str（剥离）步骤，在基板11上形成缓冲层121。
- [70] 通过PVD（Physical Vapor Deposition，物理气相沉积）-Photo-Wet（湿刻）-Str，在基板11上形成数据线D和源极图案13，由于缓冲层121的图案与数据线D的图案完全一致，因此在形成数据线D和源极图案13时无需额外增加一道光罩。
- [71] 结合图2所示，数据线D与源极图案13电性连接，源极图案13和数据线D形成于缓冲层121内，即源极图案13和数据线D埋在缓冲层121内，能够使得源极图案13和数据线D与缓冲层121所在的平面平坦，避免设置其他膜层时爬坡，并且能够防止源极图案13和数据线D氧化。
- [72] 通过CVD-Photo-Dry-Str，在缓冲层121上形成钝化层122，数据线D由钝化层122覆盖，如图3所示。
- [73] 其中，源极图案13包括层叠设置的第一源极图案层131和第二源极图案层132，第一源极图案层131与数据线D为同一材料，第二源极图案层132与环状栅极图案14为同一材料。优选地，数据线D和环状栅极图案层14为同一材料。
- [74] 在基板11上形成数据线D和第一源极图案层131，数据线D与第一源极图案层131电性连接，第一源极图案层131和数据线D形成于缓冲层121内。钝化层122覆盖数据线D，并未覆盖第一源极图案层131。
- [75] 通过PVD-Photo-Wet-Str，在第一绝缘层12上形成扫描线G和环状栅极图案14，即在钝化层122上形成扫描线G和环状栅极图案14，扫描线G与环状栅极图案14电性连接。其中，环状栅极图案14设置于第一绝缘层12上且环绕于源极图案13的外围，即环状栅极图案14环绕于第一源极图案层131的外围，如图4所示。
- [76] 在第一绝缘层12上形成扫描线G和环状栅极图案14时，在第一源极图案层131上形成第二源极图案层132。
- [77] 通过PVD-Photo-WET-Str，形成第二绝缘层15。第二绝缘层15覆盖于环状栅极图案14和扫描线G上，其中源极图案13的远离基板的一侧经第一绝缘层12和第二绝缘层15至少部分外露，即第二源极图案层132经第一绝缘层12和第二绝缘层15

至少部分外露，如图5所示。

[78] 通过CVD-Photo-Dry-Str，在第二源极图案层132上形成半导体图案16。其中，半导体图案16设置于环状栅极图案14的环绕区域内且与源极图案13的外露部分电性连接，半导体图案16与环状栅极图案14之间进一步由第二绝缘层15电性绝缘，即半导体图案16与第二源极图案层132的外露部分电性连接，如图6所示。

[79] 具体而言，半导体图案16与源极图案13的外露部分直接接触，即半导体图案16与第二源极图案层132的外露部分直接接触。

[80] 其中，半导体图案16的材料包括非晶硅、IGZO (indium gallium zinc oxide, 铟镓锌氧化物) 或者多晶硅。本实施例的半导体图案16优选采用非晶硅材料，直接通过CVD制程生长n+非晶硅，即掺磷非晶硅，无需Dry制程对n+非晶硅进行切断。

[81] 通过PVD-Photo-WET-Str，在半导体图案16上形成像素电极17。像素电极17设置于第二绝缘层15上且与半导体图案16的远离基板的一侧电性连接，如图7所示。其中，像素电极17与半导体图案16的远离基板的一侧直接接触。

[82] 其中，像素电极17优选为ITO (Indium tin oxide, 氧化铟锡) 电极或者MoTi电极。

[83] 进一步参见图8所示，半导体图案16的厚度为L，半径为R，通常半导体图案16的厚度L约为0.2微米。例如，半导体图案16的半径R为4微米，则环状栅极图案14的沟道宽比为 $W/L=2\pi R/L=120$ 。因此本实施例所揭示的阵列基板的沟道宽比大于或等于120，相对于现有技术的沟道宽比为1-10，能够增加沟道的宽长比，进而提高开态电流，增加充电率。

[84] 本发明还提供一种阵列基板的制备方法，其基于第一实施例所揭示的阵列基板进行详细描述。如图9所示，本实施例所揭示的制备方法包括以下步骤：

[85] 步骤S901：在基板11上形成第一绝缘层12以及设置于第一绝缘层12内的源极图案13，其中第一绝缘层12至少部分外露源极图案13的远离基板的一侧；

[86] 步骤S902：在第一绝缘层12上形成环状栅极图案14，其中环状栅极图案14环绕于源极图案13的外围；

[87] 步骤S903：在环状栅极图案14上形成第二绝缘层15，其中第二绝缘层15至少部

分外露源极图案13的远离基板11的一侧；

- [88] 步骤S904：在环状栅极图案14的环绕区域内形成半导体图案16，其中半导体图案16与源极图案13的外露部分电性连接且与环状栅极图案14之间由第二绝缘层15电性绝缘；
- [89] 步骤S905：在第二绝缘层15形成像素电极17，其中像素电极17与半导体图案16的远离基板11的一侧电性连接。
- [90] 在步骤S901中，基板11优选为玻璃基板。在基板11上形成缓冲层121并进行图案化处理，以在缓冲层121上形成与源极图案13和数据线D对应的沟槽111，如图10所示。
- [91] 在缓冲层121上形成第一导电层112并进行图案化处理，以在沟槽111内形成第一源极图案层131和数据线D，如图11所示；
- [92] 在缓冲层121上形成钝化层122并进行图案化处理，以在钝化层122上形成至少部分外露第一源极图案层131的开口，如图12所示。
- [93] 在步骤S902中，在钝化层122上形成第二导电层113并进行图案化处理，以在开口内形成第二源极图案层132并在开口的外围形成所述环状栅极图案14，其中第一源极图案层131和第二源极图案层132共同作为源极图案13，如图13所示。
- [94] 此外，在钝化层122上形成与环状栅极图案14电性连接的扫描线G。
- [95] 在步骤S903中，如图14所示，第二绝缘层15覆盖于环状栅极图案14和扫描线G上，其中源极图案13的远离基板的一侧经第一绝缘层12和第二绝缘层15至少部分外露，即第二源极图案层132经第一绝缘层12和第二绝缘层15至少部分外露，如图5所示。
- [96] 在步骤S904中，在第二源极图案层132上形成半导体图案16，如图15所示。其中，半导体图案16设置于环状栅极图案14的环绕区域内且与源极图案13的外露部分电性连接，半导体图案16与环状栅极图案14之间进一步由第二绝缘层15电性绝缘，即半导体图案16与第二源极图案层132的外露部分电性连接，如图6所示。具体而言，半导体图案16与源极图案13的外露部分直接接触，即半导体图案16与第二源极图案层132的外露部分直接接触。
- [97] 在步骤S905中，在半导体图案16上形成像素电极17，如图16所示。像素电极17

设置于第二绝缘层15上且与半导体图案16的远离基板的一侧电性连接，如图7所示。其中，像素电极17与半导体图案16的远离基板的一侧直接接触。

[98] 如图8所示，半导体图案16的厚度为L，半径为R，通常半导体图案16的厚度L约为0.2微米。例如，半导体图案16的半径R为4微米，则环状栅极图案14的沟道宽比为 $W/L=2\pi R/L=120$ 。因此本实施例所揭示的阵列基板的沟道宽比大于或等于120，相对于现有技术的沟道宽比为1-10，能够增加沟道的宽长比，进而提高开态电流，增加充电率。

[99] 本发明还提供一种显示面板，如图17所示，本实施例所揭示的显示面板170包括阵列基板171、彩膜基板172以及设置在阵列基板171和彩膜基板172之间的液晶层173，本实施例所揭示的阵列基板171为上述实施例所描述的阵列基板，在此不再赘述。

[100] 综上所述，本发明的阵列基板包括：基板；第一绝缘层，设置于基板上；源极图案，设置于第一绝缘层内；环状栅极图案，设置于第一绝缘层上且环绕于源极图案的外围；第二绝缘层，覆盖于环状栅极图案上，其中源极图案的远离基板的一侧经第一绝缘层和第二绝缘层至少部分外露；半导体图案，设置于环状栅极图案的环绕区域内且与源极图案的外露部分电性连接，半导体图案与环状栅极图案之间进一步由第二绝缘层电性绝缘；像素电极，设置于第二绝缘层上且与半导体图案的远离基板的一侧电性连接；相较于现有技术的阵列基板采用底栅结构，采用环状栅极结构，能够增加沟道的宽长比，进而提高开态电流。

[101] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种阵列基板，其中，所述阵列基板包括：
- 基板；
- 第一绝缘层，设置于所述基板上；
- 源极图案，设置于所述第一绝缘层内；
- 环状栅极图案，设置于所述第一绝缘层上且环绕于所述源极图案的外围；
- 第二绝缘层，覆盖于所述环状栅极图案上，其中所述源极图案的远离所述基板的一侧经所述第一绝缘层和所述第二绝缘层至少部分外露；
- 半导体图案，设置于所述环状栅极图案的环绕区域内且与所述源极图案的外露部分电性连接，所述半导体图案与所述环状栅极图案之间进一步由所述第二绝缘层电性绝缘；
- 像素电极，设置于所述第二绝缘层上且与所述半导体图案的远离所述基板的一侧电性连接；
- 与所述源极图案电性连接的数据线，所述第一绝缘层包括缓冲层和钝化层，其中所述数据线形成于所述缓冲层内，并由所述钝化层覆盖；
- 其中，所述源极图案包括层叠设置的第一源极图案层和第二源极图案层，其中所述第一源极图案层与所述数据线为同一材料，所述第二源极图案层与所述环状栅极图案为同一材料。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述阵列基板包括与所述环状栅极图案电性连接的扫描线，所述第二绝缘层进一步覆盖所述扫描线。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中，所述半导体图案与所述源极图案的外露部分直接接触。
- [权利要求 4] 根据权利要求1所述的阵列基板，其中，所述像素电极与所述半导体图案的远离所述基板的一侧直接接触。

- [权利要求 5] 一种阵列基板，其中，所述阵列基板包括：
基板；
第一绝缘层，设置于所述基板上；
源极图案，设置于所述第一绝缘层内；
环状栅极图案，设置于所述第一绝缘层上且环绕于所述源极图案的外围；
第二绝缘层，覆盖于所述环状栅极图案上，其中所述源极图案的远离所述基板的一侧经所述第一绝缘层和所述第二绝缘层至少部分外露；
半导体图案，设置于所述环状栅极图案的环绕区域内且与所述源极图案的外露部分电性连接，所述半导体图案与所述环状栅极图案之间进一步由所述第二绝缘层电性绝缘；
像素电极，设置于所述第二绝缘层上且与所述半导体图案的远离所述基板的一侧电性连接。
- [权利要求 6] 根据权利要求5所述的阵列基板，其中，所述阵列基板包括与所述源极图案电性连接的数据线，所述第一绝缘层包括缓冲层和钝化层，其中所述数据线形成于所述缓冲层内，并由所述钝化层覆盖。
- [权利要求 7] 根据权利要求5所述的阵列基板，其中，所述源极图案包括层叠设置的第一源极图案层和第二源极图案层，其中所述第一源极图案层与所述数据线为同一材料，所述第二源极图案层与所述环状栅极图案为同一材料。
- [权利要求 8] 根据权利要求5所述的阵列基板，其中，所述阵列基板包括与所述环状栅极图案电性连接的扫描线，所述第二绝缘层进一步覆盖所述扫描线。
- [权利要求 9] 根据权利要求5所述的阵列基板，其中，所述半导体图案与所述源极图案的外露部分直接接触。
- [权利要求 10] 根据权利要求5所述的阵列基板，其中，所述像素电极与所述半导

体图案的远离所述基板的一侧直接接触。

[权利要求 11]

一种阵列基板的制备方法，其中，所述制备方法包括：

基板；

在所述基板上形成第一绝缘层以及设置于所述第一绝缘层内的源极图案，其中所述第一绝缘层至少部分外露所述源极图案的远离所述基板的一侧；

在所述第一绝缘层上形成环状栅极图案，其中所述环状栅极图案环绕于所述源极图案的外围；

在所述环状栅极图案上形成第二绝缘层，其中所述第二绝缘层至少部分外露所述源极图案的远离所述基板的一侧；

在所述环状栅极图案的环绕区域内形成半导体图案，其中所述半导体图案与所述源极图案的外露部分电性连接且与所述环状栅极图案之间由所述第二绝缘层电性绝缘；

在所述第二绝缘层形成像素电极，其中所述像素电极与所述半导体图案的远离所述基板的一侧电性连接。

[权利要求 12]

根据权利要求11所述的制备方法，其中，所述在所述基板上形成第一绝缘层以及设置于所述第一绝缘层内的源极图案的步骤包括：

在所述基板上形成缓冲层并进行图案化处理，以在所述缓冲层上形成与所述源极图案和数据线对应的沟槽；

在所述缓冲层上形成第一导电层并进行图案化处理，以在所述沟槽内形成第一源极图案层和所述数据线；

在所述缓冲层上形成钝化层并进行图案化处理，以在所述钝化层上形成至少部分外露所述第一源极图案层的开口。

[权利要求 13]

根据权利要求12所述的制备方法，其中，在所述第一绝缘层上形成环状栅极图案的步骤包括：

在所述钝化层上形成第二导电层并进行图案化处理，以在所述开口内形成第二源极图案层并在所述开口的外围形成所述环状栅极

图案，其中所述第一源极图案层和所述第二源极图案层共同作为所述源极图案。

[权利要求 14] 根据权利要求13所述的制备方法，其中，在所述钝化层上形成第二导电层并进行图案化处理的步骤进一步包括：
形成与所述环状栅极图案电性连接的扫描线。

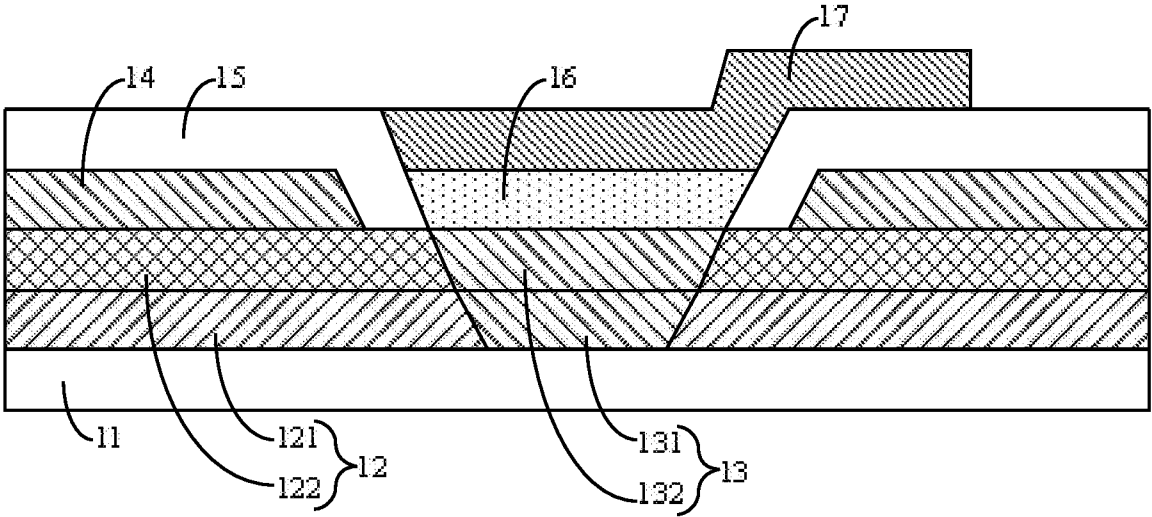


图 1

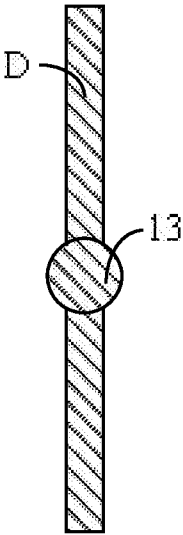


图 2

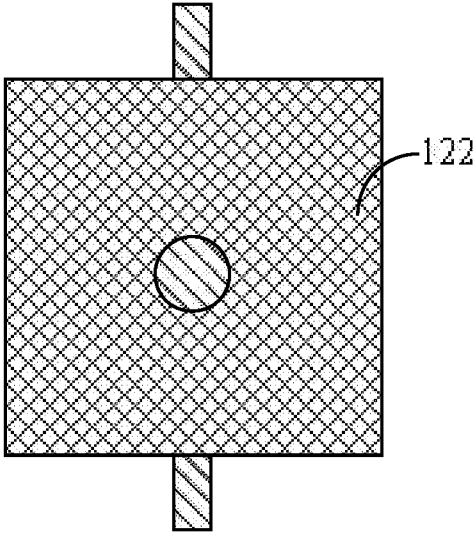


图 3

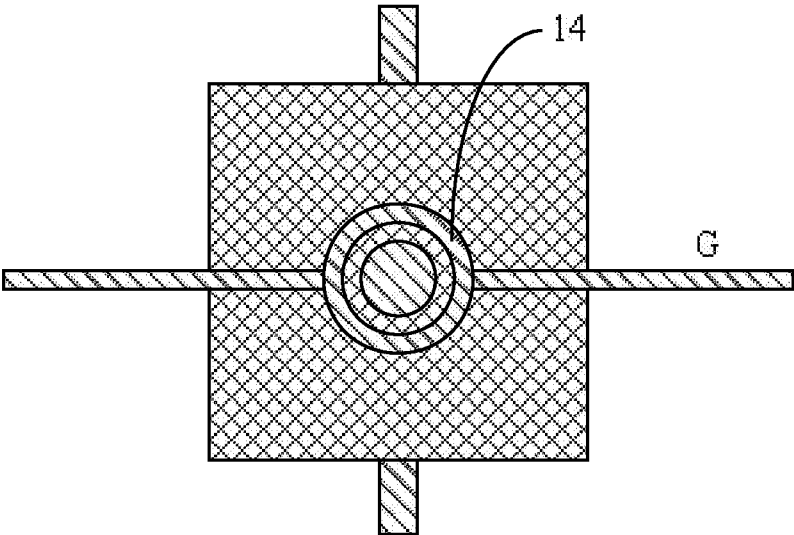


图 4

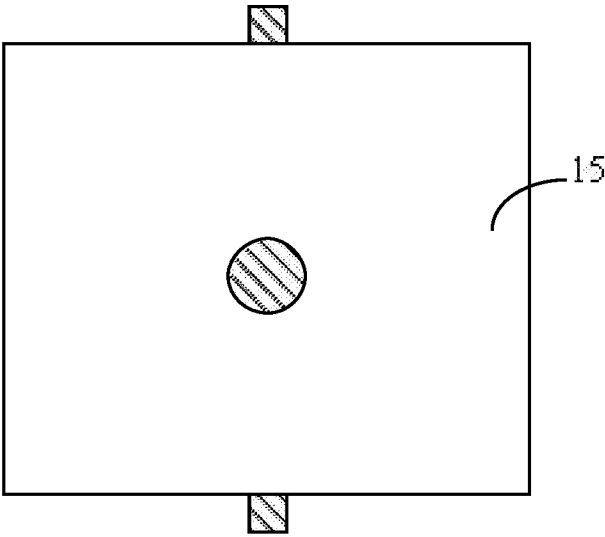


图 5

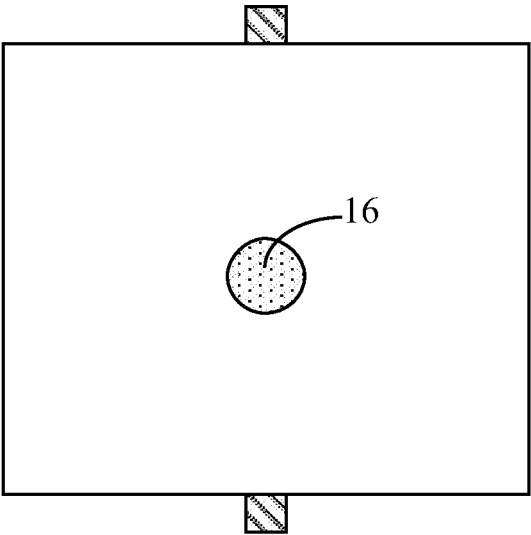


图 6

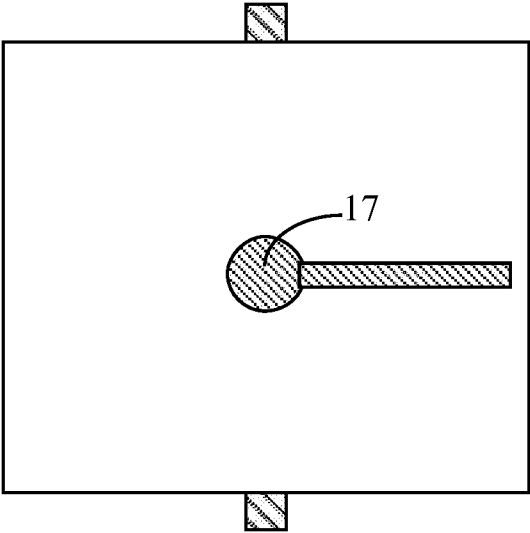


图 7

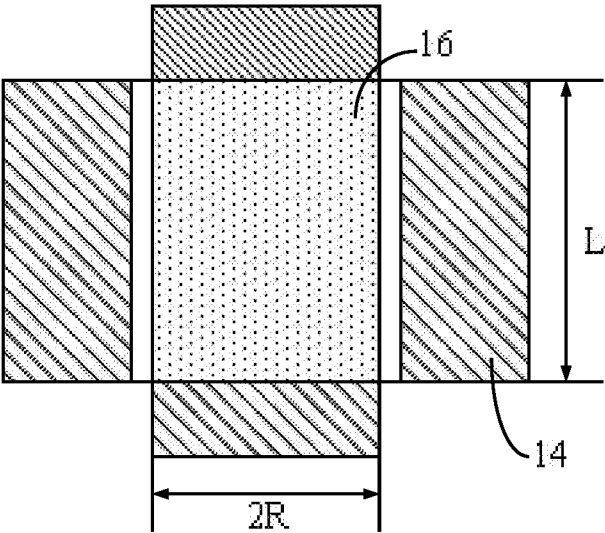


图 8

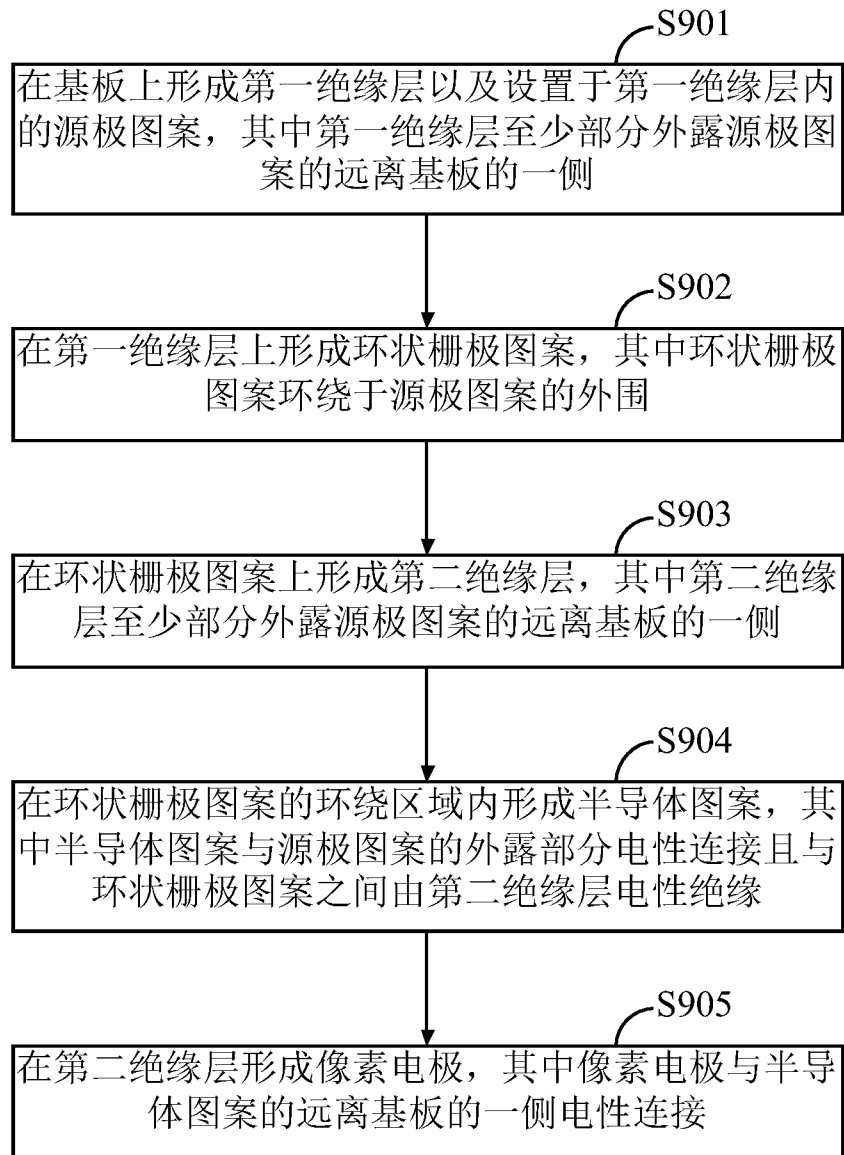


图 9

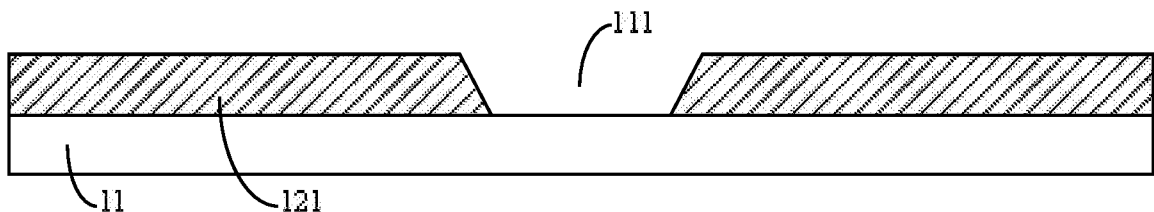


图 10

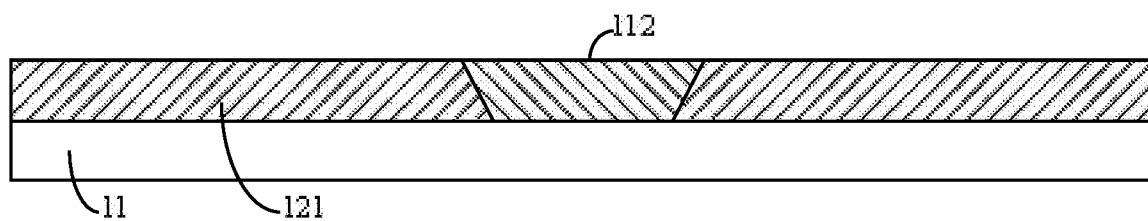


图 11

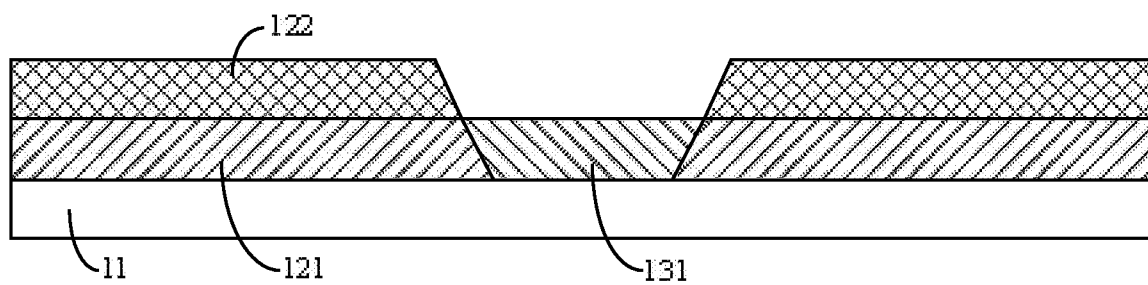


图 12

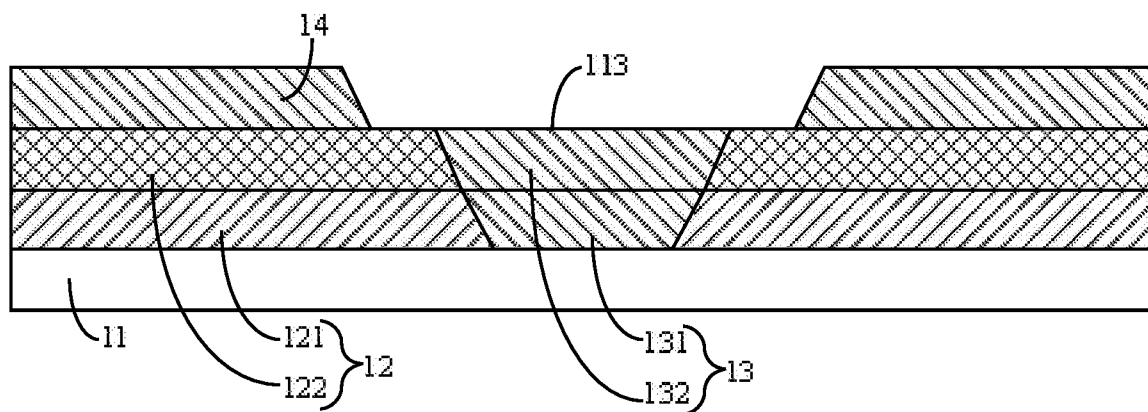


图 13

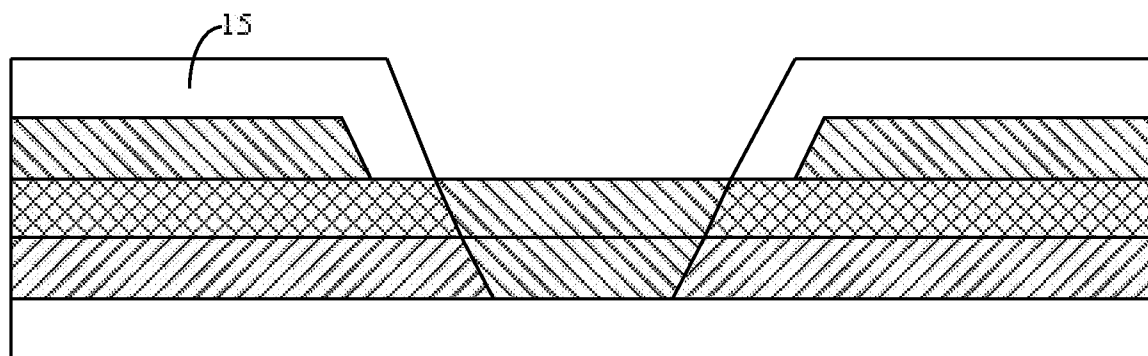


图 14

7/7

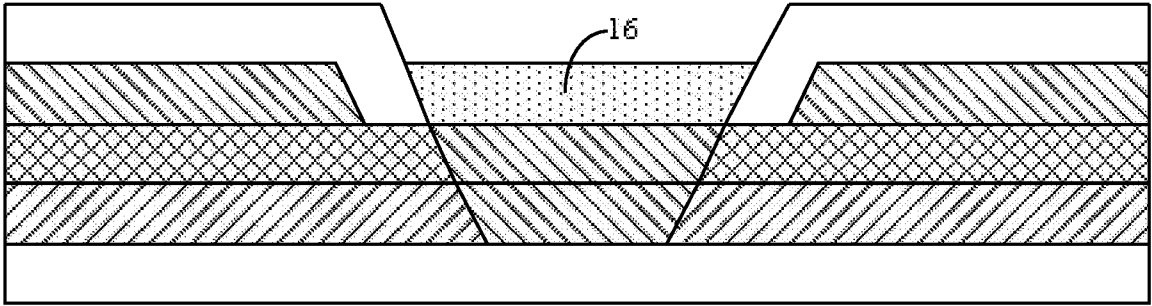


图 15

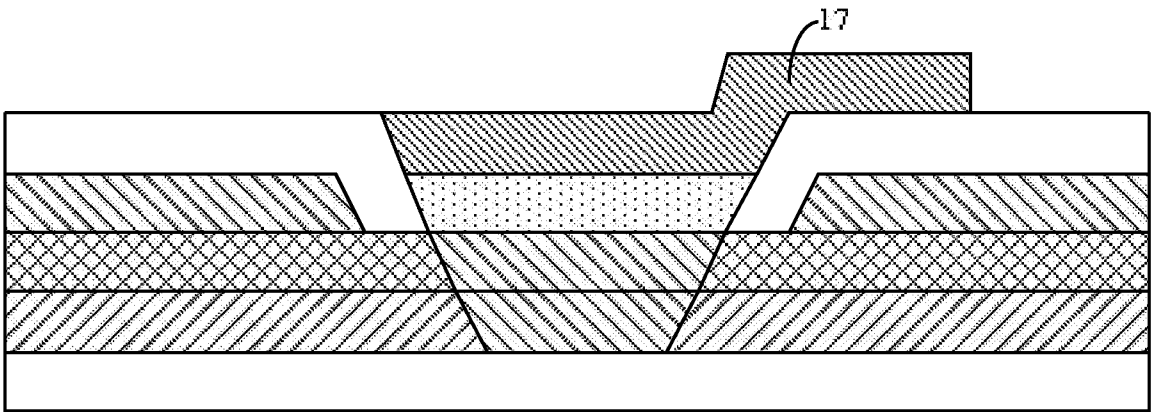


图 16

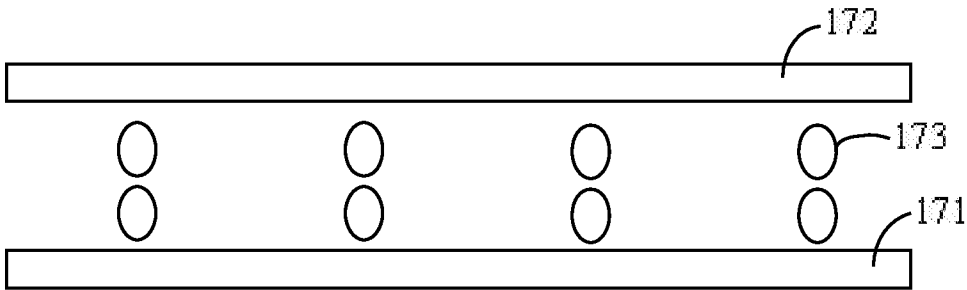


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/089601

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01) i; H01L 21/77(2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: TFT, data line, scan line, annular, bottom gate, multilayer, substrate?, transistor?, source, drain, grid, insulat+, isolat+, passiva+, flat+, buffer, layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101097871 A (AU OPTRONICS CORP.), 02 January 2008 (02.01.2008), description, pages 7-12, and figures 2-4	5, 8-11
A	CN 105470267 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 06 April 2016 (06.04.2016), the whole document	1-14
A	CN 105448823 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.), 30 March 2016 (30.03.2016), the whole document	1-14
A	CN 103715137 A (BOE TECHNOLOGY GROUP CO., LTD.), 09 April 2014 (09.04.2014), the whole document	1-14
A	CN 102884632 A (SHARP KABUSHIKI KAISHA), 16 January 2013 (16.01.2013), the whole document	1-14
A	KR 20050081053 A (SAMSUNG ELECTRONICS CO., LTD.), 18 August 2005 (2005 08-18), the whole document	1-14

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16February 2017 (16.02.2017)	Date of mailing of the international search report 01March 2017 (01.03.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZOU, Lina Telephone No.: (86-10) 62413626

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/089601

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002099225 A (DISPLAY TECHNOLOGIES INC.), 05 April 2002 (05.04.2002), the whole document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/089601

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101097871 A	02 January 2008	CN 100490101 C	20 May 2009
CN 105470267 A	06 April 2016	None	
CN 105448823 A	30 March 2016	None	
CN 103715137 A	09 April 2014	WO 2015096314 A1	02 July 2015
		US 2016020227 A1	21 January 2016
CN 102884632 A	16 January 2013	US 8723174 B2	13 May 2014
		KR 20130000425 A	02 January 2013
		CN 102884632 B	04 December 2013
		EP 2579315 A1	10 April 2013
		WO 2011151970 A1	08 December 2011
		KR 101245424 B1	22 March 2013
		US 2013069061 A1	21 March 2013
		JP 5149464 B2	20 February 2013
KR 20050081053 A	18 August 2005	None	
JP 2002099225 A	05 April 2002	None	

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, WPI, EPODOC, CNKI: 基板, 晶体管, TFT, 源极, 漏极, 栅极, 数据线, 扫面线, 环状, 底栅, 绝缘, 钝化, 多层, 缓冲, substrate?, transistor?, source, drain, grid, insulat+, isolat+, passiva+, flat+, buffer, layer		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101097871 A (友达光电股份有限公司) 2008年 1月 2日 (2008 - 01 - 02) 说明书第7-12页, 图2-4	5, 8-11
A	CN 105470267 A (武汉华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-14
A	CN 105448823 A (昆山龙腾光电有限公司) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-14
A	CN 103715137 A (京东方科技集团股份有限公司) 2014年 4月 9日 (2014 - 04 - 09) 全文	1-14
A	CN 102884632 A (夏普株式会社) 2013年 1月 16日 (2013 - 01 - 16) 全文	1-14
A	KR 20050081053 A (SAMSUNG ELECTRONICS CO., LTD.) 2005年 8月 18日 (2005 - 08 - 18) 全文	1-14
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2017年 2月 16日		国际检索报告邮寄日期 2017年 3月 1日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 邹丽娜 电话号码 (86-10)62413626

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	JP 2002099225 A (DISPLAY TECHNOLOGIES INC.) 2002年 4月 5日 (2002 - 04 - 05) 全文	1-14

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/089601

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101097871	A	2008年 1月 2日	CN	100490101	C	2009年 5月 20日
CN	105470267	A	2016年 4月 6日	无			
CN	105448823	A	2016年 3月 30日	无			
CN	103715137	A	2014年 4月 9日	WO	2015096314	A1	2015年 7月 2日
				US	2016020227	A1	2016年 1月 21日
CN	102884632	A	2013年 1月 16日	US	8723174	B2	2014年 5月 13日
				KR	20130000425	A	2013年 1月 2日
				CN	102884632	B	2013年 12月 4日
				EP	2579315	A1	2013年 4月 10日
				WO	2011151970	A1	2011年 12月 8日
				KR	101245424	B1	2013年 3月 22日
				US	2013069061	A1	2013年 3月 21日
				JP	5149464	B2	2013年 2月 20日
KR	20050081053	A	2005年 8月 18日	无			
JP	2002099225	A	2002年 4月 5日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)