

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3938050号
(P3938050)

(45) 発行日 平成19年6月27日(2007.6.27)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
HO1L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641D
	G09G 3/20 641E

請求項の数 1 (全 10 頁) 最終頁に続く

(21) 出願番号	特願2002-574645 (P2002-574645)	(73) 特許権者	000001007
(86) (22) 出願日	平成14年3月19日(2002.3.19)		キヤノン株式会社
(86) 国際出願番号	PCT/JP2002/002592		東京都大田区下丸子3丁目30番2号
(87) 国際公開番号	W02002/075713	(74) 代理人	100096828
(87) 国際公開日	平成14年9月26日(2002.9.26)		弁理士 渡辺 敬介
審査請求日	平成17年3月16日(2005.3.16)	(74) 代理人	100110870
(31) 優先権主張番号	特願2001-80504 (P2001-80504)		弁理士 山口 芳広
(32) 優先日	平成13年3月21日(2001.3.21)	(72) 発明者	中村 博之
(33) 優先権主張国	日本国(JP)		神奈川県厚木市森の里2丁目11-8
		(72) 発明者	近藤 茂樹
			神奈川県平塚市南原2丁目4-7
		審査官	西島 篤宏

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型発光素子の駆動回路

(57) 【特許請求の範囲】

【請求項1】

走査線、信号線およびリセット線が設けられた基板上の、前記走査線と前記信号線および前記リセット線との交差点近傍に配置された発光素子の駆動回路であって、

駆動電源に接続された定電流源と、

前記定電流源に直列に配置された第2のスイッチング素子と、

前記定電流源および前記第2のスイッチング素子に直列に配置された発光素子と、

前記定電流源および前記第2のスイッチング素子に直列に配置され、かつ前記発光素子に対し並列に配置された第1のスイッチング素子と、

前記走査線に接続されたゲート電極と、前記信号線に接続されたソース電極と、前記第1のスイッチング素子の制御端子に接続されたドレイン電極とを有する薄膜トランジスタと、前記第1のスイッチング素子の制御端子に接続されたメモリ容量とから成る第1のメモリ回路と、

前記走査線に接続されたゲート電極と、前記リセット線に接続されたソース電極と、前記第2のスイッチング素子の制御端子に接続されたドレイン電極とを有する薄膜トランジスタと、前記第2のスイッチング素子の制御端子に接続されたメモリ容量とから成る第2のメモリ回路と

を有し、

前記走査線に走査選択信号が入力されたときに、前記第1と第2のメモリ回路の各薄膜トランジスタがオンとなり、前記信号線の信号電圧および前記リセット線のリセット電圧

10

20

を前記第 1 と第 2 のメモリ回路の各メモリ容量にそれぞれ蓄積するとともに、

前記リセット電圧により前記第 2 のスイッチング素子をオン状態にし、前記信号電圧に応じて前記第 1 のスイッチング素子をオンまたはオフ状態にすることにより、前記発光素子への電流を決定し、

前記前記リセット線の電圧により前記第 2 のスイッチング素子をオフ状態にすることにより、前記第 1 のスイッチング素子のオンオフにかかわらず前記発光素子への電流を遮断することを特徴とする発光素子の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像表示装置に用いられる発光素子の駆動回路、詳しくは有機及び無機のエレクトロ・ルミネセンス（以下、「EL」という。）素子や発光ダイオード（以下、「LED」という。）等の自発光素子を駆動制御するアクティブマトリクス型発光素子の駆動回路、及びこれを用いたアクティブマトリクス型表示パネルに関する。

10

【0002】

【従来の技術】

有機及び無機 EL 発光素子、又は LED 等のような発光素子をアレイ状に組み合わせ、ドットマトリクスにより文字表示を行うディスプレイは、テレビ、携帯端末等に広く利用されている。

20

【0003】

特に、自発光素子を用いたこれらのディスプレイは、液晶を用いたディスプレイと異なり、照明のためのバックライトを必要とせず、視野角が広い等の特徴を有し、注目を集めている。中でも、トランジスタ等とこれらの発光素子とを組み合わせるスタティック駆動を行う、アクティブマトリクス型と呼ばれるディスプレイは、時分割駆動を行う単純マトリクス駆動のディスプレイと比較して、高輝度、高コントラスト、及び高精細等の優位性を持っており、近年注目されている。

【0004】

有機 EL 素子に関しても、画像に階調性を出すための従来の方式と同様に、アナログ階調方式、面積階調方式及び時間階調方式が挙げられる。

30

【0005】

(1) アナログ方式

従来例として、アクティブマトリクス駆動の発光素子に関して、最も単純な一画素あたり 2 個の薄膜トランジスタ（以下 T F T とする）を備えた表示素子の例を図 4、図 5 に示す。図 4 において、101 は有機 EL 素子、102、103 は T F T、107 は走査線、108 は信号線、109 は電源線、110 は接地電位、111 はコンデンサを用いたメモリ容量である。

【0006】

図 4 の動作を以下に説明する。走査線 107 によって T F T 102 がオン状態となると信号線 108 からの映像データ電圧が 111 のメモリ容量に蓄積され、走査線 107 がオフして T F T 102 がオフ状態になっても、T F T 103 のゲート電極には前記電圧が印加され続ける為、T F T 103 はオン状態を続ける。

40

【0007】

一方 T F T 103 はソース電極が電源線 109 と接続され、ドレイン電極が発光素子の一方の電極に接続されており、ゲート電極には T F T 102 のドレイン電極の映像データ電圧が入力されており、ソース電極とドレイン電極間の電流量は前記映像データ電圧によって制御されている。このとき有機 EL 素子 101 は電源線 109 と接地電位間に配置され、前記電流量に応じて発光する。

【0008】

このとき流れる電流量は T F T 103 のゲート電圧に依存し、前記ゲート電圧に対するソ

50

ース電流の特性 ($V_g - I_s$ 特性) が立ち上がる領域 (飽和領域) を用いて、アナログ的に電流特性を変化させて発光輝度を変化させている。

【0009】

この結果発光素子である有機 EL 素子の発光輝度は制御され、階調を含めて表示を行うことができる。この階調表現方式を、アナログ的な映像データ電圧を用いて行なうことから、アナログ階調方式という。この場合、駆動信号側では、有機 EL 素子の電圧 - 輝度特性に応じて映像データ信号側のガンマ () 特性を変化させておく必要がある。

【0010】

液晶表示素子や CRT などと同様に発光素子についても、コンピュータの端末、パソコンのモニタ、テレビ等の動画表示を行うためには、各画素の輝度が変化する濃淡階調表示ができることが、CRT との互換性を得るに当たっても有利である。また駆動システムも簡素化されるなど、コスト上有利である。

10

【0011】

現在用いられている上記 TFT は、アモルファスシリコン (a-Si) 方式と多結晶シリコン (p-Si) 方式があるが、高移動度で素子の微細化が可能であり、またレーザー加工技術の進歩により製造プロセスの低温化が可能といった観点から、多結晶シリコン TFT の比重が大きくなっている。しかしながら、一般的に多結晶シリコン TFT は、それを構成する結晶粒界の影響を受けやすく、特に上記飽和領域では $V_g - I_s$ 電流特性が TFT 素子毎にばらつきが大きく現れ易い。よって仮に画素に入力されるビデオ信号電圧が均一であっても、表示にむらが生じてしまうという問題を抱えている。

20

【0012】

また一般に現在の TFT の多くは単にスイッチング素子として用いられており、トランジスタの閾値電圧よりかなり高いゲート電圧を印加し、ソース電圧に対するドレイン電圧の関係が一定となる領域 (これを線形領域と呼ぶ) で使用されているので、上記の飽和領域でのばらつきを受けにくくなっている。

【0013】

(2) 面積階調方式

一方面積階調方式が、文献 AM-LCD2000、AM3-1 に提案されている。これは、一画素を複数のサブ画素に分割し、各サブ画素はオン/オフを行い、オンしている画素の面積によって階調を表現するものである。

30

【0014】

このような利用方法では、TFT のゲート電圧は閾値電圧よりはるかに高い電圧を印加し、ソース電圧に対するドレイン電圧の関係が一定となる上記線形領域で用いることができるために、TFT 特性も安定した条件で用いられ、発光素子の発光輝度も安定する。この方式の場合、各素子はオンオフ制御されるのみで濃淡は出さず一定輝度で発光し、発光するサブ画素の面積に応じて階調を制御するものである。これは面積階調方式と呼ばれる。

【0015】

しかしこの方式ではサブ画素の分割方法に依存したデジタル階調しか出せず、また階調数を増やすためには、サブ画素の面積をより小さくしてサブ画素の数を増やさなくてはならない。しかしながら、仮に多結晶シリコン TFT を用いてトランジスタを微細化したとしても、各画素に配置されたトランジスタ部分の面積が発光部の面積を侵食し、画素開口率を下げるために表示パネルの発光輝度を下げる結果となる。よって開口率を上げようとすると階調性が落ちることになり、明るさと階調性がトレードオフの関係にあって、結果的に階調性を上げることが困難である。

40

【0016】

(3) 時間階調方式

また、時間階調方式においては、階調を有機 EL 素子の発光時間によって制御する方式であり、2000SID36.4L で報告されている。

【0017】

図5は、時間階調方式を採用した従来の表示パネルの一画素部分の回路図の一例である。

50

図5において、101は有機EL素子、102～104はTFT、107は走査線、108は信号線、109は電源線、110は接地電位、111はメモリ容量、112はリセット線である。

この回路構成を用いた時間階調方式においては、TFT103のオンしたとき信号線からの電圧によって有機EL素子101は最高輝度で発光し、次にTFT104によって、TFT103を1フィールドの時間内で適時オンとオフを繰り返す、その発光時間によって階調を表示する方式である。

【0018】

またこの方式では、複数の発光期間を選択して発光時間を調整する。たとえば、8ビット(256階調)を表示しようとした場合、発光時間の比が1:2:4:8:16:32:64:128の8つのサブフィールド期間の中から選択することになる。そして、各サブフィールド期間の直前に、そのサブフィールドでの発光、非発光を選択するため、その度に全画素の走査線のアドレッシング期間が存在する。このアドレッシング期間が終了した後に一斉に電源線109の電圧を一斉に変化させるなどして、表示パネルを全面発光させる。

10

【0019】

よってアドレッシング期間内は基本的には非表示であるため、1フィールド内での有効発光期間は、Nビット階調表示を行おうとした場合、

有効発光期間 = (1フィールド期間) - (1画面アドレッシング期間 × N)

となる。そこで相対的に発光時間が短くなり、観察者にとっては表示パネルの発光量が低下することになる。

20

【0020】

そのため、1サブフィールド当りの発光量を上げてフィールド全体での発光量を補う必要が生じるが、これには個々の発光素子の発光輝度を上げることが必要であり、発光素子の寿命低下などにつながる。また、通常の液晶ディスプレイ(LCD)では、1フィールドあたり1回のアドレッシングで済むところを、階調ビット回数分だけアドレッシングする必要があるため、より高速のアドレッシング回路が必要になり、消費電力の増大が避けられなくなる。

【0021】

【発明が解決しようとする課題】

本発明は上記従来技術を改良することを目的にして、新規なアクティブマトリクス型発光素子のための画素トランジスタの新規な回路構成を提供することを目的とし、従来よりも優れた表示パネルを提供することにある。

30

【0022】

上記課題を解決するための本発明は、走査線、信号線およびリセット線が設けられた基板上の、前記走査線と前記信号線および前記リセット線との交差点近傍に配置された発光素子の駆動回路であって、

駆動電源に接続された定電流源と、

前記定電流源に直列に配置された第2のスイッチング素子と、

前記定電流源および前記第2のスイッチング素子に直列に配置された発光素子と、

前記定電流源および前記第2のスイッチング素子に直列に配置され、かつ前記発光素子に対し並列に配置された第1のスイッチング素子と、

40

前記走査線に接続されたゲート電極と、前記信号線に接続されたソース電極と、前記第1のスイッチング素子の制御端子に接続されたドレイン電極とを有する薄膜トランジスタと、前記第1のスイッチング素子の制御端子に接続されたメモリ容量とから成る第1のメモリ回路と、

前記走査線に接続されたゲート電極と、前記リセット線に接続されたソース電極と、前記第2のスイッチング素子の制御端子に接続されたドレイン電極とを有する薄膜トランジスタと、前記第2のスイッチング素子の制御端子に接続されたメモリ容量とから成る第2のメモリ回路と

50

を有し、

前記走査線に走査選択信号が入力されたときに、前記第1と第2のメモリ回路の各薄膜トランジスタがオンとなり、前記信号線の信号電圧および前記リセット線のリセット電圧を前記第1と第2のメモリ回路の各メモリ容量にそれぞれ蓄積するとともに、

前記リセット電圧により前記第2のスイッチング素子をオン状態にし、前記信号電圧に応じて前記第1のスイッチング素子をオンまたはオフ状態にすることにより、前記発光素子への電流を決定し、

前記前記リセット線の電圧により前記第2のスイッチング素子をオフ状態にすることにより、前記第1のスイッチング素子のオンオフにかかわらず前記発光素子への電流を遮断することを特徴とする発光素子の駆動回路である。

10

【0023】

本発明の駆動回路には、前記第1のスイッチング素子がソース、ドレイン、ゲートの3電極からなる第1の薄膜トランジスタであるものが好ましい態様として含まれる。

【0024】

本発明の駆動回路には、映像データ信号を蓄積できるメモリ回路を有するものも好ましい態様として含まれる。すなわち、走査線に接続されたゲート電極と信号線に接続されたソース電極とドレイン電極を有する第2の薄膜トランジスタと、第1のメモリ容量とから成るメモリ回路を有している本発明の駆動回路は本発明の好ましい形態の一つである。

【0025】

さらに本発明の駆動回路には、上記駆動回路構成を利用してオンオフ制御を行なうものが好ましい態様として含まれる。すなわち、走査線と信号線からの情報に応じて、前記第1のスイッチング素子に流れる電流と前記発光素子に流れる電流量を制御することによって、前記発光素子のオンオフを制御する本発明の駆動回路は本発明の好ましい形態の一つである。

20

【0026】

さらに本発明は、上記駆動回路構成を利用して階調表示を行なうものが好ましい態様として含まれる。時間階調方式やアナログ階調方式が用いられてよい。すなわち、前記発光素子のオンオフによって、発光時間を制御して階調表示を行なう本発明の駆動回路は、本発明の好ましい形態の一つであり、また、走査線と信号線からの情報に応じて、前記第1のスイッチング素子に流れる電流量と前記発光素子に流れる電流量とを制御することによって、前記発光素子の発光輝度を制御する本発明の駆動回路も、本発明の好ましい形態である。

30

【0027】

特に、前記第2のスイッチング素子の切り替えによって、発光素子のオンオフを制御するものは好ましい。前記第2のスイッチング素子がソース、ドレイン、ゲートの3電極からなる第3の薄膜トランジスタであるものはさらに好ましい。また、第4の薄膜トランジスタと第2のメモリ容量から成る第2のメモリ回路を有し、該メモリ回路からの出力が前記第3の薄膜トランジスタのゲート電極に接続された上記第2スイッチング素子を配置した本発明の駆動回路も好ましい。

【0028】

【発明の実施の形態】

本発明の主たるものは、発光素子に対して電氣的に並列にスイッチング素子を配置した新規なアクティブマトリクス型発光素子の駆動回路構成にある。

40

【0029】

本発明のような構成によれば、第1スイッチング手段のオン・オフを走査線と信号線とからの信号によって制御し、第1スイッチング手段がオフ状態の時、あるいは電流分配によって発光素子側へも電流が流れる期間に渡って発光素子を発光させることができ、第2のスイッチング手段によって発光素子のオンオフが制御できる。以下、具体的な実施の形態を示して本発明を説明するが、本発明はこれらに限定されるものではない。

【0030】

50

図 1 は本発明の発光素子の一素子部分の回路図である。

【 0 0 3 1 】

1 1 は発光素子である有機 E L 素子、1 2 は第 2 の T F T、1 3 及び 2 6 は本発明の第 1 及び第 2 のスイッチング手段にそれぞれ対応する第 1 及び第 3 の T F T、1 6 は定電流源、1 5 は走査線、1 4 は映像データ信号線、1 7 は電源線、1 8 は第 1 の電源（この図では接地電位）、1 9 はメモリ容量、2 0 は第 2 の電源（この図では接地電位 G N D ）、2 4 は第 4 の T F T、2 5 は第 2 のメモリ容量である。

【 0 0 3 2 】

尚、ここでは、第 1 の電源 1 8 及び第 2 の電源 2 0 が共に接地電位を図示しているが、それぞれ独立に他の電位であっても良い。

10

【 0 0 3 3 】

発光素子 1 1 は本回路上では常に駆動電源（不図示）に接続された電源線 1 7 とそれに続く定電流源 1 6、および第 1 の電源 1 8 につながっており、該発光素子と第 1 のスイッチング手段である T F T 1 3 のコンダクタンスに応じて、定電流源と接地電位との間の電流が分配され、その電流量に応じて発光素子から所定の輝度の発光が得られる。

【 0 0 3 4 】

以下、本回路構成の動作例を示す。

【 0 0 3 5 】

先ず走査線 1 5 から走査線選択信号が第 2 の T F T 1 2 と及び第 4 の T F T 2 4 に入力される。このとき信号線 1 4 に発光素子の発光信号であるローレベルの電圧が印加され、メモリ容量 1 9 に蓄積され、T F T 1 3 がオフする。これによって並列に配置されている発光素子のコンダクタンスの方が小さくなる。

20

【 0 0 3 6 】

一方リセット線 2 3 には第 3 の T F T 2 6 をオンするために、ハイレベルの信号電圧が印加され、同時にメモリ容量 2 5 に蓄積されて保持される。

【 0 0 3 7 】

この条件下で定電流回路からの電流は発光素子に流れ、T F T 1 3 と発光素子のコンダクタンスに応じて、所定の発光輝度を得ることができる。

【 0 0 3 8 】

反対に信号線にハイレベルの信号電圧が印加され、T F T 1 3 が低抵抗（オン状態）になったときは、T F T 2 6 のオンオフに関わらず、発光素子には電流が流れなくて、発光しない。さらに発光素子をオフさせるためには、T F T 2 6 をオフしさえすれば、定電流源からの電流を遮断できるために、T F T 1 3 の状態に関わらず発光素子を光らせることはできない。

30

【 0 0 3 9 】

尚、発光素子の発光輝度特性に対して、前記映像データ信号の大きさが逆の関係になっている必要があり、映像データ信号を生成する補正回路によって、逆ガンマ（ ）補正を行なう必要がある。

【 0 0 4 0 】

よって映像データ信号の補正回路を設ける点が新たに必要とされ、また定電流源からの電流は、第 3 の T F T 2 6 がオン状態の時には常に発光素子 1 1 かまたは T F T 1 3 のいずれかを流れることになり、定電流源にとっては常に同じ強度の電流が流れつづけることになる。これは従来例の非発光状態では電流消費がない発光素子に比べると消費電流が大きくなるのが欠点となる。

40

【 0 0 4 1 】

しかし瞬時にオンオフを繰り返した場合、定電流源であっても電流が安定するまでの過渡的な時間は必要であって、この間所望の発光輝度が得られないことから、映像データ信号に対する発光素子の応答速度は本回路の方が有利である。また定電流源は、第 3 の T F T 2 6 がオン状態の時には常に一定の電流を流しつづける訳で、電流安定性という点では本発明の回路の方が好ましい。

50

【0042】

一方TFT13に必要なとされる特性は、発光素子がオンする場合は、発光素子のコンダクタンスに比べて可能な限り高抵抗であることが望まれる。しかし反対に発光素子をオフさせる時は、TFT13の側に電流を集中する必要があると、理想的には発光素子に流れる電流をゼロにすることが必要であり、現実には発光素子の発光閾値未満の電流だけを流す程度に、TFT13の抵抗が低抵抗になるものを用いる必要がある。

【0043】

現在コンピュータなどで利用されているデジタル階調方式の一例として、例えば各素子が256階調の濃淡階調表示を行なう時を考える。発光時間を一定とすると、発光輝度は素子に流れる電流量に比例し、仮に発光状態の最大輝度を示す電流量を1とすると、最小輝度の電流量は1/256である。非発光素子にはそれよりも少ない電流しか流れないように、TFTのコンダクタンスを制御すればよい。仮に非発光状態の電流量を上記最小輝度電流量の1/5としても、TFT13のオンオフ比は1対1000程度で十分であり、僅か3桁のオンオフ比でよいことがわかる。

【0044】

よって上記オンオフ比に限って言えば、一般の多結晶シリコンTFTなどが4から6桁程度のオンオフ比を必要とされているのに比べて、本発明の回路に用いるTFT13に対して求められるトランジスタ特性は非常に緩い。この程度の特性であれば、最近の有機半導体を用いたTFTであっても使える可能性が大きく、非常に有望な回路構成であると言える。

【0045】

図2には図1の回路構成をマトリクスパネルに応用した配置図を示した。

【0046】

またTFT26をオンオフ制御することによって、時間階調表示を行なうことも可能になる。この動作を図1及び図2及び図3にて説明する。

【0047】

図3に本発明の駆動回路を備えた発光素子を用いて、1フレーム期間内の発光時間を制御して時間階調を行なう場合の、タイミングチャートを示す。

【0048】

図3において、A1からA4は各サブフィールドのアドレス期間を示す。A1期間内ではマトリクス状に配置された各走査線X=1からnまで順に走査信号が印加される。この各走査期間内に、信号線から順にY=1からmまでの画素のon/off信号が印加され、各画素が発光し始める。E1からE4で示した期間は、各サブフィールドの発光期間であり、これらをPWM制御発光期間と呼ぶ。

【0049】

この場合1フレーム内の点灯時間が、それぞれ長さが1/2、1/4、1/8、1/16のサブフィールド期間に分けて、その期間でオンさせるかどうかを制御する。例えば1/2の発光輝度を得ようとする画素は、走査線の選択時間(アドレス期間)の8の長さのサブフィールド期間のみ点灯するようにする。

【0050】

図3のアドレス期間に図1の走査線15に走査選択信号が入力された時、TFT12及びTFT24がオンし、且つメモリ容量19と25により所定期間この状態が保持される。このTFT24がオンしている期間がアドレス期間であって、1サブフィールドの情報を決定する期間である。このとき映像データ制御回路22からは、例えば発光パネルの左側の信号線から順に各信号線14に対して、ローレベルの電圧(発光信号)又はハイレベルの電圧(非発光信号)が入力され、各画素のTFT13の状態が決定される。この直後に発光信号が入力された各発光素子は発光し始める。

【0051】

次のサブフィールド期間になると、リセット線から次のリセット電圧がTFT24に印加され、同時に前のサブフィールドと同じ様に各信号線に発光信号又は非発光信号が印加さ

10

20

30

40

50

れて、次のサブフィールド期間に渡ってその状態が保持される。

【0052】

この例では走査線が選択された1フレームの先頭のアドレス期間において、映像データ制御回路22から信号線14にON信号が出力されて1/2の長さの期間(この場合1フレームの1/2の時間)発光素子が発光する。そして残る期間に相当するアドレス期間ではオフさせることで、観察者には50%の発光輝度として見える。

【0053】

ここでは第1の電源18と第2の電源20を共に接地電位とした一般的な例を示したが、当然別の電位を用いても良い。ただし別電位とした時は、マトリクス配線中に別の電源ラインを設ける必要があり、発光素子パネル作成上煩雑な構造となる。

10

【0054】

映像データ信号線14と23に入力される信号を、ハイレベルとローレベルとの関係にすれば、発光素子パネル内の信号伝送上ノイズの影響を受けにくくなり動作が安定するほか、各配線に与える電圧レベルを下げて低電圧で動作可能になるために、より高速な信号伝送が可能になる。

【0055】

また本発明の駆動回路を利用して、発光輝度をアナログ的に変化させて、濃淡階調を得ることができる。例えば発光素子のオン時とオフ時のコンダクタンスの違いが3桁程度であるために、TFT13のコンダクタンスのレンジを同じ3桁程度で作り、図1に示す発光素子とTFT13のコンダクタンスを等しく制御して、定電流源16からの電流量の分配を変えれば、発光輝度を自在に制御することが可能となる。例えば同量ずつ分配すれば、発光素子の電流量は1/2となり50%階調を示す輝度が得られる。

20

【0056】

以上の性能を満たすトランジスタは、アモルファスシリコンやポリシリコンTFTに限らず、最近の有機半導体を用いた有機TFTであっても十分可能な特性であるために、TFT構成材料に依存しないことは言うまでもない。

【0057】

【発明の効果】

以上説明したように、少ない画素トランジスタの構成を利用して、有機EL素子用の新規な画素回路を構成することができた。さらに、時間階調を行なった場合には発光時間が長くなり、発光パネルの輝度を向上させることが可能になった。

30

【図面の簡単な説明】

【図1】 本発明の一実施形態を示す一画素部分の回路図である。

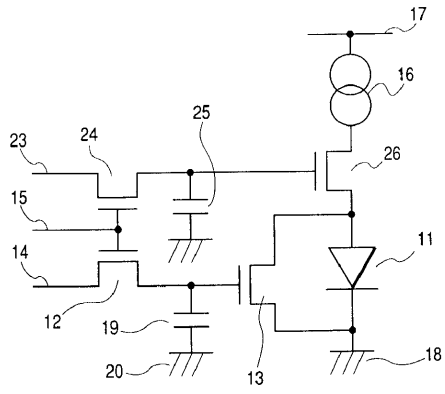
【図2】 図1の画素構成を有する表示パネルのマトリクス配置を示す回路図である。

【図3】 本発明の駆動回路を有する表示パネルで時間階調を行なう時のタイミングチャートを示す図である。

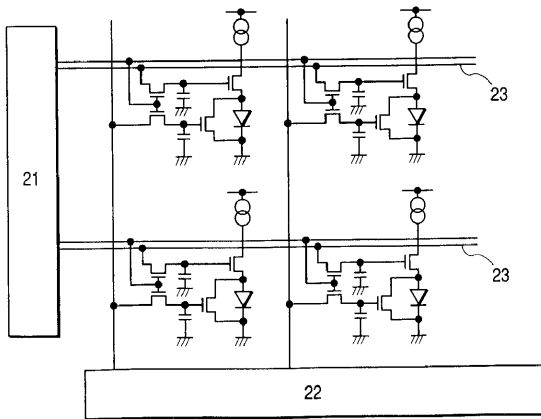
【図4】 従来のアクティブマトリクス型発光素子の一画素部分の回路図である。

【図5】 従来のアクティブマトリクス型発光素子の他の実施形態を示す一画素部分の回路図である。

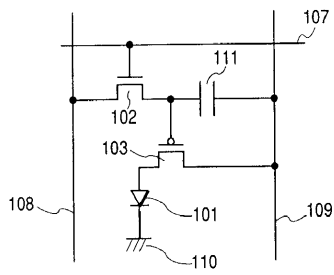
【 図 1 】



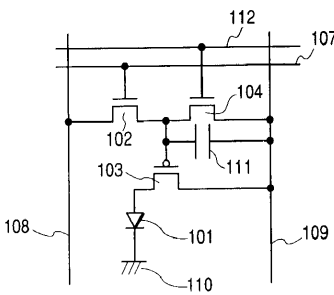
【 図 2 】



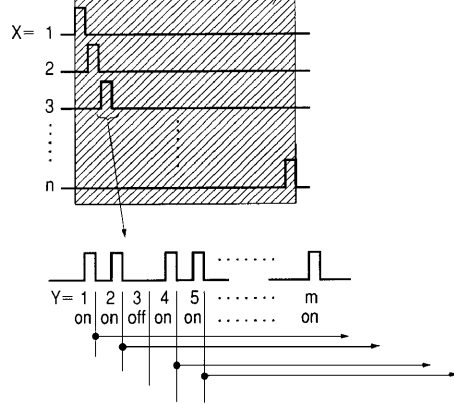
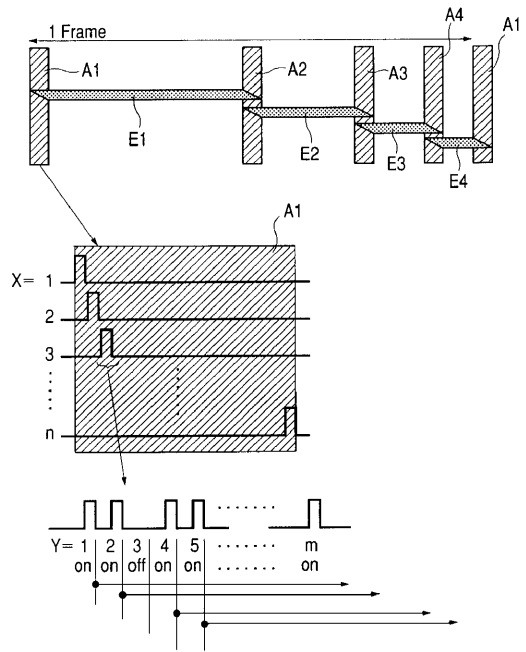
【 図 4 】



【 図 5 】



【 図 3 】



フロントページの続き

(51) Int.Cl. F I
H 0 5 B 33/14 A

(56) 参考文献 特開平 0 7 - 0 3 6 4 1 0 (J P , A)
特開平 0 8 - 0 5 4 8 3 5 (J P , A)
特開 2 0 0 1 - 0 8 3 9 2 4 (J P , A)
特開 2 0 0 3 - 1 0 8 0 7 1 (J P , A)
国際公開第 9 8 / 0 4 8 4 0 3 (W O , A 1)

(58) 調査した分野(Int.Cl. , DB名)
G09G 3/00- 3/38
H01L 51/50