(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2013 年 11 月 21 日 (21.11.2013)

WIPO | PCT

(10) 国际公布号
WO 2013/170605 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01) *G02F 1/1368* (2006.01)
H01L 29/786 (2006.01)

(21) 国际申请号: PCT/CN2012/086772

(22) 国际申请日: 2012 年 12 月 17 日 (17.12.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210157572.1 2012 年 5 月 18 日 (18.05.2012) CN
201210181618.3 2012 年 6 月 4 日 (04.06.2012) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: **刘翔 (LIU, Xiang)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **李禹奉 (LEE, Woobong)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE, METHOD FOR MANUFACTURING SAME, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 发明名称 : 薄膜晶体管阵列基板及其制造方法、显示面板、显示装置

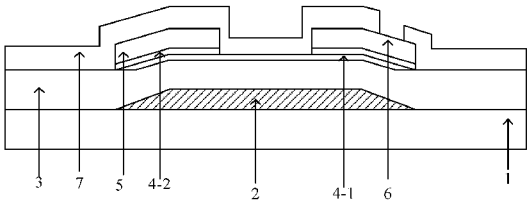


图 7 /Fig. 7

(57) Abstract: A thin film transistor (TFT) array substrate, a method for manufacturing same, a display panel, and a display device. The method for manufacturing a TFT array substrate comprises: sequentially depositing a first metal oxide layer, a second metal oxide layer, and a source and drain metal layer, the electric conductivity of the first metal oxide layer being greater than the electric conductivity of the second metal oxide layer; and patterning the first metal oxide layer, the second metal oxide layer, and the source and drain metal layer, so as to respectively form an active layer (4-1), a buffer layer (4-2), a source electrode (5) and a drain electrode (6). The method can simplify the process of manufacturing a metal oxide TFT array substrate and reduce the production cost of the product.

(57) 摘要: 一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置。其中，薄膜晶体管阵列基板的制造方法包括：依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层，该第一金属氧化物层的导电率小于该第二金属氧化物层的导电率；图案化该第一金属氧化物层、该第二金属氧化物层和该源漏金属层，以分别形成有源层（4-1）、缓冲层（4-2）以及源电极（5）和漏电极（6）。该方法能够简化金属氧化物 TFT 阵列基板的制造工艺，降低产品的生产成本。

WO 2013/170605 A1

薄膜晶体管阵列基板及其制造方法、显示面板、显示装置

技术领域

本发明的实施例涉及一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置。

背景技术

薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display，简称 TFT-LCD）具有体积小、功耗低、无辐射等特点，在当前的平板显示器市场中占据了主导地位。

近年来 TFT-LCD 获得了飞速的发展，其尺寸和分辨率不断地提高，大尺寸、高分辨率的液晶电视成为 TFT-LCD 发展的一个主流。随着 TFT-LCD 尺寸的不断增大、分辨率的不断提高，为了提高显示质量，需要采用更高频率的驱动电路，现有的非晶硅薄膜晶体管的迁移率很难满足液晶显示器的需要。非晶硅薄晶体管的迁移率一般在 0.5cm^2/V.S 左右，但是在液晶显示器尺寸超过 80 英寸并且驱动频率为 120Hz 时需要 1cm^2/V.S 以上的迁移率，现有的非晶硅硅薄膜晶体管的迁移率显然很难满足。金属氧化物 TFT（非晶 IGZO）迁移率高，均一性好，透明且制作工艺简单，可以更好地满足大尺寸液晶显示器和有源有机电致发光的需求，备受人们的关注。

但是现有技术中在制作金属氧化物 TFT 时，一般在金属氧化物上面加一层保护层，以避免在形成源漏金属电极时对金属氧化物层的破坏，这样就增加了构图工艺的次数，影响了生产效率。

发明内容

本发明实施例要解决的技术问题是提供一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置，能够简化金属氧化物 TFT 阵列基板的制造工艺，降低产品的生产成本。

为解决上述技术问题，本发明的实施例提供技术方案如下。

本发明实施例的一方面提供一种薄膜晶体管阵列基板的制造方法，该方法包括：依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层，所述第一金属氧化物层的导电率小于所述第二金属氧化物层的导电率；图案化所述第一金属氧化物层、所述第二金属氧化物层和所述源漏金属层，以分别形成有源层、缓冲层以及源电极和漏电极。

例如，所述图案化所述第一金属氧化物层、所述第二金属氧化物层和所述源漏金属层包括：在所述源漏金属层上涂布光刻胶；形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区；刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层；进行光刻胶灰化工艺以去除掉所述部分保留区的光刻胶；刻蚀掉部分保留区的源漏金属层；刻蚀掉部分保留区的第二金属氧化物层；去除所述完全保留区的光刻胶，由此形成包括源电极缓冲层和漏电极缓冲层的缓冲层，以及分别位于所述源电极缓冲层和漏电极缓冲层上的由所述源漏金属层形成的源电极和漏电极。

进一步地，所述形成源电极、漏电极之后还包括：

对所述沟道区域的有源层的表面进行修复。

进一步地，所述制造方法包括：在所述沉积第一金属氧化物层、第二金属氧化物层和源漏金属层之前，在基板上形成栅电极和栅极扫描线的图形以及在形成有所述栅电极和栅极扫描线的图形的基板上形成栅绝缘层；在图案化所述第一金属氧化物层、所述第二金属氧化物层和所述源漏金属层之后，在形成有所述源电极、漏电极和数据线的图形的基板上形成包括有接触孔的钝化层的图形，以及在所述钝化层上形成像素电极，所述像素电极通过所述接触孔与所述漏电极相连接。

本发明实施例还提供了一种薄膜晶体管阵列基板，该阵列基板包括：由第一金属氧化物层形成的有源层；由第二金属氧化物层形成的缓冲层，缓冲层的导电率比有源层的导电率大，缓冲层包括源电极缓冲层和漏电极缓冲层；由源漏金属层形成的源电极、漏电极；其中，源电极缓冲层位于所述有源层和所述源电极之间，所述漏电极缓冲层位于所述有源层和所述漏电极之间。

进一步地，所述缓冲层包括至少两个金属氧化物层，从靠近所述有源层到远离所述有源层的方向上，即，随着与有源层相距的距离增大，金属氧化

物层的导电率依次增大。

进一步地，所述薄膜晶体管阵列基板还包括：基板；位于所述基板上由栅金属层形成的栅电极和栅极扫描线；位于形成有所述栅电极和栅极扫描线的基板上的栅绝缘层；位于所述栅绝缘层上的有源层；位于所述有源层上的源电极缓冲层和漏电极缓冲层；分别位于所述源电极缓冲层和漏电极缓冲层上的所述源电极、所述漏电极和数据线；位于形成有所述源电极、漏电极和数据线的基板上的包括有接触孔的钝化层；位于所述钝化层上的像素电极，所述像素电极通过所述接触孔与所述漏电极相连接。

进一步地，所述缓冲层的材料为非晶 IGZO。

进一步地，所述有源层的材料为非晶 IGZO、HIZO、IZO、a-InZnO、ZnO:F、In_2O_3:Sn、In_2O_3:Mo、Cd_2SnO_4、ZnO:Al、TiO_2:Nb 或 Cd-Sn-O。

本发明实施例还提供了一种显示面板，包括如上所述的薄膜晶体管阵列基板。

本发明实施例还提供了一种显示装置，包括如上所述的薄膜晶体管阵列基板。

本发明的实施例具有以下有益效果：

上述方案中，通过导电率高的第二金属氧化物层既可在刻蚀源漏金属层时保护有源层，又可以最后形成减少源电极和漏电极与有源层的接触电阻的缓冲层，从而有源层和由源漏金属层形成的源电极、漏电极通过一次构图工艺形成，能够节省构图工艺，提升生产效率，降低产品的生产成本。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为本发明实施例的薄膜晶体管阵列基板的平面示意图；

图 2 为本发明实施例的薄膜晶体管阵列基板的制造方法的第一次构图工艺后对应于图 1 中 A—B 位置处的截面示意图；

图 3 为本发明实施例的薄膜晶体管阵列基板的制造方法的第二次构图工

艺中曝光显影后对应于图 1 中 A—B 位置处的截面示意图;

图 4 为本发明实施例的薄膜晶体管阵列基板的制造方法的第二次构图工艺中第一次刻蚀后对应于图 1 中 A—B 位置处的截面示意图;

图 5 为本发明实施例的薄膜晶体管阵列基板的制造方法的第二次构图工艺中灰化后对应于图 1 中 A—B 位置处的截面示意图;

图 6 为本发明实施例的薄膜晶体管阵列基板的制造方法第二次构图工艺后对应于图 1 中 A—B 位置处的截面示意图;

图 7 为本发明实施例的薄膜晶体管阵列基板的制造方法第三次构图工艺中第一次刻蚀后对应于图 1 中 A—B 位置处的截面示意图;

图 8 为本发明实施例的薄膜晶体管阵列基板的对应于图 1 中 A—B 位置处的截面示意图。

附图标记

1 基板

2 栅电极

3 栅绝缘层

4-1 有源层

4-2 缓冲层

5 源电极

6 漏电极

7 钝化层

8 像素电极

10 光刻胶

12 栅极扫描线

13 数据线

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描

述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现在“包括”或者“包含”前面的元件或者物件涵盖出现在“包括”或者“包含”后面列举的元件或者物件及其等同，并不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

本发明实施例的阵列基板包括多条栅线和多条数据线，这些栅线和数据线彼此交叉由此限定了排列为矩阵的像素单元，每个像素单元包括作为开关元件的薄膜晶体管和用于控制液晶的排列的像素电极。例如，每个像素的薄膜晶体管的栅极与相应的栅线电连接或一体形成，源极与相应的数据线电连接或一体形成，漏极与相应的像素电极电连接或一体形成。下面的描述主要针对单个或多个像素单元进行，但是其他像素单元可以相同地形成。

现有技术中在制作金属氧化物 TFT 时，一般在金属氧化物上面加一层保护层，以避免在形成源漏金属电极时对金属氧化物层的破坏，这样就增加了构图工艺的次数，影响了生产效率。为了解决上述问题，本发明的实施例提供一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置，能够简化金属氧化物 TFT 阵列基板的制造工艺，降低产品的生产成本。

本发明实施例提供了一种薄膜晶体管阵列基板的制造方法，该制造方法能够通过一次构图工艺形成由金属氧化物层形成的有源层和由源漏金属层形成的源电极、漏电极。

其中，该制造方法中形成有源层和源电极、漏电极的步骤包括:

依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层，第一金属氧化物层的导电率小于第二金属氧化物层的导电率;

在源漏金属层上涂布光刻胶;

利用灰色调或半色调掩模板对光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区,之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层,形成有源层,进行光刻胶灰化工艺去除掉部分保留区的光刻胶,之后先刻蚀掉部分保留区的源漏金属层,再刻蚀掉部分保留区的第二金属氧化物层,形成薄膜晶体管的沟道区域,去除完全保留区的光刻胶,形成包括源电极缓冲层和漏电极缓冲层的缓冲层,以及分别位于源电极缓冲层和漏电极缓冲层上的由源漏金属层形成的源电极和漏电极。

其中,缓冲层位于有源层和源漏金属层之间,也是由金属氧化物层形成,其目的是为了减少源电极和漏电极与有源层的接触电阻,同时保护下面的有源层,提升金属氧化物 TFT 的性能。缓冲层包括有源电极缓冲层和漏电极缓冲层,源电极缓冲层位于有源层和源电极之间,漏电极缓冲层位于有源层和漏电极之间。

有源层由低导电率的金属氧化物层形成,缓冲层为由高导电率的金属氧化物层形成。高导电率的金属氧化物层中氧的含量高,该金属氧化物层的导电性好,$Rs<10^6$ 欧姆·平方毫米/米,接近导体;低导电率的金属氧化物层中氧的含量低,该金属氧化物层的导电性不好,10^6 欧姆·平方毫米/米$<Rs<10^{11}$ 欧姆·平方毫米/米,为半导体。例如,高导电率的金属氧化物层可以采用非晶铟镓锌氧化物(IGZO)。低导电率的金属氧化物层可以采用铪铟锌氧化物(HIZO)、IZO、a-InZnO、ZnO:F、In_2O_3:Sn、In_2O_3:Mo、Cd_2SnO_4、ZnO:Al、TiO_2:Nb、Cd-Sn-O 或其他金属氧化物。

例如,缓冲层可以由至少两个高导电率的金属氧化物层形成,从靠近有源层到远离有源层的方向上,该至少两个金属氧化物层的导电率依次增大。

例如,在形成源电极、漏电极之后还可以对沟道区域的有源层的表面进行修复处理,以修复刻蚀时对有源层的损伤和污染。具体地,可以利用 N_2O 或 O_2 等离子体对沟道区域的有源层的表面进行处理。一种实施例中,等离子体的工艺参数范围是:气压 100-2000mT,射频功率 500W-4000W,N_2O 气体流量 500-3000sccm。

例如，本发明实施例的薄膜晶体管阵列基板的制造方法可以包括:

在基板上形成栅电极和栅极扫描线的图形;

在形成有栅电极和栅极扫描线的图形的基板上形成栅绝缘层;

在栅绝缘层上进行依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层，第一金属氧化物层的导电率小于第二金属氧化物层的导电率;

在源漏金属层上涂布光刻胶;

利用灰色调或半色调掩模板对光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极和数据线的完全保留区和对应沟道区域的部分保留区，之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层，形成有源层，进行光刻胶灰化工艺以去除掉部分保留区的光刻胶，之后先刻蚀掉部分保留区的源漏金属层，再刻蚀掉部分保留区的第二金属氧化物层，形成薄膜晶体管的沟道区域，去除完全保留区的光刻胶，形成包括源电极缓冲层和漏电极缓冲层的缓冲层，以及分别位于源电极缓冲层和漏电极缓冲层上的由源漏金属层形成的源电极、漏电极和数据线;

在形成有源电极、漏电极和数据线的图形的基板上形成包括有接触过孔的钝化层的图形;

在钝化层上形成像素电极，像素电极通过接触过孔与漏电极相连接。

根据本发明实施例的薄膜晶体管阵列基板的制造方法中，导电率高的第二金属氧化物层不仅可以在刻蚀源漏金属层时保护有源层，而且第还可以最后形成减少源电极和漏电极与有源层的接触电阻的缓冲层，从而通过一次构图工艺即可形成有源层和由源漏金属层形成的源电极、漏电极，能够节省构图工艺，提升生产效率，降低产品的生产成本。

本发明实施例还提供了一种薄膜晶体管阵列基板，该阵列基板包括:

由第一金属氧化物层形成的有源层;

由第二金属氧化物层形成的缓冲层，缓冲层的导电率比有源层的导电率大，缓冲层包括源电极缓冲层和漏电极缓冲层;

由源漏金属层形成的源电极、漏电极;

其中，源电极缓冲层位于有源层和源电极之间，漏电极缓冲层位于有源层和漏电极之间。

其中，缓冲层位于有源层和源漏金属层之间，由金属氧化物形成，其目的是为了减少源电极和漏电极与有源层的接触电阻，同时保护有源层，提升金属氧化物 TFT 的性能。

其中，有源层的材料为低导电率的金属氧化物层，缓冲层的材料为高导电率的金属氧化物层。其中，高导电率的金属氧化物层中氧的含量高，该金属氧化物层的导电性好，$Rs<10^6$ 欧姆·平方毫米/米，接近导体；低导电率的金属氧化物层中氧的含量低，该金属氧化物层的导电性不好，10^6 欧姆·平方毫米/米$<Rs<10^{11}$ 欧姆·平方毫米/米，为半导体。例如，缓冲层可以采用非晶 IGZO，有源层可以采用 HIZO、IZO、a-InZnO、ZnO:F、In_2O_3:Sn、In_2O_3:Mo、Cd_2SnO_4、ZnO:Al、TiO_2:Nb、Cd-Sn-O 或其他金属氧化物。

例如，缓冲层可以由两个以上高导电率的金属氧化物层形成，从靠近有源层到远离有源的方向上，该两个以上金属氧化物层的导电率依次增大。

下面结合具体的实施例对本发明实施例的薄膜晶体管阵列基板进行进一步地说明。

本实施例中，沟道区域和源电极、漏电极、数据线等部分的结构为：

由第一金属氧化物层形成的有源层；

位于有源层上由第二金属氧化物层形成的缓冲层，缓冲层的导电率比有源层的导电率大，缓冲层包括源电极缓冲层和漏电极缓冲层；

分别位于源电极缓冲层和漏电极缓冲层上的由源漏金属层形成的源电极、漏电极。

该薄膜晶体管阵列基板的结构可以如图 1 和图 8 所示，具体包括：

基板 1；

位于基板 1 上由栅金属层形成的栅电极 2 和栅极扫描线 12；

位于形成有栅电极 2 和栅极扫描线 12 的基板 1 上的栅绝缘层 3；

位于栅绝缘层 3 上的由第一金属氧化物层形成的有源层 4-1；

位于有源层 4-1 上由第二金属氧化物层形成的源电极缓冲层和漏电极缓冲层 4-2；

分别位于源电极缓冲层和漏电极缓冲层上的由源漏金属层形成的源电极 5、漏电极 6 和数据线 13；

位于形成有源电极 5、漏电极 6 和数据线 13 的基板 1 上的包括接触孔的钝化层 7;

位于钝化层 7 上的像素电极 8，像素电极 8 通过接触孔与漏电极 6 相连接。

下面对本实施例的薄膜晶体管阵列基板的制造工艺进行详细说明，其工艺流程包括:

第一次构图工艺：提供一基板 1，该基板 1 可以为玻璃基板或者石英基板，在基板 1 上沉积栅金属层以形成栅电极和栅极扫描线。

具体地，可以采用溅射或热蒸发的方法在基板 1 上沉积厚度为 500～4000Å 的栅金属层，栅金属层可以选用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属或合金，栅金属层可以是单层金属或单层合金，还可以是多层金属或多层合金。在栅金属层上涂布光刻胶，利用掩模板对光刻胶进行曝光和显影之后进行刻蚀，形成栅电极 2 和栅极扫描线 12，图 2 所示为经第一次构图工艺后所形成结构的截面示意图。

第二次构图工艺:在形成有栅电极 2 和栅极扫描线 12 的基板 1 上依次沉积栅绝缘层 3、第一金属氧化物层、第二金属氧化物层和源漏金属层。

具体地，可以在形成有栅电极 2 和栅极扫描线 12 的基板 1 通过 PECVD（Plasma Enhanced Chemical Vapor Deposition，等离子体增强化学气相沉积法）沉积厚度为 2000～5000 Å 的栅绝缘层 3，栅绝缘层 3 可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体可以为 SiH_4，NH_3，N_2 或 SiH_2Cl_2，NH_3，N_2。栅绝缘层可以使单层，也可以是多层，一般靠近金属氧化物层的为氧化物栅绝缘层。

然后通过溅射的方法在栅绝缘层3上连续沉积厚度均为50～2000 Å的第一金属氧化物层和第二金属氧化物层,以便由第一金属氧化物层形成有源层,由第二金属氧化物层形成缓冲层。缓冲层位于有源层和源漏金属层之间，由金属氧化物形成，其目的是为了减少源电极和漏电极与有源层的接触电阻，并在刻蚀源漏金属层以形成源电极和漏电极时保护下面的有源层，提升金属氧化物 TFT 的性能。

其中，有源层的导电率低于缓冲层的导电率，导电率接近半导体，缓冲

层可以由至少一个金属氧化物层形成，在缓冲层由两个以上高导电率的金属氧化物层形成时，从靠近有源层到远离有源层的方向上，也即，随着与有源层相距的距离增大，该两个以上的金属氧化物层的导电率依次增大。有源层可以包括多层，例如可以包括多层金属氧化物层，诸如有源层可以包括三层金属氧化物层，依次为第一金属氧化物层、第二金属氧化物层和第三金属氧化物层，其中第一金属氧化物层的导电率小于第二金属氧化物层的导电率，第二金属氧化物层的导电率小于第三金属氧化物层的导电率。

本实施例以缓冲层仅包括一个金属氧化物层为例进行具体说明。本实施例中，在栅绝缘层 3 上连续沉积两个金属氧化物层，先沉积的金属氧化物层导电率较低，可以用于形成有源层 4-1，后沉积的金属氧化物层导电率较高，可以用于形成缓冲层 4-2。如果在栅绝缘层 3 上沉积三个以上的金属氧化物层时，则最下层的金属氧化物层用于形成有源层，其余的金属氧化物层用于形成缓冲层。

沉积金属氧化物层时通过控制氧的含量可以有效地控制金属氧化物层的导电性。金属氧化物层中氧的含量高，则该金属氧化物层的导电性好，$Rs<10^6$ 欧姆·平方毫米/米，接近导体；金属氧化物层中氧的含量低，则该金属氧化物层导电性不好，10^6 欧姆·平方毫米/米< $Rs<10^{11}$ 欧姆·平方毫米/米，为半导体。具体地，第二金属氧化物层可以采用非晶 IGZO，第一金属氧化物层可以采用非晶 IGZO、HIZO、IZO、a-InZnO、ZnO:F、In_2O_3:Sn、In_2O_3:Mo、Cd_2SnO_4、ZnO:Al、TiO_2:Nb、Cd-Sn-O 或其他金属氧化物；之后在第二金属氧化物层上沉积源漏金属层，具体地，可以通过溅射或热蒸发的方法沉积厚度为 2000 ~ 4000 Å 的源漏金属层，源漏金属层可以选用 Cr、W、Ti、Ta、Mo 等金属和合金，可以是单层金属薄膜或单层合金薄膜，也可以是多层金属薄膜或多层合金薄膜。

通过涂布光刻胶和一次灰色调或者半色调掩模板曝光显影后，形成完全去除区、部分保留区和完全保留区，如图 3 所示，完全保留区对应于源漏金属电极和数据线，部分保留区对应于 TFT 沟道区域。进行第一次刻蚀工艺，刻蚀掉完全去除区的源漏金属层和第一金属氧化物层、第二金属氧化物层，由此形成有源层 4-1，结构如图 4 所示；接着进行一次光刻胶灰化工艺以去

除掉部分保留区的光刻胶 10，形成如图 5 所示的结构；接着再进行第二次刻蚀工艺，先刻蚀掉部分保留区的源漏金属层，再刻蚀掉部分保留区的第二金属氧化物层，为了保证完全刻蚀掉第二金属氧化物层，在刻蚀时可以刻蚀掉一部分的第一金属氧化物层，由此在源电极和漏电极之间形成 TFT 的沟道。

本实施例中，缓冲层 4-2 直接与源漏金属层接触，这样设计可以减少有源层 4-1 与源电极和漏电极的接触电阻，提升金属氧化物 TFT 的开态电流。有源层 4-1 直接与栅绝缘层 3 接触，低含氧量的金属氧化物层形成有源层能够使得 TFT 性能更稳定。

进一步地，为提升金属氧化物 TFT 的性能可以对 TFT 沟道区域的有源层的表面进行处理，以修复刻蚀时对有源层的损伤和污染。具体地，可以利用 N_2O 或 O_2 等离子体对沟道区域的有源层的表面进行处理。以 5G 生产线为例，等离子体的工艺参数范围是：气压 100-2000mT，射频功率 500W-4000W，N_2O 气体流量 500-3000sccm，不同产线的设备，工艺参数有所不同，但处理的思想相同。

之后去除残余的光刻胶 10，形成包括源电极缓冲层和漏电极缓冲层的缓冲层 4-2、源电极 5、漏电极 6 和数据线 13，经第二次构图工艺最后形成的结构如图 6 所示。

第三次构图工艺：在完成第二次构图工艺的基板 1 上沉积钝化层 7，具体地，可以通过 PECVD 方法沉积厚度为 2000 ~ 5000 Å 的钝化层 7，钝化层 7 可以选用氧化物、氮化物或者氧氮化合物，钝化层 7 可以是单层结构也可以是多层结构，对应的反应气体可以为 SiH_4，NH_3，N_2 或 SiH_2Cl_2，NH_3，N_2。在钝化层上涂布光刻胶，利用掩模板对光刻胶进行曝光和显影之后进行刻蚀，形成包括有接触过孔的钝化层 7 的图形，如图 7 所示为经第三次构图工艺后所形成结构的截面示意图；

第四次构图工艺：在完成第三次构图工艺的基板 1 上沉积透明导电层，具体地，可以通过溅射或热蒸发的方法在形成有钝化层 7 的基板 1 上沉积厚度为 300 ~ 1500 Å 的透明导电层，透明导电层可以采用 ITO 或者 IZO，或者其他的透明金属氧化物。在透明导电层上涂布光刻胶，利用掩模板对光刻胶进行曝光和显影之后进行刻蚀，形成像素电极 8，像素电极 8 通过接触过孔

与漏电极 6 相连接。

如图 8 所示为经第四次构图工艺后所形成的薄膜晶体管阵列基板的截面示意图，如图 1 所示为经过四次构图工艺后形成的薄膜晶体管阵列基板的平面示意图。

本实施例通过导电率高的第二金属氧化物层既可在刻蚀源漏金属层时保护有源层，又可以最后形成减少源电极和漏电极与有源层的接触电阻的缓冲层，从而可通过一次构图工艺形成有源层、源电极和漏电极，能够节省构图工艺，提升生产效率，降低产品的生产成本。此外，本发明实施例的技术方案在栅绝缘层上形成两层以上的金属氧化物层，底层是有源层，其余层作为缓冲层，在形成源电极和漏电极时刻蚀掉部分缓冲层，形成沟道，这样设计既可以减少源电极和漏电极与有源层的接触电阻，同时利用缓冲层保护有源层，可以提升金属氧化物 TFT 的性能。

本发明实施例还提供了一种显示面板，包括如上所述的薄膜晶体管阵列基板。

本发明实施例还提供了一种显示装置，包括如上所述的薄膜晶体管阵列基板，具体地，该显示装置可以应用在液晶显示器、平板电脑等电子器件中。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1. 一种薄膜晶体管阵列基板的制造方法，包括:

依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层，所述第一金属氧化物层的导电率小于所述第二金属氧化物层的导电率;

图案化所述第一金属氧化物层、所述第二金属氧化物层和所述源漏金属层，以分别形成有源层、缓冲层以及源电极和漏电极。

2. 根据权利要求 1 所述的薄膜晶体管阵列基板的制造方法，其中，所述图案化所述第一金属氧化物层、所述第二金属氧化物层和所述源漏金属层包括:

在所述源漏金属层上涂布光刻胶;

形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区;

刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层

进行光刻胶灰化工艺以去除掉所述部分保留区的光刻胶;

刻蚀掉部分保留区的源漏金属层;

刻蚀掉部分保留区的第二金属氧化物层; 以及

去除所述完全保留区的光刻胶。

3. 根据权利要求 1 或 2 所述的薄膜晶体管阵列基板的制造方法，其中，所述形成源电极、漏电极之后还包括:

对所述沟道区域的有源层的表面进行修复。

4. 根据权利要求 1 至 3 的任一项所述的薄膜晶体管阵列基板的制造方法，其中，所述制造方法包括:

在所述沉积第一金属氧化物层、第二金属氧化物层和源漏金属层之前，在基板上形成栅电极和栅极扫描线的图形以及在形成有所述栅电极和栅极扫描线的图形的基板上形成栅绝缘层;

在图案化所述第一金属氧化物层、所述第二金属氧化物层和所述源漏金属层之后，在形成有所述源电极、漏电极和数据线的图形的基板上形成包括

有接触孔的钝化层的图形，以及在所述钝化层上形成像素电极，所述像素电极通过所述接触孔与所述漏电极相连接。

5. 一种薄膜晶体管阵列基板，包括:

由第一金属氧化物层形成的有源层;

由第二金属氧化物层形成的缓冲层，缓冲层的导电率比有源层的导电率大，缓冲层包括源电极缓冲层和漏电极缓冲层;

由源漏金属层形成的源电极、漏电极;

其中，源电极缓冲层位于所述有源层和所述源电极之间，所述漏电极缓冲层位于所述有源层和所述漏电极之间。

6. 根据权利要求 5 所述的薄膜晶体管阵列基板，其中，所述缓冲层包括至少两个金属氧化物层，随着与有源层相距的距离增大，金属氧化物层的导电率依次增大。

7. 根据权利要求 4 或 5 所述的薄膜晶体管阵列基板，其中还包括:

基板;

位于所述基板上由栅金属层形成的栅电极和栅极扫描线;

位于形成有所述栅电极和栅极扫描线的基板上的栅绝缘层;

位于所述栅绝缘层上的所述有源层;

位于所述有源层上的所述源电极缓冲层和所述漏电极缓冲层;

分别位于所述源电极缓冲层和漏电极缓冲层上的所述源电极、所述漏电极和数据线;

位于形成有所述源电极、漏电极和数据线的基板上的包括有接触孔的钝化层;

位于所述钝化层上的像素电极，所述像素电极通过所述接触孔与所述漏电极相连接。

8. 根据权利要求 5 至 7 的任一项所述的薄膜晶体管阵列基板，其中，所述缓冲层的材料为非晶 IGZO。

9. 根据权利要求 5 至 7 的任一项所述的薄膜晶体管阵列基板，其中，所述有源层的材料为非晶 IGZO、HIZO、IZO、a-InZnO、ZnO:F、In_2O_3:Sn、In_2O_3:Mo、Cd_2SnO_4、ZnO:Al、TiO_2:Nb 或 Cd-Sn-O。

10. 一种显示面板，包括如权利要求 5-9 中任一项所述的薄膜晶体管阵列基板。

11. 一种显示装置，包括如权利要求 5-9 中任一项所述的薄膜晶体管阵列基板。

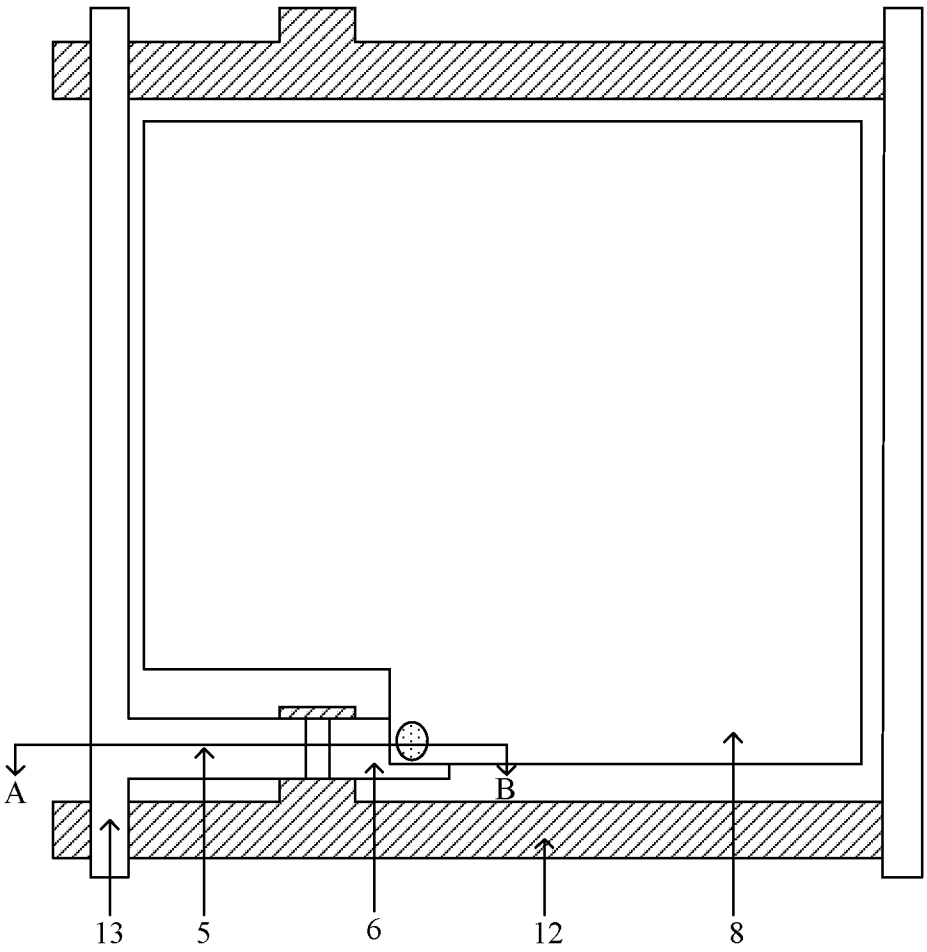


图 1

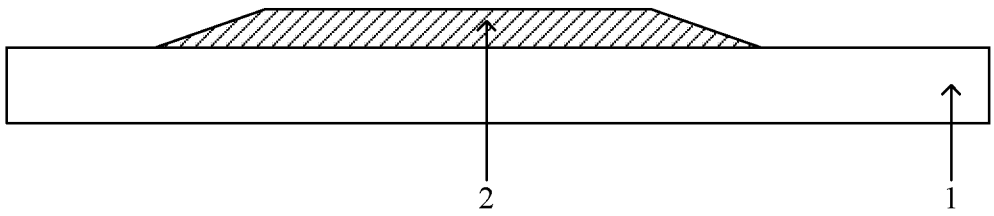


图 2

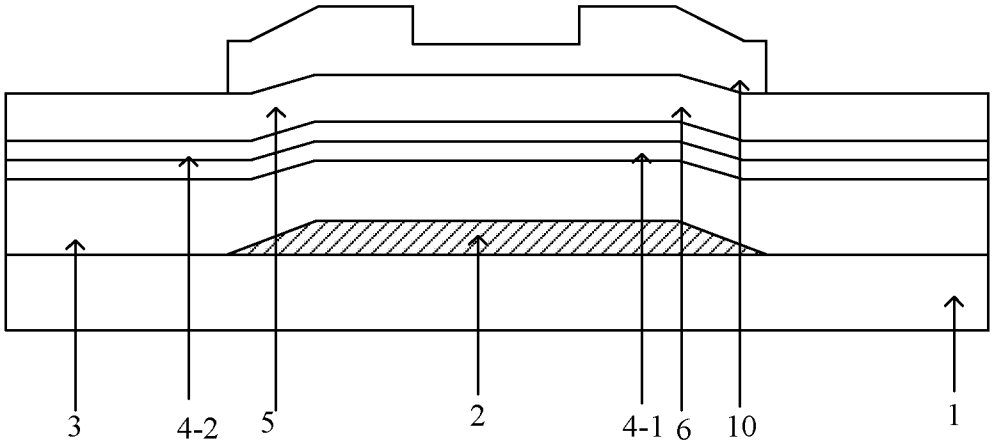


图 3

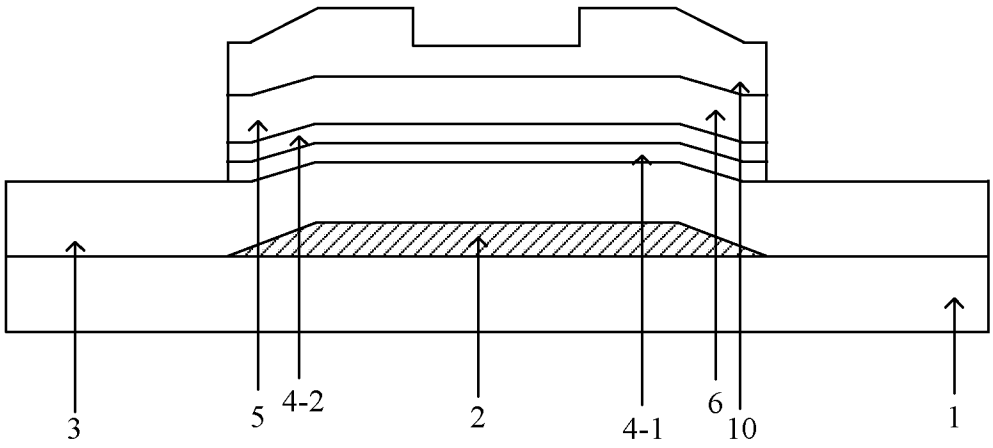


图 4

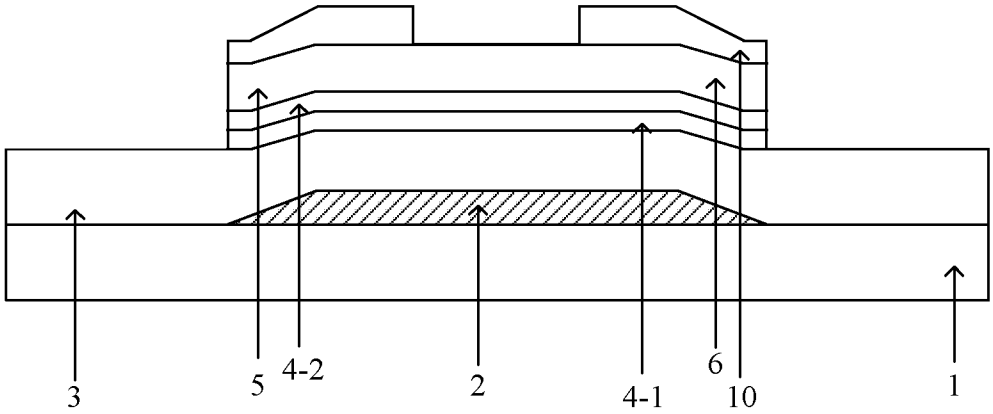


图 5

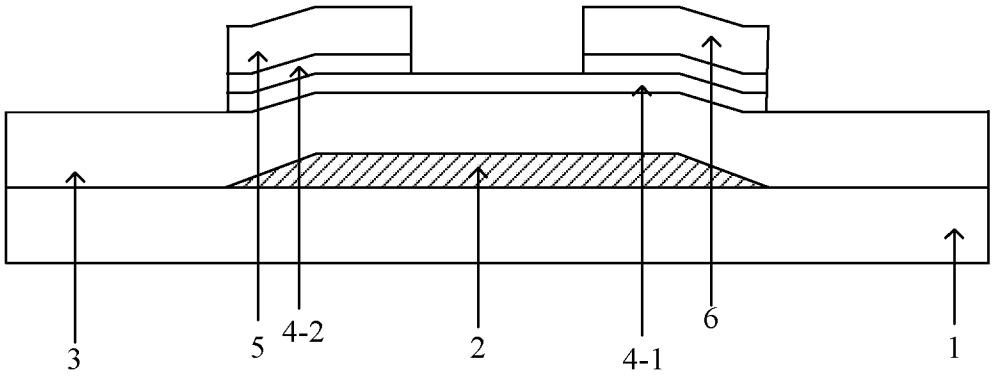


图 6

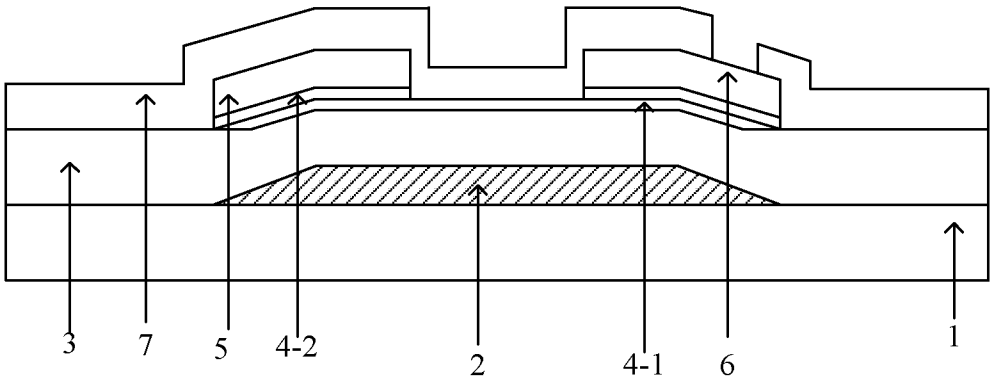


图 7

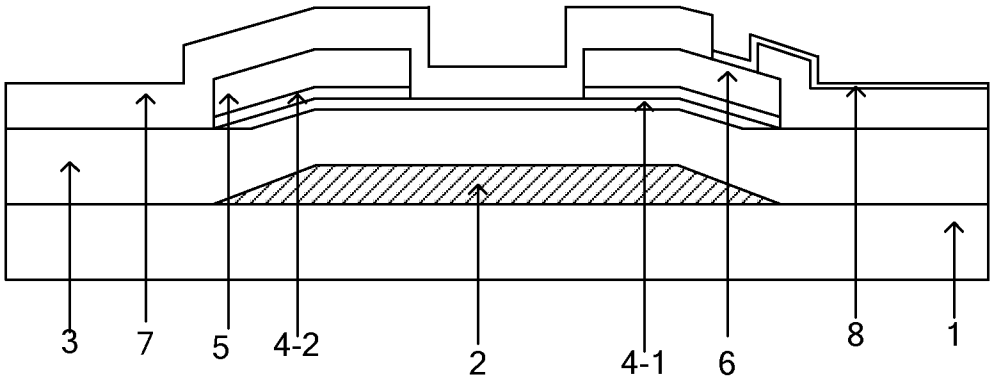


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/086772

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: TFT, metallic oxide, igzo, transition, electric conductivity, oxygen content, multi, double, three, two, recover, thin film transistor, oxide semiconductor, indium gallium zinc oxide, tunnel, active, buffer, conductivity, resistivity, surface, repair, plasm?, etch

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101901838 A (SEMICONDUCTOR ENERGY LABORATORY), 01 December 2010 (01.12.2010), description, paragraphs 250-284 and 66-162, and figures 1A-13B and 21A1-22	1-5, 7-11
Y		6
Y	CN 101542742 A (SONY CORP.), 23 September 2009 (23.09.2009), description, page 5, line 9 to page 8, line 16, and figure 1	6
X	US 2010155719 A1 (SAKATA, J. et al.), 24 June 2010 (24.06.2010), description, paragraphs 3 and 48-93, and figures 1A-3B	5, 7-11

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 March 2013 (12.03.2013)	**28 March 2013 (28.03.2013)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WANG, Wenjie** Telephone No.: (86-10) **62412092**

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/086772

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102751240 A (BOE TECHNOLOGY GROUP CO., LTD.), 24 October 2012 (24.10.2012), description, paragraphs 64-123, and figures 1-8	1-11
PX	CN 202601621 U (BOE TECHNOLOGY GROUP CO., LTD.), 12 December 2012 (12.12.2012), description, paragraphs 50-91, and figures 1-8	1-11
A	CN 101656232 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 24 February 2010 (24.02.2010), the whole document	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/086772

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101901838 A	01.12.2010	US 2010301329 A1	02.12.2010
		KR 20100129185 A	08.12.2010
		JP 2011009724 A	13.01.2011
CN 101542742 A	23.09.2009	WO 2008123088 A1	16.10.2008
		JP 2008258345 A	23.10.2008
		TW 200908332 A	16.02.2009
		KR 20090128315 A	15.12.2009
		US 2010044709 A1	25.02.2010
		CN 101542742 B	23.02.2011
US 2010155719 A1	24.06.2010	WO 2010071183 A1	24.06.2010
		JP 2010166038 A	29.07.2010
		TW 201044464 A	16.12.2010
CN 102751240 A	24.10.2012	None	
CN 202601621 U	12.12.2012	None	
CN 101656232 A	24.02.2010	CN 101656232 B	12.10.2011

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/086772

CONTINUATION OF A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

H01L 29/786 (2006.01) i

G02F 1/1368 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/086772

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS,VEN 薄膜晶体管,TFT, 金属氧化物,igzo, 氧化物半导体,沟道,有源,缓冲,过渡,导电率,含氧量,电导率,传导率,电阻率,多,双,三,两,刻蚀,蚀刻,修复,修补,复原,恢复,thin film transistor, oxide semiconductor, indium gallium zinc oxide, tunnel, active, buffer, conductivity, resistivity, surface, repair, plasm?, etch

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN101901838A (株式会社半导体能源研究所)01.12 月 2010(01.12.2010) 说明书第 250-284 段，第 66-162 段以及附图 1A-13B，附图 21A1-22	1-5,7-11
Y		6
Y	CN101542742 A (索尼株式会社)23.9 月 2009(23.09.2009) 说明书第 5 页第 9 行-第 8 页第 16 行以及附图 1	6
X	US2010155719 A1(Junichiro SAKATA,等)24.6 月 2010(24.06.2010) 说明书第 3 段,第 48-93 段以及附图 1A-3B	5,7-11

☒ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
12.3 月 2013(12.03.2013)	**28.3 月 2013 (28.03.2013)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 王文杰 电话号码：(86-10) **62412092**

C(续). 相关文件

类 型	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN102751240A(京东方科技集团股份有限公司)24.10 月 2012(24.10.2012) 说明书第 64-123 段以及附图 1-8	1-11
PX	CN202601621 U(京东方科技集团股份有限公司)12.12 月 2012(12.12.2012) 说明书第 50-91 段以及附图 1-8	1-11
A	CN101656232A(北京京东方光电科技有限公司)24.2 月 2010(24.02.2010) 全文	1-11

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2012/086772

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN101901838A	01.12.2010	US2010301329A1	02.12.2010
		KR20100129185A	08.12.2010
		JP2011009724A	13.01.2011
CN101542742A	23.09.2009	WO2008123088A1	16.10.2008
		JP2008258345A	23.10.2008
		TW200908332A	16.02.2009
		KR20090128315A	15.12.2009
		US2010044709A1	25.02.2010
		CN101542742B	23.02.2011
US2010155719A1	24.06.2010	WO2010071183A1	24.06.2010
		JP2010166038A	29.07.2010
		TW201044464A	16.12.2010
CN102751240A	24.10.2012	无	
CN202601621U	12.12.2012	无	
CN101656232A	24.02.2010	CN101656232B	12.10.2011

接 A. 主题的分类

H01L 21/77 (2006.01) i

H01L 29/786 (2006.01) i

G02F 1/1368 (2006.01) i