

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年3月16日(2006.3.16)

【公開番号】特開2003-338508(P2003-338508A)

【公開日】平成15年11月28日(2003.11.28)

【出願番号】特願2003-40636(P2003-40636)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 21/20 (2006.01)

【F I】

H 01 L 29/78 6 2 7 G

H 01 L 21/20

H 01 L 29/78 6 2 6 C

H 01 L 29/78 6 1 3 Z

【手続補正書】

【提出日】平成18年1月31日(2006.1.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも島状半導体層上にゲート絶縁膜を介して形成されたゲート電極を有する複数の薄膜トランジスタのうち、幾つかを前記複数の薄膜トランジスタが形成されている層とは異なる層上に形成された配線で電気的に接続することで、論理素子を形成する半導体装置の作製方法であって、

基板上に複数の矩形又はストライプ形状の凸部を有する下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜にレーザー光を照射して、結晶性半導体膜を形成し、

前記結晶性半導体膜をエッチングすることにより、

前記下地絶縁膜の凸部の間にチャネル形成領域を有する前記島状半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項2】

少なくとも島状半導体層上にゲート絶縁膜を介して形成されたゲート電極を有する複数の薄膜トランジスタのうち、幾つかを前記複数の薄膜トランジスタが形成されている層とは異なる層上に形成された配線で電気的に接続することで、論理素子を形成する半導体装置の作製方法であって、

基板上に複数の矩形又はストライプ形状の凸部を有する下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜にレーザー光を照射して、結晶性半導体膜を形成し、

前記結晶性半導体膜を前記複数の凸部の一部が露出するまでその表面をエッチングし、

結晶性半導体層を形成し、

前記結晶性半導体層をエッチングすることにより、前記島状半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項3】

基板上に複数の矩形又はストライプ形状の凸部を有する下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質半導体膜を形成し、
前記非晶質半導体膜にレーザー光を照射して、結晶性半導体膜を形成し、
前記結晶性半導体膜を前記複数の凸部の一部が露出するまでその表面をエッティングし、
結晶性半導体層を形成し、
前記結晶性半導体層をエッティングすることにより、複数の島状半導体層を形成し、
前記複数の島状半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に前記複数の島状半導体層のそれぞれに対応した複数のゲート電極を形成し、
前記複数の島状半導体層に不純物を添加しソース領域及びドレイン領域を形成して複数の薄膜トランジスタを形成し、
前記薄膜トランジスタを覆って層間絶縁膜を形成し、
前記層間絶縁膜にコンタクトホールを形成し、
前記複数の薄膜トランジスタの幾つかを互いに電気的に接続する配線を形成することを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、
前記複数の凸部の高さが $0.01\mu m \sim 3\mu m$ であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、
前記複数の凸部の間の幅が $0.01\mu m \sim 2\mu m$ であることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記レーザー光は、YAGレーザー、 YVO_4 レーザー、YLFレーザー、 $YAlO_3$ レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザー、 Y_2O_3 レーザーまたはNd: YVO_4 レーザーから選ばれた一種または複数種を用いて出力されていることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一項において、前記レーザー光は、スラブレーザーを用いて出力されていることを特徴とする半導体装置の作製方法。

【請求項8】

請求項1乃至請求項7のいずれか一項において、前記レーザー光は連続発振であることを特徴とする半導体装置の作製方法。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記レーザー光は第2高調波であることを特徴とする半導体装置の作製方法。

【請求項10】

請求項1乃至請求項9のいずれか一項において、
前記前記複数の島状半導体層は前記凸部と接していることを特徴とする半導体装置の作製方法。

【請求項11】

基板上に複数の矩形又はストライプ形状の凸部を有する下地絶縁膜上に形成された複数の薄膜トランジスタを有する半導体装置であつて、

前記薄膜トランジスタは、島状半導体層と、ゲート絶縁膜と、少なくとも一つのゲート電極と、を有し、

前記島状半導体層は、少なくとも一つのチャネル形成領域と、少なくとも2つの不純物領域と、を有し、

前記チャネル形成領域は、前記凸部の間に配置されており、

前記ゲート電極は、前記ゲート絶縁膜を介して前記チャネル形成領域の上方に形成され

ており、

複数の薄膜トランジスタのうち、幾つかを前記複数の薄膜トランジスタが形成されてい
る層とは異なる層上に形成された配線で電気的に接続することで論理素子が形成されてい
ることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 1において、

前記前記複数の島状半導体層は前記凸部と接していることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 1又は請求項 1 2において、

前記複数の凸部の高さが $0.01\mu m \sim 3\mu m$ であることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 1乃至請求項 1 3のいずれか 1 項において、

前記複数の凸部間の幅が $0.01\mu m \sim 2\mu m$ であることを特徴とする半導体装置。

【請求項 1 5】

矩形またはストライプ形状の複数の凸部を有する下地膜上に並列している複数の薄膜ト
ランジスタを有する半導体装置であって、

第 1 の n 型薄膜トランジスタと、第 2 の n 型薄膜トランジスタと、第 3 の n 型薄膜ト
ランジスタと、第 1 の p 型薄膜トランジスタと、第 2 の p 型薄膜トランジスタと、第 3 の p
型薄膜トランジスタと、第 1 の凸部と、第 2 の凸部と、第 3 の凸部と、を有し、

隣り合って配置された前記第 1 の凸部と前記第 2 の凸部の間には、前記第 1 の n 型薄膜
トランジスタと、前記第 2 の n 型薄膜トランジスタと、前記第 3 の n 型薄膜トランジスタ
と、が配置されており、

隣り合って配置された前記第 2 の凸部と前記第 3 の凸部の間には、前記第 1 の p 型薄膜ト
ランジスタと、前記第 2 の p 型薄膜トランジスタと、前記第 3 の p 型薄膜トランジスタと
、が配置されており、

前記第 2 の n 型薄膜トランジスタの有する一対の不純物領域の一方は、前記第 1 の n 型
薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第 2 の n 型薄膜トランジスタの有する一対の不純物領域の他方は、前記第 3 の n 型
薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第 2 の p 型薄膜トランジスタの有する一対の不純物領域の一方は、前記第 1 の p 型
薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第 2 の p 型薄膜トランジスタの有する一対の不純物領域の他方は、前記第 3 の p 型
薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第 2 の n 型薄膜トランジスタの有するゲート電極と、前記第 2 の p 型薄膜トランジ
スタの有するゲート電極と、は接続されており、

前記第 3 の n 型薄膜トランジスタの有するゲート電極と、前記第 3 の p 型薄膜トランジ
スタの有するゲート電極と、は接続されていることを特徴とする半導体装置。

【請求項 1 6】

矩形またはストライプ形状の複数の凸部を有する下地膜上に並列している複数の薄膜ト
ランジスタを有する半導体装置であって、

第 1 の n 型薄膜トランジスタと、第 2 の n 型薄膜トランジスタと、第 3 の n 型薄膜ト
ランジスタと、第 1 の p 型薄膜トランジスタと、第 2 の p 型薄膜トランジスタと、第 3 の p
型薄膜トランジスタと、第 1 の凸部と、第 2 の凸部と、第 3 の凸部と、第 4 の凸部を有し
、

隣り合って配置された前記第 1 の凸部と前記第 2 の凸部の間には、前記第 1 の n 型薄膜
トランジスタと、前記第 2 の n 型薄膜トランジスタと、前記第 3 の n 型薄膜トランジスタ
と、が配置されており、

隣り合って配置された前記第 3 の凸部と前記第 4 の凸部の間には、前記第 1 の p 型薄膜ト
ランジスタと、前記第 2 の p 型薄膜トランジスタと、前記第 3 の p 型薄膜トランジスタと
、が配置されており、

前記第2のn型薄膜トランジスタの有する一対の不純物領域の一方は、前記第1のn型薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第2のn型薄膜トランジスタの有する一対の不純物領域の他方は、前記第3のn型薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第2のp型薄膜トランジスタの有する一対の不純物領域の一方は、前記第1のp型薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第2のp型薄膜トランジスタの有する一対の不純物領域の他方は、前記第3のp型薄膜トランジスタの有する一対の不純物領域の一方と接続されており、

前記第2のn型薄膜トランジスタの有するゲート電極と、前記第2のp型薄膜トランジスタの有するゲート電極と、は接続されており、

前記第3のn型薄膜トランジスタの有するゲート電極と、前記第3のp型薄膜トランジスタの有するゲート電極と、は接続されていることを特徴とする半導体装置。

【請求項17】

矩形またはストライプ形状の複数の凸部を有する下地膜上に並列している複数の島状半導体層を用いて形成された半導体装置であって、

第1の島状半導体層と、第2の島状半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第3のゲート電極と、第4のゲート電極と、第1の凸部と、第2の凸部と、第3の凸部と、を有し、

前記第1の凸部と第2の凸部は隣り合って配置されており、

前記第1の凸部と前記第2の凸部の間に配置された前記第1の島状半導体層は、第1のn型不純物領域と第2のn型不純物領域の間に配置された第1のチャネル形成領域と、

前記第2のn型不純物領域と第3のn型不純物領域の間に配置された第2のチャネル形成領域と、

前記第3のn型不純物領域と第4のn型不純物領域の間に配置された第3のチャネル形成領域と、を有し、

前記第2の凸部と第3の凸部は隣り合って配置されており、

前記第2の凸部と前記第3の凸部の間に配置された前記第2の島状半導体層は、第1のp型不純物領域と第2のp型不純物領域の間に配置された第4のチャネル形成領域と、

前記第2のp型不純物領域と第3のp型不純物領域の間に配置された第5のチャネル形成領域と、

前記第3のp型不純物領域と第4のp型不純物領域の間に配置された第6のチャネル形成領域と、を有し、

前記第1のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第1のゲート電極が設けられており、

前記第4のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第2のゲート電極が設けられており、

前記第2のチャネル形成領域及び前記第5のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第3のゲート電極が設けられており、

前記第3のチャネル形成領域及び前記第6のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第3のゲート電極が設けられていることを特徴とする半導体装置。

【請求項18】

矩形またはストライプ形状の複数の凸部を有する下地膜上に並列している複数の島状半導体層を用いて形成された半導体装置であって、

第1の島状半導体層と、第2の島状半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第3のゲート電極と、第4のゲート電極と、第1の凸部と、第2の凸部と、第3の凸部と、第4の凸部と、を有し、

前記第1の凸部と第2の凸部は隣り合って配置されており、

前記第1の凸部と前記第2の凸部の間に配置された前記第1の島状半導体層は、

第1のn型不純物領域と第2のn型不純物領域の間に配置された第1のチャネル形成領域と、

前記第2のn型不純物領域と第3のn型不純物領域の間に配置された第2のチャネル形成領域と、

前記第3のn型不純物領域と第4のn型不純物領域の間に配置された第3のチャネル形成領域と、を有し、

前記第1の凸部と第4の凸部は隣り合って配置されており、

前記第3の凸部と前記第4の凸部の間に配置された前記第2の島状半導体層は、

第1のp型不純物領域と第2のp型不純物領域の間に配置された第4のチャネル形成領域と、

前記第2のp型不純物領域と第3のp型不純物領域の間に配置された第5のチャネル形成領域と、

前記第3のp型不純物領域と第4のp型不純物領域の間に配置された第6のチャネル形成領域と、を有し、

前記第1のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第1のゲート電極が設けられており、

前記第4のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第2のゲート電極が設けられており、

前記第2のチャネル形成領域及び前記第5のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第3のゲート電極が設けられており、

前記第3のチャネル形成領域及び前記第6のチャネル形成領域の上には、前記ゲート絶縁膜を介して前記第3のゲート電極が設けられていることを特徴とする半導体装置。

【請求項19】

請求項17又は請求項18に記載の半導体装置において、

前記第1のゲート電極には、第1の配線が接続され、

前記第2のゲート電極には、第2の配線が接続され、

前記第3のn型不純物領域には、第3の配線が接続され、

前記第3のp型不純物領域には、第4の配線が接続され、

前記第1のn型不純物領域と、前記第1のp型不純物領域と、には、第5の配線が接続され、

前記第2のn型不純物領域と、前記第2のp型不純物領域と、前記第4のゲート電極と、には、第6の配線で接続され、

前記第4のn型不純物領域と、前記第4のp型不純物領域と、前記第3のゲート電極と、には、第7の配線が接続されていることを特徴とする半導体装置。

【請求項20】

請求項17又は請求項18に記載の半導体装置において、

前記第3のゲート電極には、第1の配線が接続され、

前記第4のゲート電極には、第2の配線が接続され、

前記第2のp型不純物領域には、第3の配線が接続され、

前記第2のn型不純物領域と、前記第3のp型不純物領域と、には、第4の配線が接続され、

前記第4のn型不純物領域には、第5の配線が接続され、

前記第4のp型不純物領域には、第6の配線が接続されていることを特徴とする半導体装置。

【請求項21】

請求項17又は請求項18に記載の半導体装置において、

前記第3のゲート電極には、第1の配線が接続され、

前記第4のゲート電極には、第2の配線が接続され、

前記第2のn型不純物領域には、第3の配線が接続され、

前記第2のp型不純物領域には、第4の配線が接続され、

前記第3のn型不純物領域と、前記第4のp型不純物領域と、には、第5の配線が接続され、

前記第4のn型不純物領域には、第6の配線が接続されていることを特徴とする半導体装置。