



(12) 发明专利

(10) 授权公告号 CN 101937861 B

(45) 授权公告日 2013. 12. 18

(21) 申请号 201010254643. 0

H01L 27/12(2006. 01)

(22) 申请日 2008. 10. 31

(56) 对比文件

(30) 优先权数据

2007-285591 2007. 11. 01 JP

CN 1241803 A, 2000. 01. 19, 全文.

(62) 分案原申请数据

200810173930. 1 2008. 10. 31

JP 特开 2000-106424 A, 2000. 04. 11, 全文.

(73) 专利权人 株式会社半导体能源研究所

JP 特开 2000-124092 A, 2000. 04. 28, 全文.

地址 日本神奈川

US 6534380 B1, 2003. 03. 18, 全文.

审查员 王亮

(72) 发明人 古山将树 井坂史人 下村明久

桃纯平

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 王永刚

(51) Int. Cl.

H01L 21/762(2006. 01)

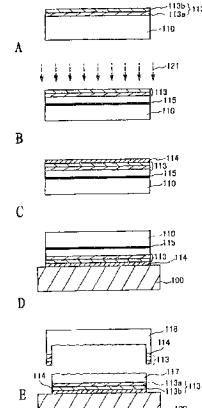
权利要求书5页 说明书59页 附图42页

(54) 发明名称

半导体衬底的制造方法、以及半导体装置的
制造方法

(57) 摘要

本发明的目的在于提供一种半导体衬底的制
造方法、以及半导体装置的制造方法，该半导
体衬底是在玻璃衬底等低耐热性支撑衬底上隔
着缓冲层固定有单晶半导体层的半导体衬底。该半导
体衬底的制造方法包括：将加速了的氢离子照射到
半导体衬底，以形成包含大量的氢的损伤区域；
在接合单晶半导体衬底和支撑衬底之后，加热半
导体衬底而在损伤区域中分离单晶半导体衬底；
接着，对从单晶半导体衬底分离了的单晶半导
体层照射激光束；通过照射激光束，使单晶半导
体层熔化而再结晶，以恢复其结晶性并使单晶半导
体层的表面平坦化；以及在照射激光束之后，在
不使其熔化的温度下加热单晶半导体层，以提高
其寿命。



1. 一种半导体衬底的制造方法,包括如下步骤:

用离子照射单晶半导体衬底,以在所述单晶半导体衬底中形成损伤区域;

在所述单晶半导体衬底上形成缓冲层;

蚀刻所述缓冲层的一部分、所述损伤区域的一部分以及所述单晶半导体衬底的一部分,以在所述单晶半导体衬底上形成槽;

隔着所述缓冲层对所述单晶半导体衬底配置支撑衬底,所述支撑衬底与所述缓冲层彼此接触,以将所述单晶半导体衬底固定于所述支撑衬底;

在所述损伤区域处从所述支撑衬底分离所述单晶半导体衬底,以在所述支撑衬底上形成多个单晶半导体层;

用激光束照射所述多个单晶半导体层,以使所述多个单晶半导体层的每一层部分地熔化且再结晶化;以及

在400℃以上且再结晶了的所述多个单晶半导体层不熔化的温度下加热再结晶了的所述多个单晶半导体层。

2. 根据权利要求1所述的半导体衬底的制造方法,其中再结晶了的所述多个单晶半导体层的加热温度为所述支撑衬底的应变点以下。

3. 根据权利要求1所述的半导体衬底的制造方法,其中再结晶了的所述多个单晶半导体层的加热温度为500℃以上。

4. 根据权利要求1所述的半导体衬底的制造方法,其中所述支撑衬底的应变点为650℃以上700℃以下。

5. 根据权利要求1所述的半导体衬底的制造方法,其中所述支撑衬底是其应变点为650℃以上700℃以下的玻璃衬底。

6. 根据权利要求1所述的半导体衬底的制造方法,其中所述多个单晶半导体层的激光束照射时的熔化区域薄于所述多个单晶半导体层的厚度。

7. 根据权利要求1所述的半导体衬底的制造方法,其中所述多个单晶半导体层的激光束照射是在惰性气体气氛中进行的。

8. 根据权利要求7所述的半导体衬底的制造方法,其中所述惰性气体是氮气或稀有气体。

9. 根据权利要求7所述的半导体衬底的制造方法,其中所述惰性气体气氛中的氧浓度为30ppm以下。

10. 根据权利要求1所述的半导体衬底的制造方法,其中所述离子是从通过激发氢气产生的等离子体抽出的离子。

11. 根据权利要求1所述的半导体衬底的制造方法,其中所述缓冲层包括用来防止杂质侵入再结晶了的所述多个单晶半导体层的层。

12. 根据权利要求1所述的半导体衬底的制造方法,其中所述缓冲层包括氮化硅膜或氮氧化硅膜。

13. 根据权利要求1所述的半导体衬底的制造方法,其中所述缓冲层包括使所述单晶半导体衬底氧化而形成的氧化膜。

14. 根据权利要求1所述的半导体衬底的制造方法,其中所述缓冲层包括氧化硅膜或氧氮化硅膜,以及所述缓冲层与所述单晶半导体衬底接触地被形成。

15. 一种半导体衬底的制造方法,包括如下步骤:

用离子照射第一单晶半导体衬底,以在所述第一单晶半导体衬底中形成损伤区域;

用离子照射第二单晶半导体衬底,以在所述第二单晶半导体衬底中形成损伤区域;

用离子照射第三单晶半导体衬底,以在所述第三单晶半导体衬底中形成损伤区域;

隔着第一缓冲层对所述第一单晶半导体衬底配置支撑衬底,所述支撑衬底与所述第一缓冲层彼此接触,以将所述第一单晶半导体衬底固定于所述支撑衬底;

隔着第二缓冲层对所述第二单晶半导体衬底配置支撑衬底,所述支撑衬底与所述第二缓冲层彼此接触,以将所述第二单晶半导体衬底固定于所述支撑衬底;

在所述第一、第二单晶半导体衬底各自的损伤区域处从所述支撑衬底分离所述第一、第二单晶半导体衬底,以在所述支撑衬底上形成第一、第二单晶半导体层;

在将所述第一、第二单晶半导体衬底分离之后,隔着第三缓冲层对所述第三单晶半导体衬底配置支撑衬底,所述支撑衬底与所述第三缓冲层彼此接触,以将所述第三单晶半导体衬底固定于所述支撑衬底,其中所述第三单晶半导体衬底位于所述第一单晶半导体层和所述第二单晶半导体层之间;

在所述损伤区域处从所述支撑衬底分离所述第三单晶半导体衬底,以在所述支撑衬底上形成第三单晶半导体层;

用激光束照射所述第一、第二、第三单晶半导体层,以使所述第一、第二、第三单晶半导体层部分地熔化且再结晶化;以及

在400℃以上且再结晶了的单晶半导体层不熔化的温度下加热所述第一、第二、第三再结晶了的单晶半导体层。

16. 根据权利要求15所述的半导体衬底的制造方法,其中所述第一、第二、第三再结晶了的单晶半导体层的加热温度为所述支撑衬底的应变点以下。

17. 根据权利要求15所述的半导体衬底的制造方法,其中所述第一、第二、第三再结晶了的单晶半导体层的加热温度为500℃以上。

18. 根据权利要求15所述的半导体衬底的制造方法,其中所述支撑衬底的应变点为650℃以上700℃以下。

19. 根据权利要求15所述的半导体衬底的制造方法,其中所述支撑衬底是其应变点为650℃以上700℃以下的玻璃衬底。

20. 根据权利要求15所述的半导体衬底的制造方法,其中所述第一、第二、第三单晶半导体层的激光束照射时的熔化区域薄于所述第一、第二、第三单晶半导体层的厚度。

21. 根据权利要求15所述的半导体衬底的制造方法,其中所述第一、第二、第三单晶半导体层的激光束照射是在惰性气体气氛中进行的。

22. 根据权利要求21所述的半导体衬底的制造方法,其中所述惰性气体是氮气或稀有气体。

23. 根据权利要求21所述的半导体衬底的制造方法,其中所述惰性气体气氛中的氧浓度为30ppm以下。

24. 根据权利要求15所述的半导体衬底的制造方法,其中所述离子是从通过激发氢气产生的等离子体抽出的离子。

25. 根据权利要求15所述的半导体衬底的制造方法,其中所述第一、第二、第三缓冲层

包括用来防止杂质侵入所述第一、第二、第三再结晶了的单晶半导体层的阻挡层。

26. 根据权利要求 15 所述的半导体衬底的制造方法, 其中所述第一、第二、第三缓冲层包括氮化硅膜或氮氧化硅膜。

27. 根据权利要求 15 所述的半导体衬底的制造方法, 其中所述第一、第二、第三缓冲层包括使所述第一、第二、第三单晶半导体衬底氧化而形成的氧化膜。

28. 根据权利要求 15 所述的半导体衬底的制造方法, 其中所述第一、第二、第三缓冲层包括氧化硅膜或氧氮化硅膜, 以及所述第一、第二、第三缓冲层分别与所述第一、第二、第三单晶半导体衬底接触地被形成。

29. 一种半导体装置的制造方法, 包括如下步骤 :

用离子照射单晶半导体衬底, 以在所述单晶半导体衬底中形成损伤区域 ;

在所述单晶半导体衬底上形成缓冲层 ;

蚀刻所述缓冲层的一部分、所述损伤区域的一部分以及所述单晶半导体衬底的一部分, 以在所述单晶半导体衬底上形成槽 ;

隔着所述缓冲层对所述单晶半导体衬底配置支撑衬底, 所述支撑衬底与所述缓冲层彼此接触, 以将所述单晶半导体衬底固定于所述支撑衬底 ;

在所述损伤区域处从所述支撑衬底分离所述单晶半导体衬底, 以在所述支撑衬底上形成多个单晶半导体层 ;

用激光束照射所述多个单晶半导体层, 以使所述多个单晶半导体层的每一层部分地熔化且再结晶化 ;

在 400℃以上且再结晶了的所述多个单晶半导体层不熔化的温度下加热再结晶了的所述多个单晶半导体层 ; 以及

在再结晶了的所述多个单晶半导体层上形成栅极绝缘层。

30. 根据权利要求 29 所述的半导体装置的制造方法, 其中再结晶了的所述多个单晶半导体层的加热温度为所述支撑衬底的应变点以下。

31. 根据权利要求 29 所述的半导体装置的制造方法, 其中再结晶了的所述多个单晶半导体层的加热温度为 500℃以上。

32. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述支撑衬底的应变点为 650℃以上 700℃以下。

33. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述支撑衬底是其应变点为 650℃以上 700℃以下的玻璃衬底。

34. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述多个单晶半导体层的激光束照射时的熔化区域薄于所述多个单晶半导体层的厚度。

35. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述多个单晶半导体层的激光束照射是在惰性气体气氛中进行的。

36. 根据权利要求 35 所述的半导体装置的制造方法, 其中所述惰性气体是氮气或稀有气体。

37. 根据权利要求 35 所述的半导体装置的制造方法, 其中所述惰性气体气氛中的氧浓度为 30ppm 以下。

38. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述离子是从通过激发氢气

产生的等离子体抽出的离子。

39. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述缓冲层包括用来防止杂质侵入再结晶了的所述多个单晶半导体层的阻挡层。

40. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述缓冲层包括氮化硅膜或氮氧化硅膜。

41. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述缓冲层包括使所述单晶半导体衬底氧化而形成的氧化膜。

42. 根据权利要求 29 所述的半导体装置的制造方法, 其中所述缓冲层包括氧化硅膜或氧氮化硅膜, 以及所述缓冲层与所述单晶半导体衬底接触地被形成。

43. 一种半导体装置的制造方法, 包括如下步骤 :

用离子照射第一单晶半导体衬底, 以在所述第一单晶半导体衬底中形成损伤区域 ;

用离子照射第二单晶半导体衬底, 以在所述第二单晶半导体衬底中形成损伤区域 ;

用离子照射第三单晶半导体衬底, 以在所述第三单晶半导体衬底中形成损伤区域 ;

隔着第一缓冲层对所述第一单晶半导体衬底配置支撑衬底, 所述支撑衬底与所述第一缓冲层彼此接触, 以将所述第一单晶半导体衬底固定于所述支撑衬底 ;

隔着第二缓冲层对所述第二单晶半导体衬底配置支撑衬底, 所述支撑衬底与所述第二缓冲层彼此接触, 以将所述第二单晶半导体衬底固定于所述支撑衬底 ;

在所述第一、第二单晶半导体衬底各自的损伤区域处从所述支撑衬底分离所述第一、第二单晶半导体衬底, 以在所述支撑衬底上形成第一、第二单晶半导体层 ;

在将所述第一、第二单晶半导体衬底分离之后, 隔着第三缓冲层对所述第三单晶半导体衬底配置支撑衬底, 所述支撑衬底与所述第三缓冲层彼此接触, 以将所述第三单晶半导体衬底固定于所述支撑衬底, 其中所述第三单晶半导体衬底位于所述第一单晶半导体层和所述第二单晶半导体层之间 ;

在所述损伤区域处从所述支撑衬底分离所述第三单晶半导体衬底, 以在所述支撑衬底上形成第三单晶半导体层 ;

将激光束照射到所述第一、第二、第三单晶半导体层, 以使所述第一、第二、第三单晶半导体层部分地熔化且再结晶化 ; 以及

在 400℃以上且第一、第二、第三再结晶了的单晶半导体层不熔化的温度下加热所述第一、第二、第三再结晶了的单晶半导体层 ; 以及

在所述第一、第二、第三再结晶了的单晶半导体层之上形成栅极绝缘层。

44. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三再结晶了的单晶半导体层的加热温度为所述支撑衬底的应变点以下。

45. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三再结晶了的单晶半导体层的加热温度为 500℃以上。

46. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述支撑衬底的应变点为 650℃以上 700℃以下。

47. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述支撑衬底是其应变点为 650℃以上 700℃以下的玻璃衬底。

48. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三单晶半

导体层的激光束照射时的熔化区域薄于所述第一、第二、第三单晶半导体层的厚度。

49. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三单晶半导体层的激光束照射是在惰性气体气氛中进行的。

50. 根据权利要求 49 所述的半导体装置的制造方法, 其中所述惰性气体是氮气或稀有气体。

51. 根据权利要求 49 所述的半导体装置的制造方法, 其中所述惰性气体气氛中的氧浓度为 30ppm 以下。

52. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述离子是从通过激发氢气产生的等离子体抽出的离子。

53. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三缓冲层包括用来防止杂质侵入所述第一、第二、第三再结晶了的单晶半导体层的阻挡层。

54. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三缓冲层包括氮化硅膜或氮氧化硅膜。

55. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三缓冲层包括使所述第一、第二、第三单晶半导体衬底氧化而形成的氧化膜。

56. 根据权利要求 43 所述的半导体装置的制造方法, 其中所述第一、第二、第三缓冲层包括氧化硅膜或氧氮化硅膜, 以及所述第一、第二、第三缓冲层分别与所述第一、第二、第三单晶半导体衬底接触地被形成。

半导体衬底的制造方法、以及半导体装置的制造方法

[0001] 本申请是申请号为 200810173930.1、申请日为 2008 年 10 月 31 日、发明名称为“半导体衬底及其制造方法、以及半导体装置的制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及隔着缓冲层固定有单晶半导体层的半导体衬底的制造方法、以及半导体装置的制造方法。

背景技术

[0003] 使用在绝缘表面上设置有薄单晶半导体层的被称为绝缘体上硅（以下也称为 SOI）的半导体衬底而代替将单晶半导体的锭切成薄片来制造的硅片的集成电路被研究开发。因为能够减少晶体管的漏极和衬底之间的寄生电容以提高半导体集成电路的性能，所以使用 SOI 衬底的集成电路引人注目。

[0004] 作为 SOI 衬底，已知 SIMOX 衬底和贴合衬底。例如，关于 SIMOX 衬底，将氧离子注入到单晶硅衬底中，并在 1300 °C 以上的温度下进行热处理来形成埋氧（BOX，即 Buried Oxide）层，以在表面上形成单晶硅薄膜而得到 SOI 结构。

[0005] 作为制造 SOI 衬底的另一方法，已知氢离子注入剥离法（例如参照专利文件 1）。在氢离子注入剥离法中，通过将氢离子注入到硅片，在离其表面有预定深度的区域中形成微小气泡层，并将该微小气泡层用作劈开面，以将薄硅层接合在另一硅片上。再者，除了进行剥离硅层的热处理以外，还必须通过在氧化性气氛中进行热处理来在硅层上形成氧化膜，然后去除该氧化膜，接着以 1000 °C 至 1300 °C 进行热处理而提高接合强度。

[0006] 另外，已知在玻璃衬底上贴合有单晶硅层的 SOI 衬底的制造方法（例如专利文件 2）。在专利文件 2 中，作为不需要超过 800 °C 的高温热处理的 SOI 衬底的制造方法，将激光照射到绝缘衬底，以提高接合强度。再者，在专利文件 2 中，作为理想的实施方式，公开了在照射激光之后对单晶硅层进行镜面抛光的方法。

[0007] 另外，本申请人在专利文件 3 及 4 中公开了采用智能切割（SmartCut）（注册商标）并使用高耐热性衬底作为支撑衬底制造半导体装置的方法。再者，在专利文件 5 中公开了采用智能切割（注册商标）并使用透光衬底作为支撑衬底制造半导体装置的方法。

[0008] [专利文件 1] 日本专利申请公开 2000-124092 号公报

[0009] [专利文件 2] 日本专利申请公开 2005-252244 号公报

[0010] [专利文件 3] 日本专利申请公开 H11-163363 号公报

[0011] [专利文件 4] 日本专利申请公开 2000-012864 号公报

[0012] [专利文件 5] 日本专利申请公开 2000-150905 号公报

[0013] 关于玻璃衬底，其面积比硅片大，而且其价格低廉，因此通过使用玻璃衬底作为支撑衬底，可以制造面积大且价格低廉的 SOI 衬底。但是，玻璃衬底的应变点为 700 °C 以下，其耐热性低。因此，不能在超过玻璃衬底的耐热温度的温度下进行加热处理，从而其工艺温度局限于 700 °C 以下。就是说，对剥离面上的结晶缺陷的去除、表面的平坦化处理具有工艺温

度的限制。

[0014] 通常,在 1000℃以上的温度下进行加热处理,以去除被贴合在硅片上的半导体层的结晶缺陷,但是为了去除被贴合在应变点为 700℃以下的玻璃衬底上的半导体层的结晶缺陷,不能进行上述高温处理。就是说,在以往的方法中,不能使被贴合在应变点为 700℃以下的玻璃衬底上的单晶半导体层再结晶而使它恢复到其结晶性与加工之前的单晶半导体衬底为相同程度的单晶半导体层。

[0015] 另外,与硅片相比,玻璃衬底容易弯曲,而且在其表面上存在着起伏。尤其是,难以对一边长超过 30cm 的大面积玻璃衬底进行机械 抛光处理。因此,从加工精度和成品率等的观点来看,将对剥离面的机械抛光处理用作对被贴合在支撑衬底上的半导体层的平坦化处理是不理想的。另一方面,为了制造高性能半导体元件,需要抑制剥离面上的表面凹凸。这是因为如下缘故:在使用 SOI 衬底制造晶体管的情况下,栅电极隔着栅极绝缘层形成在半导体层上。因此,若半导体层的凹凸大,则难以制造其绝缘耐压性高的栅极绝缘层。因而,需要较厚的栅极绝缘层,以提高绝缘耐压性。从而,若半导体层的表面凹凸大,则场效应迁移率下降,而且阈值电压值上升,等等,它们成为降低半导体元件的性能的原因。

[0016] 如上所述,明显存在着如下问题:若使用低耐热性且容易弯曲的玻璃衬底等衬底作为支撑衬底,则难以改善从硅片剥离而固定于支撑衬底上的半导体层的表面凹凸。

发明内容

[0017] 鉴于上述问题,本发明的目的在于提供一种即使使用低耐热性衬底作为支撑衬底也能够形成高性能半导体元件的半导体衬底及半导体装置的制造方法。本发明的目的还在于提供一种能够形成高性能半导体元件的半导体衬底。

[0018] 本发明的半导体衬底的制造方法之一包括如下步骤:准备单晶半导体衬底及支撑衬底;通过使用离子掺杂装置将加速了的离子照射到单晶半导体衬底,在离单晶半导体衬底的表面有预定深度的区域中形成损伤区域;在支撑衬底及单晶半导体衬底中的至少一个上形成缓冲层;隔着缓冲层密接支撑衬底和单晶半导体衬底,而接合缓冲层的表面和与缓冲层表面密接的表面,以在支撑衬底上固定单晶半导体衬底;通过加热单晶半导体衬底在损伤区域中产生裂缝,而且从支撑衬底分离单晶半导体衬底,以形成固定有从单晶半导体衬底分离了的单晶半导体层的支撑衬底;通过将激光束照射到单晶半导体层,使单晶半导体层熔化,而使单晶半导体层再结晶;以及在 400℃以上且不使其熔化的温度下加热再结晶了的单晶半导体层。

[0019] 本发明的半导体装置的制造方法之一包括如下步骤:准备单晶半导体衬底及应变点为 700℃以下的支撑衬底;通过使用离子掺杂装置将加速了的离子照射到单晶半导体衬底,在离单晶半导体衬底的表面有预定深度的区域中形成损伤区域;在支撑衬底及单晶半导体衬底中的至少一个上形成缓冲层;隔着缓冲层密接支撑衬底和单晶半导体衬底,而接合缓冲层的表面和与缓冲层表面密接的表面,以在支撑衬底上固定单晶半导体衬底;通过加热单晶半导体衬底在损伤区域中产生裂缝,而且从支撑衬底分离单晶半导体衬底,以形成固定有从单晶半导体衬底分离了的单晶半导体层的支撑衬底;通过将激光束照射到单晶半导体层,使单晶半导体层熔化,而使单晶半导体层再结晶;在 400℃以上且应变点以下的温度下,以不使单晶半导体层熔化的方式加热再结晶了的单晶半导体层;通过对加热了的

单晶半导体层进行蚀刻,将单晶半导体层分割成多个第二单晶半导体层;在多个第二单晶半导体层上形成栅极绝缘层;隔着栅极绝缘层在多个第二单晶半导体层上形成栅电极;以及对多个第二单晶半导体层添加成为施主或受主的杂质。

[0020] 本发明的半导体衬底之一包括:应变点为700℃以下的支撑衬底;缓冲层;以及隔着缓冲层固定于支撑衬底上的单晶半导体层,其中单晶半导体层的氢浓度为 5×10^{18} 原子/ cm^3 以上 5×10^{20} 原子/ cm^3 以下。

[0021] 注意,单晶指的是在注目于某个结晶轴时该结晶轴的方向在样品的那个部分中都一致的晶体,而且它是晶体和晶体之间不存在着晶界的晶体。在本说明书中,将虽然包含结晶缺陷及悬空键但具有如上所述那样结晶轴的方向一致且不存在着晶界的晶体看作单晶。

[0022] 另外,具有晶体结构的层的再结晶指的是经历与其晶体结构不同的状态(例如液相状态)而再次成为具有晶体结构的层。另外,在本说明书中,将通过使单晶半导体再结晶而形成单晶半导体称为再单晶化。

[0023] 在本发明的半导体衬底及半导体装置的制造方法中,通过照射激光束,使照射了激光束的区域中的单晶半导体层表面在深度方向上部分地熔化。例如,使表面及其表面附近熔化。或者,使照射了激光束的区域中的单晶半导体层在深度方向上全部地熔化。

[0024] 在本发明的半导体衬底及半导体装置的制造方法中,优选在惰性气体气氛下将激光束照射到半导体层。或者,优选地是,边照射激光束,边对单晶半导体层的上表面中的激光束照射区域喷射惰性气体。作为惰性气体,可以使用氮气或稀有气体。惰性气体指的是在激光束照射步骤中不与单晶半导体层的表面起反应而形成氧化膜的分子或原子的气体。例如,惰性气体有氮气(N_2 气体)、氩、氙等稀有气体等。

[0025] 在本发明中,优选使用应变点为650℃以上700℃以下的衬底作为支撑衬底。作为支撑衬底,可以使用玻璃衬底。例如,可以使用无碱玻璃衬底。

[0026] 在本发明中,缓冲层可以由一层或两层以上的膜构成。缓冲层优选包含能够防止钠从支撑衬底一侧扩散的阻挡层。另外,缓冲层优选具有与单晶半导体层密接且包含氯或氟等卤素的绝缘膜。

[0027] 在本发明的半导体装置的制造方法中,通过在工艺温度为700℃以下的状态下使从单晶半导体衬底分离了的单晶半导体层熔化,可以使它再结晶,而使其结晶性得到恢复。另外,可以在工艺温度为700℃以下的状态下使从单晶半导体衬底分离了的单晶半导体层平坦化。

[0028] 另外,在照射激光束而使单晶半导体层熔化且再单晶化之后,通过进行不使它熔化的加热处理,可以使再单晶化了的单晶半导体层的寿命变长。

[0029] 因此,即使使用低耐热性衬底作为支撑衬底,也可以使用根据本发明的半导体衬底形成高性能半导体元件。例如,可以使用大面积的透光性玻璃衬底制造高性能显示装置。

附图说明

[0030] 图1是示出半导体衬底的结构的一个例子的外观图;

[0031] 图2是示出单晶半导体衬底的结构的一个例子的外观图;

[0032] 图3是示出半导体衬底的制造方法的外观图;

[0033] 图4A至4E是示出半导体衬底的制造方法的截面图;

- [0034] 图 5A 至 5C 是示出半导体衬底的制造方法的截面图；
- [0035] 图 6 是示出半导体衬底的结构的一个例子的外观图；
- [0036] 图 7 是示出单晶半导体衬底的结构的一个例子的外观图；
- [0037] 图 8 是示出半导体衬底的制造方法的截面图；
- [0038] 图 9A 至 9E 是示出半导体衬底的制造方法的截面图；
- [0039] 图 10A 至 10C 是示出半导体衬底的制造方法的截面图；
- [0040] 图 11A 至 11E 是示出半导体衬底的制造方法的截面图及平面图；
- [0041] 图 12A 至 12D 是示出半导体衬底的制造方法的截面图及平面图；
- [0042] 图 13A 和 13B 是示出半导体衬底的结构的一个例子的截面图及平面图；
- [0043] 图 14A 至 14C 是示出半导体衬底的制造方法的截面图及平面图；
- [0044] 图 15A 至 15D 是示出半导体衬底的制造方法的截面图；
- [0045] 图 16A 和 16B 是示出半导体衬底的制造方法的截面图；
- [0046] 图 17A 至 17D 是说明半导体装置的制造方法的截面图；
- [0047] 图 18A 至 18C 是说明半导体装置的制造方法的截面图；
- [0048] 图 19 是说明半导体装置的制造方法的截面图；
- [0049] 图 20A 至 20E 是说明半导体装置的制造方法的截面图；
- [0050] 图 21A 至 21C 是说明半导体装置的制造方法的截面图；
- [0051] 图 22A 和 22B 是说明半导体装置的制造方法的截面图；
- [0052] 图 23A 至 23E 是说明半导体装置的制造方法的截面图；
- [0053] 图 24 是示出微处理器的结构的一个例子的框图；
- [0054] 图 25 是示出 RFCPU 的结构的一个例子的框图；
- [0055] 图 26 是示出有源矩阵显示装置的结构例子的框图；
- [0056] 图 27 是示出液晶显示装置的像素的结构例子的电路图；
- [0057] 图 28 是示出电致发光装置的像素的结构例子的电路图；
- [0058] 图 29 是示出半导体衬底上的电路的布置例子的立体图；
- [0059] 图 30A 和 30B 分别是液晶显示装置的像素的平面图和沿图 30A 的 J-K 线的截面图；
- [0060] 图 31A 和 31B 分别是电致发光显示装置的像素的平面图和沿图 31A 的 J-K 线的截面图；
- [0061] 图 32A 至 32C 分别是手机的外观图、数字播放器的外观图、以及电子书的外观图；
- [0062] 图 33A 至 33C 是手机的外观图；
- [0063] 图 34 是用于测量的半导体衬底的截面图；
- [0064] 图 35 是示出单晶硅层的拉曼位移的峰波数的图；
- [0065] 图 36 是示出单晶硅层的拉曼光谱的半峰全宽的图；
- [0066] 图 37 是示出单晶硅层的寿命评价测量结果的图；
- [0067] 图 38 是示波器的信号波形的图像；
- [0068] 图 39A 至 39C 是通过 EBSP 而得到的单晶硅层的 IPF 图；
- [0069] 图 40A 至 40D 是利用 AFM 观察单晶硅层而得到的 AFM 图像；
- [0070] 图 41A 至 41C 是根据 AFM 图像而计算出的单晶硅层的表面粗糙度的图；

- [0071] 图 42 是根据 SIMS 而得到的单晶硅层的氢浓度的深度方向的分布图；
- [0072] 图 43 是根据 SIMS 而得到的单晶硅层的氢浓度的深度方向的分布图；
- [0073] 图 44 是示出在离子掺杂装置中从 H₂ 气体中产生的离子种的质量分析结果的图；
- [0074] 图 45 是示出在离子注入装置中从 PH₃ 气体中产生的离子种的质量分析结果的图；
- [0075] 图 46 是氢分子、氢离子 (H⁺、H₂⁺、H₃⁺) 的能量图解；
- [0076] 图 47 是示出加速电压为 80kV 时的氢元素的深度方向的分布图（计算值以及实测值）的曲线图；
- [0077] 图 48 是示出加速电压为 80kV 时的氢元素的深度方向的分布图（计算值、实测值以及拟合函数）的曲线图；
- [0078] 图 49 是示出加速电压为 60kV 时的氢元素的深度方向的分布图（计算值、实测值以及拟合函数）的曲线图；
- [0079] 图 50 是示出加速电压为 40kV 时的氢元素的深度方向的分布图（计算值、实测值以及拟合函数）的曲线图；
- [0080] 图 51 是图 48 至图 50 所示的拟合函数的拟合参数（氢元素比以及氢离子种比）的表；
- [0081] 图 52A 至 52H 是示出实施例 6 的半导体衬底的制造方法的截面图；
- [0082] 图 53 是示出单晶硅层的寿命评价测量结果的图。

具体实施方式

[0083] 下面，说明本发明。本发明可以以多种不同的方式实施，所属技术领域的技术人员可以很容易地理解一个事实就是其方式和详细内容可以不脱离本发明的宗旨及其范围地变换为各种各样的形式。因此，本发明不应该被解释为仅限定在实施方式及实施例所记载的内容中。另外，在不同附图之间共同使用同一附图标记表示同一部分，而省略材料、形状、制造方法等的反复说明。

[0084] 实施方式 1

[0085] 在本实施方式中，说明单晶半导体层隔着缓冲层固定于支撑衬底上的半导体衬底及其制造方法。

[0086] 图 1 是示出半导体衬底的结构例子的立体图。半导体衬底 10 是单晶半导体层 112 隔着缓冲层 111 固定于支撑衬底 100 上的衬底。单晶半导体层 112 是将单晶半导体衬底的厚度减薄而形成的层。缓冲层 111 的表面和支撑衬底 100 的表面接合，使得单晶半导体层 112 固定于支撑衬底 100 上。半导体衬底 10 是所谓的 SOI 结构的衬底，它是在绝缘层上形成有单晶半导体层的衬底。

[0087] 缓冲层 111 可以具有单层结构或层叠了两层以上的膜的多层结构。构成缓冲层 111 的膜由对单晶半导体衬底的表面进行成膜处理而形成的膜构成。在本实施方式中，缓冲层 111 具有三层结构，即从支撑衬底 100 一侧层叠了第二绝缘层 114、第一绝缘层 113b、以及第一绝缘层 113a。

[0088] 在图 1 的半导体衬底 10 中，第二绝缘层 114 是用作接合层的膜。就是说，通过接合第二绝缘层 114 的表面和支撑衬底 100 的表面，将单晶半导体层 112 固定于支撑衬底 100 上。

[0089] 另外,第一绝缘层 113a 是用作阻挡层的绝缘膜。阻挡层是在制造半导体衬底时及在使用该半导体衬底制造半导体装置时防止碱金属或碱土金属等降低半导体装置的可靠性的杂质(典型为钠)从支撑衬底 100 一侧侵入单晶半导体层 112 的膜。通过形成阻挡层,可以防止半导体衬底及半导体装置被杂质污染,因此可以提高可靠性。

[0090] 单晶半导体层 112 是将单晶半导体衬底的厚度减薄而形成的层。作为单晶半导体衬底,可以使用在市场上销售的半导体衬底。例如,可以使用单晶硅衬底、单晶锗衬底、单晶硅锗衬底等由第 14 族元素构成的单晶半导体衬底。还可以使用砷化镓、磷化铟等的化合物半导体衬底。

[0091] 作为支撑衬底 100,使用具有绝缘表面的衬底。具体地说,可以举出铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃之类的用于电子工业的各种玻璃衬底、石英衬底、陶瓷衬底、蓝宝石衬底。优选使用玻璃衬底作为支撑衬底 100。作为玻璃衬底,优选使用热膨胀系数为 $25 \times 10^{-7}/^{\circ}\text{C}$ 以上且 $50 \times 10^{-7}/^{\circ}\text{C}$ 以下(优选的是, $30 \times 10^{-7}/^{\circ}\text{C}$ 以上且 $40 \times 10^{-7}/^{\circ}\text{C}$ 以下),并且应变点为 580°C 以上 700°C 以下,优选的是,650°C 以上 690°C 以下的衬底。另外,优选使用无碱玻璃衬底作为玻璃衬底,以抑制半导体装置的污染。作为无碱玻璃衬底的材料,例如,可以举出铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等的玻璃材料等。例如,作为支撑衬底 100,优选使用无碱玻璃衬底(商品名为 AN100)、无碱玻璃衬底(商品名为 EAGLE2000(注册商标))、或无碱玻璃衬底(商品名为 EAGLEXG2000(注册商标))。

[0092] 无碱玻璃衬底(商品名为 AN100)具有如下物理参数:比重为 2.51g/cm^3 ,泊松比为 0.22,杨氏模量为 77GPa,双轴弹性系数为 98.7GPa,并且热膨胀率为 $38 \times 10^{-7}/^{\circ}\text{C}$ 。

[0093] 无碱玻璃衬底(商品名为 EAGLE2000(注册商标))具有如下物理参数:比重为 2.37g/cm^3 ,泊松比为 0.23,杨氏模量为 70.9GPa,双轴弹性系数为 92.07GPa,并且热膨胀率为 $31.8 \times 10^{-7}/^{\circ}\text{C}$ 。

[0094] 另外,作为支撑衬底 100,除了玻璃衬底以外,还可以使用陶瓷衬底、石英衬底或蓝宝石衬底等由绝缘体构成的绝缘衬底、由导电体如金属或不锈钢等构成的导电衬底、由半导体如硅或砷化镓等构成的半导体衬底等。另外,作为支撑衬底,优选使用玻璃衬底、石英衬底等的透光衬底。通过使用透光衬底,可以制造适合制造显示装置的半导体衬底 10。

[0095] 下面,参照图 3 至图 5C 说明图 1 所示的半导体衬底 10 的制造方法。

[0096] 首先,准备单晶半导体衬底 110。单晶半导体衬底 110 被加工为所希望的大小和形状。图 3 是示出单晶半导体衬底 110 的结构的一个例子的外观图。考虑到被贴合在矩形支撑衬底 100 上,并且曝光装置如缩小投影型曝光装置等的曝光区域为矩形等,则如图 3 所示那样单晶半导体衬底 110 的形状优选为矩形。注意,在本说明书中,若没有特别的说明,则矩形包括正方形及长方形。

[0097] 当然,单晶半导体衬底 110 不局限于图 3 所示的形状,而可以使用各种形状的单晶半导体衬底。例如,可以使用圆形、五边形、六边形等的多边形衬底。当然,可以使用在市场上销售的圆形单晶半导体片作为单晶半导体衬底 110。

[0098] 圆形单晶半导体片有硅或锗等的半导体片、砷化镓或磷化铟等的化合物半导体片等。单晶半导体片的典型例子为单晶硅片,直径 5 英寸(125mm)、直径 6 英寸(150mm)、直径 8 英寸(200mm)、直径 12 英寸(300mm)、直径 400mm、直径 450mm 的圆形硅片是公知的。

[0099] 矩形单晶半导体衬底 110 可以通过切割圆形单晶半导体片而形成。为了切割衬

底,可以利用切割器或线锯等切割装置、激光切割、等离子体切割、电子束切割、以及其他任意的切割方法。还可以使用如下方法制造矩形单晶半导体衬底 110 :将作为衬底被薄片化之前的半导体衬底制造用锭加工成长方体,以使其截面为矩形,然后将该长方体锭薄片化。

[0100] 另外,对单晶半导体衬底 110 的厚度没有特别的限制,但是考虑到再利用单晶半导体衬底 110,则单晶半导体衬底 110 越厚,能够从一个原料片中得到的单晶半导体层 112 越多,因此单晶半导体衬底 110 厚度优选厚。在市场上流通的单晶硅片的厚度及其尺寸按照 SEMI 规格设定,例如直径 6 英寸的硅片的厚度为 $625 \mu\text{m}$,直径 8 英寸的硅片的厚度为 $725 \mu\text{m}$,直径 12 英寸的硅片的厚度为 $775 \mu\text{m}$ 。注意,SEMI 规格的硅片的厚度包括公差 $\pm 25 \mu\text{m}$ 。当然,作为原料的单晶半导体衬底 110 的厚度不局限于 SEMI 规格,而可以在将锭切成薄片时适当地调节其厚度。当然,在使用再利用的单晶半导体衬底 110 时,其厚度比 SEMI 规格薄。

[0101] 另外,在使用其晶体结构为金刚石结构且由第 14 族元素构成的衬底如单晶硅衬底作为单晶半导体衬底 110 的情况下,其主表面的晶面取向可以为 (100)、(110) 面、或 (111)。通过使用 (100) 的单晶半导体衬底 110,可以降低单晶半导体层 112 和在其表面上形成的绝缘层之间的界面态密度,而适合制造场效应型晶体管。

[0102] 通过使用主表面为 (110) 的单晶半导体衬底 110,在第二绝缘层 114 和单晶半导体层 112 的接合面上紧密地形成构成第二绝缘层 114 的元素和构成单晶半导体层 112 的第 4 族元素(例如硅元素)的键,而可以提高第二绝缘层 114 和单晶半导体层 112 的结合力。

[0103] 通过使用主表面为 (110) 面的单晶半导体衬底 110,其主表面上的原子排列比其他晶面取向更紧密,而可以提高单晶半导体层 112 的平坦性。因此,使用主表面为 (110) 面的单晶半导体层 112 而形成的晶体管具有小 S 值、高场效应迁移率等优良的电特性。另外,其主表面为 (110) 面的单晶半导体衬底具有如下优点,即其杨氏模量比 (100) 面的单晶半导体衬底大,并容易劈开。

[0104] 首先,清洗单晶半导体衬底 110 来使它干净。然后,如图 4A 所示,在单晶半导体衬底 110 上形成第一绝缘层 113。第一绝缘层 113 可以具有单层结构或两层以上的多层结构。第一绝缘层 113 的厚度可以为 5nm 以上 400nm 以下。作为构成第一绝缘层 113 的膜,可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化锗膜、氮化锗膜、氧氮化锗膜、氮氧化锗膜等包含硅或锗作为其组成的绝缘膜。此外,还可以使用:由氧化铝、氧化钽、氧化铪等金属的氧化物构成的绝缘膜;由氮化铝等金属的氮化物构成的绝缘膜;由氧氮化铝膜等金属的氧氮化物构成的绝缘膜;由氮氧化铝膜等金属的氮氧化物构成的绝缘膜。

[0105] 构成第一绝缘层 113 的绝缘膜通过使用化学气相沉积法(CVD 法)、溅镀法、原子层外延法(ALE 法)、使单晶半导体衬底 110 氧化或氮化等的方法而形成。CVD 法有减压 CVD 法、热 CVD 法、等离子体激发 CVD 法(以下称为 PECVD 法)等。PECVD 法是 350°C 以下的低温处理,其成膜速度比其他 CVD 法高,因此优选采用 PECVD 法。

[0106] 注意,在本说明书中,氧氮化物是在组成方面氧原子个数比氮原子多的物质,而氮氧化物是在组成方面氮原子个数比氧原子多的物质。例如,氧氮化硅指的是如下物质:在组成方面氧的含量比氮的含量多且当使用卢瑟福背散射光谱学法(RBS: Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS: Hydrogen Forward

Scattering) 测量时,作为组成范围,其包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的 Si、0.1 原子%至 10 原子%的氢。另外,氮氧化硅指的是如下物质:在组成方面氮的含量比氧的含量多且当使用 RBS 及 HFS 测量时,作为组成范围,其包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的 Si、10 原子%至 30 原子%的氢。注意,当将构成氧氮化硅或氮氧化硅的原子的总和设为 100 原子%时,氮、氧、Si 及氢的含有比例在上述范围内。

[0107] 第一绝缘层 113 优选包含至少一层用作防止钠侵入单晶半导体层 112 的阻挡层的绝缘膜。阻挡层可以由一层或两层以上构成。例如,在使用包含碱金属或碱土金属等降低半导体装置的可靠性的杂质的衬底(典型为玻璃衬底)作为支撑衬底 100 的情况下,当加热支撑衬底 100 时,有时会导致上述杂质从支撑衬底 100 扩散到单晶半导体层 112。因此,通过形成阻挡层,可以防止上述碱金属或碱土金属等降低半导体装置的可靠性的杂质移动到单晶半导体层 112。作为用作阻挡层的膜,有氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜等。通过包含这种膜,可以将第一绝缘层 113 用作阻挡层。

[0108] 例如,在第一绝缘层 113 具有单层结构的情况下,第一绝缘层 113 优选由用作阻挡层的膜构成。在此情况下,可以使用厚度为 5nm 以上 200nm 以下的氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜,来形成具有单层结构的第一绝缘层 113。

[0109] 在第一绝缘层 113 具有包含一个阻挡层的两层结构的情况下,上层由用来阻挡钠等杂质的阻挡层构成。上层可以由 5nm 至 200nm 厚的氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜构成。这些用作阻挡层的膜虽然具有防止杂质扩散的高阻挡效果但是具有高内部应力。因此,作为与单晶半导体衬底 110 接触的下层绝缘膜,优选选择具有缓和上层绝缘膜的应力的效果的膜。作为这种绝缘膜,可以举出氧化硅膜、氧氮化硅膜、以及使单晶半导体衬底 110 热氧化而形成的热氧化膜等。下层绝缘膜的厚度可以为 5nm 以上 300nm 以下。

[0110] 在本实施方式中,第一绝缘层 113 具有由第一绝缘层 113a 和第一绝缘层 113b 构成的两层结构。作为用来将第一绝缘层 113 用作阻挡膜的第一绝缘层 113a 和第一绝缘层 113b 的组合,例如可以举出氧化硅膜和氮化硅膜、氧氮化硅膜和氮化硅膜、氧化硅膜和氮氧化硅膜、氧氮化硅膜和氮氧化硅膜等。

[0111] 例如,作为下层的第一绝缘层 113a,可以使用 SiH_4 及 N_2O 作为工艺气体通过 PECVD 法形成氧氮化硅膜。另外,作为第一绝缘层 113a,可以使用有机硅烷气体及氧作为工艺气体通过 PECVD 法形成 氧化硅膜。

[0112] 第一绝缘层 113a 还可以由使单晶半导体衬底 110 氧化而形成的氧化膜构成。

[0113] 有机硅烷指的是硅酸乙酯(四乙氧基硅烷,即 TEOS,化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(TMS,化学式为 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三二甲氨基硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等的化合物。

[0114] 上层的第一绝缘层 113b 可以由使用 SiH_4 、 N_2O 、 NH_3 及 H_2 作为工艺气体通过 PECVD 法而形成的氮氧化硅膜、或使用 SiH_4 、 N_2 、 NH_3 及 H_2 作为工艺气体通过 PECVD 法而形成的氮化硅膜构成。

[0115] 例如,在使用 PECVD 法形成由氧氮化硅构成的第一绝缘层 113a 和由氮氧化硅构成的第一绝缘层 113b 的情况下,将单晶半导体衬底 110 传送到 PECVD 装置的处理室中。然

后,将 SiH₄ 及 N₂O 作为用来形成第一绝缘层 113a 的工艺气体引入到处理室中,来产生该工艺气体的等离子体,以在单晶半导体衬底 110 上形成氧氮化硅膜。接着,将引入到处理室内的气体换成用来形成第一绝缘层 113b 的工艺气体。这里,使用 SiH₄、N₂O、NH₃ 及 H₂。通过产生这些混合气体的等离子体,连续地在氧氮化硅膜上形成氮氧化硅膜。另外,在使用具有多个处理室的 PECVD 装置的情况下,可以在不相同的处理室中分别形成氧氮化硅膜和氮氧化硅膜。当然,通过改变引入到处理室内的气体,可以形成氧化硅膜作为下层,并形成氮化硅膜作为上层。

[0116] 通过如上所述那样形成第一绝缘层 113a 及 113b,可以在多个单晶半导体衬底 110 上高产率地形成第一绝缘层 113。另外,因为能够不接触大气地形成第一绝缘层 113a 及 113b,所以可以防止第一绝缘层 113a 与 113b 的界面被大气污染。

[0117] 作为第一绝缘层 113a,可以对单晶半导体衬底 110 进行热氧化处理而形成氧化膜。作为用来形成该氧化膜的热氧化处理,可以采用干氧化,优选在氧化气氛中添加包含卤素的气体。通过在包含卤素的 气氛中使单晶半导体衬底 110 氧化,可以形成包含卤素的氧化膜作为第一绝缘层 113a。作为包含卤素的气体,可以使用选自 HCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 等中的一种或多种气体。

[0118] 例如,在相对于氧包含 0.5 至 10 体积% (优选为 3 体积%) HCl 的气氛下以 700℃以上的温度进行热处理。优选以 950℃以上 1100℃以下的加热温度进行热氧化。处理时间为 0.1 至 6 小时,优选为 0.5 至 1 小时即可。所形成的氧化膜的厚度可以为 10nm 至 1000nm(优选为 50nm 至 200nm),例如 100nm 厚。

[0119] 通过在上述温度范围内进行氧化处理,可以得到由卤素产生的吸杂效果。作为吸杂,尤其具有去除金属杂质的效果。就是说,因为氯的作用,金属等杂质成为挥发性氯化物而脱离到气相中,从而可以从单晶半导体衬底中去除该杂质。另外,由包含在氧化膜中的卤素元素终止单晶半导体衬底 110 表面的悬空键,因此可以降低氧化膜和单晶半导体衬底 110 的界面的局域态密度。

[0120] 通过进行上述包含卤素的气氛下的热氧化处理,可以使氧化膜包含卤素。通过使氧化膜以 1×10^{17} atoms/cm³ 至 5×10^{20} atoms/cm³ 的浓度包含卤素元素,可以在半导体衬底 10 中用作俘获金属等杂质以避免单晶半导体层 112 的污染的保护膜。

[0121] 另外,作为形成单晶半导体衬底 110 的氧化膜的方法,可以使用在 700℃以上的温度下加热的热氧化处理的其他方法。例如,通过利用包含氧自由基 (O 自由基) 或羟基自由基 (OH 自由基) 的等离子体的等离子体处理、或高密度等离子体处理、利用含臭氧水 (O₃ 水) 的氧化处理等,可以形成单晶半导体衬底 110 的氧化膜。

[0122] 另外,热氧化处理是高温处理,因此容易发生热应力,而在单晶半导体衬底 110 中容易产生结晶缺陷如滑移位错等。因而,在对单晶半导体衬底 110 进行氧化处理以形成第一绝缘层 113 的情况下,优选进行 700℃以下的低温处理如 CVD 法、溅镀法、或利用含臭氧水的氧化处理等,而不进行热氧化处理。

[0123] 接着,通过将具有动能的离子照射到单晶半导体衬底 110,在单晶半导体衬底 110 的预定深度的区域中形成损伤了其晶体结构的损伤区域 115。图 4B 是说明形成损伤区域 115 的步骤的截面图。如图 4B 所示,通过将加速了的离子 121 隔着第一绝缘层 113 照射到单晶半导体衬底 110,在离单晶半导体衬底 110 的表面有预定深度的区域中添加离子,而

可以形成损伤区域 115。离子 121 是如下离子，即通过激发源气体，产生源气体的等离子体，然后利用电场的作用从等离子体中抽出该等离子体所包含的离子来进行加速了的离子。

[0124] 形成损伤区域 115 的区域的深度可以根据离子 121 的加速能量和离子 121 的入射角调节。加速能量可以根据加速电压和剂量等调节。在与离子 121 的平均侵入深度大致相同的深度区域中形成损伤区域 115。因此，从单晶半导体衬底 110 分离的单晶半导体层 117 的厚度取决于添加离子 121 的深度。调节形成损伤区域 115 的深度，使得上述单晶半导体层的厚度为 20nm 以上 200nm 以下，优选为 50nm 以上 200nm 以下。

[0125] 为了形成损伤区域 115，可以进行离子掺杂处理。可以使用离子掺杂装置进行离子掺杂处理。离子掺杂装置的典型为非质量分离型装置，该装置将对工艺气体进行等离子体激发而产生的所有离子种照射到被配置在处理室内的被处理体。因为不对等离子体中的离子种进行质量分离地将所有离子种照射到被处理体，所以使用非质量分离型装置。与此相反，离子注入装置是质量分离型装置。离子注入装置是对等离子体中的离子种进行质量分离来将某一特定质量的离子种照射到被处理体的装置。

[0126] 离子掺杂装置的主要结构如下：配置被处理物的处理室、产生所希望的离子的离子源、以及用来将离子加速并照射的加速机构。离子源由提供用来产生所希望的离子种的源气体的气体供给装置、激发源气体而产生等离子体的电极等构成。作为用来形成等离子体的电极，使用丝型电极、电容耦合高频放电用电极等。加速机构由电极如引出电极、加速电极、减速电极或接地电极等、以及给这些电极提供电力的电源等构成。构成加速机构的电极具备多个开口和槽缝，由离子源产生的离子经过被设置在电极中的开口和槽缝而加速。注意，离子掺杂装置的结构不局限于上述结构，而可以设置所需的结构。

[0127] 在本实施方式中，使用离子掺杂装置对半导体片添加氢。作为等离子体源气体，提供包含氢的气体。例如，提供 H₂。激发氢气体来产生等离子体，然后不进行质量分离地将等离子体所包含的离子加速而将加速了的离子照射到单晶半导体衬底 110。

[0128] 在离子掺杂装置中，相对于从氢气体中产生的离子种 (H⁺、H₂⁺、H₃⁺) 的总量，将 H₃⁺ 的比例设定为 50% 以上。更优选地是，将该 H₃⁺ 的比例设定为 80% 以上。由于离子掺杂装置不进行质量分离，所以优选将在等离子体中产生的多个离子种之一设定为 50% 以上，优选为 80% 以上。通过照射相同质量的离子，可以将离子集中地添加到单晶半导体衬底 110 的相同深度的区域中。

[0129] 为了在较浅的区域中形成损伤区域 115，需要降低离子 121 的加速电压，但是通过提高等离子体中的 H₃⁺ 离子的比例，可以将原子状氢 (H) 高效地添加到单晶半导体衬底 110。由于 H₃⁺ 离子的质量是 H⁺ 离子的质量的 3 倍，所以在将一个氢原子添加到相同深度的区域中的情况下可以将 H₃⁺ 离子的加速电压设定为 H⁺ 离子的加速电压的 3 倍。通过提高离子的加速电压，可以缩短离子照射步骤的节拍时间 (tact time)，而可以提高生产性及产率。

[0130] 另外，还可以使用离子注入装置将加速了的离子 121 照射到单晶半导体衬底 101。离子注入装置是质量分离型装置，该装置对源气体进行等离子体激发而产生多个离子种，然后对该多个离子种进行质量分离来将特定的离子种照射到被配置在处理室内的被处理体。因此，在使用离子注入装置的情况下，通过对激发氢气体而产生的 H⁺ 离子及 H₂⁺ 离子进行质量分离，将 H⁺ 离子及 H₂⁺ 离子之一方加速并照射到单晶半导体衬底 110。

[0131] 优选在损伤区域 115 中包含 5×10²⁰atoms/cm³ 以上的氢 (H)。通过在单晶半导体

衬底 110 中局部地形成高浓度氢添加区域, 失掉晶体结构而形成微小的空洞, 因而损伤区域 115 具有多孔结构。因此, 通过进行比较低的温度 (600°C 以下) 的热处理, 引起形成在损伤区域 115 中的微小空洞的体积变化, 而可以沿损伤区域 115 劈开 (分离) 单晶半导体衬底 110。另外, 包含在损伤区域 115 中的氢浓度根据离子 121 的剂量或加速电压等控制。

[0132] 在使用氢气体, 并使用离子掺杂装置对单晶半导体衬底 110 添加离子的情况下, 加速电压为 10kV 以上 200kV 以下, 剂量为 1×10^{16} ions/cm² 以上 6×10^{16} ions/cm² 以下即可。虽然也根据包含在离子 121 中的离子种及其比例而有所不同, 但通过在这个条件下添加氢离子, 可以将损伤区域 115 形成在单晶半导体衬底 110 的深度 50nm 以上 500nm 以下的区域中。

[0133] 例如, 在单晶半导体衬底 110 为单晶硅衬底, 第一绝缘层 113a 为 50nm 厚的氧氮化硅膜, 而且第一绝缘层 113b 为 50nm 厚的氮氧化硅膜的情况下, 可以在如下条件下从单晶半导体衬底 110 分离大约 100nm 厚的单晶半导体层: 源气体为氢, 加速电压为 40kV, 而且剂量为 2.2×10^{16} ions/cm²。另外, 通过在第一绝缘层 113a 为 100nm 厚的氧氮化硅膜 (其他条件与上述条件相同) 的条件下掺杂氢离子, 可以从单晶半导体衬底 110 分离大约 70nm 厚的单晶半导体层。

[0134] 另外, 可以使用氦 (He) 作为离子 121 的源气体。激发氦而产生的离子种大多是 He⁺, 因而即使使用不进行质量分离的离子掺杂法, 也可以将 He⁺ 作为主要离子 121 照射到单晶半导体衬底 110。因此, 可以使用离子掺杂法在损伤区域 115 中高效地形成微小空洞。在使用氦通过离子掺杂法将离子照射到单晶半导体衬底 110 的情况下, 加速电压为 10kV 以上 200kV 以下, 剂量为 1×10^{16} ions/cm² 以上 6×10^{16} ions/cm² 以下即可。

[0135] 作为源气体, 还可以使用氯气体 (Cl₂ 气体)、氟气体 (F₂ 气体) 等的卤素气体。

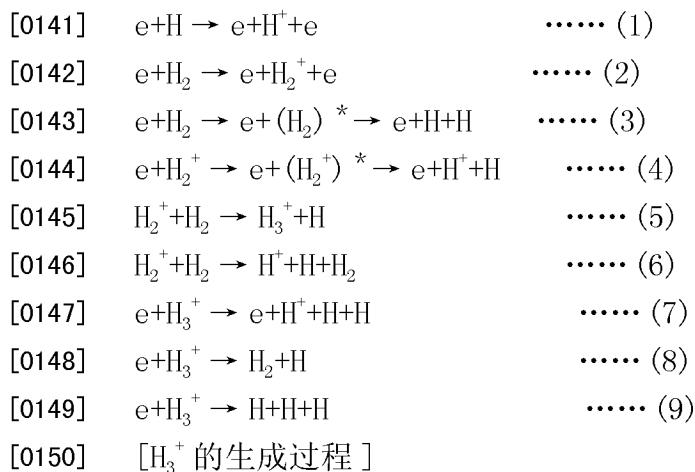
[0136] 关于从源气体中产生的氢离子种如 H⁺、H₂⁺ 及 H₃⁺ 的比例, 离子注入装置和离子掺杂装置有大不同。图 44 是示出使用离子掺杂装置从 100% 氢气体 (离子源的压力: 4.7×10^{-2} Pa) 中产生的离子种的质量分析结果的图。以横轴为离子种的质量。质量 1、2、3 的光谱分别对应于 H⁺、H₂⁺ 及 H₃⁺。以纵轴为对应于离子量的光谱的强度。在图 44 中, 将质量 3 的离子个数设为 100, 通过与其相对比来示出具有其他质量的离子种的数量。从图 44 可知, 在等离子体中产生的氢离子种的比例大约为 H⁺ : H₂⁺ : H₃⁺ = 1 : 1 : 8。另外, 从通过利用二次离子质谱分析使用离子掺杂装置引入了氢离子的单晶硅片的氢浓度分布而得到的结果可知, 照射到单晶硅片的氢离子种中的 H₃⁺ 占有约 80%。

[0137] 图 45 是示出使用离子注入装置从 PH₃ (离子源的压力大约为 3×10^{-3} Pa) 中产生的离子种的质量分析结果的图。与图 44 同样, 以横轴为离子种的质量。质量 1、2、3 的光谱分别对应于 H⁺、H₂⁺ 及 H₃⁺。以纵轴为对应于离子量的光谱的强度。从图 45 可知, 等离子体中的氢离子种的比例为 H⁺ : H₂⁺ : H₃⁺ = 37 : 56 : 7。另外, 注意, 图 45 示出源气体为 PH₃ 时的数据, 但是在使用 100% H₂ 气体作为源气体时也得到相同的氢离子种的比例。就是说, 从氢气体中产生的离子种的比例为 H⁺ : H₂⁺ : H₃⁺ = 37 : 56 : 7。

[0138] 由此可见, 离子注入装置相对于氢离子种 H⁺、H₂⁺ 及 H₃⁺ 只产生 7% 左右的 H₃⁺, 而离子掺杂装置能够产生 50% 以上, 即 80% 左右的 H₃⁺。下面, 对离子掺杂装置和离子注入装置的 H₃⁺ 产生比例有大不同的理由进行考察。

[0139] [氢等离子体中的离子]

[0140] 在氢等离子体中,存在氢离子种如 H^+ 、 H_2^+ 、 H_3^+ 。在此,下面举出表示每个氢离子种的反应过程(生成过程(formation processes)、消散过程(destruction processes))的反应式。图 46 示出示意地表示上述反应的一部分的能量图。要注意的是,图 46 所示的能量图只不过是示意图,不是严格地规定关于反应的能量的关系。



[0151] 如上述那样, H_3^+ 主要通过反应式 (5) 所示的反应过程而生成。另一方面, 作为与反应式 (5) 竞争的反应, 有反应式 (6) 所示的反应过程。为了增加 H_3^+ , 至少需要以比反应式 (6) 的反应多的方式引起反应式 (5) 的反应 (注意, 因为作为减少 H_3^+ 的反应, 也存在有反应式 (7)、反应式 (8)、反应式 (9), 所以即使反应式 (5) 的反应多于反应式 (6) 的反应, H_3^+ 也不一定增加)。反过来, 在反应式 (5) 的反应比反应式 (6) 的反应少的情况下, 在等离子体中的 H_3^+ 的比例减少。在上述反应式的右边 (最右边) 的生成物的增加量依赖于反应式的左边 (最左边) 所示的原料的浓度或关于其反应的速度系数等。在此, 通过实验已确认到如下事实: 当 H_2^+ 的动能小于大约 11eV 时, 反应式 (5) 的反应成为主要反应 (即, 与关于反应式 (6) 的速度系数相比, 关于反应式 (5) 的速度系数充分大); 当 H_2^+ 的动能大于大约 11eV 时, 反应式 (6) 的反应成为主要反应。

[0152] 荷电粒子通过从电场受到力量而获得动能。该动能对应于电场的势能 (potential energy) 的减少量。例如,某一个荷电粒子直到与其它粒子碰撞之前获得的动能等于因荷电粒子移动而失掉的势能。也就是说,有如下趋势:当在电场中能够不与其它粒子碰撞地长距离移动时,与其它的情况相比,荷电粒子的动能 (的平均) 增高。在粒子的平均自由程长的情况下,就是压力低的情况下,会发生这种荷电粒子的动能增大的趋势。另外,即使平均自由程短,只要直到碰撞之前可以获得大动能,荷电粒子的动能也会变大。就是,可以说,即使平均自由程短,只要电位差大,荷电粒子所具有的动能也会变大。

[0153] 将上述情况适用于 H_2^+ 。在如用于生成等离子体的处理室内那样,以电场的存在为前提的情况下,当在该处理室内的压力低时 H_2^+ 的动能变大,当在该处理室内的压力高时 H_2^+ 的动能变小。换言之,因为在处理室内的压力低的情况下反应式(6)的反应成为主要反应,所以 H_3^+ 有减少的趋势,并且因为在处理室内的压力高的情况下反应式(5)的反应成为主要反应,所以 H_3^+ 有增大的趋势。另外,在等离子体生成区域中的电场较强的情况下,即,在某两点之间的电位差大的情况下, H_2^+ 的动能变大。在此相反的情况下, H_2^+ 的动能变小。换言之,因为在电场较强的情况下反应式(6)的反应成为主要反应,所以 H_3^+ 有减少的趋势,并且因为在电场较弱的情况下反应式(5)的反应成为主要反应,所以 H_3^+ 有增加的趋势。

[0154] 例如,在使用得到图 45 所示的数据的离子源的情况下,相对于 H^+ 、 H_2^+ 及 H_3^+ 只产生 7% 左右的 H_3^+ 。与此相反,在使用得到图 44 所示的数据的离子源的情况下,可以将 H_3^+ 的比例设定为 50% 以上(在图 44 所示的数据中为 80% 左右)。如上所述,这个原因是处理室内的压力及电场。

[0155] [H_3^+ 的照射机制]

[0156] 在生成如图 44 那样包含多个离子种的等离子体且对生成了的离子种不进行质量分离就照射到半导体衬底的情况下, H^+ 、 H_2^+ 、 H_3^+ 的每个离子被照射到半导体衬底的表面。为了考察从照射离子到形成离子注入层的机制,举出下列的五种模式(模式 1 至 5):

[0157] 1. 照射的离子种为 H^+ , 照射之后也为 $H^+(H)$ 的情况;

[0158] 2. 照射的离子种为 H_2^+ , 照射之后也为 $H_2^+(H_2)$ 的情况;

[0159] 3. 照射的离子种为 H_2^+ , 照射之后分成两个 $H(H^+)$ 的情况;

[0160] 4. 照射的离子种为 H_3^+ , 照射之后也为 $H_3^+(H_3)$ 的情况;

[0161] 5. 照射的离子种为 H_3^+ , 照射之后分成三个 $H(H^+)$ 的情况。

[0162] [模拟结果和实测值的比较]

[0163] 根据上述模式 1 至 5, 进行将氢离子种照射到 Si 衬底时的模拟。作为用于模拟的软件, 使用 SRIM(the Stopping and Range of Ions in Matter)。SRIM 是利用蒙特卡罗(Monte Carlo) 法的离子引入过程的模拟软件, 是 TRIM(the Transport of Ions in Matter) 的改良版。注意, 虽然 SRIM 是以非晶结构为对象的软件, 但是在以高能量、高剂量的条件将氢离子种照射到硅衬底的情况下, 可以利用 SRIM。这是因为由于氢离子种和 Si 原子的碰撞, Si 衬底的晶体结构变成非单晶结构的缘故。

[0164] 下面, 说明模拟结果。注意, 在本实施方式的模拟中, 在模式 2 中将 H_2^+ 转换为具有两倍质量的 H^+ 进行计算, 另外, 在模式 3 中将 H_2^+ 转换为具有 1/2 动能的 H^+ 进行计算, 在模式 4 中将 H_3^+ 转换为具有三倍质量的 H^+ 进行计算, 并且在模式 5 中将 H_3^+ 转换为具有 1/3 动能的 H^+ 进行计算。

[0165] 根据上述模式 1 至模式 5, 分别计算出以 80kV 的加速电压对 Si 衬底照射了氢离子种的情况下(以 H 换算照射 10 万个时)的硅衬底中的氢元素(H)的深度方向的分布。图 47 示出其计算结果。再者, 图 47 示出 Si 衬底中的氢元素(H)的深度方向的分布的实测值。该实测值是使用 SIMS(Secondary Ion Mass Spectroscopy: 二次离子质谱分析技术) 测量了的数据(以下称为 SIMS 数据)。使用 SIMS 测量了的样品是以 80kV 的加速电压照射了在得到图 44 所示的数据的条件下产生的氢离子种(H^+ 、 H_2^+ 、 H_3^+)的 Si 衬底。

[0166] 在图 47 中, 在示出使用了模式 1 至模式 5 的计算值的曲线中, 以纵轴(右轴)为氢原子的个数, 而在示出 SIMS 数据的曲线中, 以纵轴(左轴)为氢原子的浓度。对于计算值和 SIMS 数据, 其图线的横轴为离 Si 衬底表面的深度。在对实测值的 SIMS 数据和计算值进行比较的情况下, 模式 2 及模式 4 明显地从 SIMS 数据的曲线偏离, 并且在 SIMS 数据中不能观察到对应于模式 3 的峰值。由此可知, 与模式 1 和模式 5 相比, 模式 2 至模式 4 的影响小。考虑到虽然离子的动能为 keV 的数量级但 H-H 键能只不过大约为几 eV, 模式 2 及模式 4 的影响小的理由可以被认为是由于与 Si 的碰撞, 大部分的 H_2^+ 或 H_3^+ 分成 H^+ 或 H。根据上述理由, 下面不考虑模式 2 至模式 4。下面, 根据模式 1 及模式 5, 说明以 80kV、60kV 及 40kV 的加速电压对 Si 衬底照射氢离子种的情况下(以 H 换算照射 10 万个时)的模拟结

果。

[0167] 图 48 至图 50 示出计算了 Si 衬底中的氢 (H) 的深度方向的分布的结果。图 48、图 49 及图 50 分别示出加速电压为 80kV、60kV 及 40kV 时的计算结果。再者，图 48 至图 50 示出作为实测值的 SIMS 数据、以及拟合于 SIMS 数据的曲线（下面称为拟合函数）。使用 SIMS 测量了的样品是以 80kV、60kV、或 40kV 的加速电压加速并照射了在得到图 44 所示的数据的条件下产生的氢离子种 (H^+ 、 H_2^+ 、 H_3^+) 的 Si 衬底。注意，在示出使用了模式 1 及模式 5 的计算值的曲线中，以纵轴（右轴）为氢原子的个数，而在示出 SIMS 数据及拟合函数的曲线中，以纵轴（左轴）为氢原子的浓度。在上述各曲线中，以横轴为离 Si 衬底表面的深度。

[0168] 通过考虑模式 1 及模式 5 使用下面的计算式 (f1) 算出拟合函数。在计算式 (f1) 中, X、Y 为关于拟合的参数, 并且 V 为体积。

[0169] [拟合函数]

[0170] = X/V×[模式1的数据]+Y/V×[模式5的数据]……(f1)

[0171] 当考虑实际上照射的离子种的比例（大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$, 参照图 44) 时, 也应该顾及 H_2^+ 的影响 (即, 模式 3), 以决定拟合函数。

[0172] 但是因为下面所示的理由，在此排除 H_2^+ 的影响。

[0173] •由于通过模式 3 所示的照射过程而引入的氢与模式 5 的照射过程相比极少,因此排除模式 3 来考虑也没有大的影响(在 SIMS 数据中,没有出现对应于模式 3 的峰值。参照图 47)。

[0174] •模式 3 的 Si 衬底中的氢元素的深度方向的分布图的峰值位置与模式 5 的深度方向的分布图的峰值位置接近(参照图 47),因此由于在模式 5 的照射过程中发生的沟道效应(起因于晶体的晶格结构的原子移动),模式 3 的影响不明显的可能性高。就是,预计模式 3 的拟合参数是很困难的。这是因为在本模拟中以非晶 Si 为前提,而不顾及起因于结晶性的影响的缘故。

[0175] 图 51 示出计算式 (f1) 的拟合参数。在上述所有的加速电压下,引入到 Si 衬底中的 H 的个数的比例大约为 [模式 1] : [模式 5] = 1 : 42 至 1 : 45(在模式 1 中的 H 的个数为 1 的情况下,模式 5 中的 H 的个数大约为 42 以上且 45 以下),并且照射的离子种的个数的比例大约为 $[H^+(模式\ 1)] : [H_3^+(模式\ 5)] = 1 : 14$ 至 $1 : 15$ (在模式 1 中的 H^+ 的个数为 1 的情况下,模式 5 中的 H_3^+ 的个数大约为 14 以上且 15 以下)。通过考虑不顾及模式 3 和假设用非晶 Si 而进行计算等的条件,图 51 所示的比例可以说是与关于实际上的照射的氢离子种的比例(大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$, 参照图 44) 接近的值。

[0176] [使用 H_3^+ 的效果]

[0177] 通过将如图 44 所示那样的提高 H_3^+ 的比例的氢离子种照射到衬底，可以获得起因于 H_3^+ 的多个优点。例如，因为 H_3^+ 分成 H^+ 或 H 等而引入到衬底内，与主要照射 H^+ 或 H_2^+ 的情况相比，可以提高离子的引入效率。因此，可以提高 SOI 衬底的生产性。另外，与此同样， H_3^+ 分开之后的 H^+ 或 H 的动能有变小的趋势，因此适合制造较薄的半导体层。这里，为了高效地照射 H_3^+ ，对利用能够照射如图 44 所示那样的氢离子种的离子掺杂装置的方法进行说明。离子掺杂装置的价格低廉且适合大面积处理，因而通过利用这种离子掺杂装置照射 H_3^+ ，可以获得明显的效果如提高半导体特性、实现 SOI 衬底的大面积化、低成本化、提高产率等。

[0178] 根据上述考察,为了将 H_3^+ 更多地引入到单晶半导体衬底110,优选使用离子掺杂。

装置,而不使用离子注入装置。

[0179] 另外,离子掺杂装置不对产生的离子种进行质量分离,因此源气体的利用效率高。还可以将加速了的离子照射为面状或线状,因而容易缩短节拍时间。与此相反,离子注入装置的特征在于能够对产生的离子进行质量分离来只将特定的离子种引入到衬底。然而,由于进行质量分离,所以从源气体中产生的离子的利用效率比离子掺杂装置低。另外,离子注入装置用其束形状为点状的离子束进行扫描来引入离子,因而在处理大面积时有产率降低的问题。因此,从源气体的利用效率及大面积处理的观点来看,优选使用离子掺杂装置照射离子 121 而在单晶半导体衬底 110 中形成损伤区域 115。

[0180] 在形成损伤区域 115 之后,如图 4C 所示,在第一绝缘层 113 的上表面上形成第二绝缘层 114。在形成第二绝缘层 114 的步骤中,单晶半导体衬底 110 的加热温度为添加到损伤区域 115 中的元素或分子不析出的温度,该加热温度优选为 350°C 以下。就是说,上述加热温度为不从损伤区域 115 中脱气的温度。另外,可以在形成损伤区域 115 之前形成第二绝缘层 114。在此情况下,形成第二绝缘层 114 时的处理温度可以为 350°C 以上。

[0181] 第二绝缘层 114 是用来在单晶半导体衬底 110 表面上形成平滑且具有亲水性的接合面的层。因此,第二绝缘层 114 的平均粗糙度 Ra 优选为 0.7nm 以下,更优选为 0.4nm 以下。另外,第二绝缘层 114 的厚度可以为 10nm 以上 200nm 以下。该厚度优选为 5nm 以上 500nm 以下,更优选为 10nm 以上 200nm 以下。

[0182] 第二绝缘层 114 优选为利用化学气相反应而形成的绝缘膜。例如,可以形成氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜等作为第二绝缘层 114。在使用 PECVD 法形成氧化硅膜作为第二绝缘层 114 的情况下,优选使用有机硅烷气体及氧 (O_2) 气体作为工艺气体。通过使用有机硅烷作为工艺气体,可以在 350°C 以下的工艺温度下形成具有平滑表面的氧化硅膜。另外,可以使用热 CVD 法在 500°C 以下 200°C 以上的加热温度下形成 LTO (low temperature oxide, 即低温氧化物)。在形成 LTO 时,可以使用甲硅烷 (SiH_4) 或乙硅烷 (Si_2H_6) 等作为硅源气体,并可以使用 NO_2 等作为氧源气体。

[0183] 例如,使用 TEOS 和 O_2 作为源气体形成由氧化硅膜构成的第二绝缘层 114 时的条件如下:将 TEOS 以流量 15sccm 引入到处理室内,并将 O_2 以流量 750sccm 引入到处理室内;成膜压力为 100Pa;成膜温度 300°C;RF 输出为 300W;电源频率为 13.56MHz。

[0184] 还可以将图 4B 所示的步骤和图 4C 所示的步骤的顺序颠倒。就是说,可以在将第一绝缘层 113 及第二绝缘层 114 形成在单晶半导体衬底 110 上之后形成损伤区域 115。在此情况下,若可以在相同的成膜装置中形成第一绝缘层 113 及第二绝缘层 114,则优选连续形成第一绝缘层 113 及第二绝缘层 114。

[0185] 另外,可以在进行图 4B 所示的步骤之后进行图 4A 及图 4C 所示的步骤。就是说,可以在将离子 121 照射到单晶半导体衬底 110 而形成损伤区域 115 之后形成第一绝缘层 113 及第二绝缘层 114。在此情况下,若可以在相同的成膜装置中形成第一绝缘层 113 及第二绝缘层 114,则优选连续形成第一绝缘层 113 及第二绝缘层 114。另外,在形成损伤区域 115 之前,为了保护单晶半导体衬底 110 的表面,可以对单晶半导体衬底 110 进行氧化处理来在其表面上形成氧化膜,然后隔着氧化膜将离子照射到单晶半导体衬底 110。在形成损伤区域 115 之后,去除上述氧化膜。另外,可以在残留有氧化膜的状态下形成第一绝缘层 113。

[0186] 接着,清洗形成有第一绝缘层 113、损伤区域 115 及第二绝缘层 114 的单晶半导体

衬底 110 和支撑衬底 100。可以采用纯水中的超声波清洗进行上述清洗步骤。超声波清洗优选为兆赫超声波清洗（兆频超声波清洗）。在进行超声波清洗之后，优选使用含臭氧水清洗单晶半导体衬底 110 及支撑衬底 100 中的单方或双方。通过使用含臭氧水清洗，可以去除有机物，并可以进行用来提高第二绝缘层 114 表面及支撑衬底 100 的亲水性的表面活化处理。另外，除了含臭氧水以外，还可以使用含氧水、含氢水、或纯水等进行清洗处理。通过进行上述清洗处理，可以使接合面具有亲水性，并可以增大接合面上的 OH 基。通过增大 OH 基，可以使利用氢键的接合更牢固。

[0187] 另外，作为对第二绝缘层 114 的表面及支撑衬底 100 的活化处理，除了使用含臭氧水的清洗之外，还可以进行原子束或离子束的照射处理、等离子体处理、或自由基处理。在利用原子束或离子束的情况下，可以使用氩等惰性气体中性原子束或惰性气体离子束。通过进行上述表面处理，即使在 400℃以下的温度下也可以容易接合不同种类的材料。

[0188] 图 4D 是说明接合步骤的截面图。隔着第二绝缘层 114 密接支撑衬底 100 和单晶半导体衬底 110。在本实施方式中，使支撑衬底 100 表面和第二绝缘层 114 表面密接，从而密接的部分被接合。支撑衬底 100 表面和第二绝缘层 114 表面的接合的结合力在初步阶段中起因于范德华力的作用，通过将压力施加到第二绝缘层 114 表面和支撑衬底 100 表面，在密接部分中形成氢键，而可以使第二绝缘层 114 表面和支撑衬底 100 表面更牢固地结合。

[0189] 因此，将 300 至 15000N/cm² 左右的压力施加到单晶半导体衬底 110 的端部中的一个部分。上述压力优选为 1000 至 5000N/cm²。第二绝缘层 114 和支撑衬底 100 从施加了压力的部分开始接合，然后接合部分扩展到第二绝缘层 114 的整个表面上。其结果是，单晶半导体衬底 110 被固定于支撑衬底 100 上。上述接合步骤可以在常温下进行，而不进行加热处理，因而可以使用玻璃衬底等耐热温度为 700℃以下的低耐热性衬底作为支撑衬底 100。

[0190] 在接合支撑衬底 100 和单晶半导体衬底 110 之后，优选进行加热处理或加压处理，以增加支撑衬底 100 和第二绝缘层 114 的结合力。上述处理温度为不在损伤区域 115 中产生裂缝的温度，而可以以室温以上且低于 400℃的温度进行处理。另外，边在上述温度范围内加热，边将单晶半导体衬底 110 贴合在支撑衬底 100 上，而可以使支撑衬底 100 和第二绝缘层 114 的接合界面上的结合力较强。另外，在加压处理中，优选沿垂直于接合面的方向施加压力。上述加热处理可以使用加热炉如扩散炉或电阻加热炉等、RTA (Rapid Thermal Anneal, 快速热退火) 装置、微波加热装置等。

[0191] 接着，通过进行加热处理，在损伤区域 115 中引起剥离而从单晶半导体衬底 110 分离单晶半导体层 117。图 4E 是说明从单晶半导体衬底 110 分离单晶半导体层 117 的分离步骤的图。附图标记 118 表示分离了单晶半导体层 117 的单晶半导体衬底 110。

[0192] 通过进行加热处理，因温度上升而在形成在损伤区域 115 中的微小孔中析出通过离子掺杂法添加了的元素，从而内部的压力上升。由于压力上升，在损伤区域 115 的微小孔中引起体积变化，并在损伤区域 115 中产生裂缝，而沿损伤区域 115 劈开单晶半导体衬底 110。因为第二绝缘层 114 和支撑衬底 100 接合，从单晶半导体衬底 110 分离了的单晶半导体层 117 被固定于支撑衬底 100 上。用来从单晶半导体衬底 110 分离单晶半导体层 117 的加热处理的温度是不超过支撑衬底 100 的应变点的温度。

[0193] 上述加热处理可以使用加热炉如扩散炉或电阻加热炉等、RTA 装置、微波加热装置等。

[0194] 加热炉是以被电阻发热体等加热了的炉的辐射为主加热被处理物的装置。

[0195] RTA 装置是利用灯光的加热装置。作为 RTA 装置,有 LRTA(Lamp Rapid Thermal Anneal,即灯快速热退火) 装置、GRTA(GasRapid Thermal Anneal,即气体快速热退火) 装置。LRTA 装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波) 的辐射加热被处理物的装置。GRTA 装置是利用从上述灯发出的光的热辐射、以及利用灯所发出的光加热气体而得到的来自被加热了的气体的热传导加热被处理物的装置。作为气体,使用氮、氩等稀有气体等的不通过加热处理与被处理物起反应的惰性气体。另外,除了灯以外,LRTA 装置和 GRTA 装置还可以具备利用来自电阻发热体等发热体的热传导或热辐射加热被处理物的装置。

[0196] 微波加热装置是由微波的辐射加热被处理物的装置。微波加热装置还可以具备利用来自电阻发热体等发热体的热传导或热辐射加热被处理物的装置。

[0197] 通过使用 RTA 装置等加热装置,将被贴合在支撑衬底 100 上的单晶半导体衬底 110 的温度上升到 400℃以上且支撑衬底的应变点以下的范围。例如,加热温度的上限可以为 650℃。

[0198] 在使用 GRTA 装置的情况下,例如加热温度为 550℃以上 650℃以下,处理时间为 0.5 分钟以上 60 分钟以下。在使用电阻加热装置的情况下,加热温度为 550℃以上 650℃以下,处理时间为 2 小时以上 4 小时以下。在使用微波加热装置的情况下,例如照射频率 2.45GHz 的微波 10 分钟以上 20 分钟以下。

[0199] 下面,对使用具有电阻发热体的纵型炉的加热处理的具体处理方法进行说明。将贴合有单晶半导体衬底 110 的支撑衬底 100 安装在纵型炉的舟上。将舟搬入纵型炉的处理室内。为了抑制单晶半导体衬底 110 的氧化,首先对处理室内进行排气而得到真空状态。真空气度为 5×10^{-3} Pa 左右。在得到真空状态之后,将氮提供给处理室内,而将处理室内的气氛设定为大气压的氮气氛。在其期间中,将温度上升到 200℃。

[0200] 在处理室内的气氛成为大气压的氮气氛之后,以 200℃加热 2 小时。然后,将温度以 1 小时上升到 400℃。加热温度 400℃的状态得到稳定后,将温度以 1 小时上升到 600℃。加热温度 600℃的状态得到稳定后,以 600℃进行 2 小时的加热处理。然后,将加热温度以 1 小时下降到 400℃,过了 10 分钟至 30 分钟后,从处理室内搬出舟。在大气气氛中,冷却舟上的单晶半导体衬底 118、以及贴合有单晶半导体层 117 的支撑衬底 100。

[0201] 在上述使用电阻加热炉的加热处理中,连续进行用来提高第二绝缘层 114 和支撑衬底 100 的结合力的加热处理、以及在损伤区域 115 中引起分离的加热处理。在使用不同的装置分别进行上述两个处理的情况下,例如,在电阻加热炉中进行处理温度为 200℃且处理时间为 2 小时的加热处理,然后从炉中搬出被贴合了的支撑衬底 100 和单晶半导体衬底 110。接着,使用 RTA 装置进行处理温度为 600℃以上 700℃以下且处理时间为 1 分钟以上 30 分钟以下的加热处理,以在损伤区域 115 中分割单晶半导体衬底 110。

[0202] 为了进行 700℃以下的低温处理牢固地接合第二绝缘层 114 和支撑衬底 100,优选在第二绝缘层 114 的表面及支撑衬底的表面上存在着 OH 基、水分子 (H_2O)。这是因为第二绝缘层 114 和支撑衬底 100 的接合由于 OH 基和水分子形成共价键(氧分子和氢分子的共价键)或氢键而开始的缘故。

[0203] 因此,优选使第二绝缘层 114 和支撑衬底 100 的表面活化而得到亲水性。另外,

优选以包含氧或氢的方法形成第二绝缘层 114。例如,通过使用处理温度为 400℃以下的 PECVD 法形成氧化硅膜、氧氮化硅膜、或氮氧化硅膜、氮化硅膜等,可以使膜包含氢。为了形成氧化硅膜或氧氮化硅膜,例如使用 SiH₄ 及 N₂O 作为工艺气体即可。为了形成氮氧化硅膜,例如使用 SiH₄、NH₃ 及 N₂O 作为工艺气体即可。为了形成氮化硅膜,例如使用 SiH₄ 及 NH₃ 作为工艺气体即可。另外,作为使用 PECVD 法来形成时的原料,优选使用 TEOS(化学式为 Si(OC₂H₅)₄) 等的具有 OH 基的化合物。

[0204] 注意,将工艺温度 700℃以下称为低温处理是因为工艺温度为玻璃衬底的应变点以下。与此相反,在使用智能切割法(注册商标)而形成的 SOI 衬底中,进行 800℃以上的加热处理以贴合单晶硅层和单晶硅片,即需要在超过玻璃衬底的应变点的温度下进行加热处理。

[0205] 另外,如图 4E 所示,在很多情况下,单晶半导体衬底 110 的周边部不与支撑衬底 100 接合。这是因为如下缘故:单晶半导体衬底 110 的周边部被倒角;在移动单晶半导体衬底 110 时,第二绝缘层 114 的周边部被损伤或污染;在支撑衬底 100 和第二绝缘层 114 不密接的单晶半导体衬底 110 的周边部中,难以在损伤区域 115 中引起分离;等等。因此,有时会有如下情况:在支撑衬底 100 上贴合有比单晶半导体衬底 110 小的单晶半导体层 117,并且在单晶半导体衬底 118 的周围形成有凸部,而在该凸部上残留着没被贴合到支撑衬底 100 上的第一绝缘层 113b、第一绝缘层 113a 及第二绝缘层 114。

[0206] 密接在支撑衬底 100 上的单晶半导体层 117 因损伤区域 115 的形成及损伤区域 115 中的劈开等而损伤了其结晶性。就是说,在单晶半导体层 117 中形成有加工之前的单晶半导体衬底 110 没有的位错等结晶缺陷、悬空键等微小结晶缺陷。另外,单晶半导体层 117 的表面是从单晶半导体衬底 110 分离了的表面,其平坦性低。为了恢复单晶半导体层 117 的结晶性,照射激光束,以使单晶半导体层 117 熔化而使它再结晶。另外,为了使单晶半导体层 117 的表面平坦化,照射激光束而使单晶半导体层 117 熔化。图 5A 是用来说明激光照射处理步骤的图。

[0207] 如图 5A 所示,边用激光束对单晶半导体层 117 进行扫描,边将激光束 122 照射到单晶半导体层 117 的分离面的整个表面上。作为激光束 122 的扫描,例如移动固定有单晶半导体层 117 的支撑衬底 100,而不移动激光束 122。箭头 123 表示支撑衬底 100 的移动方向。

[0208] 通过照射激光束 122,单晶半导体层 117 吸收激光束 122,使得照射了激光束 122 的部分的温度上升。当该部分的温度成为单晶半导体衬底 110 的熔点以上时,单晶半导体层 117 熔化。当不再照射激光束 122 时,单晶半导体层 117 的熔化部分的温度下降,过了一段时间后,熔化部分凝固而得到再结晶。通过用激光束 122 扫描,将激光束 122 照射到单晶半导体层 117 的整个表面上。或者,也可以只对要使单晶半导体层 117 再结晶的区域选择性地照射激光束 122。

[0209] 图 5B 是示出激光照射步骤结束之后的半导体衬底的结构的截面图,其中单晶半导体层 119 是被再结晶了的单晶半导体层 117。另外,图 5B 的外观图为图 1。

[0210] 被进行了激光照射处理的单晶半导体层 119 的结晶性比单晶半导体层 117 高。或者,通过进行激光照射处理,可以提高平坦性。这是因为可以通过使单晶半导体层 117 熔化而修复单晶半导体层中的悬空键、单晶半导体层和缓冲层的界面具有的缺陷等的微小

缺陷的缘故。另外,可以通过如下方法评价单晶半导体层的结晶性:背散射电子衍射图像(EBSP,Electron Back Scatter Diffraction Pattern)的测量、X射线衍射图像的测量、利用光学显微镜及电子显微镜的观察、拉曼光谱的测量、等等。另外,可以通过利用原子力显微镜的观察等评价单晶半导体层表面的平坦性。

[0211] 通过照射激光束122,使单晶半导体层117中的照射了激光束122的区域部分地熔化或完全熔化。注意,单晶半导体层117处于完全熔化状态指的是从膜表面到下表面的整个层熔化。在图5A所示的叠层结构中,完全熔化状态指的是从单晶半导体层117的上表面到与第一绝缘层113的界面熔化而成为液体状态。另一方面,使单晶半导体层117部分地熔化指的是以熔化的深度比与第一绝缘层113的界面(单晶半导体层117的厚度)浅的方式使单晶半导体层117熔化。就是说,单晶半导体层117处于部分熔化状态指的是上层熔化而变成液相,且其下层不熔化而保持固相的单晶半导体的状态。

[0212] 若通过照射激光束122使单晶半导体层117部分地熔化,则因变成液相的半导体的表面张力而促进平坦化。与此同时,由于向支撑衬底100的热扩散而促进单晶半导体层117的冷却,因此在单晶半导体层117中沿深度方向产生温度梯度,固液界面从支撑衬底100一侧向单晶半导体层117的表面移动,而实现再结晶。即,发生所谓的纵生长。另外,在上述结晶中,以下层的不熔化区域为晶种促进再结晶。

[0213] 下层中的固相部分为单晶,晶体取向一致,因此不形成晶界,从而进行激光照射处理之后的单晶半导体层119可以成为没有晶界的单晶半导体层。另外,熔化的上层凝固而得到再结晶,而形成其晶体取向与下层的固相单晶半导体一致的单晶半导体。因此,在使用主表面的晶面取向为(100)的单晶硅片作为单晶半导体衬底110的情况下,单晶半导体层117的主表面的晶面取向为(100),并且由于进行激光照射处理而部分熔化并再结晶了的单晶半导体层112的主表面的晶面取向为(100)。

[0214] 另外,通过照射激光束122使单晶半导体层117完全熔化,因变成液相的半导体的表面张力而促进平坦化。另外,完全熔化的区域在凝固的过程中从与熔化区域相邻的单晶半导体进行结晶生长,而发生横向生长。未熔化的部分是单晶,晶体取向一致,因此不形成晶界,从而照射激光束之后的单晶半导体层119可以成为没有晶界的单晶半导体层。就是说,完全熔化了的区域通过凝固而再结晶,从而形成其晶体取向与相邻的未熔化部分的单晶半导体一致的单晶半导体。因此,当使用主表面的晶面取向为(100)的单晶硅片作为单晶半导体衬底110时,单晶半导体层117的主表面的晶面取向为(100),并且由于进行激光照射处理而完全熔化并再结晶了的单晶半导体层119的主表面的晶面取向为(100)。

[0215] 通过照射激光束122使单晶半导体层117部分地熔化或完全熔化,可以形成其表面平坦的单晶半导体层119。这是因为如下缘故:由于单晶半导体层117熔化的部分是液体,它因表面张力的作用而以使其表面面积最小的方式变形。就是说,液体部分以去除凹部及凸部的方式变形,然后该液体部分凝固而再结晶,由此可以形成其表面被平坦化了的单晶半导体层119。

[0216] 通过使单晶半导体层119的表面平坦化,可以将形成在单晶半导体层119上的栅极绝缘膜的厚度减薄到5nm至50nm左右。因此,可以形成抑制了栅电压且导通电流高的晶体管。

[0217] 在现有的SOI衬底的制造技术中,需要进行机械抛光以使单晶半导体层平坦化。

与此相反,本实施方式的激光照射处理实现了单晶半导体层的平坦化、以及具有优良结晶性的单晶半导体层的形成这两个重要处理,这是与现有的 SOI 衬底的制造技术根本不相同的新技术。

[0218] 照射激光束 122 时的单晶半导体层 117 的温度可以为室温或支撑衬底的应变点以下的温度,并可以加热被固定于支撑衬底 100 上的单晶半导体层 117 来使单晶半导体层 117 的温度比室温高。加热温度为支撑衬底 100 的应变点以下,可以为 200℃以上 650℃以下。

[0219] 通过在照射激光束时加热固定有单晶半导体层的支撑衬底,可以降低单晶半导体层熔化所需的激光束能量。因此,可以增大激光束的束形状的宽度(扫描方向的长度),或者可以减小激光束的重叠率,而可以提高扫描速度。由此,可以缩短处理一个衬底的节拍时间,而可以提高激光照射处理的产率。可以降低激光束能量的原因是通过一次脉冲照射使单晶半导体层 117 熔化的时间由于加热而变长的缘故。

[0220] 激光振荡器可以根据其振荡方法被区分为脉冲振荡、连续振荡激光器、以及准连续振荡激光脉冲。为了使单晶半导体层 117 的熔化部分再单晶化,优选使用脉冲振荡激光器。在使用脉冲振荡激光器的情况下,通过照射一脉冲(一次)激光束,照射了脉冲的区域在照射下一脉冲之前熔化并凝固而再结晶。就是说,当照射下一脉冲时,照射一个脉冲而熔化了的区域已再结晶并回到固相状态。因此,在照射从脉冲激光器中振荡的激光束而熔化了的区域凝固时,从没熔化的单晶开始进行晶体生长而变成单晶结构的状态是最稳定的状态。

[0221] 另一方面,在采用连续振荡激光器的情况下,连续地照射激光束,而不是间断地照射激光束,因而通过用激光进行扫描,使熔化区域(液相区域)和固相区域的界面在其方向上移动。因此,在熔化部分凝固时,不容易使晶体生长均匀,结晶轴的方向不一致,而容易产生晶界。这种情况与准连续振荡激光器相同。

[0222] 如上所述,在激光照射步骤中,通过使用脉冲振荡激光器,可以再现性更高地使单晶半导体层 117 再单晶化。作为脉冲振荡激光器,可以使用重复频率为低于 10MHz,优选为 10kHz 以下的激光器。因为将重复频率设定为低于 10MHz,每次照射激光束,可以在照射下一激光束之前使照射区域熔化并凝固。另外,从脉冲振荡激光器照射的激光束的脉冲宽度可以为 10n 秒以上 500n 秒以下。

[0223] 作为用于图 5A 的激光照射步骤的脉冲振荡激光器,例如有 XeCl 激光器、KrF 激光器等受激准分子激光器、Ar 激光器、Kr 激光器等气体激光器。还可以使用固体激光器,例如有 YAG 激光器、YVO₄ 激光器、YLF 激光器、YA10₃ 激光器、GdVO₄ 激光器、KGW 激光器、KYW 激光器、Y₂O₃ 激光器。作为激光束,可以使用上述激光振荡器的基波、高次谐波(二次谐波、三次谐波、四次谐波等)。在上述固体激光器中,即使使用同一激光媒质,其振荡方法也成为连续振荡或准连续振荡的振荡器。

[0224] 另外,作为振荡激光束 122 的激光振荡器,选择其振荡波长在于紫外光区域至可见光区域的激光振荡器。激光束 122 的波长是被单晶半导体层 117 吸收的波长。可以考虑到激光的趋肤深度(skin depth)等而决定该波长。例如,波长可以为 250nm 以上且 700nm 以下。

[0225] 根据激光束 122 的波长、激光束 122 的趋肤深度、单晶半导体层 117 的厚度等,可以决定激光束 122 的能量。在使用脉冲振荡激光器的情况下,例如,激光束 122 的能量密

度可以为 300mJ/cm^2 以上 700mJ/cm^2 以下。

[0226] 照射激光束 122 时的气氛, 可以是没控制气氛的大气气氛及惰性气体气氛中的任何一种。大气气氛及惰性气体气氛的双方都具有恢复单晶半导体层 117 的结晶性及平坦化的效果。另外, 与大气气氛相比, 惰性气体气氛是更优选的。与大气气氛相比, 氮等惰性气体气氛具有更高地提高单晶半导体层 117 的平坦性的效果。此外, 与大气气氛相比, 惰性气体气氛更好地抑制裂缝等变形的发生, 从而用来实现结晶缺陷的减少及平坦化的激光束 122 的可用能量范围变广。

[0227] 当在惰性气体气氛中照射激光束 122 时, 在具有气密性的处理室内照射激光束 122 即可。通过将惰性气体提供给上述处理室内, 可以在惰性气体气氛中照射激光束 122。当不使用处理室时, 边对单晶半导体层 117 中的激光束 122 的被照射面喷射惰性气体, 边对该被照射面照射激光束, 来可以实现惰性气体气氛下的激光束 122 的照射。

[0228] 惰性气体指的是在激光束照射步骤中不与单晶半导体层的表面起反应而形成氧化膜的分子或原子的气体。例如, 惰性气体有氮气体 (N_2 气体)、氩、氙等稀有气体等。另外, 惰性气体的氧浓度优选为 30ppm 以下, 更优选为 10ppm 以下。

[0229] 另外, 当在具有气密性的处理室内进行激光照射处理时, 通过对处理室内进行减压而使它成为真空状态, 可以得到与在惰性气体气氛中进行激光照射处理相同的效果。优选地是, 处理室内的压力为 12Pa 以下, 或者氧分压为 30ppm 以下。更优选地是, 处理室内的压力为 4Pa 以下, 或者氧分压为 10ppm 以下。

[0230] 另外, 通过使激光束 122 经过光学系统, 以使在被照射面上的激光束 122 的束形状为线形或矩形。由此, 可以高产率地照射激光束 122。

[0231] 对单晶半导体层 117 照射激光束 122 前, 对形成在单晶半导体层 117 表面上的自然氧化膜等的氧化膜进行去除处理。去除氧化膜其原因为, 在单晶半导体层 117 表面残存有氧化膜的状态下即使对其照射激光束 122, 也不能得到很好的平坦化的效果。可以通过使用氢氟酸 处理单晶半导体层 117 来进行氧化膜的去除处理。优选对其进行氢氟酸处理直到单晶半导体层 117 的表面呈现斥水性为止。由于其呈现斥水性, 可以确认已经从单晶半导体层 117 去除掉氧化膜。

[0232] 图 5A 的激光束 122 的照射工序可以如下进行。首先, 使用被稀释为 $1/100$ 的氢氟酸对单晶半导体层 117 进行 110 秒的处理, 以去除其表面的氧化膜。接着, 将贴合有单晶半导体层 117 的支撑衬底 100 配置在激光照射装置的载物台上。在加热单晶半导体层 117 时, 通过利用设置在载物台上的电阻加热器等加热机构, 将单晶半导体层 117 加热到 200°C 以上 650°C 以下。例如, 加热温度为 500°C 。

[0233] 使用 XeCl 受激准分子激光器 (波长 : 308nm 、脉冲宽度 : 25n s 、重复频率 60Hz) 作为激光束 122 的激光振荡器。利用光学系统将激光束 122 的截面形成为 $300\text{mm} \times 0.34\text{mm}$ 的线状。边用激光束 122 对单晶半导体层 117 进行扫描, 边将激光束 122 照射到单晶半导体层 117。激光束 122 的扫描可以通过移动激光照射装置的载物台而进行, 载物台的移动速度与激光束的扫描速度相对应。通过调整激光束 122 的扫描速度, 对单晶半导体层 117 的同一区域照射 1 至 20 次的激光束 122。激光束 122 的照射次数优选为 1 以上 11 以下。通过照射 1 次的激光束 122 使单晶半导体层 117 熔化, 而可以实现再单晶化及其表面的平坦化。照射次数越少, 激光照射处理的节拍时间越短。

[0234] 通过进行照射激光束 122 而熔化的加热处理、以及之后不使其熔化的加热处理，可以获得更完全的单晶半导体层。通过使用固定了上述具有优良结晶性的单晶半导体层 112 的半导体衬底 10，可以形成具有高导通电流及高场效应迁移率的晶体管。

[0235] 在对单晶半导体层 117 照射激光束 122 之前，可以蚀刻单晶半导体层 117。通过进行该蚀刻，可以去除在单晶半导体层 117 的分离面上残留的损伤区域 115。通过去除损伤区域 115，可以提高利用激光束 122 照射的表面平坦化效果及结晶性的恢复效果。

[0236] 作为上述蚀刻，可以使用干蚀刻法或湿蚀刻法。在干蚀刻法中，作为蚀刻气体，可以使用氯化硼、氯化硅或四氯化碳等的氯化物气体、氯气体、氟化硫或氟化氮等的氟化物气体、氧气体等。在湿蚀刻法中，作为蚀刻液，可以使用四甲基氢氧化铵 (tetramethyl ammoniumhydroxide, 简称 TMAH) 溶液。

[0237] 优选地是，在进行上述蚀刻的情况下，对单晶半导体层 117 照射激光束 122 前，对形成在被进行了蚀刻处理的单晶半导体层 117 表面上的自然氧化膜等的氧化膜进行去除处理。可以通过使用氢氟酸处理单晶半导体层 117 来进行氧化膜的去除处理。

[0238] 在照射激光束 122 之后，进行以不使单晶半导体层 119 熔化的温度加热的加热处理。图 5B 是说明该加热处理步骤的截面图。图 5B 示出利用电磁波 124 的辐射加热单晶半导体层 119。单晶半导体层 119 的加热不局限于电磁波 124 的辐射，而可以利用热传导加热单晶半导体层 119。当然，可以组合辐射和热传导加热单晶半导体层 119。

[0239] 图 5C 是示出加热处理后的半导体衬底的结构的截面图。单晶半导体层 112 相当于在不使单晶半导体层熔化的温度下加热了的单晶半导体层 119。另外，图 5C 的外观图为图 1。

[0240] 图 5B 所示的加热处理可以使用加热炉如扩散炉或电阻加热炉等、RTA 装置、微波加热装置等。

[0241] 为了修复单晶半导体层 119 的缺陷等，单晶半导体层 119 的温度为 400℃以上。另外，该加热温度是不使单晶半导体层 119 熔化的温度，并是支撑衬底 100 的应变点以下的温度。该加热温度优选为 500℃以上，例如可以为 500℃以上 650℃以下，更优选将单晶半导体层 119 加热到 550℃以上。

[0242] 加热处理的气氛可以为惰性气体气氛。惰性气体指的是在该加热处理中不与单晶半导体层的表面起反应而形成氧化膜的分子或原子的气体。例如，惰性气体有氮气体 (N_2 气体)、氩、氖等稀有气体等。另外，惰性气体气氛中的氧浓度优选为 30ppm 以下，更优选为 10ppm 以下。另外，通过将加热处理的气氛设定为减压状态（真空状态），可以防止单晶半导体层表面的氧化。压力优选为 1×10^{-3} 至 5×10^{-3} pa。

[0243] 通过进行加热处理，可以使单晶半导体层 112 的寿命比没进行加热处理的单晶半导体层 119 高。其理由不明确，但是可以认为：通过进行不使单晶半导体层 119 熔化的加热处理，修复了在激光照射步骤中没有修复的单晶半导体层 119 内部的微小缺陷，并修复了缓冲层 111 和单晶半导体层 119 的界面上的悬空键。为了得到提高寿命的效果，加热温度为 400℃以上，优选为 500℃以上，更优选为 550℃以上。

[0244] 在光照射到半导体（硅）上时，在半导体中产生电子及空穴（载流子），过了一段时间后，电子和空穴复合而消灭。上述从载流子产生开始直到载流子复合而消灭的平均寿命被称为寿命 (life time)。寿命还被称为复合寿命及载流子寿命。寿命越长，半导体中的

缺陷和杂质越少。因此,通过使用寿命长的单晶半导体层,可以制造电特性优良且可靠性高的晶体管。

[0245] 如上所述,在本实施方式中,通过进行照射激光束 122 而熔化的加热处理、以及之后不使其熔化的加热处理,可以获得更完全的单晶半导体层 112。通过使用固定了上述具有优良结晶性的单晶半导体层 112 的半导体衬底 10,可以形成具有高导通电流及高场效应迁移率的晶体管。

[0246] 另外,在当图 4B 所示的损伤区域 115 的形成时通过离子掺杂法使用氢气体作为源气体将氢离子添加在单晶半导体衬底 110 中的情况下,从单晶半导体衬底 110 分离了的单晶半导体层 117 也包含高浓度的氢。被进行了图 5A 所示的激光照射步骤及图 5B 所示的加热处理的单晶半导体层 112 的氢浓度比单晶半导体层 117 低。通过将工艺温度设定为 700℃以下,可以使氢浓度为 5×10^{18} 原子 / cm^3 以上 5×10^{20} 原子 / cm^3 以下。其氢浓度优选为 1×10^{19} 原子 / cm^3 以上 1×10^{20} 原子 / cm^3 以下。若氢浓度变高,则单晶半导体层 112 的氢浓度容易变动,这成为降低半导体装置的可靠性的原因。

[0247] 例如,在使用电阻加热炉进行图 5B 所示的加热处理的情况下,以处理温度 500℃对单晶半导体层 119 加热 1 小时,然后,将加热温度上升到 550℃以上 650℃以下,在该温度下加热 4 小时。或者,以处理温度 500℃对单晶半导体层 119 加热 1 小时,然后,将加热温度上升到 600℃,在 600℃的温度下加热 4 小时。在使用 RTA 装置的情况下,进行处理温度为 600℃以上 700℃以下且处理时间为 0.5 分钟以上 30 分钟以下的加热处理。

[0248] 也可以在对单晶半导体层 117 照射激光束 122 之后,将单晶半导体层 119 蚀刻而薄膜化。可以根据从单晶半导体层 112 形成的元件的特性决定单晶半导体层 119 的厚度。为了在被贴合在支撑衬底 100 上的单晶半导体层 112 的表面上以台阶覆盖性高的方式形成薄栅极绝缘层,单晶半导体层 119 的厚度优选为 50nm 以下,其厚度为 50nm 以下 5nm 以上即可。上述薄膜化步骤优选在图 5B 所示的加热处理前进行。这是因为可以通过进行图 5B 所示的加热处理修复由薄膜化步骤中的蚀刻导致的单晶半导体层 119 的损伤的缘故。

[0249] 作为用来使单晶半导体层 119 薄膜化的蚀刻,可以使用干蚀刻法或湿蚀刻法。在干蚀刻法中,作为蚀刻气体,可以使用氯化硼、氯化硅或四氯化碳等的氯化物气体、氯气体、氟化硫或氟化氮等的氟化物气体、氧气体等。在湿蚀刻法中,作为蚀刻液,可以使用 TMAH 溶液。

[0250] 由于可以在 700℃以下的温度下进行图 4A 至图 5C 的步骤,所以可以使用应变温度为 700℃以下的玻璃衬底作为支撑衬底 100。因此,可以使用廉价的玻璃衬底,而可以降低半导体衬底 10 的材料成本。

[0251] 另外,根据本实施方式的方法,可以在一个支撑衬底 100 上贴合多个单晶半导体层 112。通过对单晶半导体衬底 110 进行图 4A 至图 4C 所示的步骤,形成多个具有图 4C 所示的结构的单晶半导体衬底 110。然后,通过反复进行多次的图 4D 所示的步骤,在一个支撑衬底 100 上贴合多个单晶半导体衬底 110。然后,通过进行图 4E 至图 5C 所示的步骤,可以制造图 2 所示的半导体衬底 20,该半导体衬底 20 由贴合有多个单晶半导体层 112 的支撑衬底 100 构成。

[0252] 为了制造半导体衬底 20,优选使用 300mm×300mm 以上的玻璃衬底作为支撑衬底 100。作为大面积玻璃衬底,用来制造液晶面板的 母体玻璃衬底是优选的。作为母体玻

璃衬底,已知第3代(550mm×650mm)、第3.5代(600mm×720mm)、第4代(680mm×880mm、或730mm×920mm)、第5代(1100mm×1300mm)、第6代(1500mm×1850mm)、第7代(1870mm×2200mm)、第8代(2200mm×2400mm)等的尺寸的衬底。

[0253] 通过使用母体玻璃衬底等大面积衬底作为支撑衬底100,可以实现SOI衬底的大面积化。若能够实现SOI衬底的大面积化,则可以从一个SOI衬底制造多个IC、LSI等芯片,而可以增加能够使用一个衬底制造的芯片个数,而可以显著提高生产性。

[0254] 如图2的半导体衬底20所示,在使用玻璃衬底等容易弯曲且脆弱的支撑衬底作为支撑衬底100的情况下,难以对贴合在一个支撑衬底上的多个单晶半导体层112进行抛光处理以实现平坦化。在本实施方式中,通过激光束122的照射处理,进行上述平坦化处理,因此可以使贴合在一个支撑衬底100上的多个单晶半导体层117平坦化,而不施加损坏支撑衬底100的力量,并不在超过应变点的温度下加热支撑衬底100。就是说,激光束照射处理是在图2所示的固定有多个单晶半导体层112的半导体衬底20的制造步骤中非常重要的处理。就是说,本实施方式中的激光束照射处理是与现有的SOI衬底的制造技术根本不相同的新技术,完全不可能从现有技术中想到。

[0255] 如本实施方式所示,本发明关于如下方法提供与现有技术不同的新技术:进行通过激光照射处理使单晶半导体层熔化而使它再结晶及平坦化的激光处理步骤,然后进行不使单晶半导体层熔化的加热处理,以在玻璃衬底上形成包含其浓度为 5×10^{18} 原子/cm³以上的氢且提高了寿命的单晶半导体层的方法。另外,本实施方式提供一种用来在玻璃衬底上固定包含其浓度为 5×10^{18} 原子/cm³以上的氢的单晶半导体层的技术。通过使用本实施方式的半导体衬底形成包括晶体管的半导体装置,可以制造高性能及多功能的半导体装置。

[0256] 本实施方式的半导体衬底的制造方法可以与其他实施方式的半导体衬底的制造方法、以及其他实施方式的半导体装置的制造方法组合。

[0257] 实施方式2

[0258] 在本实施方式中,说明单晶半导体层隔着缓冲层固定于支撑衬底上的半导体衬底及其制造方法。在本实施方式中,说明在支撑衬底上形成缓冲层来制造半导体衬底的方法。

[0259] 图6是示出半导体衬底的结构例子的立体图。半导体衬底30是在支撑衬底100上贴合有单晶半导体层112。单晶半导体层112是将单晶半导体衬底的厚度减薄而形成的层,它隔着缓冲层111及缓冲层101固定在支撑衬底100上。半导体衬底30是所谓的SOI结构的衬底,它是在绝缘层上形成有单晶半导体层的衬底。形成在支撑衬底100上的缓冲层101的表面和形成在单晶半导体层112上的缓冲层111的表面接合,而使单晶半导体层112固定于支撑衬底100上。

[0260] 缓冲层101是具有单层结构的膜、或具有层叠了两层以上的膜的多层结构的膜。构成缓冲层101的膜由对支撑衬底100的表面进行成膜处理而形成的膜构成。在本实施方式中,缓冲层101具有两层结构,即从支撑衬底100一侧层叠了绝缘层103及104。在本实施方式中,与支撑衬底100密接而形成的绝缘层103用作阻挡层。另外,缓冲层111是具有单层结构的膜、或具有层叠了两层以上的膜的多层结构的膜。构成缓冲层111的膜由对单晶半导体衬底的表面进行成膜处理而形成的膜构成。在本实施方式中,缓冲层111具有单层结构,即由绝缘层131构成。

[0261] 下面,参照图 8 至图 10C 说明图 6 所示的半导体衬底 30 的制造方法。

[0262] 首先,说明在支撑衬底 100 上形成缓冲层 101 的步骤。图 8 是说明形成缓冲层 101 的步骤的截面图。构成缓冲层 101 的膜,可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化锗膜、氮化锗膜、氧氮化锗膜、氮氧化锗膜等包含硅或锗作为其组成的绝缘膜。此外,还可以使用:由氧化铝、氧化钽、氧化铪等金属的氧化物构成的绝缘膜;由氮化铝等金属的氮化物构成的绝缘膜;由氧氮化铝膜等金属的氧氮化物构成的绝缘膜;由氮氧化铝膜等金属的氮氧化物构成的绝缘膜。构成缓冲层 101 的绝缘膜通过使用 CVD 法、溅镀法等的方法而形成。

[0263] 缓冲层 101 优选包含用来防止钠侵入单晶半导体层 112 的阻挡层。阻挡层可以由一层或两层以上构成。例如,在使用包含碱金属或碱土金属等降低半导体装置的可靠性的杂质的衬底作为支撑衬底 100 的情况下,当加热支撑衬底 100 时,有时会导致上述杂质从支撑衬底 100 扩散到单晶半导体层 112。因此,通过在缓冲层 101 上形成阻挡层,可以防止上述碱金属或碱土金属等降低半导体装置的可靠性的杂质移动到单晶半导体层 112。作为用作阻挡层的膜,有氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜等。通过包含这种膜,可以将缓冲层 101 用作阻挡层。

[0264] 例如,在缓冲层 101 具有单层结构的情况下,缓冲层 101 优选由用作阻挡层的膜构成。在此情况下,可以使用厚度为 5nm 以上 200nm 以下的氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜,来形成具有单层结构的缓冲层 101。

[0265] 在缓冲层 101 具有包含一个阻挡层的两层结构的情况下,与支撑衬底 100 密接而形成的膜由用来阻挡钠等杂质的阻挡层构成。在本实施方式中,绝缘层 103 由用作阻挡层的绝缘膜构成。绝缘层 103 可以由 5nm 至 200nm 厚的氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜构成。

[0266] 这些用作阻挡层的膜虽然具有防止杂质扩散的高阻挡效果,但是具有高内部应力。因此,作为与绝缘层 103 密接而形成的绝缘层 104,优选形成具有缓和缓冲层 101 的应力的效果的膜。作为这种绝缘膜,可以举出氧化硅膜及氧氮化硅膜等。绝缘层 104 的厚度可以为 5nm 以上 300nm 以下。因为绝缘层 104 的上表面成为接合面,其平均粗糙度 Ra 优选为 0.7nm 以下,更优选为 0.4nm 以下。另外,绝缘层 104 的厚度可以为 10nm 以上 200nm 以下。该厚度优选为 5nm 以上 500nm 以下,更优选为 10nm 以上 200nm 以下。

[0267] 例如,作为绝缘层 103,可以使用 SiH₄ 及 N₂O 作为工艺气体通过 PECVD 法形成氧氮化硅膜。另外,作为绝缘层 104,可以使用有机硅烷气体及氧作为工艺气体通过 PECVD 法形成氧化硅膜。

[0268] 例如,在使用 PECVD 法形成由氮氧化硅构成的绝缘层 103 和由氧氮化硅构成的绝缘层 104 的情况下,将支撑衬底 100 传送到 PECVD 装置的处理室中。然后,将 SiH₄、N₂O、NH₃、H₂ 及 N₂O 作为用来形成绝缘层 103 的工艺气体引入到处理室中,来产生该工艺气体的等离子体,以在支撑衬底 100 上形成氮氧化硅膜。接着,将引入到处理室内的气体换成用来形成绝缘层 104 的工艺气体。这里,使用 SiH₄ 及 N₂O。通过产生这些混合气体的等离子体,连续地在氮氧化硅膜上形成氧氮化硅膜。另外,在使用具有多个处理室的 PECVD 装置的情况下,可以在不相同的处理室中分别形成氧氮化硅膜和氮氧化硅膜。当然,通过改变引入到处理室内的气体,可以形成氧化硅膜作为下层,且可以形成氮化硅膜作为上层。

[0269] 通过如上所述那样连续地形成绝缘层 103 及 104,可以在多个支撑衬底 100 上高产率地形成缓冲层 101。另外,因为能够不接触大气地形成绝缘层 103 及 104,可以防止绝缘层 103 及 104 的界面被大气污染。

[0270] 接着,参照图 9A 至 9E 说明处理单晶半导体衬底 110 的方法。首先,与实施方式 1 同样地清洗单晶半导体衬底 110 来使它干净。然后,如图 9A 所示,在单晶半导体衬底 110 的表面上形成保护膜 132。形成保护膜 132 的目的如下:在离子照射步骤中,防止单晶半导体衬底 110 被金属等杂质污染;并防止单晶半导体衬底 110 的表面因照射离子的冲击而损伤;等等。上述保护膜 132 可以通过 CVD 法等堆积氧化硅、氮化硅、氮氧化硅、氧氮化硅等的绝缘材料而形成。另外,可以使单晶半导体衬底 110 氧化或氮化,以形成保护膜 132。例如,为了使单晶半导体衬底 110 氧化以形成由氧化膜构成的保护膜 132,可以进行热氧化处理(干氧化处理、水蒸气氧化处理)、利用含臭氧水的氧化处理。在进行干氧化处理的情况下,优选在氧化气氛中添加包含卤素的气体。作为包含卤素的气体,可以使用选自 HCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 等中的一种或多种气体。

[0271] 接着,如图 9B 所示,将由被电场加速了的离子构成的离子 121 隔着保护膜 132 照射到单晶半导体衬底 110,以在离单晶半导体衬底 110 表面有预定深度的区域中形成损伤区域 115。可以使用与实施方式 1 的损伤区域 115 的形成方法相同的方法进行上述步骤。

[0272] 在形成损伤区域 115 之后,去除保护膜 132。然后,如图 9C 所示,在单晶半导体衬底 110 的上表面上形成构成缓冲层 111 的绝缘层 131。绝缘层 131 可以与图 4A 所示的第一绝缘层 113a 同样地形成。另外,可以对单晶半导体衬底 110 进行氧化处理而形成绝缘层 131。另外,氧化处理的工艺温度为添加到损伤区域 115 中的元素或分子不析出的温度,该加热温度优选为 350℃以下。作为这种低温氧化处理,可以进行利用含臭氧水的氧化处理、利用等离子体处理或高密度等离子体处理的氧化处理等。

[0273] 绝缘层 131 是用来在单晶半导体衬底 110 表面上形成平滑且具有亲水性的接合面的层。因此,绝缘层 131 的平均粗糙度 Ra 优选为 0.7nm 以下,更优选为 0.4nm 以下。另外,绝缘层 131 的厚度可以为 10nm 以上 200nm 以下。该厚度优选为 5nm 以上 500nm 以下,更优选为 10nm 以上 200nm 以下。

[0274] 绝缘层 131 可以由利用化学气相反应而形成的绝缘膜构成。例如,可以形成氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜等作为绝缘层 131。在使用 PECVD 法形成氧化硅膜作为绝缘层 131 的情况下,优选使用有机硅烷气体及氧(O₂)气体作为源气体。通过使用有机硅烷作为源气体,可以在 350℃以下的工艺温度下形成具有平滑表面的氧化硅膜。另外,可以使用热 CVD 法在 500℃以下 200℃以上的加热温度下形成 LT0 (low temperature oxide, 即低温氧化物)。在形成 LT0 时,可以使用甲硅烷(SiH₄)或乙硅烷(Si₂H₆)等作为硅源气体,并可以使用一氧化二氮(NO₂)等作为氧源气体。

[0275] 例如,使用 TEOS 和 O₂ 作为源气体形成由氧化硅膜构成的绝缘层 131 时的条件如下:将 TEOS 以流量 15sccm 引入到处理室内,并将 O₂ 以流量 750sccm 引入到处理室内;成膜压力为 100Pa;成膜温度 300℃;RF 输出为 300W;电源频率为 13.56MHz。

[0276] 接着,清洗形成有损伤区域 115 及缓冲层 111 的单晶半导体衬底 110 和形成有缓冲层 101 的支撑衬底 100。可以采用利用纯水的超声波清洗进行上述清洗步骤。超声波清洗优选为兆赫超声波清洗(兆频超声波清洗)。在进行超声波清洗之后,优选使用含臭氧水

清洗单晶半导体衬底 110 及支撑衬底 100 中的单方或双方。通过使用含臭氧水清洗,可以去除有机物,并可以进行用来提高缓冲层 101 及缓冲层 111 的亲水性的表面活化处理。

[0277] 另外,作为对缓冲层 101 及缓冲层 111 的表面活化处理,除了使用含臭氧水的清洗之外,还可以进行原子束或离子束的照射处理、等离子体处理、或自由基处理。在进行原子束或离子束照射处理的情况下,通过激发氩等稀有气体,产生中性原子束或离子束。

[0278] 图 9D 是说明接合步骤的截面图。该接合步骤可以与图 4D 的接合步骤同样地实施。通过隔着缓冲层 101 及缓冲层 111 密接支撑衬底 100 和单晶半导体衬底 110,接合缓冲层 101 表面和缓冲层 111 表面,以在支撑衬底 100 上固定单晶半导体衬底 110。

[0279] 在贴合支撑衬底 100 和单晶半导体衬底 110 之后,优选进行加热处理,以增加缓冲层 101 和缓冲层 111 的接合界面的结合力。上述处理温度为不在损伤区域 115 中产生裂缝的温度,而可以以 200°C 以上 450°C 以下的温度进行处理。

[0280] 接着,通过进行加热处理,在损伤区域 115 中引起剥离而从单晶半导体衬底 110 分离单晶半导体层 117。图 9E 是说明从单晶半导体衬底 110 分离单晶半导体层 117 的分离步骤的图。这个步骤可以与图 4E 的分离步骤相同。

[0281] 通过进行加热处理,在损伤区域 115 的微小孔中引起体积变化,并在损伤区域 115 中产生裂缝,而沿损伤区域 115 分离单晶半导体衬底 110。因此,如图 9E 所示,从单晶半导体衬底 110 分离了的单晶 半导体层 117 被固定于支撑衬底 100 上。

[0282] 接着,如图 10A 所示,对密接在支撑衬底 100 上的单晶半导体层 117 照射激光束 122。这个激光照射步骤可以与实施方式 1(参照图 5A) 的激光照射步骤同样地进行。边用激光束 122 对单晶半导体层 117 进行扫描,边将激光束 122 照射到单晶半导体层 117 的分离面,而使单晶半导体层 117 熔化,以形成再单晶化了且其表面被平坦化了的单晶半导体层 119。

[0283] 在照射激光束 122 时,加热固定在支撑衬底上 100 的单晶半导体层 117,使得单晶半导体层 117 的温度上升。加热温度可以为 200°C 以上且支撑衬底 100 的应变点以下。加热温度优选为 400°C 以上,更优选为 450°C 以上。具体地说,加热温度优选为 400°C 以上 670°C 以下,更优选为 450°C 以上 650°C 以下。

[0284] 通过加热单晶半导体层,可以去除单晶半导体层中的悬空键、单晶半导体层与基底膜的界面对具有的缺陷等的微小缺陷,而可以获得更完全的单晶半导体层。通过使用固定了位错等结晶缺陷或悬空键等微小结晶缺陷少的单晶半导体层 112 的半导体衬底 30,可以形成具有高导通电流及高场效应迁移率的晶体管。

[0285] 在对单晶半导体层 117 照射激光束 122 之前,可以蚀刻单晶半导体层 117。优选地是,通过进行该蚀刻,去除在单晶半导体层 117 的分离面上残留的损伤区域 115。通过去除损伤区域 115,可以提高利用激光束 122 照射的表面平坦化效果及结晶性的恢复效果。

[0286] 作为上述蚀刻,可以使用干蚀刻法或湿蚀刻法。在干蚀刻法中,作为蚀刻气体,可以使用氯化硼、氯化硅或四氯化碳等的氯化物气体、氯气体、氟化硫或氟化氮等的氟化物气体、氧气体等。在湿蚀刻法中,作为蚀刻液,可以使用四甲基氢氧化铵 (tetramethyl ammoniumhydroxide, 简称 TMAH) 溶液。

[0287] 也可以在对单晶半导体层 117 照射激光束 122 之后,将单晶半导体层 112 蚀刻而薄膜化。可以根据从单晶半导体层 112 形成的元件的特性决定单晶半导体层 112 的厚度。

为了在被贴合在支撑衬底 100 上的单晶半导体层 112 的表面上以台阶覆盖性高的方式形成薄栅极绝缘层，单晶半导体层 112 的厚度优选为 50nm 以下，可以为 50nm 以下 5nm 以上。

[0288] 作为用来使单晶半导体层 112 薄膜化的蚀刻，可以使用干蚀刻法或湿蚀刻法。在干蚀刻法中，作为蚀刻气体，可以使用氯化硼、氯化硅或四氯化碳等的氯化物气体、氯气体、氟化硫或氟化氮等的氟化物气体、氧气体等。在湿蚀刻法中，作为蚀刻液，可以使用 TMAH 溶液。

[0289] 接着，为了修复单晶半导体层 119 的缺陷等，以不使单晶半导体层 119 熔化的温度进行加热处理。图 10B 是示出利用电磁波 124 的辐射加热单晶半导体层 119 的截面图。上述加热处理可以与实施方式 1 的加热处理（参照图 5B）同样地进行。通过进行 400℃以上的加热处理，可以提高单晶半导体层 112 的寿命。

[0290] 通过上述步骤，可以制造单晶半导体层 112 隔着缓冲层 101 及缓冲层 111 固定于支撑衬底 100 上的半导体衬底 30（参照图 10C，参照图 6）。

[0291] 另外，在当图 9B 所示的损伤区域 115 的形成时通过离子掺杂法使用氢气体作为源气体将氢离子添加在单晶半导体衬底 110 中的情况下，从单晶半导体衬底 110 分离了的单晶半导体层 117 也包含高浓度的氢。被进行了图 10B 所示的加热处理后的单晶半导体层 112 的氢浓度比单晶半导体层 117 低。通过将工艺温度设定为 700℃以下，可以使氢浓度为 5×10^{18} 原子 / cm^3 至 5×10^{20} 原子 / cm^3 。单晶半导体层 112 的氢浓度优选为 1×10^{19} 原子 / cm^3 以上 1×10^{20} 原子 / cm^3 以下。若氢浓度变高，则单晶半导体层 112 的氢浓度容易变动，这成为降低半导体装置的可靠性的原因。

[0292] 由于可以在 700℃以下的温度下进行图 9A 至图 10B 的步骤，所以可以使用耐热温度为 700℃以下的玻璃衬底作为支撑衬底 100。因此，可以使用廉价的玻璃衬底，而可以降低半导体衬底 30 的材料成本。

[0293] 与实施方式 1 的半导体衬底 10（参照图 1）不同，本实施方式的半导体衬底 30 中的支撑衬底 100 表面被缓冲层 101 覆盖。因此，通过设置阻挡层作为半导体衬底 30 的缓冲层 101，可以使防止单晶半导体层 112 污染的效果比实施方式 1 的半导体衬底 10 高。

[0294] 另外，根据本实施方式的方法，可以在一个支撑衬底 100 上贴合多个单晶半导体层 112。如图 8 所示，准备形成有缓冲层 101 的支撑衬底 100。缓冲层 101 优选包含用作阻挡层的层。通过反复进行图 9A 至图 9C 所示的步骤，形成多个形成有缓冲层 111 及损伤区域 115 的单晶半导体衬底 110。然后，在形成有缓冲层 101 的支撑衬底 100 上贴合多个具有图 9C 所示的结构的单晶半导体衬底 110。接着，通过进行图 9E 至图 10B 所示的步骤，可以制造图 7 所示的在一个支撑衬底 100 上贴合有多个半导体层 112 的半导体衬底 40。

[0295] 为了制造半导体衬底 40，可以使用 300mm × 300mm 以上的玻璃衬底作为支撑衬底 100。作为大面积玻璃衬底，用来制造液晶面板的母体玻璃衬底是优选的。作为母体玻璃衬底，已知第 3 代（550mm × 650mm）、第 3.5 代（600mm × 720mm）、第 4 代（680mm × 880mm、或 730mm × 920mm）、第 5 代（1100mm × 1300mm）、第 6 代（1500mm × 1850mm）、第 7 代（1870mm × 2200mm）、第 8 代（2200mm × 2400mm）等的尺寸的衬底。

[0296] 通过使用母体玻璃衬底等大面积衬底作为支撑衬底 100，可以实现 SOI 衬底的大面积化。若能够实现 SOI 衬底的大面积化，则可以从一个 SOI 衬底制造多个 IC、LSI 等芯片，而可以增加能够使用一个衬底制造的芯片个数，而可以显著提高生产性。

[0297] 如图 7 的半导体衬底 40 所示,在使用玻璃衬底等容易弯曲且脆弱的支撑衬底的情况下,对贴合在一个支撑衬底上的多个单晶半导体层进行抛光处理以实现平坦化是极为困难的。在本实施方式中,通过激光束 122 的照射处理,进行上述平坦化处理,因此可以使固定在一个支撑衬底 100 上的单晶半导体层 117 平坦化,而无需施加损坏支撑衬底 100 的力量,且无需在超过应变点的温度下加热支撑衬底 100。就是说,激光束照射处理是在图 7 所示的固定有多个单晶半导体层的半导体衬底 40 的制造步骤中非常重要的处理。

[0298] 如本实施方式所示,本发明关于如下方法提供与现有技术不同的新技术:进行通过激光照射处理使单晶半导体层熔化而使它再结晶及平坦化的激光处理步骤,然后进行不使单晶半导体层熔化的加热处理,以在玻璃衬底上形成包含其浓度为 5×10^{18} 原子 / cm^3 以上的氢且提高了寿命的单晶半导体层的方法。另外,本实施方式提供一种用来在玻璃衬底上固定包含其浓度为 5×10^{18} 原子 / cm^3 以上的氢的单晶半导体层的技术。通过使用本实施方式的半导体衬底形成包括晶体管的半导体装置,可以制造高性能及多功能的半导体装置。

[0299] 本实施方式的半导体衬底的制造方法可以与其他实施方式的半导体衬底的制造方法、以及其他实施方式的半导体装置的制造方法组合。

[0300] 实施方式 3

[0301] 在本实施方式中,说明单晶半导体层隔着缓冲层固定于支撑衬底上的半导体衬底及其制造方法。在本实施方式中,说明使用一个半导体衬底将多个单晶半导体层固定于支撑衬底上的方法。

[0302] 首先,对单晶半导体衬底 110 进行实施方式 1 的图 4A 至图 4D 的步骤。将被加工了的单晶半导体衬底 110 的截面图示出于图 11A。

[0303] 接着,为了将通过沿损伤区域 115 进行分割而分割成多个的单晶半导体层固定于支撑衬底上,蚀刻缓冲层 111 及单晶半导体衬底 110,以形成槽 145。图 11B 是形成有槽 145 的单晶半导体衬底 110 的截面图,而图 11E 是平面图。图 11B 是沿图 11E 的 x-x 线的截面图。

[0304] 单晶半导体衬底 140 对应于形成有槽 145 的单晶半导体衬底 110。单晶半导体衬底 140 具有多个凸部。使槽 145 的底面比损伤区域 115 深,以使凸部包含损伤区域 115。由此,可以将被分割了的单晶半导体层固定于支撑衬底上。注意,将设置有缓冲层 111 的单晶半导体衬底 140 称为单晶半导体衬底 141。

[0305] 接着,在清洗单晶半导体衬底 141 和支撑衬底 100 之后,如图 11C 所示那样接合单晶半导体衬底 141 和支撑衬底。这个步骤可以与实施方式 1 同样地进行。

[0306] 接着,通过进行加热处理,如图 11D 所示那样在单晶半导体衬底 140 的损伤区域 115 中引起分离。由于在单晶半导体衬底 141 中形成有槽 145,所以多个单晶半导体层 147 隔着缓冲层 111 固定于支撑衬底 100 上。单晶半导体衬底 148 是分离了单晶半导体层 147 后的单晶半导体衬底 140。用来分割单晶半导体衬底 140 的加热处理可以与实施方式 1 同样地进行。

[0307] 接着,如图 12A 所示,对密接在支撑衬底 100 上的单晶半导体层 147 照射激光束 122。这个激光照射步骤可以与实施方式 1(参照图 5A) 的激光照射步骤同样地进行。边用激光束 122 对单晶半导体层 147 进行扫描,边将激光束 122 照射到单晶半导体层 147 的分

离面。通过照射激光束 122 使单晶半导体层 147 熔化,以形成再单晶化了且平坦化了的单晶半导体层 149。另外,也可以与实施方式 1 同样地在进行激光束照射步骤之前对单晶半导体层 147 进行蚀刻处理。

[0308] 接着,为了修复单晶半导体层 149 的缺陷等,以不使单晶半导体层 149 熔化的温度进行加热处理。图 12B 是示出利用电磁波 124 的辐射加热单晶半导体层 149 的截面图。注意,单晶半导体层 149 的加热不局限于电磁波 124 的辐射。上述加热处理可以与实施方式 1 的加热处理(参照图 5B)同样地进行。通过进行 400℃以上的加热处理,可以提高单晶半导体层 142 的寿命。另外,可以与实施方式 1 同样地在进行加热处理步骤之前对单晶半导体层 149 进行蚀刻处理。

[0309] 通过上述步骤,可以制造多个单晶半导体层 142 隔着缓冲层 111 固定于支撑衬底 100 上的半导体衬底 50(参照图 12C)。图 12D 是半导体衬底 50 的平面图,而图 12C 是沿图 12D 的 x-x 线的截面图。

[0310] 另外,在本实施方式中,在当形成损伤区域 115 时通过离子掺杂法使用氢气体作为源气体将氢离子添加在单晶半导体衬底 110 中的情况下,从单晶半导体衬底 110 分离了的单晶半导体层 147 也包含高浓度的氢。图 12C 所示的被进行了加热处理后的单晶半导体层 142 的氢浓度比单晶半导体层 147 低。通过将工艺温度设定为 700℃以下,可以使单晶半导体层 142 包含 5×10^{18} 原子/ cm^3 以上 5×10^{20} 原子/ cm^3 以下的氢。单晶半导体层 142 的氢浓度优选为 1×10^{19} 原子/ cm^3 以上 1×10^{20} 原子/ cm^3 以下。若氢浓度变高,则单晶半导体层 142 的氢浓度容易变动,这成为降低半导体装置的可靠性的原因。

[0311] 如本实施方式所示,本发明关于如下方法提供与现有技术不同的新技术:进行通过激光照射处理使单晶半导体层熔化而使它再结晶及平坦化的激光处理步骤,然后进行不使单晶半导体层熔化的加热处理,以在玻璃衬底上形成提高了寿命的单晶半导体层的方法。另外,本实施方式提供一种用来在玻璃衬底上固定包含其浓度为 5×10^{18} 原子/ cm^3 以上的氢的单晶半导体层的技术。通过使用本实施方式的半导体衬底形成包括晶体管的半导体装置,可以制造高性能及多功能的半导体装置。

[0312] 本实施方式的半导体衬底的制造方法可以与其他实施方式的半导体衬底的制造方法、以及半导体装置的制造方法组合。例如,在本实施方式中,可以如实施方式 2 所示那样在支撑衬底 100 上形成缓冲层 101。

[0313] 实施方式 4

[0314] 在本实施方式中,说明单晶半导体层隔着缓冲层固定于支撑衬底上的半导体衬底及其制造方法。在本实施方式中,说明将多个单晶半导体衬底贴合在支撑衬底上来将多个单晶半导体层固定于支撑衬底上的方法。

[0315] 图 13A 是示出半导体衬底的结构例子的截面图。而图 13B 是平面图。图 13A 是沿图 13B 的 x-x 线的截面图。在本实施方式中,在一个支撑衬底 100 上隔着缓冲层 111 固定有 25 个单晶半导体层 152。单晶半导体层 152 是从单晶半导体衬底 110 分离了的层。其他结构与实施方式 1 的半导体衬底 10 相同。下面,参照图 14A 至 16B 说明本实施方式的半导体衬底的制造方法。

[0316] 首先,对单晶半导体衬底 110 进行实施方式 1 的图 4A 至图 4D 的步骤。将被加工了的单晶半导体衬底 110 的截面图示出于图 14A。

[0317] 接着,如图 14B 所示,通过蚀刻缓冲层 111 及单晶半导体衬底 110 的周围,在周围中形成台阶 155。为了通过在损伤区域 115 中分离而将多个被分离了的单晶半导体层 152 固定于支撑衬底 100 上,形成台阶 155。图 14B 是形成有台阶 155 的单晶半导体衬底 110 的截面图,而图 14C 是平面图。图 14B 是沿图 14C 的 x-x 线的截面图。

[0318] 单晶半导体衬底 150 对应于形成有台阶 155 的单晶半导体衬底 110。单晶半导体衬底 150 具有包含损伤区域 115 的凸部。就是说,蚀刻单晶半导体衬底 110,以使台阶 155 的底部比损伤区域 115 深。由此,可以容易减小半导体衬底 60 中的相邻单晶半导体层 152 的间隔。注意,将设置有缓冲层 111 的单晶半导体衬底 150 称为单晶半导体衬底 151。

[0319] 接着,在清洗单晶半导体衬底 151 和支撑衬底 100 之后,如图 15A 所示那样接合多个单晶半导体衬底 151 和支撑衬底 100。这个步骤可以与实施方式 1 同样地进行,但是接合多个单晶半导体衬底 151 这一点与实施方式 1 不相同。多个单晶半导体衬底 151 不是邻接的,而是隔开一个地接合的。

[0320] 接着,通过进行加热处理,如图 15B 所示那样在单晶半导体衬底 151 的损伤区域 115 中引起分离。上述加热处理可以与实施方式 1 同样地进行。单晶半导体衬底 158 是分离了单晶半导体层 157 后的单晶半导体衬底 150。

[0321] 再者,如图 15C 所示,在支撑衬底 100 上的单晶半导体层 157 之间接合多个单晶半导体衬底 151。接着,通过进行加热处理,如图 15D 所示那样在单晶半导体衬底 151 的损伤区域 115 中引起分离。上述加热处理可以与实施方式 1 同样地进行。通过反复进行图 15A 至 15D 的步骤,可以在一个支撑衬底 100 上将多个单晶半导体层 157 接地固定。由于在单晶半导体衬底 151 的周围形成台阶 155,所以如图 15C 所示,可以不接触单晶半导体层 157 而容易地接合单晶半导体衬底 151。在本实施方式中,不必在所有单晶半导体衬底 151 中形成台阶 155。例如,在图 15A 中,可以贴合不形成有台阶 155,即具有图 14A 的结构的单晶半导体衬底 110。通过形成台阶 155,可以容易地减小相邻的两个单晶半导体层 157 的间隔。

[0322] 接着,如图 16A 所示,对密接在支撑衬底 100 上的多个单晶半导体层 157 照射激光束 122。这个激光照射步骤可以与实施方式 1(参照图 5A)的激光照射步骤同样地进行。边用激光束 122 对单晶半导体层 157 进行扫描,边将激光束 122 照射到单晶半导体层 157 的分离面。通过照射激光束 122,使单晶半导体层 157 熔化并再结晶,以形成提高了结晶性且其表面被平坦化了的单晶半导体层 159。另外,可以与实施方式 1 同样地在进行激光照射处理步骤之前对单晶半导体层 157 进行蚀刻处理。

[0323] 接着,为了修复单晶半导体层 159 的缺陷等,以不使单晶半导体层 159 熔化的温度进行加热处理。图 16B 是示出利用电磁波 124 的辐射加热单晶半导体层 159 的截面图。注意,加热处理不局限于电磁波 124 的辐射。上述加热处理可以与实施方式 1 的加热处理(参照图 5B)同样地进行。通过进行 400℃以上的加热处理,可以提高单晶半导体层 159 的寿命,而可以获得单晶半导体层 152。另外,可以与实施方式 1 同样地在进行加热处理步骤之前对单晶半导体层 159 进行蚀刻处理。

[0324] 通过上述步骤,可以制造多个单晶半导体层 152 隔着缓冲层 111 固定于支撑衬底 100 上的半导体衬底 60(参照图 13A 和图 13B)

[0325] 另外,在本实施方式中,在当形成损伤区域 115 时通过离子掺杂法使用氢气体作

为源气体将氢离子添加在单晶半导体衬底 110 的情况下,从单晶半导体衬底 110 分离了的单晶半导体层 157 也包含高浓度的氢。被进行了图 16B 所示的加热处理的单晶半导体层 152 的氢浓度比单晶半导体层 157 低。通过将工艺温度设定为 700℃以下,可以使单晶半导体层 152 包含 5×10^{18} 原子 / cm^3 以上 5×10^{20} 原子 / cm^3 以下的氢。单晶半导体层 152 的氢浓度优选为 1×10^{19} 原子 / cm^3 以上 1×10^{20} 原子 / cm^3 以下。若氢浓度变高,则单晶半导体层 152 的氢浓度容易变动,这成为降低半导体装置的可靠性的原因。

[0326] 如本实施方式所示,本发明关于如下方法提供与现有技术不同的新技术:进行通过激光照射处理使单晶半导体层熔化而使它再结晶及平坦化的激光处理步骤,然后进行不使单晶半导体层熔化的加热处理,以在玻璃衬底上形成包含其浓度为 5×10^{18} 原子 / cm^3 以上的氢且提高了寿命的单晶半导体层的方法。另外,本实施方式提供一种用来在玻璃衬底上固定包含其浓度为 5×10^{18} 原子 / cm^3 以上的氢的单晶半导体层的技术。通过使用本实施方式的半导体衬底形成包括晶体管的半导体装置,可以制造高性能及多功能的半导体装置。

[0327] 本实施方式的半导体衬底的制造方法可以与其他实施方式的半导体衬底的制造方法、以及其他实施方式的半导体装置的制造方法组合。例如,在本实施方式中,可以如实施方式 2 所示那样在支撑衬底 100 上形成缓冲层 101。或者,可以如实施方式 1 所示那样在单晶半导体衬底 110 上形成具有三层结构的缓冲层 111。另外,可以在支撑衬底 100 上贴合实施方式 3 的单晶半导体衬底 141(参照图 11B) 代替单晶半导体衬底 151。

[0328] 实施方式 5

[0329] 通过对分离了单晶半导体层的单晶半导体衬底进行再生处理,可以再利用该单晶半导体衬底作为单晶半导体衬底 110。在本实施方式中,说明再生处理方法。在本实施方式中,说明实施方式 1 所使用的单晶半导体衬底 118 的再生处理方法。

[0330] 如图 4E 所示,在单晶半导体衬底 118 的周围残留没被贴合在支撑衬底 100 上的部分。在该部分上残留着没被贴合到支撑衬底 100 上的第一绝缘层 113b、第一绝缘层 113a 及第二绝缘层 114。

[0331] 首先,进行去除第一绝缘层 113b、第一绝缘层 113a 及第二绝缘层 114 的蚀刻处理。例如,在这些膜由氧化硅、氧氮化硅或氮氧化硅等构成的情况下,可以进行利用氢氟酸的湿蚀刻处理来去除第一绝缘层 113b、第一绝缘层 113a 及第二绝缘层 114。

[0332] 接着,通过对单晶半导体衬底 118 进行蚀刻处理,去除其周围的 凸部及单晶半导体层 117 的分离面。单晶半导体衬底 118 的蚀刻处理优选是湿蚀刻处理,而可以使用四甲基氢氧化铵 (tetramethylammonium hydroxide, 简称 TMAH) 溶液作为蚀刻液。

[0333] 在对单晶半导体衬底 118 进行蚀刻处理之后,抛光其表面而使其表面平坦化。抛光处理可以使用机械抛光或化学机械抛光 (Chemical Mechanical Polishing, 简称 CMP) 等。为了使单晶半导体衬底的表面平滑,优选抛光 $1 \mu\text{m}$ 至 $10 \mu\text{m}$ 左右。在抛光之后,在单晶半导体衬底表面上残留抛光粒子等,因此进行氢氟酸清洗、RCA 清洗。

[0334] 通过上述步骤,可以再利用单晶半导体衬底 118 作为实施方式 1 至 4 的单晶半导体衬底 110。通过再利用单晶半导体衬底 118,可以降低半导体衬底 10 的材料成本。

[0335] 根据本实施方式的方法,还可以对在实施方式 2 至 4 所示的半导体衬底的制造方法中使用的单晶半导体衬底进行再生处理。

[0336] 实施方式 6

[0337] 在本实施方式中,说明使用根据本发明的半导体衬底的半导体装置及其制造方法。在本实施方式中,作为使用根据本发明的半导体衬底的半导体装置一个例子,对晶体管进行说明。通过组合多个晶体管,形成各种半导体装置。下面,参照图 17A 至 19 的截面图说明晶体管的制造方法。注意,在本实施方式中,说明同时制造 n 沟道型晶体管和 p 沟道型晶体管的方法。

[0338] 首先,准备半导体衬底。在本实施方式中,使用图 1 所示的半导体衬底 10。就是说,使用在具有绝缘表面的支撑衬底 100 上隔着缓冲层 111 固定有单晶半导体层 112 的半导体衬底。注意,用来制造晶体管的半导体衬底不局限于图 1 所示的结构,而可以使用根据本发明的半导体衬底。

[0339] 如图 17A 所示,蚀刻支撑衬底 100 上的单晶半导体层 112 而将它加工(构图)为所希望的形状,以形成单晶半导体层 603 和单晶半导体层 604。使用单晶半导体层 603 形成 p 型晶体管,并使用单晶半导体层 604 形成 n 型晶体管。注意,在使用实施方式 3 的半导体衬底 50(参照图 12C 和 12D)的情况下,蚀刻单晶半导体层 142 来形成单晶半导体层 603 和单晶半导体层 604。

[0340] 可以对单晶半导体层 603 和单晶半导体层 604 添加成为施主或受主的元素,以控制阈值电压。成为受主的元素为 p 型杂质元素,有硼、铝、镓等。另外,成为施主的元素为 n 型杂质元素,有磷、砷等。例如,在添加硼作为受主元素的情况下,以 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下的浓度添加即可。用来控制阈值电压的杂质添加,既可对单晶半导体层 112 进行,又可对单晶半导体层 603 和单晶半导体层 604 进行。另外,用来控制阈值电压的杂质添加可以对单晶半导体衬底 110 进行。或者,在对单晶半导体衬底 110 添加杂质之后,可以再一次对单晶半导体层 112 添加杂质,以进行阈值电压的微调整。或者,可以在从单晶半导体层 112 形成单晶半导体层 603 和单晶半导体层 604 之后,对单晶半导体层 603 和单晶半导体层 604 添加杂质元素。

[0341] 下面,以使用弱 p 型单晶硅衬底作为单晶半导体衬底 110 的情况为例子说明上述杂质元素的添加方法的一个例子。首先,在对单晶半导体层 112 蚀刻之前,对单晶半导体层 112 的整体添加硼。该硼添加的目的在于调整 p 型晶体管的阈值电压。使用 B_2H_6 作为掺杂剂气体,以 1×10^{16} 至 $1 \times 10^{17}/\text{cm}^3$ 的浓度添加硼。硼的浓度根据活化率等而决定。例如,硼的浓度可以为 $6 \times 10^{16}/\text{cm}^3$ 。接着,蚀刻单晶半导体层 112 来形成单晶半导体层 603 及 604。然后,只对单晶半导体层 604 添加硼。上述第二次的硼添加的目的在于调整 n 型晶体管的阈值电压。使用 B_2H_6 作为掺杂剂气体,以 1×10^{16} 至 $1 \times 10^{17}/\text{cm}^3$ 的浓度添加硼。例如,硼的浓度可以为 $6 \times 10^{16}/\text{cm}^3$ 。

[0342] 在可以使用具有适合于 p 型晶体管及 n 型晶体管之一方的阈值电压的导电型及电阻的衬底作为单晶半导体衬底 110 的情况下,用于阈值控制的杂质添加步骤可以进行一次,而对单晶半导体层 603 及单晶半导体层 604 之一方添加用来控制阈值电压的杂质元素即可。

[0343] 如图 17B 所示,覆盖单晶半导体层 603 和单晶半导体层 604 地形成栅极绝缘膜 606。作为栅极绝缘膜 606,可以在 350℃ 以下的工艺温度下通过 PECVD 法形成氧化硅膜、氧氮化硅膜、氮氧化硅膜或氮化硅膜等中的一层或两层以上的叠层。另外,可以使用如下膜

作为栅极绝缘膜 606：通过进行高密度等离子体处理使单晶半导体层 603 和单晶半导体层 604 的表面氧化或氮化而形成的氧化物膜或氮化物膜。高密度等离子体处理例如使用 He、Ar、Kr、Xe 等的稀有气体与氧、氧化氮、氨、氮、氢等的混合气体来进行。在此情况下，可以通过使用微波激发等离子体，产生低电子温度且高密度的等离子体。通过使用由这种高密度的等离子体产生的氧自由基（也有包括 OH 自由基的情况）或氮自由基（也有包括 NH 自由基的情况）使单晶半导体层的表面氧化或氮化，与单晶半导体层接触地形成 1nm 至 20nm，优选为 5nm 至 10nm 的绝缘膜。可以将 5nm 至 10nm 厚的绝缘膜用作栅极绝缘膜 606。

[0344] 接着，如图 17C 所示，通过在栅极绝缘膜 606 上形成导电膜，然后将该导电膜加工（构图）为预定的形状，来在单晶半导体层 603、604 的上方形成电极 607。可以使用 CVD 法、溅镀法等来形成导电膜。作为导电膜的材料，可以使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb) 等。另外，既可以使用以上述金属为主要成分的合金，又可以使用包括上述金属的化合物。或者，作为导电膜，可以使用对半导体膜掺杂了赋予导电性的杂质元素如磷等而成的多晶硅等半导体。

[0345] 在本实施方式中，电极 607 由单层的导电膜构成。但是，本实施方式不局限于该结构。电极 607 可以由层叠的多个导电膜构成。在电极 607 具有两层结构的情况下，作为两个导电膜的材料的搭配，可以使用氮化钽或钽 (Ta) 作为第一层，并且使用钨 (W) 作为第二层。除了上述实例以外，还可以举出氮化钨和钨、氮化钼和钼、铝和钽、以及铝和钛等。由于钨、氮化钽具有高耐热性，所以在形成两层导电膜之后的工序中可以进行以热活化为目的的加热处理。另外，作为两层导电膜的搭配，例如可以使用掺杂有赋予 n 型的杂质的硅和 NiSi（镍硅化物）、掺杂有赋予 n 型的杂质的 Si 和 WSix 等。

[0346] 在采用层叠三个以上的导电膜而成的三层结构的情况下，优选采用钼膜、铝膜和钼膜的叠层结构。

[0347] 当蚀刻导电膜而形成电极 607 时，作为蚀刻用掩模，可以使用氧化硅膜、氮氧化硅膜等代替抗蚀剂。在此情况下，虽然增加蚀刻氧化硅膜、氮氧化硅膜等的工序，但是由于当蚀刻时的掩模的厚度的减少比使用抗蚀剂的情况少，所以可以形成具有所希望的宽度的电极 607。另外，也可以使用液滴喷射法选择性地形成电极 607，而不使用掩模。

[0348] 注意，液滴喷射法是指从细孔喷射或喷出包含预定组合物的液滴来形成预定图案的方法，并且喷墨法等包括在其范畴内。

[0349] 另外，作为蚀刻导电膜的方法，可以在形成导电膜之后使用 ICP (Inductively Coupled Plasma, 即感应耦合等离子体) 蚀刻法。通过适当地调节蚀刻条件（施加到线圈型电极层的电力量、施加到衬底一侧的电极层的电力量、衬底一侧的电极温度等），可以将导电膜蚀刻为具有所希望的锥形。另外，还可以根据掩模形状来控制锥形的角度等。另外，作为蚀刻用气体，可以适当地使用含氯类气体如氯、氯化硼、氯化硅及四氯化碳等；含氟类气体如四氟化碳、氟化硫及氟化氮等；或者氧。

[0350] 接着，如图 17D 所示，以电极 607 为掩模对单晶半导体层 603、604 添加赋予一种导电类型的杂质元素。在本实施方式中，对单晶半导体层 603 添加赋予 p 型的杂质元素（例如硼），而对单晶半导体层 604 添加赋予 n 型的杂质元素（例如磷或砷）。上述步骤用来在单晶半导体层 603 中形成用作源区或漏区的杂质区域，并在单晶半导体层 604 中形成用作高电阻区域的杂质区域。

[0351] 另外,当将赋予 p 型的杂质元素添加到单晶半导体层 603 时,使用掩模等覆盖单晶半导体层 604,以不使赋予 p 型的杂质元素添加到单晶半导体层 604。另外,当将赋予 n 型的杂质元素添加到单晶半导体层 604 时,使用掩模等覆盖单晶半导体层 603,以不使赋予 n 型的杂质元素添加到单晶半导体层 603。或者,还可以首先对单晶半导体层 603 及单晶半导体层 604 添加赋予 p 型或 n 型的杂质元素之一方,然后仅对一个半导体膜以更高浓度选择性地添加赋予 p 型或 n 型的杂质元素之另一方。借助于上述杂质添加步骤,在单晶半导体层 603 中形成 p 型高浓度杂质区域 608,而在单晶半导体层 604 中形成 n 型低浓度杂质区域 609。另外,在单晶半导体层 603 及 604 中,与电极 607 重叠的区域分别成为沟道形成区域 610 及 611。

[0352] 接着,如图 18A 所示,在电极 607 的侧面形成侧壁 612。例如,可以通过以覆盖栅极绝缘膜 606 及电极 607 的方式另外形成绝缘膜,并且进行以垂直方向为主体的各向异性蚀刻而部分地蚀刻上述另外形成的绝缘膜,来形成侧壁 612。通过上述各向异性蚀刻,部分地蚀刻上述另外形成的绝缘膜,而在电极 607 的侧面形成侧壁 612。另外,也可以借助于上述各向异性蚀刻,部分地蚀刻栅极绝缘膜 606。可以通过 PECVD 法或溅镀法等使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、或包含有机树脂等的有机材料的膜的单层或两层以上的叠层,来形成用来形成侧壁 612 的绝缘膜。在本实施方式中,通过 PECVD 法形成厚度为 100nm 的氧化硅膜。作为氧化硅膜的蚀刻气体,可以使用 CHF_3 和氦的混合气体。另外,形成侧壁 612 的工序不局限于这些。

[0353] 接着,如图 18B 所示,以电极 607 及侧壁 612 为掩模对单晶半导体层 604 添加赋予 n 型的杂质元素。这个步骤是为了在单晶半导体层 604 中形成用作源区或漏区的杂质区域的步骤。在上述步骤中,使用掩模等覆盖单晶半导体层 603,然后对单晶半导体层 604 添加赋予 n 型的杂质元素。

[0354] 通过上述杂质元素的添加,以电极 607 和侧壁 612 为掩模在单晶半导体层 604 中以自对准方式形成一对 n 型高浓度杂质区域 614。接着,在去除覆盖单晶半导体层 603 的掩模之后,进行加热处理而使添加到单晶半导体层 603 中的赋予 p 型的杂质元素、以及添加到单晶半导体层 604 中的赋予 n 型的杂质元素活化。通过图 17A 至图 18B 所示的一系列步骤,形成 p 沟道型晶体管 617 及 n 沟道型晶体管 618。

[0355] 另外,为了降低源区及漏区的电阻,可以使单晶半导体层 603 的高浓度杂质区域 608、单晶半导体层 604 的高浓度杂质区域 614 形成硅化物而形成硅化层。通过将金属接触于单晶半导体层 603 及 604,并进行加热处理而使半导体层中的硅和金属起反应,以产生硅化物,由此可以实现硅化物的形成。上述金属优选为钴或镍,可以使用钛 (Ti)、钨 (W)、钼 (Mo)、锆 (Zr)、铪 (Hf)、钽 (Ta)、钒 (V)、钕 (Nd)、铬 (Cr)、铂 (Pt)、钯 (Pd) 等。在单晶半导体层 603 和单晶半导体层 604 的厚度薄的情况下,可以使硅化反应促进到其区域的单晶半导体层 603 和单晶半导体层 604 的底部。作为用来硅化的加热处理,可以使用电阻加热炉、RTA 装置、微波加热装置、或激光照射装置。

[0356] 接着,如图 18C 所示,覆盖 p 沟道型晶体管 617 和 n 沟道型晶体管 618 地形成绝缘膜 619。作为绝缘膜 619,形成包含氢的绝缘膜。在本实施方式中,使用包含甲硅烷、氨、 N_2O 的源气体通过 PECVD 法形成约 600nm 厚的氮氧化硅膜。这是因为使绝缘膜 619 包含氢而从绝缘膜 619 扩散氢来可以终止单晶半导体层 603 和单晶半导体层 604 的悬空键的缘故。另

外,通过形成绝缘膜 619,可以防止碱金属或碱土金属等杂质进入到 p 沟道型晶体管 617 和 n 沟道型晶体管 618 中。具体地,作为绝缘膜 619,优选使用氮化硅、氮氧化硅、氮化铝、氧化铝、氧化硅等。

[0357] 接着,覆盖 p 沟道型晶体管 617 和 n 沟道型晶体管 618 地在绝缘膜 619 上形成绝缘膜 620。作为绝缘膜 620 可以使用具有耐热性的有机材料诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料(低 k 材料)、硅氧烷类树脂、氧化硅、氮化硅、氮氧化硅、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)、矾土等。硅氧烷类树脂除了氢之外也可以具有氟、烷基、或芳基中的至少一种作为取代基。另外,也可以通过层叠多个由这些材料形成的绝缘膜,来形成绝缘膜 620。也可以通过 CMP 法等使绝缘膜 620 的表面平坦化。

[0358] 另外,硅氧烷类树脂相当于以硅氧烷类材料为起始材料而形成的包括 Si-O-Si 键的树脂。硅氧烷类树脂除了氢之外也可以具有氟、烷基、或芳香烃中的至少一种作为取代基。

[0359] 绝缘膜 620 可以根据其材料通过 CVD 法、溅镀法、SOG 法、旋转涂敷、浸渍涂布、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮刀、辊式涂布、幕涂、刮刀涂布等来形成。

[0360] 接着,在氮气氛中进行 400°C 至 450°C 左右(例如 410°C)的加热处理 1 小时左右,以从绝缘膜 619 扩散氢,来用氢终止单晶半导体层 603 和单晶半导体层 604 的悬空键。与使非晶硅膜结晶而形成的多晶硅膜相比,单晶半导体层 112 的缺陷密度非常小,因此可以以短时间进行上述利用氢的终止处理。

[0361] 然后,如图 19 所示,以暴露单晶半导体层 603 和单晶半导体层 604 的一部分的方式在绝缘膜 619 及 620 中形成接触孔。可以通过利用 CHF₃ 和 He 的混合气体的干蚀刻法形成接触孔,但是不局限于此。接着,形成经由该接触孔接触单晶半导体层 603 和单晶半导体层 604 的导电膜 621 及 622。导电膜 621 与 p 沟道型晶体管 617 的高浓度杂质区域 608 连接,而导电膜 622 与 n 沟道型晶体管 618 的高浓度杂质区域 614 连接。

[0362] 导电膜 621、622 可以通过 CVD 法或溅镀法等来形成。具体地,作为导电膜 621、622,可以使用铝(A1)、钨(W)、钛(Ti)、钽(Ta)、钼(Mo)、镍(Ni)、铂(Pt)、铜(Cu)、金(Au)、银(Ag)、锰(Mn)、钕(Nd)、碳(C)、硅(Si)等。另外,既可以使用以上述金属为主要成分的合金,又可以使用包含上述金属的化合物。导电膜 621、622 可以由使用上述金属的膜的单层或叠层构成。

[0363] 作为以铝为主要成分的合金的实例,可以举出以铝为主要成分且包括镍的合金。另外,也可以举出以铝为主要成分且包括镍以及碳和硅中的一方或双方的合金作为实例。由于铝、铝硅的电阻值很低且其价格低廉,所以作为形成导电膜 621、622 的材料最合适。尤其是在对铝硅(A1-Si)膜的形状进行蚀刻加工的情况下,与铝膜相比,可以进一步防止在形成蚀刻用掩模时的抗蚀剂焙烧步骤中产生小丘。另外,也可以在铝膜中混入 0.5% 左右的 Cu 代替硅(Si)。

[0364] 导电膜 621、622 例如优选采用阻挡膜、铝硅(A1-Si)膜和阻挡膜的叠层结构;阻挡膜、铝硅(A1-Si)膜、氮化钛膜和阻挡膜的叠层结构。另外,阻挡膜就是使用钛、钛的氮化物、钼、或钽的氮化物来形成的膜。当以中间夹着铝硅(A1-Si)膜的方式形成阻挡膜时,可

以进一步防止铝或铝硅的小丘的产生。另外,当通过使用具有高还原性的元素的钛来形成阻挡膜时,即使在单晶半导体层 603、604 上形成有薄的氧化膜,包括在阻挡膜中的钛也还原该氧化膜,而导电膜 621、622 和单晶半导体层 603、604 可以分别良好地接触。另外,也可以层叠多个阻挡膜来使用。在此情况下,例如,可以使导电膜 621、622 具有从下往上按顺序层叠了 Ti、氮化钛、Al-Si、Ti、氮化钛的五层结构。

[0365] 另外,作为导电膜 621 和 622,可以使用 WF_6 气体和 SiH_4 气体通过化学气相沉积法而形成的钨硅化物。还可以使用对 WF_6 进行氢还原而形成的钨作为导电膜 621 和 622。

[0366] 图 19 示出 p 沟道型晶体管 617 和 n 沟道型晶体管 618 的俯视图、以及沿该俯视图的 A-A' 线的截面图。注意,在图 19 所示的俯视图中,省略导电膜 621 及 622、绝缘膜 619、绝缘膜 620。

[0367] 在本实施方式中,示出 p 沟道型晶体管 617 和 n 沟道型晶体管 618 分别具有一个用作栅极的电极 607 的例子,但是本发明不局限于该结构。根据本发明制造的晶体管可以为具有多栅极结构的晶体管,该晶体管具有多个用作栅极的电极且该多个电极电连接。另外,上述晶体管可以为具有栅极平面结构的晶体管。

[0368] 另外,本发明的半导体衬底具有的半导体层是将单晶半导体衬底薄片化了的层,从而没有晶体取向的不均匀性。因此,可以降低使用本发明的半导体衬底而制造的多个晶体管的阈值电压或迁移率等电特性的不均匀性。另外,几乎没有晶界,而可以抑制起因于晶界的晶体管的漏电流,并可以实现半导体装置的低耗电量化。因此,可以制造高可靠性半导体装置。

[0369] 在使用通过激光晶化而获得的多晶半导体膜制造晶体管的情况下,为了得到高迁移率,需要考虑激光的扫描方向来决定晶体管的半导体膜的布置,但是本发明的半导体衬底不需要上述步骤,而对半导体装置的设计的限制少。

[0370] 实施方式 7

[0371] 在本实施方式中,说明使用根据本发明的半导体衬底的半导体装置及其制造方法。在本实施方式中,作为使用根据本发明的半导体衬底的半导体装置一个例子,说明晶体管。通过组合多个晶体管,形成各种半导体装置。下面,参照图 20A 至 22B 的截面图说明晶体管的制造方法。注意,在本实施方式中,说明同时制造 n 沟道型晶体管和 p 沟道型晶体管的方法。

[0372] 首先,如图 20A 所示,准备半导体衬底。在本实施方式中,使用图 1 所示的半导体衬底 10,即在具有绝缘表面的支撑衬底 100 上隔着缓冲层 111 固定有单晶半导体层 112 的半导体衬底。注意,用来制造晶体管的半导体衬底不局限于图 1 所示的结构,而可以使用根据本发明的半导体衬底。

[0373] 优选地是,根据 n 沟道型场效应晶体管及 p 沟道型场效应晶体管的形成区域,对单晶半导体层 112 添加硼、铝、镓等的 p 型杂质元素(成为受主的杂质元素)、或磷、砷等的 n 型杂质元素(成为施主的杂质元素)。就是说,通过对应于 n 沟道型场效应晶体管的形成区域添加 p 型杂质元素并对应于 p 沟道型场效应晶体管的形成区域添加 n 型杂质元素,形成所谓的阱区。杂质离子的剂量优选为 $1 \times 10^{12} ions/cm^2$ 至 $1 \times 10^{14} ions/cm^2$ 。再者,在控制场效应晶体管的阈值电压的情况下,对这些阱区添加 p 型或 n 型杂质元素即可。

[0374] 接下来,如图 20B 所示,通过蚀刻单晶半导体层 112,形成按照半导体元件的配置

分离为岛状的单晶半导体层 651 和单晶半导体层 652。在本实施方式中, 使用单晶半导体层 651 形成 n 沟道型晶体管, 并使用单晶半导体层 652 形成 p 沟道型晶体管。另外, 在使用实施方式 3 的半导体衬底 50(参照图 12B 和 12C) 的情况下, 通过蚀刻单晶半导体层 142, 形成单晶半导体层 651 和单晶半导体层 652。

[0375] 接着, 如图 20C 所示, 在单晶半导体层 651 和单晶半导体层 652 上依次形成栅极绝缘层 653、形成栅电极的导电层 654 及导电层 655。

[0376] 栅极绝缘层 653 通过 CVD 法、溅镀法、或 ALE 法等使用氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等的绝缘层以单层结构或叠层结构而形成。

[0377] 另外, 栅极绝缘层 653 可以通过对单晶半导体层 651 和单晶半导体层 652 进行等离子体处理来使其表面氧化或氮化而形成。在此情况下, 等离子体处理包括利用通过微波(典型频率为 2.45GHz)激发了的等离子体的等离子体处理。例如, 包括利用如下等离子体的等离子体处理, 该等离子体通过使用微波而激发, 其电子密度为 $1 \times 10^{11}/\text{cm}^3$ 以上 $1 \times 10^{13}/\text{cm}^3$ 以下, 而且其电子温度为 0.5eV 以上 1.5eV 以下。通过进行上述等离子体处理对单晶半导体层表面进行氧化处理或氮化处理, 可以形成薄且致密的膜。另外, 由于对单晶半导体层表面直接进行氧化, 所以可以获得界面特性良好的膜。栅极绝缘层 653 也可以通过对使用 CVD 法、溅镀法、或 ALE 法而形成的膜进行利用微波的等离子体处理来形成。

[0378] 栅极绝缘层 653 与单晶半导体层 651、单晶半导体层 652 形成界面, 因此优选使用氧化硅层或氧氮化硅层形成栅极绝缘层 653 中的与单晶半导体层 651 及单晶半导体层 652 接触的层。这是因为如下缘故: 若形成氮含量多于氧含量的膜如氮化硅层或氮氧化硅层, 则可能会形成陷阱能级, 这导致界面特性出现问题。

[0379] 形成栅电极的导电层是使用由如下材料构成的膜通过 CVD 法或溅镀法以单层膜或叠层膜而形成的: 选自钽、氮化钽、钨、钛、钼、铝、铜、铬、或铌等中的元素、以这些元素为主要成分的合金材料或化合物材料、以掺杂有磷等的杂质元素的多晶硅为代表的半导体材料。在采用叠层膜的情况下, 既可使用不相同的导电材料来形成, 又可使用相同的导电材料来形成。在本实施方式中, 示出形成栅电极的导电层具有导电层 654 及导电层 655 的两层结构的例子。

[0380] 在形成栅电极的导电层具有导电层 654 及导电层 655 的两层的叠层结构的情况下, 例如可以形成氮化钽层和钨层、氮化钨层和钨层、氮化钽层和钼层的叠层膜。当采用氮化钽层和钨层的叠层膜时, 容易得到两者的蚀刻选择比, 因此是优选的。在上述两层的叠层膜中, 前者的膜优选是形成在栅极绝缘层 653 上的膜。这里, 导电层 654 的厚度为 20nm 至 100nm, 而导电层 655 的厚度为 100nm 至 400nm。另外, 栅电极可以具有三层以上的叠层结构, 在此情况下, 优选采用钼层、铝层、钼层的叠层结构。

[0381] 接下来, 在导电层 655 上选择性地形成抗蚀剂掩模 656 和抗蚀剂掩模 657。然后, 使用抗蚀剂掩模 656 和抗蚀剂掩模 657 进行第一蚀刻处理及第二蚀刻处理。

[0382] 首先, 进行利用抗蚀剂掩模 656 和抗蚀剂掩模 657 的第一蚀刻处理来选择性地蚀刻导电层 654 及导电层 655, 以在单晶半导体层 651 上形成导电层 658 及导电层 659, 并在单晶半导体层 652 上形成导电层 660 及导电层 661(参照图 20D)。

[0383] 然后, 进行利用抗蚀剂掩模 656 和抗蚀剂掩模 657 的第二蚀刻处理来蚀刻导电层 659 及导电层 661 的端部, 以形成导电层 662 及导电层 663(参照图 20E)。导电层 662 及导

电层 663 形成为其宽度（平行于载流子流过沟道形成区域的方向（连接源区和漏区的方向）的方向的长度）小于导电层 658 及导电层 660 的宽度。由此，可以获得由导电层 658 和导电层 662 构成的具有两层结构的栅电极 665、以及由导电层 660 和导电层 663 构成的具有两层结构的栅电极 666。

[0384] 适用于第一蚀刻处理及第二蚀刻处理的蚀刻法可以适当地选择。为了提高蚀刻速度，可以使用利用 ECR(Electron Cyclotron Resonance, 即电子回旋共振) 方式或 ICP(Inductively Coupled Plasma, 即感应耦合等离子体) 方式等的高密度等离子体源的干法蚀刻装置。通过适当地调整第一蚀刻处理及第二蚀刻处理的蚀刻条件，可以将导电层 658 及 660、导电层 662 及 663 的侧面形成为所希望的锥形。在形成所希望的栅电极 665 和栅电极 666 之后去除抗蚀剂掩模 656 和抗蚀剂掩模 657 即可。

[0385] 接下来，以栅电极 665 和栅电极 666 为掩模，对单晶半导体层 651 及 652 添加成为受主或施主的杂质元素 668。在单晶半导体层 651 中，以导电层 658 及导电层 662 为掩模来以自对准方式形成一对杂质区域 669。另外，在单晶半导体层 652 中，以导电层 660 及导电层 663 为掩模来以自对准方式形成一对区域 670(参照图 21A)。

[0386] 作为杂质元素 668，添加硼、铝、镓等的 p 型杂质元素、或磷、砷等的 n 型杂质元素。这里，为了形成 n 沟道型晶体管的高电阻区域，作为杂质元素 668 添加作为 n 型杂质元素的磷。另外，添加磷，来使杂质区域 669 包含其浓度为 $1 \times 10^{17} \text{ atoms/cm}^3$ 至 $5 \times 10^{18} \text{ atoms/cm}^3$ 左右的磷。

[0387] 接下来，为了形成用作 n 沟道型晶体管的源区及漏区的杂质区域，覆盖单晶半导体层 651 的一部分地形成抗蚀剂掩模 671，并以覆盖单晶半导体层 652 的方式选择性地形成抗蚀剂掩模 672。然后，以抗蚀剂掩模 671 为掩模来对单晶半导体层 651 添加成为受主或施主的杂质元素 673，以在单晶半导体层 651 中形成一对杂质区域 675(参照图 21B)。

[0388] 作为杂质元素 673，对单晶半导体层 651 添加作为 n 型杂质元素的磷，并且所添加的磷的浓度为 $5 \times 10^{19} \text{ atoms/cm}^3$ 至 $5 \times 10^{20} \text{ atoms/cm}^3$ 。杂质区域 675 用作源区或漏区。杂质区域 675 形成在不与导电层 658 及导电层 662 重叠的区域。

[0389] 在单晶半导体层 651 中，杂质区域 676 是在杂质区域 669 中没有添加杂质元素 673 的区域。杂质区域 676 的杂质浓度比杂质区域 675 低，而将它用作高电阻区域或 LDD 区域。在单晶半导体层 651 中，沟道形成区域 677 形成在与导电层 658 及导电层 662 重叠的区域中。

[0390] LDD 区域指的是以低浓度添加有杂质元素的区域，该 LDD 区域形成在沟道形成区域和通过以高浓度添加杂质元素而形成的源区或漏区之间。通过设置 LDD 区域，可以缓和漏区附近的电场并防止由热载流子注入导致的退化。另外，为了防止由热载流子导致的导通电流值的降低，可以采用 LDD 区域隔着栅极绝缘层与栅电极重叠地配置的结构（也称为 GOLD(Gate-drain Overlapped LDD, 即栅极漏极重叠 LDD) 结构）。

[0391] 接着，去除抗蚀剂掩模 671 及抗蚀剂掩模 672，然后覆盖单晶半导体层 651 地形成抗蚀剂掩模 679，以形成 p 沟道型晶体管的源区及漏区。然后，以抗蚀剂掩模 679、导电层 660 及导电层 663 为掩模来添加杂质元素 680，以在单晶半导体层 652 中形成一对杂质区域 681、一对杂质区域 682、沟道形成区域 683(参照图 21C)。

[0392] 作为杂质元素 680，添加硼、铝、镓等的 p 型杂质元素。这里，通过进行添加，来使

单晶半导体层 652 包含 $1 \times 10^{20} \text{atoms/cm}^3$ 至 $5 \times 10^{21} \text{atoms/cm}^3$ 左右的作为 p 型杂质元素的硼。

[0393] 在单晶半导体层 652 中, 杂质区域 681 形成在不与导电层 660 及导电层 663 重叠的区域中, 并用作源区或漏区。使杂质区域 681 包含 $1 \times 10^{20} \text{atoms/cm}^3$ 至 $5 \times 10^{21} \text{atoms/cm}^3$ 左右的作为 p 型杂质元素的硼。

[0394] 杂质区域 682 形成在与导电层 660 重叠且不与导电层 663 重叠的区域中, 是杂质元素 680 贯穿导电层 660 而被添加到单晶半导体层 652 中的区域。由于杂质区域 670 呈现 n 型导电性, 所以添加杂质元素 680, 以使杂质区域 682 具有 p 型导电性。通过调整包含在杂质区域 682 中的杂质元素 680 的浓度, 可以将杂质区域 682 用作源区或漏区, 或者, 还可以将它用作 LDD 区域。

[0395] 在单晶半导体层 652 中, 沟道形成区域 683 形成在与导电层 660 及导电层 663 重叠的区域中。

[0396] 接着, 形成层间绝缘层。层间绝缘层可以由单层结构或叠层结构构成。这里, 层间绝缘层具有绝缘层 684 及绝缘层 685 的两层的叠层结构 (参照图 22A)。

[0397] 作为层间绝缘层, 可以通过 CVD 法或溅镀法形成氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等。也可以使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸、或环氧树脂等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂等通过旋涂法等的涂敷法来形成。注意, 硅氧烷材料相当于具有 Si-O-Si 键的材料。硅氧烷是一种具有硅 (Si) 和氧 (O) 的键的骨架结构的材料。作为取代基, 可以使用至少含有氢的有机基 (例如烷基、芳烃)。有机基也可以包含氟基。恶唑树脂例如是感光聚苯并恶唑等。感光聚苯并恶唑具有低的介电常数 (在常温 1MHz 下介电常数为 2.9)、高的耐热性 (在 5°C / 分钟的升温下, 热分解温度为 550°C, 这是通过热重量检测 - 差热分析仪测量 (TG-DTA, 即 Thermo Gravimetry-Differential Thermal Analysis) 测定的) 以及低的吸湿率 (常温时 24 小时 0.3wt%)。与聚酰亚胺等的相对介电常数 (约 3.2 至 3.4) 相比, 恶唑树脂具有较低的相对介电常数 (约 2.9), 因此, 可以抑制寄生电容的产生并可以使半导体装置高速工作。

[0398] 例如, 形成 100nm 厚的氮氧化硅层作为绝缘层 684, 并形成 900nm 厚的氧氮化硅层作为绝缘层 685。另外, 通过使用等离子体 CVD 法连续形成绝缘层 684 及绝缘层 685。层间绝缘层也可以具有三层以上的叠层结构。另外, 可以采用氧化硅层、氧氮化硅层、或氮化硅层、与使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸、或环氧等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂而形成的绝缘层的叠层结构。

[0399] 接着, 在层间绝缘层 (在本实施方式中, 绝缘层 684 及 685) 中形成接触孔, 在该接触孔中形成用作源电极或漏电极的导电层 686 (参照图 22B)。

[0400] 接触孔以到达形成在单晶半导体层 651 中的杂质区域 675、及形成在单晶半导体层 652 中的杂质区域 681 的方式选择性地形成在绝缘层 684 及绝缘层 685 中。

[0401] 导电层 686 可以使用由选自铝、钨、钛、钽、钼、镍及钕中的一种元素或包含这些元素中的多种的合金构成的单层膜或叠层膜。例如, 可以形成包含钛的铝合金、包含钕的铝合金等作为由包含这些元素的中的多种的合金构成的导电层。在采用叠层膜的情况下, 例如可以采用由钛层夹着铝层或上述铝合金层的结构。

[0402] 如图 22B 所示, 可以使用半导体衬底 10 制造 n 沟道型晶体管及 p 沟道型晶体管。

[0403] 实施方式 8

[0404] 在本实施方式中,说明使用根据本发明的半导体衬底的半导体装置及其制造方法。通过组合多个晶体管,形成各种半导体装置。在本实施方式中,参照图 23A 至 23E 说明制造晶体管的方法作为使用半导体衬底 10 的半导体装置的制造方法的一个例子。注意,在本实施方式中,说明同时制造 n 沟道型晶体管和 p 沟道型晶体管的方法。

[0405] 如图 23A 所示,准备在支撑衬底 100 上形成有缓冲层 111 及单晶半导体层 112 的半导体衬底。缓冲层 111 具有三层结构,并包含用作阻挡层的第一绝缘层。虽然示出应用图 1 所示的半导体衬底 10 的例子,但是可以应用本说明书所示的其他结构的半导体衬底。

[0406] 单晶半导体层 112 与 n 沟道型场效应晶体管及 p 沟道型场效应晶体管的形成区域对应地具有添加有硼、铝、镓等的 p 型杂质元素、或具有添加有磷、砷等的 n 型杂质元素的杂质区域(沟道掺杂区域)。

[0407] 通过以保护层 804 为掩模进行蚀刻,去除暴露了的单晶半导体层 112 及其下方的缓冲层 111 的一部分。接着,使用有机硅烷作为源气体通过 PECVD 法堆积氧化硅膜。该氧化硅膜堆积为得较厚,以使它高于单晶半导体层 112 的表面。接着,通过抛光去除重叠在单晶半导体层 112 上的氧化硅膜,然后去除保护层 804,使得元件分离绝缘层 803 残留。单晶半导体层 112 被元件分离绝缘层 803 分离为元件区域 805 及元件区域 806(参照图 23B)。

[0408] 接着,在单晶半导体层 112 上形成第一绝缘膜,在第一绝缘膜上形成栅电极层 808a 及 808b,而且以栅电极层 808a 及 808b 为掩模蚀刻第一绝缘膜,以形成栅极绝缘层 807a 及 807b。

[0409] 栅极绝缘层 807a 及 807b 可以由氧化硅膜、或氧化硅膜和氮化硅膜的叠层结构构成。作为栅极绝缘层,还可以使用氧氮化硅膜、氮氧化硅膜等。栅极绝缘层 807a 及 807b 可以使用等离子体 CVD 法或减压 CVD 法堆积绝缘膜而形成,优选进行利用等离子体处理的固相氧化或固相氮化而形成。这是因为进行利用等离子体处理氧化或氮化半导体层而形成的栅极绝缘层致密,其绝缘耐压高且可靠性高的缘故。例如,使用 Ar 将一氧化二氮 (N_2O) 稀释为 1 至 3 倍(流量比),在 10 至 30Pa 的压力下施加 3 至 5kW 的微波(2.45GHz) 电力,来使单晶半导体层 112(元件区域 805、806) 的表面氧化或氮化。通过上述处理,形成 1nm 至 10nm(优选为 2nm 至 6nm) 的绝缘膜。再者,引入一氧化二氮 (N_2O) 和硅烷 (SiH_4),在 10 至 30Pa 的压力下施加 3 至 5kW 的微波(2.45GHz) 电力通过 PECVD 法形成氧氮化硅膜,以形成栅极绝缘层。通过组合固相反应和利用气相沉积法的反应,可以形成界面态密度低且绝缘耐压高的栅极绝缘层。

[0410] 另外,作为栅极绝缘层 807a 及 807b,可以使用二氧化锆、氧化铪、二氧化钛、五氧化钽等高介电常数材料。通过将高介电常数材料用于栅极绝缘层 807a 及 807b,可以降低栅漏电流。

[0411] 栅电极层 808a 及 808b 可以通过溅镀法、蒸镀法、CVD 法等而形成。栅电极层 808a 及 808b 可以使用选自钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、钕(Nd)中的元素、以上述元素为主要成分的合金材料或化合物材料而形成。另外,作为栅电极层 808a 及 808b,可以使用以掺杂有磷等的杂质元素的多晶硅膜为代表的半导体膜、AgPdCu 合金。

[0412] 接着,形成覆盖栅电极层 808a 及 808b 的第二绝缘膜 810,而且形成具有侧壁结构

的侧壁绝缘层 816a、816b、817a、817b。使成为 p 沟道型场效应晶体管 (pFET) 的区域的侧壁绝缘层 816a、816b 的宽度比成为 n 沟道型场效应晶体管 (nFET) 的区域的侧壁绝缘层 817a、817b 大。接着,对成为 n 沟道型场效应晶体管的区域添加砷 (As) 等而形成接合深度浅的第一杂质区域 880a 及 880b,而且对成为 p 沟道型场效应晶体管的区域添加硼 (B) 等而形成接合深度浅的第二杂质区域 815a 及 815b(参照图 23C)。

[0413] 然后,通过部分地蚀刻第二绝缘膜 810,暴露栅电极层 808a 及 808b 的上表面、第一杂质区域 880a 及 880b、第二杂质区域 815a 及 815b。接着,对成为 n 沟道型场效应晶体管的区域掺杂 As 等而形成接合深度深的第三杂质区域 819a 及 819b,而且对成为 p 沟道型场效应晶体管的区域掺杂 B 等而形成接合深度深的第四杂质区域 824a 及 824b。然后,进行用来活化的热处理。接着,形成钴膜作为用来形成硅化物的金属膜。然后,通过进行 RTA 等的热处理 (500℃、1 分钟),使接触钴膜的部分的硅形成硅化物,而形成硅化物 822a、822b、823a 及 823b。另外,在栅电极层 808a 及 808b 上,使构成这些层的多晶硅膜和钴膜起反应而形成硅化物 818a、818b。然后,选择性地去除钴膜。接着,在比形成硅化物的热处理高的温度下进行热处理,以实现硅化物部分的低电阻化 (参照图 23D)。沟道形成区域 826 形成在元件区域 806 中,而沟道形成区域 821 形成在元件区域 805 中。

[0414] 然后,形成层间绝缘层 827,并使用由抗蚀剂构成的掩模在层间绝缘层 827 中形成分别到达接合深度深的第三杂质区域 819a 及 819b、接合深度深的第四杂质区域 824a 及 824b 的接触孔 (开口)。可以根据所使用的材料的蚀刻选择比进行一次或多次的蚀刻。

[0415] 蚀刻方法及蚀刻条件可以根据要形成接触孔的层间绝缘层 827 的材料而适当地决定。可以采用湿蚀刻及干蚀刻中的一方或双方。在本实施方式中,使用干蚀刻。作为蚀刻用气体,可以适当使用以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 等为代表的氯类气体、以 CF_4 、 SF_6 或 NF_3 等为代表的氟类气体、或者 O_2 。此外,也可以将稀有气体添加到所使用的蚀刻用气体。作为所添加的稀有气体元素,可以使用选自 He、Ne、Ar、Kr、Xe 中的一种或多种元素。作为湿蚀刻的蚀刻剂,优选使用诸如包含氟化氢铵和氟化铵的混合溶液之类的氢氟酸类溶液。

[0416] 以覆盖接触孔的方式形成导电膜,并且蚀刻该导电膜来形成用作与各源区或漏区的一部分分别电连接的源电极层或漏电极层的布线层 840a、840b、840c 及 840d。布线层可以通过 PVD 法、CVD 法、蒸镀法等形成导电膜,然后将它蚀刻为所希望的形状来形成。另外,可以通过使用液滴喷射法、印刷法、电镀法等在预定的部分上选择性地形成导电层。另外,还可以采用回流方法或镶嵌方法。布线层由诸 如 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 之类的金属、Si、Ge、或其合金或其氮化物构成。此外,也可以采用它们的叠层结构。

[0417] 在本实施方式中,以嵌入形成在层间绝缘层 827 中的接触孔的方式形成布线层 840a、840b、840c、840d 作为嵌入布线层。为了形成嵌入型布线层 840a、840b、840c、840d,形成其厚度足以嵌入接触孔的导电膜,只在接触孔部中残留导电膜,而去除多余的导电膜部分。

[0418] 在嵌入型布线层 840a、840b、840c、840d 上形成绝缘层 828、以及作为引绕布线层的布线层 841a、841b、841c。

[0419] 通过上述步骤,可以使用接合在支撑衬底 100 上的单晶半导体层 112 的元件区域 805 形成 n 沟道型场效应晶体管 832,并使用元件区域 806 形成 p 沟道型场效应晶体管

831(参照图 23E)。在本实施方式中,n 沟道型场效应晶体管 832 及 p 沟道型场效应晶体管 831 通过布线层 841b 电连接。

[0420] 在实施方式 6 至 8 中,示出 p 沟道型晶体管和 n 沟道型晶体管分别具有一个用作栅极的电极的例子,但是本发明不局限于该结构。根据本发明制造的晶体管可以为具有多栅极结构的晶体管,该晶体管具有多个用作栅极的电极且该多个电极电连接。另外,上述晶体管可以为具有栅极平面结构的晶体管。

[0421] 另外,本发明的半导体衬底具有的单晶半导体层是将单晶半导体衬底薄片化了的层,从而没有晶体取向的不均匀性。因此,如实施方式 6 至 8 所示,可以降低使用半导体衬底而制造的多个晶体管的阈值电压或迁移率等电特性的不均匀性。另外,本发明的半导体衬底具有的单晶半导体层几乎没有晶界,而可以抑制起因于晶界的漏电流,并可以实现半导体装置的低耗电量化。因此,可以制造高可靠性半导体装置。

[0422] 在使用通过激光晶化而获得的多晶半导体膜制造晶体管的情况下,为了得到高迁移率,需要考虑激光的扫描方向来决定晶体管的半导体膜的布置,但是本发明的半导体衬底不需要上述步骤,而对半导体装置的设计的限制少。

[0423] 如实施方式 6 至 8 所示,由于能够在半导体衬底上同时形成 n 沟道型晶体管和 p 沟道型晶体管,所以可以使用这些晶体管形成各种电路。例如,通过互补组合 n 沟道型晶体管和 p 沟道型晶体管,可以构成 CMOS 结构。

[0424] 通过在上述 CMOS 结构上层叠布线或元件等,可以制造微处理器等的半导体装置。微处理器包括运算电路(运算逻辑单元;Arithmetic logic unit,也称为 ALU)、运算电路控制部(ALUController)、指令译码部(Instruction Decoder)、中断控制部(Interrupt Controller)、时序控制部(Timing Controller)、寄存器(Register)、寄存器控制部(Register Controller)、总线接口(Bus I/F)、只读存储器、以及存储器接口(ROM I/F)。

[0425] 通过使用包含 CMOS 结构的集成电路形成微处理器,不仅可以实现处理速度的高速化,而且还可以实现低耗电量化。

[0426] 晶体管的结构不局限于实施方式 6 至 8,其结构可以为形成有一个沟道形成区域的单栅结构、形成有两个沟道形成区域的双栅结构、或形成有三个沟道形成区域的三栅结构。

[0427] 通过使用根据本发明的半导体衬底组合多个晶体管,形成各种半导体装置。下面,在实施方式 9 至 11 中,说明具有包含晶体管、电容元件等的电路的半导体装置。

[0428] 实施方式 9

[0429] 在本实施方式中,作为半导体装置的一个例子,说明微处理器。图 24 是示出微处理器 2000 的结构例子的框图。

[0430] 该微处理器 2000 包括运算电路(运算逻辑单元;Arithmetic logicunit,也称为 ALU)2001、运算电路控制部(ALU Controller)2002、指令译码部(Instruction Decoder)2003、中断控制部(InterruptController)2004、时序控制部(Timing Controller)2005、寄存器(Register)2006、寄存器控制部(Register Controller)2007、总线接口(Bus I/F)2008、只读存储器 2009、以及 ROM 接口(ROM I/F) 2010。

[0431] 通过总线接口 2008 输入到微处理器 2000 的指令在输入到指令译码部 2003 并被解码之后输入到运算电路控制部 2002、中断控制部 2004、寄存器控制部 2007、以及时序控

制部 2005。运算电路控制部 2002、中断控制部 2004、寄存器控制部 2007、以及时序控制部 2005 根据被解码了的指令而进行各种控制。

[0432] 运算电路控制部 2002 产生用来控制运算电路 2001 的工作的信号。此外，中断控制部 2004 是当在执行微处理器 2000 的程序时处理来自外部输入输出装置或外围电路的中断要求的电路，中断控制部 2004 判断中断要求的优先度或掩模状态以处理中断要求。寄存器控制部 2007 产生寄存器 2006 的地址，并且根据微处理器 2000 的状态进行寄存器 2006 的读出或写入。时序控制部 2005 产生控制运算电路 2001、运算电路控制部 2002、指令译码部 2003、中断控制部 2004 及寄存器控制部 2007 的工作时序的信号。例如，时序控制部 2005 包括根据基准时钟信号 CLK1 产生内部时钟信号 CLK2 的内部时钟产生部。如图 24 所示，将内部时钟信号 CLK2 输入到其他电路。

[0433] 实施方式 10

[0434] 在本实施方式中，说明具有以非接触的方式进行数据收发的功能及运算功能的半导体装置的一个例子。图 25 是示出该半导体装置的结构例子的框图。图 25 所示的半导体装置 2020 用作以无线通信与外部装置进行信号的收发而工作的运算处理装置。

[0435] 如图 25 所示，半导体装置 2020 包括模拟电路部 2021、数字电路部 2022、天线 2023、以及电容部 2024。模拟电路部 2021 包括具有谐振电容的谐振电路 2031、恒压电路 2032、整流电路 2033、解调电路 2034、调制电路 2035、复位电路 2036、振荡电路 2037、电源管理电路 2038。数字电路部 2022 包括 RF 接口 2041、控制寄存器 2042、时钟控制器 2043、CPU 接口 2044、中央处理单元 2045(CPU2045)、随机存取存储器 2046(RAM2046)、以及只读存储器 2047(ROM2047)。

[0436] 半导体装置 2020 的工作概要如下：通过利用天线 2023 所接收的信号，谐振电路 2031 产生感应电动势。感应电动势经过整流电路 2033 而充电到电容部 2024。该电容部 2024 优选由电容器如陶瓷电容器或双电层电容器等构成。电容部 2024 不必须集成在构成半导体装置 2020 的衬底上，而可以作为另外的部件安装在半导体装置 2020 上。

[0437] 复位电路 2036 产生对数字电路部 2022 进行复位和初始化的信号。例如，产生在电源电压上升之后延迟升高的信号作为复位信号。振荡电路 2037 根据由恒压电路 2032 产生的控制信号改变时钟信号的频率和占空比。解调电路 2034 是解调接收信号的电路，而调制电路 2035 是调制发送数据的电路。

[0438] 例如，解调电路 2034 由低通滤波器构成，并将振幅调制(ASK)方式的接收信号根据其振幅的变动二值化。另外，由于将振幅调制(ASK)方式的发送信号的振幅变动来发送数据，所以调制电路 2035 通过改变谐振电路 2031 的谐振点来改变通信信号的振幅。

[0439] 时钟控制器 2043 根据电源电压或中央处理单元 2045 中的耗电流，产生用来改变时钟信号的频率和占空比的控制信号。电源管理电路 2038 监视电源电压。

[0440] 从天线 2023 输入到半导体装置 2020 的信号被解调电路 2034 解调后，在 RF 接口 2041 被分解为控制指令、数据等。控制指令存储在控制寄存器 2042 中。控制指令包括存储在只读存储器 2047 中的数据的读出指令、向随机存取存储器 2046 的数据的写入指令、向中央处理单元 2045 的计算指令等。

[0441] 中央处理单元 2045 通过 CPU 接口 2044 对只读存储器 2047、随机存取存储器 2046、以及控制寄存器 2042 进行存取。CPU 接 2044 具有如下功能：根据中央处理单元 2045 所要

求的地址,产生对只读存储器 2047、随机存取存储器 2046、以及控制寄存器 2042 中的任一个的存取信号。

[0442] 作为中央处理单元 2045 的运算方式,可以采用将 OS(操作系统)预先存储在只读存储器 2047 中且在启动的同时读出并执行程序的方式。另外,也可以采用由专用电路构成运算电路且以硬件方式对运算处理进行处理的方式。作为使用硬件和软件双方的方式,可以采用如下方式:利用专用运算电路进行一部分的运算处理,并且使用程序以中央处理单元 2045 进行剩余部分的计算。

[0443] 实施方式 11

[0444] 在本实施方式中,作为半导体装置的结构例子,对显示装置进行说明。

[0445] 首先,参照图 26 至 28 说明本实施方式的显示装置的结构。在本实施方式中,作为显示装置,对有源矩阵型显示装置进行说明。

[0446] 图 26 是示出本实施方式的有源矩阵型显示装置的结构例的框图。本实施方式的有源矩阵型显示装置包括像素部 2100、信号线驱动电路 2101、扫描线驱动电路 2102、连接于信号线驱动电路 2101 的多条信号线 2103 以及连接于扫描线驱动电路 2102 的多条扫描线 2104。

[0447] 多条信号线 2103 沿列方向排列,多条扫描线 2104 与信号线 2103 交叉并沿行方向排列。在像素部 2100 中,多个像素 2105 对应于信号线 2103 及扫描线 2104 所构成的行列呈行列状排列。像素 2105 连接于扫描线 2104 及信号线 2103。像素 2105 包括开关元件以及显示元件。开关元件根据输入到扫描线 2104 的信号控制像素是否选择。显示元件根据从信号线 2103 输入的视频信号控制灰度。

[0448] 参照图 27 和图 28 对像素 2105 的结构例进行说明。图 27 示出将本发明应用于有源矩阵型液晶显示装置时的像素 2105 的结构例。像素 2105 具有作为开关元件的开关晶体管 2111 以及作为显示元件的液晶元件 2112。开关晶体管 2111 的栅极连接于扫描线 2104,源极及漏极的一方连接于信号线 2103,另一方连接于液晶元件 2112。

[0449] 液晶元件 2112 包括像素电极、对置电极及液晶,液晶的取向通过由像素电极和对置电极形成的电场控制。液晶被封入在两个衬底之间。保持电容器 2113 是用来保持液晶元件 2112 的像素电极的电位的元件,连接于液晶元件 2112 的像素电极。

[0450] 图 28 示出将本发明应用于有源矩阵型电致发光显示装置时的像素 2105 的结构例。像素 2105 具有作为开关元件的选择用晶体管 2121 以及作为显示元件的发光元件 2122。另外,像素 2105 还具有栅极连接于选择用晶体管 2121 的显示控制用晶体管 2123。发光元件 2122 具有一对电极和被一对电极夹住的发光材料。

[0451] 下面,说明用来使用根据本发明的半导体衬底制造显示装置的电路配置。图 29 示出根据实施方式 1 的制造方法而制造的半导体衬底 20 的主要部分(参照图 2)。通过使用一个半导体衬底 20,可以制造构成显示装置的多个衬底。图 29 示出用来使用一个单晶半导体层 112 制造一个显示装置的电路配置例子。在各单晶半导体层 112 中,形成一个显示面板形成区域 2129。显示装置具有像素部 2100、信号线驱动电路 2101、以及扫描线驱动电路 2102。因此,各显示面板形成区域具有形成它们的区域(像素形成区域 2130、信号线驱动电路形成区域 2131、扫描线驱动电路形成区域 2132)。

[0452] 另外,可以在一个单晶半导体层 112 上设置多个显示面板形成区域。另外,用来制

造显示装置的半导体衬底不局限于半导体衬底 20, 而可以使用根据本发明的其他半导体衬底。

[0453] 图 30A 和 30B 是示出液晶显示装置的结构例子的图。图 30A 是液晶显示装置的像素的平面图, 而图 30B 是沿 J-K 线的图 30A 的截面图。如图 30A 所示, 像素具有半导体层 2201、与半导体层 2201 交叉的扫描线 2202、与扫描线 2202 交叉的信号线 2203、像素电极 2204、以及使像素电极 2204 和半导体层 2201 电连接的电极 2205。半导体层 2201 是由贴合在 SOI 衬底上的半导体层 2201 构成的层, 它构成像素的晶体管 2206。

[0454] 如图 30B 所示, 在衬底 2200 上层叠有第二绝缘层 114、由第一绝缘层 113b 和第一绝缘层 113a 构成的第一绝缘层 113、半导体层 2201。

[0455] 衬底 2200 是分割了的支撑衬底 100。半导体层 2201 是通过对单晶半导体层 112 进行蚀刻来实现元件分离而形成的层。在半导体层 2201 中形成有沟道形成区域 2210 及 n 型高浓度杂质区域 2211。晶体管 2206 的栅电极 2212 包括在扫描线 2202 中, 其成为源电极和漏电极的两个电极中的一方包括在信号线 2203 中, 而另一方由电极 2205 构成。在半导体层 2201 和栅电极 2212 之间形成有栅极绝缘层 2213。

[0456] 覆盖半导体层 2201、栅极绝缘层 2213 及扫描线 2202 地形成有层间绝缘膜 2214。在层间绝缘膜 2214 上设置有信号线 2203、像素电极 2204、以及电极 2205。再者, 在层间绝缘膜 2214 上形成有柱状间隔物 2215。以覆盖信号线 2203、像素电极 2204、电极 2205、以及柱状间隔物 2215 的方式形成有取向膜 2216。在对置衬底 2220 上形成有对置电极 2221 和覆盖对置电极 2221 的取向膜 2222。形成柱状间隔物 2215, 以便维持衬底 2200 和对置衬底 2220 之间的空间。在由柱状间隔物 2215 形成的空隙形成有液晶层 2223。在信号线 2203 及电极 2205 与高浓度杂质区域 2211 连接的部分上, 因为接触孔的形成而在层间绝缘膜 2214 中产生台阶。因此, 在该连接部分中容易发生液晶层 2223 的液晶的取向错乱。因此, 通过在该连接部分中形成柱状间隔物 2215, 可以防止液晶的取向的错乱。

[0457] 下面, 说明电致发光显示装置(以下, 称为 EL 显示装置)。图 31A 和 31B 是用来说明根据实施方式 3 的方法制造的 EL 显示装置的图。图 31A 是 EL 显示装置的像素的平面图, 而图 31B 是像素的截面图。如图 31A 所示, 像素包括选择用晶体管 2401、显示控制用晶体管 2402、扫描线 2403、信号线 2404、电流供应线 2405、以及像素电极 2406, 它们形成在衬底 2200 上。具有如下结构的发光元件设置在各像素中: 在一对电极之间夹有包含电致发光材料而形成的层(以下称为 EL 层)。发光元件的一个电极是像素电极 2406。

[0458] 选择用晶体管 2401 具有由单晶半导体层 112 构成的半导体层 2408。在选择用晶体管 2401 中, 栅电极包括在扫描线 2403 中, 成为源电极和漏电极的两个电极中的一方包括在信号线 2404 中, 而另一方被形成为电极 2409。在显示控制用晶体管 2402 中, 栅电极 2410 和电极 2409 电连接, 成为源电极和漏电极的两个电极中的一方被形成为电连接到像素电极 2406 的电极 2411, 而另一方包括在电流供应线 2405 中。

[0459] 显示控制用晶体管 2402 是 p 沟道型晶体管, 具有由单晶半导体层 112 构成的半导体层 2412。如图 31B 所示, 在半导体层 2412 中形成有沟道形成区域 2413、p 型高浓度杂质区域 2414。半导体层 2412 和栅电极 2410 之间的绝缘层 2415 构成选择用晶体管 2401、显示控制用晶体管 2402 的栅极绝缘层。

[0460] 以覆盖半导体层 2408 及 2412、扫描线 2403、以及显示控制用晶体管 2402 的栅电

极 2410 的方式形成有层间绝缘膜 2417。在层间绝缘膜 2417 上形成有信号线 2404、电流供应线 2405、电极 2409 和 2411 等。此外，在层间绝缘膜 2417 上形成有电连接到电极 2411 的像素电极 2406。像素电极 2406 的周边部分由绝缘隔断层 2418 围绕。在像素电极 2406 上形成有 EL 层 2419，在 EL 层 2419 上形成有对置电极 2420。作为加强板设置有对置衬底 2421，该对置衬底 2421 利用树脂层 2422 固定在衬底 2200 上。衬底 2200 对应于支撑衬底 100。

[0461] 像素电极 2406、EL 层 2419 及对置电极 2420 构成发光元件 2122(参照图 28)。像素电极 2406 及对置电极 2420 中的一个电极用作阳极，而另一个用作阴极。另外，EL 显示装置根据发光元件的发光的取出方式而分为如下三种结构：一是使光经过衬底 2200 而取出的结构(也称为底面发射结构)；二是从与衬底 2200 相反一侧的面发射光的结构(也称为顶面发射结构)；三是使光经过衬底 2200 且从与衬底 2200 相反一侧的面发射光的结构(也称为两面发射结构)。本实施方式的 EL 显示装置可以具有这些三种结构。

[0462] 在采用底部发射的情况下，优选地是，像素电极 2406 为透光电极，而对置电极 2420 为反射电极。在采用顶面发射的情况下，优选地是，像素电极 2406 为反射电极，而对置电极 2420 为透光电极。在采用两面发射结构的情况下，优选地是，像素电极 2406 及对置电极 2420 双方均为透光电极。

[0463] 在将像素电极 2406 或对置电极 2420 做成反射电极的情况下，可以使用钽、钨、钛、钼、铝、铬、银等的金属元素、包含该金属元素的合金材料或化合物材料等的具有反射性的导电材料。

[0464] 在将像素电极 2406 或对置电极 2420 做成透光电极的情况下，可以使用氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)、或添加有镓的氧化锌(GZO)等的具有透光性的导电材料。另外，通过形成几 nm 至几十 nm 厚的由具有反射性的导电材料构成的膜，可以透射可见光，由此通过采用薄的膜厚度，可以将上述由具有反射性的导电材料构成的膜用作透光电极。

[0465] 另外，可以使用包含导电高分子(也称为导电聚合物)的导电组合物形成透光电极。优选地是，通过使用导电组合物而形成的电极的薄膜中的薄层电阻(sheet resistance)为 $10000 \Omega / \square$ 以下，波长 550nm 处的透光率为 70% 以上。另外，优选地是，包含在导电组合物中的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0466] 作为导电高分子，可以使用所谓的 7π 电子共轭类导电高分子。例如，可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或这些的两种以上的共聚物等。

[0467] 作为共轭导电高分子的具体例子，可以举出聚吡咯、聚(3-甲基吡咯)、聚(3-丁基吡咯)、聚(3-辛基吡咯)、聚(3-癸基吡咯)、聚(3,4-二甲基吡咯)、聚(3,4-二丁基吡咯)、聚(3-羟基吡咯)、聚(3-甲基-4-羟基吡咯)、聚(3-甲氧基吡咯)、聚(3-乙氧基吡咯)、聚(3-辛氧基吡咯)、聚(3-羧基吡咯)、聚(3-甲基-4-羧基吡咯)、聚 N- 甲基吡咯、聚噻吩、聚(3-甲基噻吩)、聚(3-丁基噻吩)、聚(3-辛基噻吩)、聚(3-癸基噻吩)、聚(3-十二烷基噻吩)、聚(3-甲氧基噻吩)、聚(3-乙氧基噻吩)、聚(3-辛氧基噻吩)、聚(3-羧基噻吩)、聚(3-甲基-4-羧基噻吩)、聚(3,4-乙烯基二氧化噻吩)、聚苯胺、聚(2-甲基苯胺)、聚(2-辛基苯胺)、聚(2-异丁基苯胺)、聚(3-异丁基苯胺)、聚(2-苯胺磺酸)、聚(3-苯胺磺酸)、等等。

[0468] 可以单独地使用上述导电高分子作为导电组合物来形成透光电极。也可以将有机树脂添加到导电高分子，以调整由导电组合物构成的透光电极的膜性质、膜强度等的膜特性。

[0469] 作为有机树脂，可以使用能够与导电高分子相溶或混合分散的热固化树脂、热塑性树脂、或光固化树脂等。例如，可以举出聚酯类树脂如聚对苯二甲酸乙二醇酯、聚对苯二甲酸丁二醇酯、或聚萘二甲酸乙二醇酯等；聚酰亚胺类树脂如聚酰亚胺或聚酰胺-酰亚胺、聚酰胺树脂如聚酰胺 6、聚酰胺 6,6、聚酰胺 12、或聚酰胺 11 等；氟树脂如聚偏二氟乙烯、聚氟乙烯、聚四氟乙烯、乙烯-四氟乙烯共聚物、或聚氯三氟乙烯等；乙烯树脂如聚乙烯醇、聚乙烯基乙醚、聚乙烯醇缩丁醛、聚醋酸乙烯酯、或聚氯乙烯等；环氧树脂、二甲苯树脂、芳香族聚酰胺树脂、聚氨酯类树脂、聚脲类树脂、蜜胺树脂、酚醛类树脂、聚醚、丙烯酸类树脂、或这些树脂的共聚物等。

[0470] 再者，也可以通过将具有受主性或施主性的掺杂物掺杂到导电组合物中来改变共轭导电高分子的共轭电子的氧化还原电位，以调整导电组合物的导电度。

[0471] 作为受主性掺杂物，可以使用卤素化合物、路易斯酸、质子酸、有机氰化合物、有机金属化合物等。作为卤素化合物，可以举出氯、溴、碘、氯化碘、溴化碘、氟化碘等。作为路易斯酸，可以举出五氟化磷、五氟化砷、五氟化锑、三氟化硼、三氯化硼、三溴化硼等。作为质子酸，可以举出盐酸、硫酸、硝酸、磷酸、氟硼酸、氢氟酸、高氯酸等的无机酸、有机羧酸、有机磺酸等的有机酸。作为有机羧酸及有机磺酸，可以使用上述羧酸化合物及磺酸化合物。作为有机氰化合物，可以使用共轭键中包含两个以上的氰基的化合物。例如，可以举出四氰基乙烯、四氰基乙烯氧化物、四氰基苯、四氰基醌二甲烷、四氰基氮杂萘(tetracyanoazanaphthalene) 等。

[0472] 作为施主性掺杂物，可以举出碱金属、碱土金属、或季胺化合物等。

[0473] 另外，可以将导电组合物溶解在水或有机溶剂（醇类溶剂、酮类溶剂、酯类溶剂、烃类溶剂、或芳香类溶剂等）中通过湿法形成作为透光电极的薄膜。

[0474] 对溶解导电组合物的溶剂没有特别的限制，可以使用溶解上述导电高分子及有机树脂等的高分子树脂化合物的溶剂。例如，可以溶解在水、甲醇、乙醇、碳酸丙烯酯、N-甲基吡咯烷酮、二甲基甲酰胺、二甲基乙酰胺、环己酮、丙酮、甲基乙基酮、甲基异丁基甲酮、或甲苯等的单独或混合溶剂中。

[0475] 在如上所述那样将导电组合物溶解在溶剂中之后，通过使用涂敷法、涂覆法、液滴喷射法（也称为喷墨法）、印刷法等的湿法，可以在层间绝缘膜 2417 上形成像素电极 2406。溶剂的干燥既可通过加热处理而进行，又可通过减压而进行。在采用热固化有机树脂的情况下，可以进行加热处理，而在采用光固化有机树脂的情况下，可以进行光照射处理。

[0476] 隔断层 2418 可以通过在使用 CVD 法、溅镀法、涂敷法等在衬底的整个面上形成绝缘层之后选择性地蚀刻而形成。也可以通过液滴喷射法或印刷法等选择性地形成。另外，也可以在使用正型光敏树脂在整个面上形成绝缘层之后对该绝缘层进行曝光及显影，以得到所希望的形状。

[0477] 作为 EL 层 2419，至少形成发光层。除该发光层外，还可以适当地形成空穴注入层、空穴传输层、电子传输层或电子注入层。EL 层可以通过喷墨法等的涂敷法或蒸镀法而形成。

[0478] 接着，以与衬底 2200 相对置的方式设置对置衬底 2421（参照图 31B）。在对置衬底

2421 和对置电极 2420 之间,既可设置树脂层 2422,又可使用惰性气体来填充。另外,可以覆盖对置电极 2420 地形成保护层。

[0479] 在本实施方式的 EL 显示装置中,晶体管的沟道形成区域由单晶半导体层构成。因此,与将多晶半导体用作沟道形成区域的显示装置相比,本实施方式的 EL 显示装置可以降低每个像素的晶体管特性的不均匀性。从而,可以抑制每个像素的显示不均匀。

[0480] 对构成本实施方式的显示装置的晶体管的结构没有特别的限制。例如,可以应用具有上述实施方式 6 至 8 所示的结构的场效应晶体管。

[0481] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0482] 实施方式 12

[0483] 通过使用半导体衬底 10,可以制造各种各样的电器。作为电器,可以举出摄像机或数字照相机等影像拍摄装置、导航系统、音频再现装置(汽车音响、音响组件等)、计算机、游戏机、便携式信息终端(移动计算机、移动电话、便携式游戏机或电子书等)、具有记录介质的图像再现装置(具体地说,它是具有显示数字通用光盘(DVD)等的图像数据的显示装置的装置)等。

[0484] 参照图 32A 至 32C 及图 33A 至 33C 说明本实施方式中的电器的具体方式。图 32A 是表示移动电话机 1901 的一个例子的外观图。该移动电话机 1901 包括显示部 1902、操作开关 1903 等。通过将图 30A 和 30B 所示的液晶显示装置或图 31A 和 31B 所示的 EL 显示装置适用于显示部 1902,可以获得显示不均匀性低且图像质量好的显示部 1902。

[0485] 此外,图 32B 是表示数字播放器 1911 的结构例子的外观图。数字播放器 1911 包括显示部 1912、操作部 1913、耳机 1914 等。还可以适用头戴式耳机或无线式耳机代替耳机 1914。通过将图 30A 和 30B 所示的液晶显示装置或图 31A 和 31B 所示的 EL 显示装置适用于显示部 1912,即使画面尺寸为 0.3 英寸至 2 英寸左右,也可以显示高清晰图像以及大量文字信息。

[0486] 此外,图 32C 是电子书 1921 的外观图。该电子书 1921 包括显示部 1922、操作开关 1923。既可在电子书 1921 中内置调制解调器,又可内置图 25 所示的半导体装置 2020,以获得能够以无线方式收发信息的结构。可以通过将图 30A 和 30B 所示的液晶显示装置或者图 31A 和 31B 所示的 EL 显示装置适用于显示部 1922,进行高图像质量的显示。

[0487] 图 33A 至 33C 示出应用本发明的移动电话机 1800 的结构的一个例子,图 33A 是正面图,图 33B 是背面图,而且图 33C 是展开图。移动电话机 1800 具有电话和便携式信息终端之双方的功能,并内置有计算机,除了音频通话以外还能够进行各种数据处理,即所谓的智能手机。移动电话机 1800 内置有影像拍摄装置,而能够拍摄静态图像及动态图像。

[0488] 移动电话机 1800 由框体 1801 和框体 1802 这两个框体构成。在框体 1801 上设置有显示部 1805、扬声器 1806、麦克风 1807、操作键 1808、定位装置 1809、影像拍摄用透镜 1810、外部连接端子 1811、耳机端子 1812 等。可以通过将图 30A 和 30B 所示的液晶显示装置或者图 31A 和 31B 所示的 EL 显示装置适用于显示部 1805,进行高图像质量的显示。

[0489] 在框体 1802 上设置有键盘 1815、外部存储器插槽 1816、影像拍摄用透镜 1817、灯 1818 等。另外,将天线内置于框体 1801 内部。

[0490] 另外,除了上述结构以外,还可以内置有非接触 IC 芯片和小型记录装置等。

[0491] 显示部 1805 根据使用方式适当地改变显示的方向。由于在与显示部 1805 同一

面上设置有影像拍摄用透镜 1810，所以可以实现电视电话。另外，能够以显示部 1805 为取景器使用影像拍摄用透镜 1817 及灯 1818 拍摄静态图像及动态图像。扬声器 1806 及麦克风 1807 能够进行电视电话、录音、重放等，而不局限于音频通话。通过使用操作键 1808，能够打电话或接电话，并能够进行电子邮件等的简单信息输入、画面滚动、或指针移动等。再者，图 33A 所示的彼此重叠的框体 1801 和框体 1802 通过滑动而以图 33C 所示的形状展开。在展开状态下，它可以用作便携式信息终端。在此情况下，可以使用键盘 1815 和定位装置 1809 顺利操作。外部连接端子 1811 可以连接到 AC 适配器及 USB 电线等各种电线，而能够进行充电及与个人计算机等之间的数据通信。另外，也可以通过将记录介质插入外部存储器插槽 1816 来对应于大量数据的存储及移动。

[0492] 除了上述功能以外，还可以具有红外线通信功能、电视接收功能等。

[0493] 实施例 1

[0494] 在本实施例中，说明通过激光照射处理提高单晶半导体层的结晶性、以及通过激光照射处理后的加热处理提高单晶半导体层的寿命。制造如下三种半导体衬底，以评价结晶性及寿命：一是根据本发明的半导体衬底，它是对从单晶半导体衬底分离了的单晶半导体层进行了激光照射处理及加热处理而获得的半导体衬底；二是被进行了激光照射处理而没被进行加热处理的半导体衬底；三是没被进行激光照射处理及加热处理的半导体衬底。

[0495] 下面，说明半导体衬底的制造方法。图 34 是示出用于实验的半导体衬底的叠层结构的截面图。根据实施方式 1 的制造方法（参照图 4A 至图 5C）制造半导体衬底。单晶硅层 201 隔着由氧氮化硅膜 202、氮氧化硅膜 203、以及氧化硅膜 204 构成的缓冲层 111 固定于玻璃衬底 200 上。

[0496] 本实施例的半导体衬底的缓冲层所包含的膜的厚度如下：

[0497] • 氧氮化硅膜 202 50nm

[0498] • 氮氧化硅膜 203 50nm

[0499] • 氧化硅膜 204 50nm

[0500] 为了制造半导体衬底，使用单晶硅片作为单晶半导体衬底 110。单晶硅片是边长为 5 英寸的方形衬底。其导电型为 P 型，电阻率为 $10 \Omega \cdot \text{cm}$ 左右。关于晶体取向，主表面为 (100)，而侧面为 <110>。作为支撑衬底 100 的玻璃衬底 200 为 0.7mm 厚的无碱玻璃衬底（商品名 AN100）。

[0501] 作为第一绝缘层 113，通过 PECVD 法形成由 50nm 厚的氧氮化硅膜 202 和 50nm 厚的氮氧化硅膜 203 构成的两层结构的绝缘膜（参照图 4A）。氧氮化硅膜 202 的工艺气体为 SiH_4 及 N_2O ，流量比为 $\text{SiH}_4\backslash\text{N}_2\text{O} = 4\backslash800$ 。成膜步骤的衬底温度是 400°C。氮氧化硅膜 203 的工艺气体为 SiH_4 、 NH_3 、 N_2O 及 H_2 ，流量比为 $\text{SiH}_4\backslash\text{NH}_3\backslash\text{N}_2\text{O}\backslash\text{H}_2 = 10\backslash100\backslash20\backslash400$ 。成膜步骤的温度是 350°C。

[0502] 为了在单晶硅片中形成损伤区域，使用离子掺杂装置将氢离子添加到单晶硅片。以 100% 氢气为源气体，激发氢气而产生等离子体后，不对等离子体中的离子进行质量分离就利用电场加速并照射到单晶硅片，从而形成损伤区域 115（参照图 4B）。在离子掺杂装置中，通过激发氢气，产生 H^+ 、 H_2^+ 、 H_3^+ 三种离子种。将所产生的所有离子种加速并照射到单晶硅片。从氢气产生的氢离子种的约 80% 为 H_3^+ 。

[0503] 例如，氢离子掺杂的条件如下：电源输出为 100W，加速电压为 40kV，剂量为

2.2×10^{16} ions/cm³。

[0504] 作为第二绝缘层 114，通过 PECVD 法形成 50nm 厚的氧化硅膜 204（参照图 4C）。氧化硅膜 204 的成膜用工艺气体为 TEOS 及 O₂，流量比为 TEOS\O₂ = 15\750。成膜步骤的温度是 300℃。

[0505] 在纯水中，对玻璃衬底 200 及形成有膜 202 至 204 的单晶硅片进行超声波清洗，然后利用包含臭氧的纯水清洗，接着，将玻璃衬底 200 表面和形成在单晶硅片表面上的氧化硅膜 204 密接，来接合在一起（参照图 4D）。然后，为了在损伤区域 115 中引起劈开，在加热炉中以 200℃ 进行 2 小时的加热处理以提高玻璃衬底 200 和氧化硅膜 204 的结合强度，接着，通过在加热炉中以 600℃ 进行 4 小时的加热处理，劈开单晶硅片，而从单晶硅片分离单晶硅层 201。

[0506] 注意，将通过图 4A 至图 4D 的步骤（缓冲层的形成、损伤区域的形成、接合步骤、单晶硅片的分离步骤）形成的半导体衬底称为“半导体衬底 x”。

[0507] 接着，使用纯水清洗半导体衬底 x 后，使用被稀释为 1/100 的氢氟酸对单晶硅层 201 进行处理，以去除形成在其表面上的自然氧化膜。接着，通过对单晶硅层 201 照射激光束，使它熔化而再结晶。作为激光振荡器，使用使波长 308nm 的光束振荡的 XeCl 受激准分子激光器。激光束的脉冲宽度为 25nsec，重复频率为 30Hz。

[0508] 通过光学系统聚光成被照射面上的激光束形状为线形，沿宽度方向（光束形状的短轴方向）进行激光束扫描。另外，在照射激光时，半导体衬底 x 不被加热，而处于室温。将上述被进行了激光照射处理步骤的半导体衬底称为“半导体衬底 y”。

[0509] 在照射激光束之后，在纵型电阻加热炉中，在氮气氛中对半导体衬底 y 进行加热处理。在本实施例中，制造其处理条件不相同的如下 两种半导体衬底：一是在 500℃下进行 1 小时的加热处理，然后在 550℃下进行 4 小时的加热处理而形成的半导体衬底，它被称为“半导体衬底 A”；二是在 500℃下进行 1 小时的加热处理，然后在 600℃下进行 4 小时的加热处理而形成的半导体衬底，它被称为“半导体衬底 B”。

[0510] 另外，确认到在进行激光照射处理后，在 500℃下进行 1 小时的加热处理，然后在 550℃下进行 4 小时的加热处理而形成的半导体衬底 A 中的玻璃衬底 200 收缩 20ppm 左右。发生收缩的步骤，是需要微细的位置对准的步骤（例如，利用缩小曝光装置的曝光步骤等）前发生的收缩，因此不影响到使用本发明的半导体衬底的半导体装置的制造步骤。

[0511] 表 1 示出半导体衬底 x、y、A、B 和激光束照射步骤及加热处理步骤的对应。

[0512] [表 1]

[0513]

	半导体衬底			
	X	Y	A	B
激光照射 处理	没有	XeCl 受激准分子激光 (波长 308nm)		
加热处理	没有	没有	500°C, 1 小时 ↓ 550°C, 4 小时	500°C, 1 小时 ↓ 600°C, 4 小时

[0514] 实施例 2

[0515] 分别对于根据本发明的半导体衬底 A 及 B、作为比较例的半导体衬底 x 及 y 评价单晶硅层 201 的结晶性。为了评价结晶性, 进行拉曼光谱测量、以及寿命评价测量。在本实施例中, 根据这些测量结果, 说明通过进行使单晶硅层熔化而再结晶的激光照射处理提高单晶硅层的结晶性、以及通过在激光照射处理后进行不使其熔化的加热处理进一步提高单晶硅层的结晶性。

[0516] 注意, 为了区别本实施例的半导体衬底和实施例 3 至 5 的半导体 衬底, 在表示制造方法的字母后边附加“-1”作为参照标记而称为半导体衬底 A-1、半导体衬底 B-1、半导体衬底 x-1、半导体衬底 y-1。半导体衬底的参照标记与实施例 3 至 5 相同。

[0517] 被进行了拉曼光谱测量以及寿命评价测量的各半导体衬底的制造时的氢离子掺杂条件如下: 源气体为 100% 氢, 电源输出为 100W, 加速电压为 40kV, 剂量为 2.2×10^{16} ions/cm³。从单晶硅片分离了的单晶硅层 201 的厚度为 120nm。

[0518] 另外, 对半导体衬底 y-1、半导体衬底 A-1、半导体衬底 B-1 进行激光照射处理步骤的条件如下: 激光束的束形状的宽度为 340 μm, 扫描速度为 1.0mm/秒。激光束的脉冲的重叠率为 90%, 并对同一区域照射约 10 次的脉冲。激光束的能量密度为 660mJ/cm²。另外, 为了获得氮气体气氛, 边对激光束的被照射面喷射氮气体, 边照射激光束。

[0519] 图 35 及图 36 示出拉曼光谱测量结果。图 35 是拉曼位移的图, 而图 36 是拉曼光谱的半峰全宽 (FWHM, full width at half maximum) 的图。注意, 对各衬底的 9 个部分测量拉曼光谱。

[0520] 图 35 所示的拉曼位移的峰波数 (也称为峰值) 是取决于晶格的振动方式的值, 根据晶体种类而成为固有的值。无内部应力的单晶硅的拉曼位移为 520.6cm⁻¹。硅的拉曼位移越接近该波数, 晶体结构就越接近单晶, 表示结晶性良好。

[0521] 另外, 图 36 所示的 FWHM 越小, 表示结晶状态的波动越少, 是均匀的。市售的单晶硅片的 FWHM 为 2.5cm⁻¹ 至 3.0cm⁻¹ 左右, 因此可以以 FWHM 为指标, 它越接近该值, 就越具有如单晶硅片那样的均匀结晶性的晶体结构。

[0522] 根据图 35 和 36 可知, 通过进行激光照射处理, 可以恢复单晶硅层的结晶性。通过进行激光照射处理, 可以将其结晶性恢复到与加工前的单晶硅片相同的程度。根据图 35 和 36 可知, 半导体衬底 y-1、半导体衬底 A-1、半导体衬底 B-1 的数据没有大不同。因此, 可以知道本实施例的加热处理不引起能够通过拉曼光谱分析检测出的单晶硅层的晶体结构的

变化。

[0523] 图 37 是半导体衬底 x-1、半导体衬底 y-1、半导体衬底 A-1、半导体衬底 B-1 的寿命评价结果的图。在本实施例中,作为测量装置,使用由 KOBELCO 科研(株)公司制造的利用微波光电导衰减(Microwave Photo Conductive Decay)法的寿命评价装置。

[0524] 微波光电导衰减法(以下称为 μ -PCD 法)是如下方法:将激光照射到半导体的表面,而在半导体中产生载流子,并且对照射了激光的位置照射微波,来检测出被半导体反射的微波的强度的衰减状态,以评价寿命。在 μ -PCD 法中,利用一种现象,即若在半导体中产生载流子,则半导体的电阻值下降,从而在产生了载流子的区域中微波的反射率变高的现象,因此通过检测反射微波的强度,评价寿命。

[0525] 当将光照射到单晶硅时,在价电子带中产生的电子和在传导带中产生的空穴复合而消灭。若单晶硅层具有较多污染或缺陷,则电荷捕获中心的密度变高,因此单晶硅中的载流子的复合概率增高,从而寿命变短。因此,寿命被用作评价单晶硅等半导体的晶体结构是否完全的参数。

[0526] 图 37 中的纵轴是反射微波的检测信号的峰值。在图 37 中,峰值越大,寿命越长,因此可以根据峰值评价寿命。在对半导体衬底 x-1 和半导体衬底 y-1 进行比较时,可知通过进行激光照射处理可以使寿命变长。另外,在对半导体衬底 y-1、半导体衬底 A-1 及半导体衬底 B-1 进行比较时,可知通过进行激光照射处理后的加热处理可以使寿命显著变长。

[0527] 根据图 35 和图 36 可知,对半导体衬底 y-1、半导体衬底 A-1 及半导体衬底 B-1 的利用拉曼光谱的结晶性评价大致相同。与此相反,根据图 37 的寿命提高的结果可知,与没被进行加热处理的单晶硅层相比,被进行了激光照射处理后的加热处理的单晶硅层具有其完全性更高的单晶结构。虽然其理由不明确,但是可以认为:通过进行加热处理,使寿命缩短的电荷捕获中心密度(例如悬空键)减小了。

[0528] 为了提高寿命,激光照射步骤后的加热处理温度为 400℃以上。加热温度优选为 500℃以上,更优选为 550℃以上。另外,在上述加热处理中,不使单晶半导体层熔化,并使支撑衬底的温度不超过其应变点。

[0529] 实施例 3

[0530] 在本实施例中,说明单晶硅层因激光束 122 的照射而熔化。另外,说明单晶硅层因激光束照射而再结晶并成为单晶结构。

[0531] 通过对被进行激光照射处理前的半导体衬底 x-2 的单晶硅层 201 照射激光束,使用光谱学的方法测量单晶硅层 201 的相变化。具体地说,对单晶硅层 201 的激光束照射区域照射探测光,而测量其反射光的强度变化。根据反射光的强度,可以判断单晶硅层 201 是固相状态还是液相状态。在硅从固相变成液相状态时,其折射率急剧地上升,而对可见光的反射率急剧地上升。因此,通过使用具有可见光区的波长的激光束作为探测光来检测探测光的反射光的强度变化,可以检测出单晶硅层 201 的从固相到液相的相变化、以及从液相到固相的相变化。因此,通过使用不相同的光探测器接收照射到单晶硅层 201 的 XeCl 受激准分子激光束以及被单晶硅层 201 反射的探测光,并将两个光探测器的检测信号输入到示波器来观察光探测器的检测信号的变化,而可以知道 XeCl 受激准分子激光束的照射时间和单晶硅层 201 的相变化的关系。这里,使用作为 Nd:YVO₄ 激光器的二次谐波的 532nm 的光束作为探测光。

[0532] 图 38 是示出测量结果的示波器的信号波形的图像。在图 38 的图像中,下方的信号波形为对应于 XeCl 受激准分子激光器的强度变化的信号波形,而上方的信号波形为对应于被单晶硅层反射的探测光的强度变化的信号波形。图 38 的横轴表示时间,格子的间隔为 100nsec。

[0533] 测量条件如下:采用氮气氛;XeCl 受激准分子激光器的能量密度为 539mJ/cm²。另外,对单晶硅层照射一次的用来制造半导体衬底 y-2 的激光束 320。注意,表示 XeCl 受激准分子激光束的强度的信号波形具有两个峰值,但是这起因于用于测量的 XeCl 受激准分子激光 振荡器的规格。

[0534] 另外,测量了图 38 的数据的半导体衬底 y-2 的单晶硅层 201 的厚度为 100nm。形成损伤区域 115 时的掺杂条件如下:源气体为 100% 氢,电源输出为 100W,加速电压为 40kV,剂量为 2.2×10^{16} ions/cm²。

[0535] 如图 38 所示,当照射 XeCl 激光束时,对应于探测光的信号强度急剧地上升,在照射 XeCl 激光束之后,在不久以后衰减。因此,从检测信号的强度变化可知,通过对单晶硅层 201 照射 XeCl 激光束,激光束照射区域的温度上升到熔点以上,该区域熔化。在照射激光束之后,该区域将熔化状态(液晶状态)保持一段时间,但是在不久以后,该区域的温度下降而开始凝固,从而完全回到固相状态。就是说,确认到单晶硅层 201 因 XeCl 激光束的照射而熔化。

[0536] 下面,说明通过照射 XeCl 激光束使单晶硅层熔化而再结晶、以及再结晶了的硅层为单晶结构。

[0537] 图 39A 及图 39B 是根据半导体衬底 x-3 及半导体衬底 y-3 的单晶硅层表面的电子背散射衍射图样(EBSP,即 Electron Back Scatter Diffraction Pattern)的测定数据获得的反极图(IPF,即 Inverse PoleFigure)。图 39A 是没被进行激光照射步骤的半导体衬底 x-3 的单晶硅层的 IPF 图。图 39B 是被进行了激光照射步骤的半导体衬底 y-3 的 IPF 图。图 39C 是通过对晶体的各面取向进行彩色编码,表示 IPF 图的颜色和晶体取向的关系的彩色编码图。

[0538] 在半导体衬底 x-3 和半导体衬底 y-3 的制造步骤中,形成损伤区域 115 时的掺杂条件如下:电源输出为 100W,加速电压为 40kV,剂量为 2.0×10^{16} ions/cm²。半导体衬底 x-3 和半导体衬底 y-3 的单晶硅层的厚度为 100nm 左右。

[0539] 半导体衬底 y-3 的激光照射处理的条件如下;被照射面上的激光束的截面形状为宽度 350 μm 且长度 126mm 的线状;激光束的扫描速度(衬底的移动速度)为 1.0mm/秒;根据光束宽度和扫描速度而计算出照射到单晶硅层 201 的同一区域的激光束的照射次数,该照射次数为 10.5 次;激光束的能量密度为 648mJ/cm²。为了采用氮气氛作为激光束的照射气氛,对激光束的被照射面喷射氮气体。

[0540] 根据图 39A 和 39B 的 IPF 图,在照射激光束之前及照射激光束之后,单晶硅层 201 的晶体取向不混乱,单晶硅层 201 表面的面取向保持与所使用的单晶硅片相同的(100)面取向。另外,还确认在照射激光束之前及照射激光束之后单晶硅层 201 不存在晶界。这一点可以根据如下事实确认:图 39A 和 39B 所示的 IPF 图是由在图 39C 的彩色编码图中表示(100)取向的颜色(在彩色图中为红色)构成的一种颜色的四边形的图像。

[0541] 根据 EBSP 测定可以知道如下事实:通过使用主表面的面取向为(100)的单晶硅

片,形成主表面的面取向为(100)的单晶硅层;通过对该单晶硅层照射激光束而使它熔化了的单晶硅层的主表面的面取向也为(100)。

[0542] 另外,在图39A和39B的IPF图中出现的点表示CI值低的部分。CI值是表示决定晶体取向的数据的可靠性及准确度的指标值。CI值因晶界和结晶缺陷等而降低。即,CI值低的部分越少,晶体结构的完全性越高,可以判定具有良好的结晶性。半导体衬底y-3的IPF图中的CI值低的部分比半导体衬底x-3的IPF图少。因此,根据EBSP测定,可以知道通过照射激光束修复了单晶硅层中的晶体缺陷、悬空键等的微小缺陷。

[0543] 实施例4

[0544] 在本实施例中,说明通过进行激光照射处理提高单晶硅层201的平坦性。表面的平坦性是根据对利用原子力显微镜的观察图像(以下称为AFM图像)进行解析而得到的表示表面粗糙度的测量值评价的。在本实施例中,对被进行了实施例2的寿命评价及拉曼光谱分析的四种半导体衬底x-1、y-1、A-1、及B-1的表面粗糙度进行评价。

[0545] 测量条件如下:

[0546] • 原子力显微镜(AFM):精工电子株式会社制的扫描型探针显微镜(型号:SPI3800N/SPA500)

[0547] • 测定模式:动态力模式(DFM模式)

[0548] • 悬臂:SI-DF40(硅制,弹簧常数为42N/m,谐振频率为250至390kHz,探针前端R≤10nm)

[0549] • 测定面积:5μm×5μm

[0550] • 测定点数:256点×256点

[0551] DFM模式是指如下测定模式:在以某一频率(悬臂固有的频率)使悬臂谐振的状态下,边控制探针和样品的距离以使悬臂的振动振幅恒定,边测定样品的表面形状。在DFM模式中,样品表面和悬臂不接触,因此可以在保持原有形状的状态下进行测定,而不损伤样品表面。

[0552] 图40A至40D分别是半导体衬底x-1、y-1、A-1、及B-1的单晶硅层201表面的AFM图像。

[0553] 图41A至41C示出根据AFM图像计算出的各半导体衬底x-1、y-1、A-1、及B-1的单晶硅层的表面粗糙度。通过使用附属软件,进行表面粗糙度的解析,而分别计算出平均面粗糙度Ra、均方根面粗糙度RMS、凸凹的最大高低差P-V。图41A示出平均面粗糙度,图41B示出均方根粗糙度RMS,并且图41C示出凸凹的最大高低差P-V。在本实施例中,分别准备半导体衬底x-1、y-1、A-1、及B-1各两个,对每个衬底的三个位置进行表面粗糙度解析。

[0554] 根据图41A至41C的数据可知,通过进行激光照射处理熔化而再结晶了的单晶硅层201的表面被平坦化。另外,即使在进行激光照射处理之后进行加热处理,也可以维持单晶硅层的平坦性。因此,激光束照射处理的效果之一可以说是用作支撑衬底100的玻璃衬底的耐热温度以下的工艺温度下的从单晶半导体衬底分离了的单晶半导体层的平坦化。

[0555] 下面,说明在本说明书中用作表面平坦性的指标的平均面粗糙度Ra、均方根面粗糙度RMS、凸凹的最大高低差P-V。

[0556] 平均面粗糙度(Ra)是指为了适用于测定面而将由JISB0601:2001(ISO4287:1997)中定义的中心线平均粗糙度Ra扩展到三维而得的指标。它可用将从基准面到指定面

的偏差的绝对值平均而得的值 表示,通过如下式 (a1) 得到。

$$[0557] R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY \quad \dots \quad (a1)$$

[0558] 测定面是指所有测定数据示出的面,可以通过如下式 (a2) 表示。在式 (a2) 中, (X, Y) 的范围在 (0, 0) 至 (X_{\max} , Y_{\max})。

$$[0559] Z = F(X, Y) \quad \dots \quad (a2)$$

[0560] 指定面是指成为粗糙度测量的对象的面,是由坐标 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2) 表示的四点所围成的长方形区域。将假设指定面理想化地平坦时的面积设定为 S_0 。由此, 面积 S_0 通过如下式 (a 3) 得到。

$$[0561] S_0 = (X_2 - X_1)(Y_2 - Y_1) \quad \dots \quad (a3)$$

[0562] 基准面是指将指定面的高度的平均值设定为 Z_0 时表示为 $Z = Z_0$ 的平面。基准面平行于 XY 平面。 Z_0 通过如下式 (a 4) 得到。

$$[0563] Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY \quad \dots \quad (a4)$$

[0564] 均方根面粗糙度 (RMS) 是指为了适用于测定面而与 Ra 同样地将对于截面曲线的 RMS 扩展至三维而得的指标。它可用将从基准面到指定面的偏差的平方平均而得的值的平方根表示,通过如下式 (a5) 得到。

$$[0565] R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY} \quad \dots \quad (a5)$$

[0566] 凸凹的最大高低差 (P-V) 可以用指定面中最高的凸部的标高 Z_{\max} 和最低的凹部的标高 Z_{\min} 的差表示,通过如下式 (a6) 得到。

$$[0567] P-V = Z_{\max} - Z_{\min} \quad \dots \quad (a6)$$

[0568] 在这里所说的“凸部”和“凹部”是指将 JISB0601 :2001 (ISO4287 :1997) 中定义的“凸部”和“凹部”扩展至三维而得的概念。凸部表示指定面的突出部中标高最高处,凹部表示指定面中标高最低处。

[0569] 实施例 5

[0570] 在本实施例中,说明根据本发明的半导体衬底的单晶硅层的氢浓度。在本实施例中,通过二次离子质谱分析技术 (SIMS, 即 Secondary Ion Mass Spectrometry) 分析半导体衬底 x-4、y-4、A-1 的单晶硅层的氢浓度。半导体衬底 A-1 是被进行了实施例 2 的拉曼光谱分析及寿命评价的半导体衬底。

[0571] 图 42 是半导体衬底 x-4 及 y-4 的根据 SIMS 分析得到的氢浓度深度方向的分布图。在图 42 中,氢浓度的数值只在硅层内有效。

[0572] 在制造本实施例的半导体衬底 x-4 及 y-4 时,形成损伤区域 115 时的氢离子掺杂的条件如下:电源输出为 50W, 加速电压为 80kV, 剂量为 2.5×10^{16} ions/cm²。通过上述条件, 单晶硅层 201 的厚度为 220nm 左右。另外, 氧氮化硅膜 202 的厚度为 100nm。

[0573] 在本实施例中,对半导体衬底 y-4 进行激光照射步骤的条件如下:激光束的宽度为 340 μm;扫描速度为 1.0mm/秒;照射约 10 次的激光束。在该条件下,重叠率为 90%。另外,激光照射步骤的温度为室温。另外,在 XeCl 受激准分子能量密度和照射气氛不相同的四个条件 (a 至 d) 下进行激光照射处理。条件 a 至 d 如下:

[0574] a. $637 \text{mJ/cm}^2 \text{N}_2$ 气体气氛

[0575] b. 543mJ/cm^2 大气气氛

[0576] c. $543 \text{mJ/cm}^2 \text{N}_2$ 气体气氛

[0577] d. $449 \text{mJ/cm}^2 \text{N}_2$ 气体气氛

[0578] 注意,对激光束的被照射面喷射氮气体,以实现氮气体气氛。

[0579] 如图 42 所示,通过进行激光照射处理,单晶硅层 201 的上层一侧(深度浅的一侧)的氢浓度下降。激光束的能量密度越高,氢浓度越低。在没被进行激光照射处理的半导体衬底 x-4 中,单晶硅层 201 包含 1×10^{20} 原子/ cm^3 以上 3×10^{20} 原子/ cm^3 以下左右的氢,但是通过进行激光照射处理,单晶硅层 201 的上部的氢浓度下降到 1×10^{20} 原子/ cm^3 以下,成为 1×10^{19} 原子/ cm^3 以上 3×10^{20} 原子/ cm^3 以下。

[0580] 可以认为在半导体衬底 y-4 的单晶硅层 201 中,其氢浓度比半导体衬底 x-4 低的区域是如下区域:因激光束照射而熔化的区域、以及因来自熔化区域的热传导而被加热到释放氢气体的温度以上的区域。

[0581] 图 43 是半导体衬底 A-1 的氢浓度的深度方向的分布图。在图 43 中,各分布图的浓度的数值只在硅层内有效。

[0582] 如图 43 所示,半导体衬底 A-1 的单晶硅层 201 的氢浓度为 1×10^{19} 原子/ cm^3 左右。就是说,根据实施例 1 的制造方法,半导体衬底的单晶硅层 201 的氢浓度可以为 5×10^{18} 原子/ cm^3 以上 5×10^{20} 原子/ cm^3 以下。

[0583] 实施例 6

[0584] 在本实施例中,参照图 52A 至 52H 及图 53 说明通过激光照射处理后的加热处理提高单晶半导体层的寿命。为了评价寿命,制造对同一衬底在如下两种条件下进行了处理的半导体衬底:第一条件是根据本发明的半导体衬底的制造方法,即对从单晶半导体衬底分离了的单晶半导体层进行激光照射处理及加热处理;第二条件是进行加热处理,而不进行激光照射处理。

[0585] 下面,说明本实施例中的半导体衬底的制造方法。图 52A 至 52H 是示出用于实验的半导体衬底的制造步骤的图。在本实施例中,根据实施方式 1 的制造方法制造半导体衬底。

[0586] 首先,在相对于氧包含 3 体积% 的 HCl 的气氛中对单晶半导体衬底进行热氧化处理,以形成用作第一绝缘层的氧化硅膜 502。热氧化处理的温度为 950°C,其厚度为 50nm(参照图 52A)。

[0587] 作为单晶半导体衬底,使用单晶硅片 510。单晶硅片是 5 英寸方形的方形衬底。其导电型为 P 型,电阻率为 5 至 $40 \Omega \cdot \text{cm}$ 左右。关于晶体取向,主表面为 (100),而侧面为 <100>。

[0588] 接着,为了在单晶硅片 510 中形成损伤区域,使用离子掺杂装置将氢离子添加到单晶硅片 510。以 100% 氢气为源气体,激发氢气而产生等离子体后,不对等离子体中的离子进行质量分离就利用电场加速并照射到单晶硅片,从而形成损伤区域 115。例如,氢离子掺杂的条件如下:电源输出为 100W,加速电压为 25kV,剂量为 1.8×10^{16} ions/ cm^2 。

[0589] 接着,通过 PECVD 法形成用作第二绝缘层的氮氧化硅膜 503(参照图 52B)。氮氧化硅膜的厚度为 50nm。另外,作为氮氧化硅膜 503 的成膜用工艺气体,使用 SiH₄、NH₃、N₂O 及

H_2 , 流量比为 $SiH_4 \backslash NH_3 \backslash N_2O \backslash H_2 = 10 \backslash 100 \backslash 20 \backslash 400$ 。另外, 成膜步骤的温度是 $300^\circ C$ 。

[0590] 在纯水中, 对形成有氧化硅膜 502 及氮氧化硅膜 503 的单晶硅片进行超声波清洗, 然后利用包含臭氧的纯水清洗。另外, 在纯水中, 对用作支撑衬底的玻璃衬底 550 进行超声波清洗。作为玻璃衬底 550, 使用 0.7mm 厚的无碱玻璃衬底 (商品名 AN100)。

[0591] 接着, 将玻璃衬底 550 表面和形成在单晶硅片表面上的氮氧化硅膜 503 密接, 来接合在一起 (参照图 52C)。然后, 为了在损伤区域 115 中引起分离, 在加热炉中以 $200^\circ C$ 进行 2 小时的加热处理以提高玻璃衬底 550 和氮氧化硅膜 503 的结合强度, 接着, 通过在加热炉中以 $600^\circ C$ 进行 4 小时的加热处理, 分离单晶硅片 510, 而将单晶硅层 501 固定在玻璃衬底 550 上 (参照图 52D)。

[0592] 本实施例的半导体衬底具有在玻璃衬底 550 上依次层叠了氮氧化硅膜 503、氧化硅膜 502 及单晶硅层 501 的结构。在本实施例中, 分离后的单晶硅层 501 的厚度为 120nm 左右。

[0593] 接着, 使用纯水清洗单晶硅层 501 表面后, 使用被稀释为 1/100 的氢氟酸对单晶硅层 501 进行处理, 以去除形成在其表面上的自然氧化膜。然后, 使用含臭氧水 (O_3 水) 处理单晶硅层 501 表面, 以形成氧化膜。

[0594] 接着, 通过对单晶硅层 501 进行第一蚀刻处理, 去除氧化膜及残留在单晶硅层 501 的分离面上的损伤区域 (参照图 52E)。在本实施例中, 通过对单晶硅层 501 的分离面进行干蚀刻, 将单晶硅层 501 的厚度设定为 110nm 左右。第一蚀刻处理中的蚀刻条件如下:

[0595] • 被引入到线圈型电极的电力 150W

[0596] • 被引入到下部电极的电力 40W

[0597] • 反应压力 1.0Pa

[0598] • 蚀刻气体 (氯的流量) 100sccm

[0599] 在进行第一蚀刻处理之后, 使用被稀释为 1/100 的氢氟酸对单晶 硅层 501 进行处理, 以去除形成在其表面上的自然氧化膜。接着, 通过对单晶硅层 501 的区域 A 照射激光束, 使它熔化而再结晶 (参照图 52F)。另外, 不对单晶硅层 501 的区域 B 照射激光束, 而成为未照射区域。

[0600] 在对区域 A 照射激光束时, 使用使波长 308nm 的光束振荡的 XeCl 受激准分子激光器。激光束的脉冲宽度为 25nsec, 重复频率为 30Hz。另外, 激光束的能量密度为 $782mJ/cm^2$ 。通过光学系统会聚成在被照射面上的激光束形状为线形, 沿宽度方向 (光束形状的短轴方向) 进行激光束扫描。另外, 边在室温下对照射区域喷射氮气体, 边照射激光。

[0601] 接着, 在对单晶硅层 501 表面使用纯水清洗之后, 使用被稀释为 1/100 的氢氟酸对单晶硅层 501 进行处理, 以去除形成在其表面上的自然氧化膜。然后, 使用含臭氧水 (O_3 水) 处理单晶硅层 501 表面, 以形成氧化膜。

[0602] 然后, 对单晶硅层 501 进行第二蚀刻处理, 以将单晶硅层 501 的厚度减薄到约 50nm (参照图 52G)。另外, 蚀刻条件与图 52E 所示的第一蚀刻处理的条件相同。

[0603] 在进行第二蚀刻处理之后, 在纵型电阻加热炉中, 在氮气氛中对半导体衬底进行加热处理。在本实施例中, 以 $600^\circ C$ 进行 4 小时的加热处理。

[0604] 通过上述步骤, 制造具有照射了激光束的区域 A 及未照射区域 B 的本实施例的半导体衬底。

[0605] 在本实施例中,为了确认通过激光照射处理及之后的加热处理可以提高单晶半导体层的寿命,分别测量如下各步骤中的单晶硅层的区域A及区域B的寿命。在测量寿命时,使用上述 μ -PCD法。另外,在条件1至条件5中,使用同一半导体衬底测量寿命。

[0606] • 条件1 从单晶衬底分离了的单晶硅层(图52D)

[0607] • 条件2 第一蚀刻处理后的单晶硅层(图52E)

[0608] • 条件3 激光照射处理后的单晶硅层(图52F)

[0609] • 条件4 第二蚀刻处理后的单晶硅层(图52G)

[0610] • 条件5 加热处理后的单晶硅层(图52H)

[0611] 图53示出寿命的测量结果。在图53中,纵轴是反射微波的检测信号的峰值,峰值越大,寿命越长,因此可以根据峰值评价寿命。另外,该峰值与单晶硅层的厚度成比例,因此在图53中,使用峰值除以膜厚度而规格化了的数值。另外,在图53中,黑色柱状图表示区域A中的峰值,而白色柱状图表示区域B中的峰值。注意,在条件1及条件2下,区域A和区域B的条件没有差异,因此双方区域都表示同一数值。

[0612] 根据图53中的条件3的区域A和区域B的比较可知,通过进行激光照射处理,可以使寿命变长。另外,根据条件3的区域A和条件5的区域A的比较可知,通过进行激光照射处理后的加热处理,可以使寿命显著变长。另外,根据条件3的区域B和条件5的区域B的比较可知,即使不进行激光照射,也可以通过进行加热处理稍微提高寿命,但是根据条件5的区域A和区域B的比较可知,通过进行激光照射处理及加热处理,可以显著提高其效果。

[0613] 如上所述,通过对从单晶半导体衬底分离了的单晶硅层进行激光照射处理及之后的加热处理,可以显著提高单晶硅层的寿命。其理由不明确,但是可以认为:通过对进行激光照射处理而改善了结晶性的单晶硅层进行加热处理,可以在单晶硅层中减小使寿命缩短的电荷捕获中心密度(例如悬空键)。

[0614] 本说明书根据2007年11月1日在日本专利局受理的日本专利申请编号2007-285591而制作,通过参照将所述申请的全部内容涵盖在本说明书中。

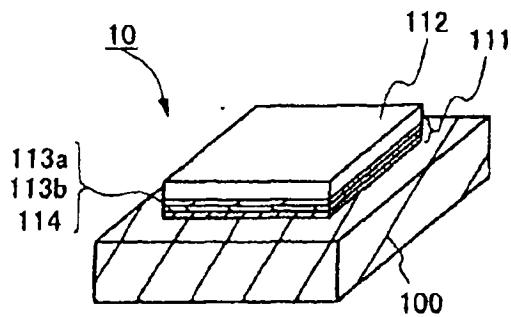


图 1

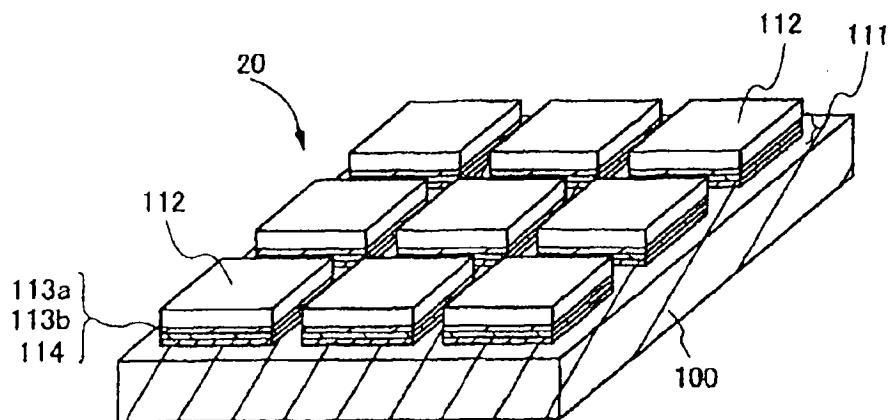


图 2

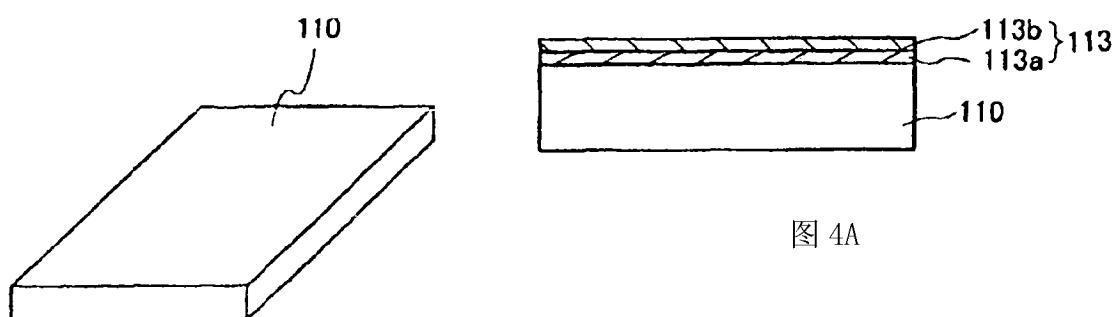


图 3

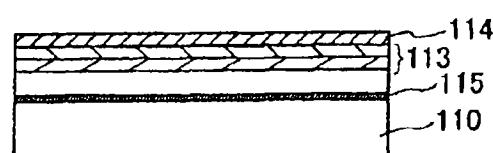
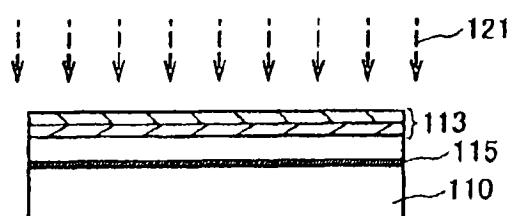


图 4C

图 4B

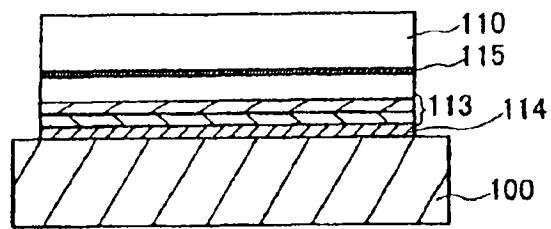


图 4D

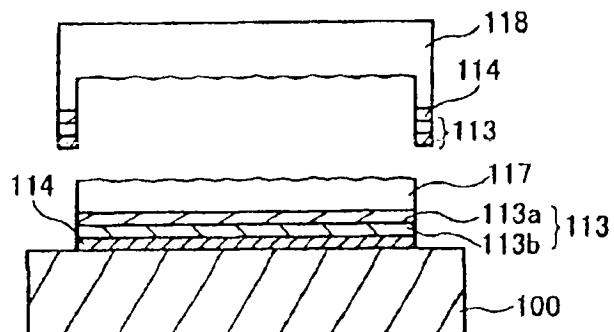


图 4E

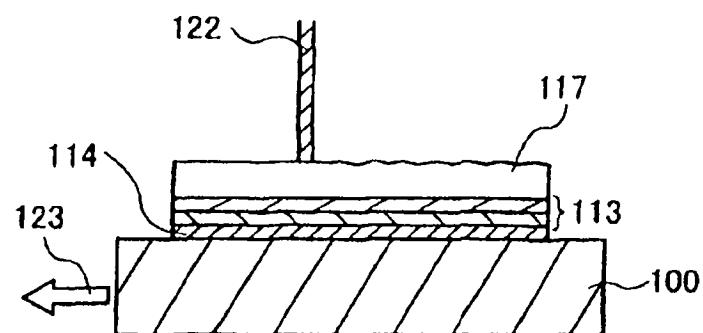


图 5A

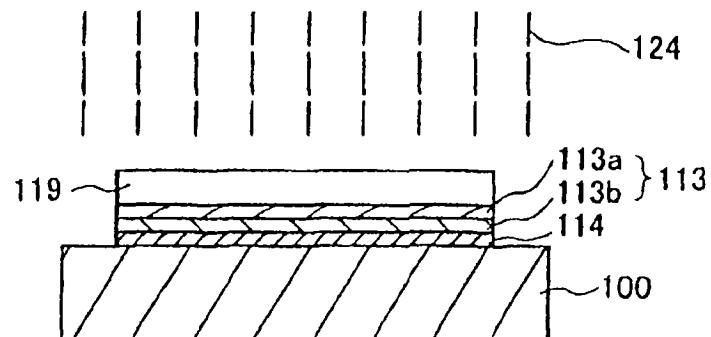


图 5B

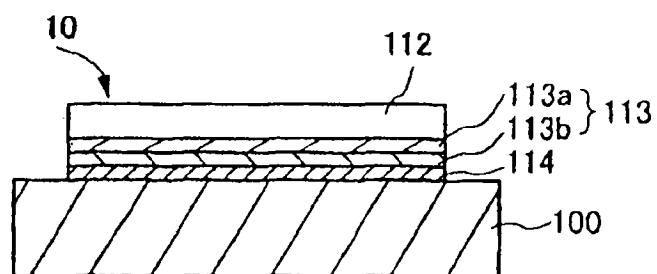


图 5C

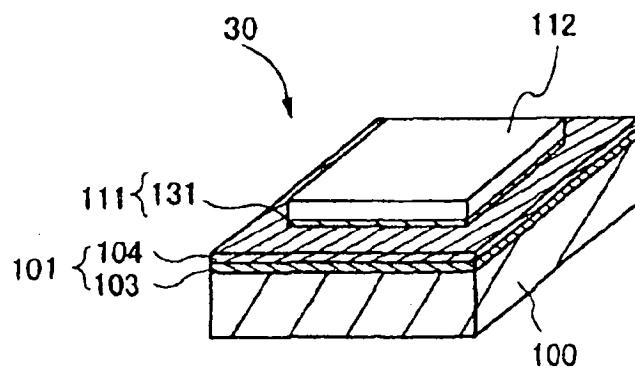


图 6

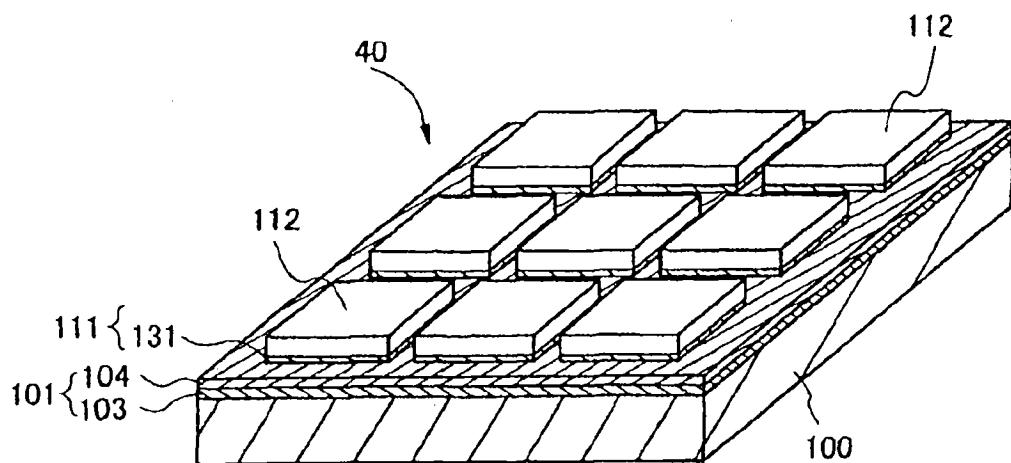


图 7

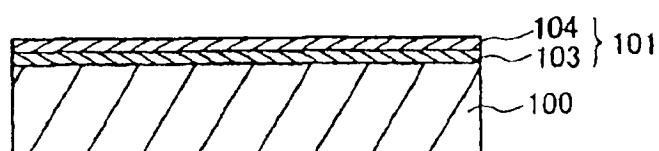


图 8

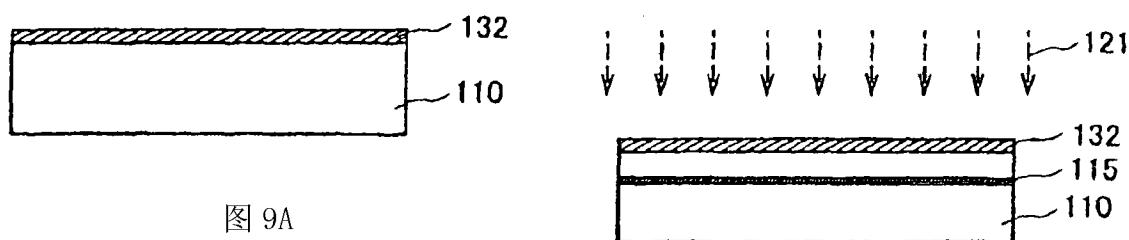


图 9A



图 9B

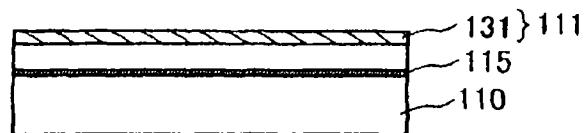


图 9C

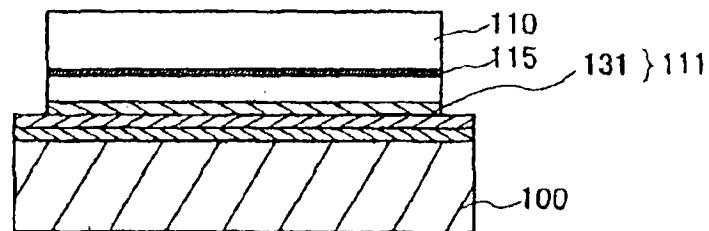


图 9D

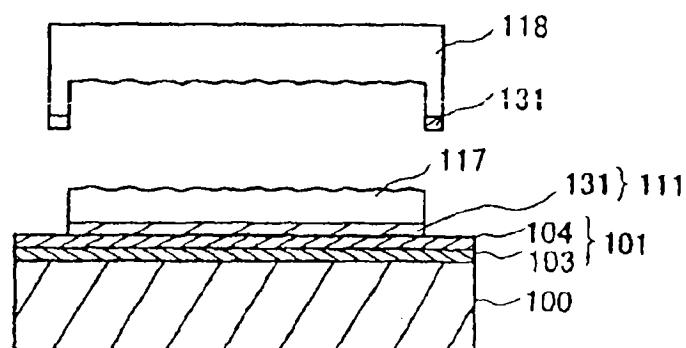


图 9E

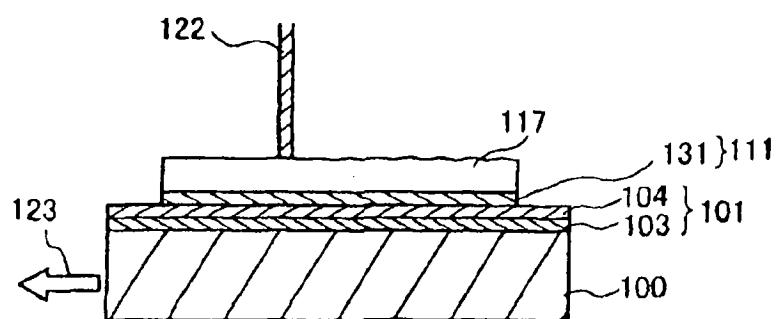


图 10A

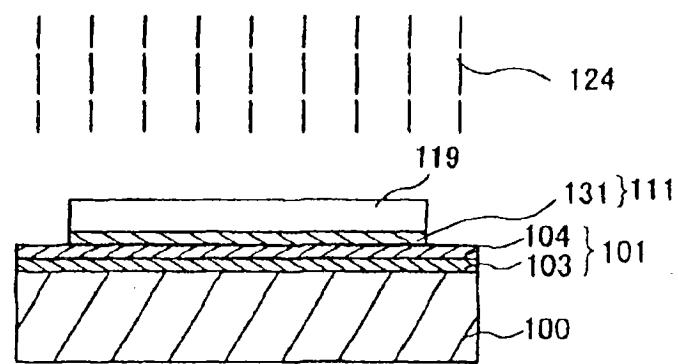


图 10B

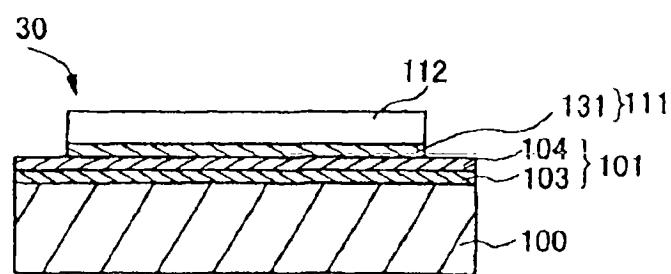


图 10C

图 11A

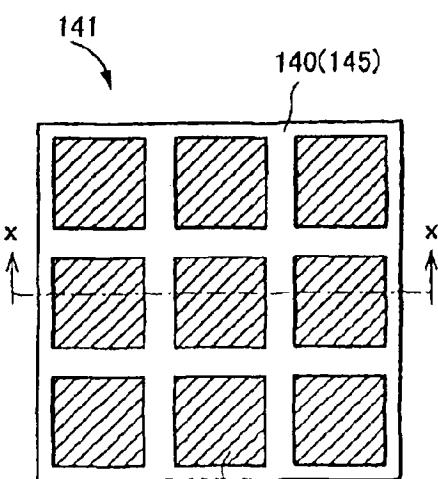
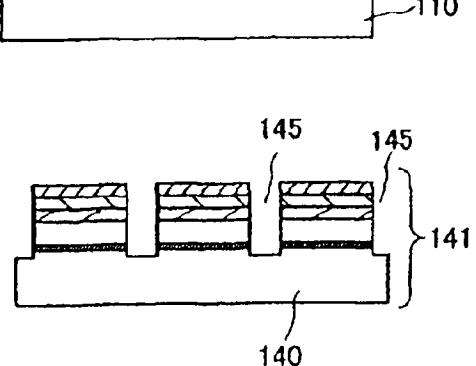
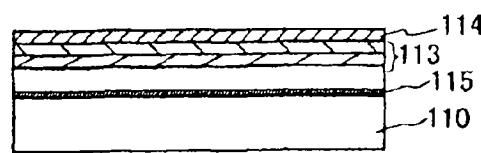


图 11B

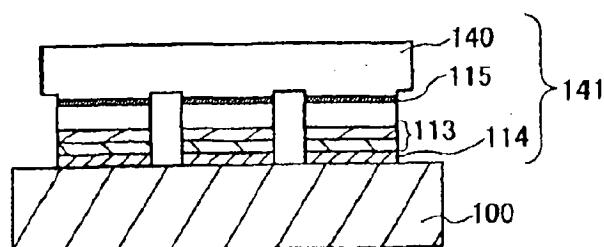


图 11E

图 11C

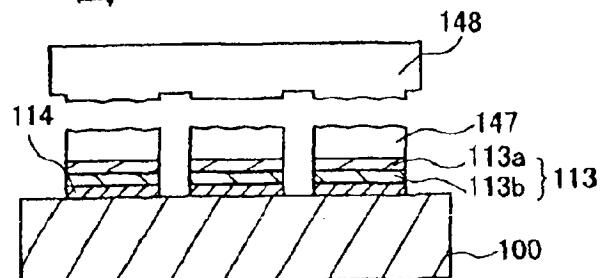


图 11D

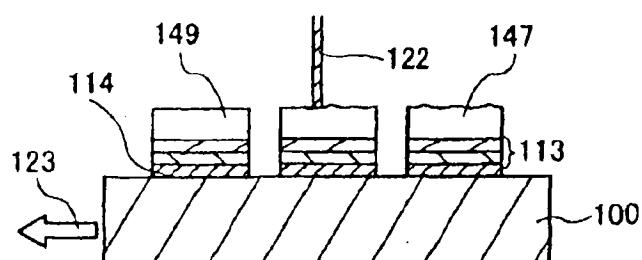


图 12A

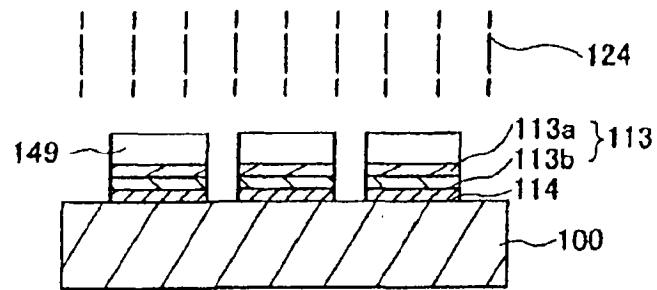


图 12B

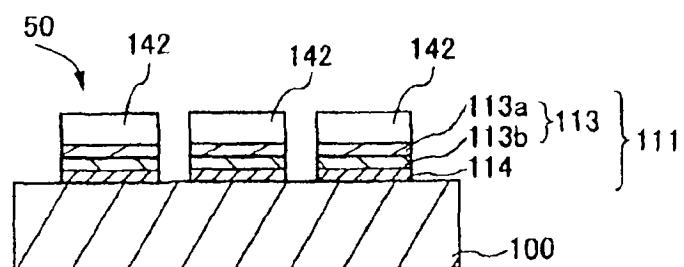


图 12C

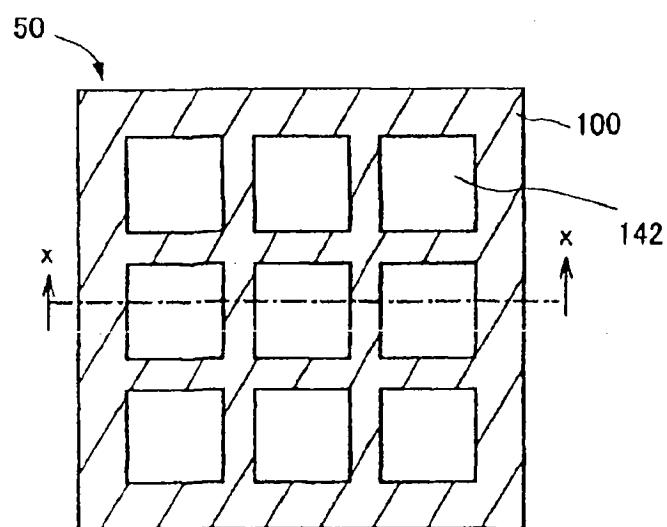


图 12D

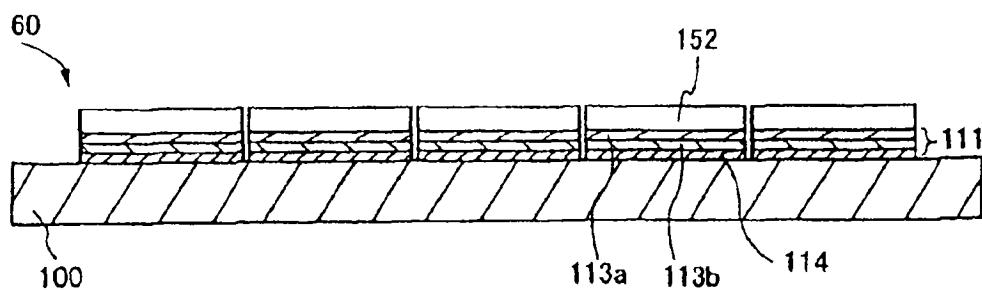


图 13A

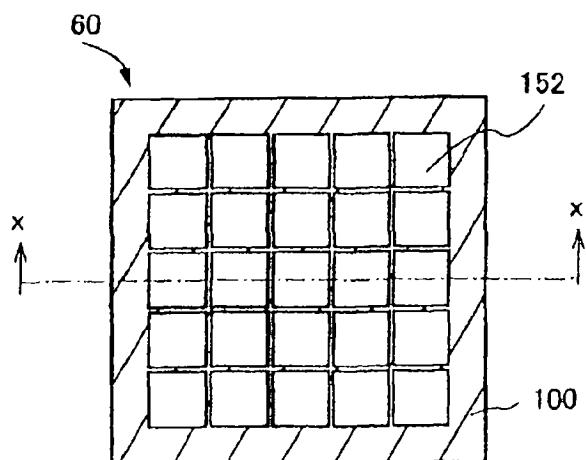


图 13B

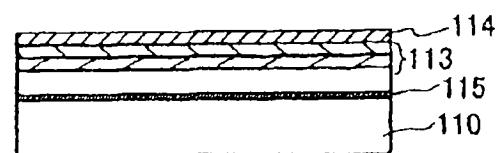


图 14A

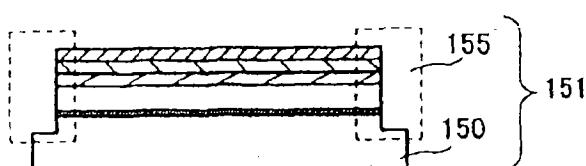


图 14B

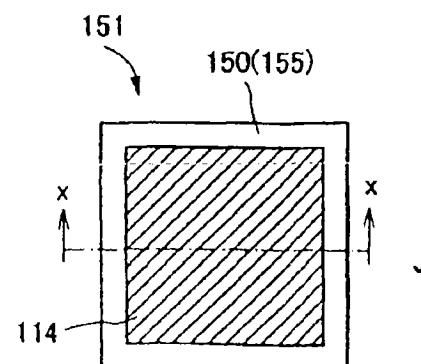


图 14C

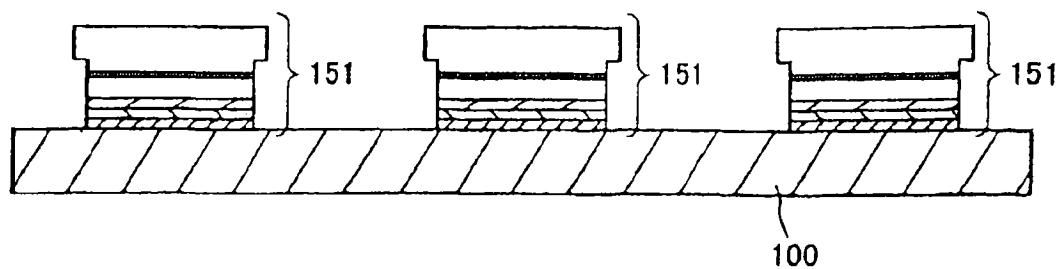


图 15A

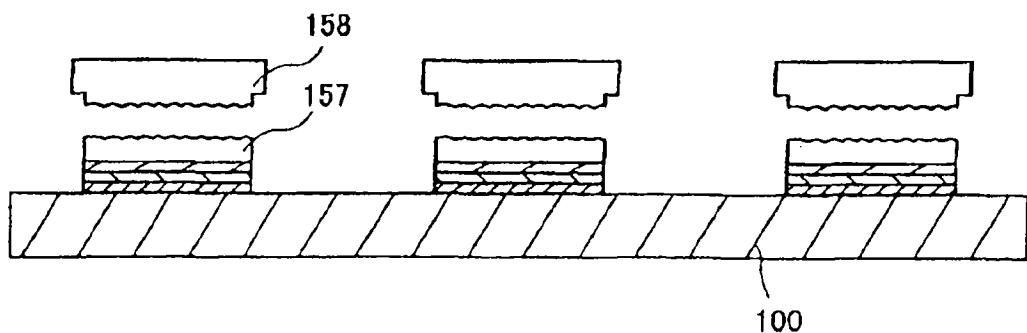


图 15B

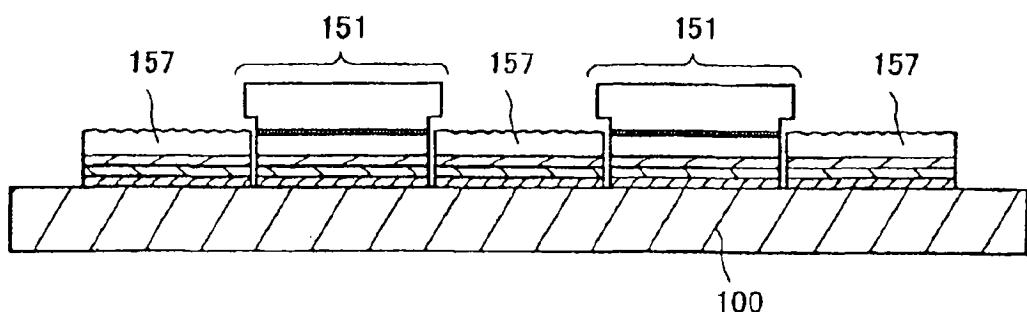


图 15C

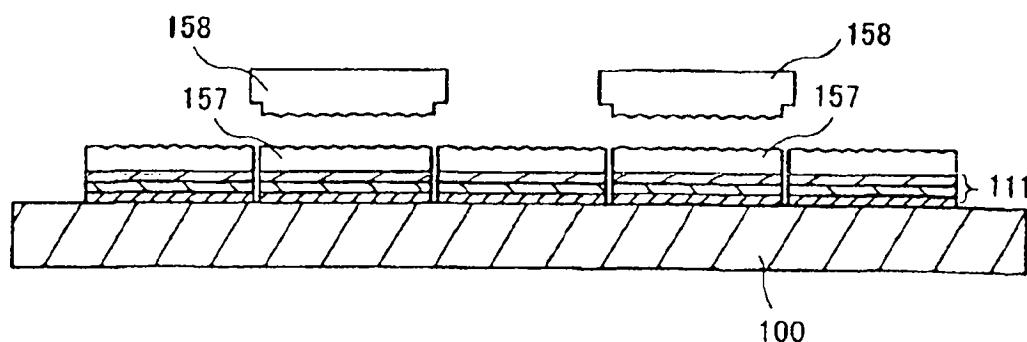


图 15D

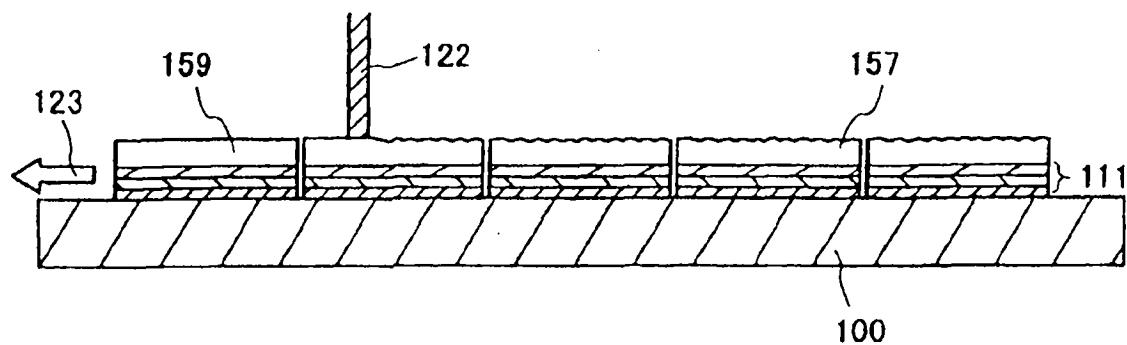


图 16A

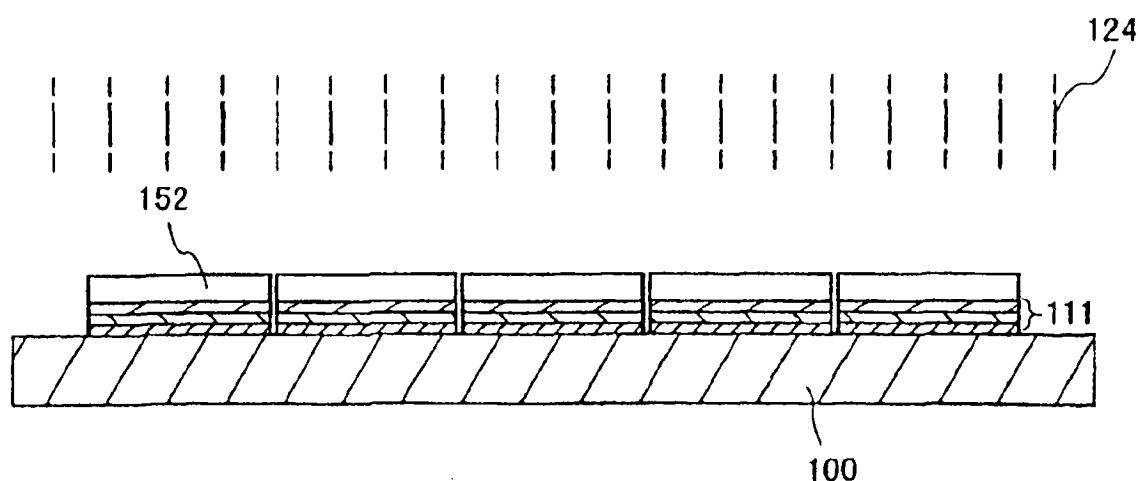


图 16B

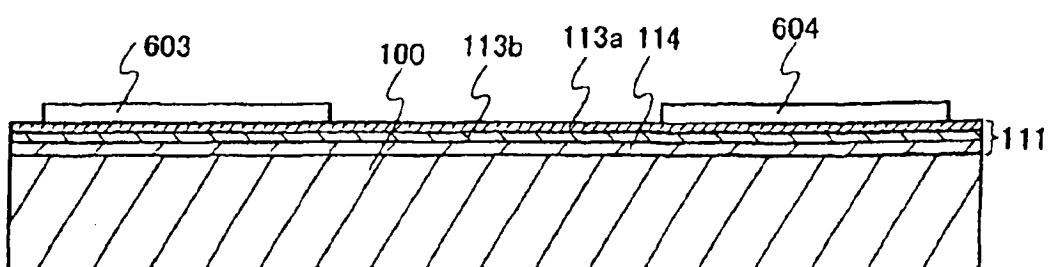


图 17A

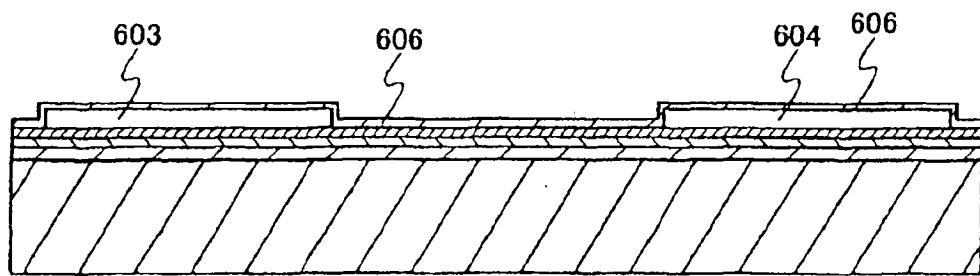


图 17B

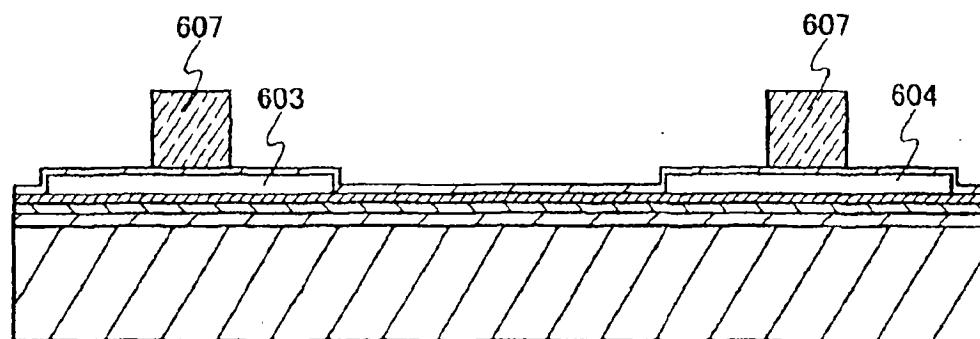


图 17C

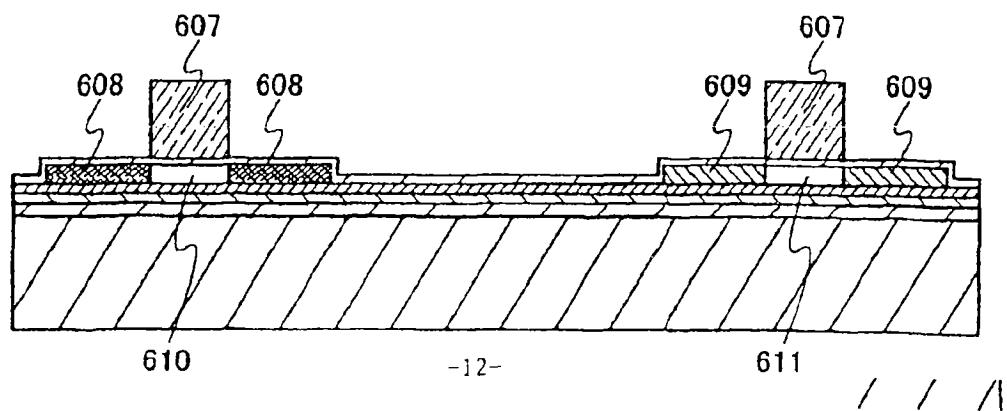


图 17D

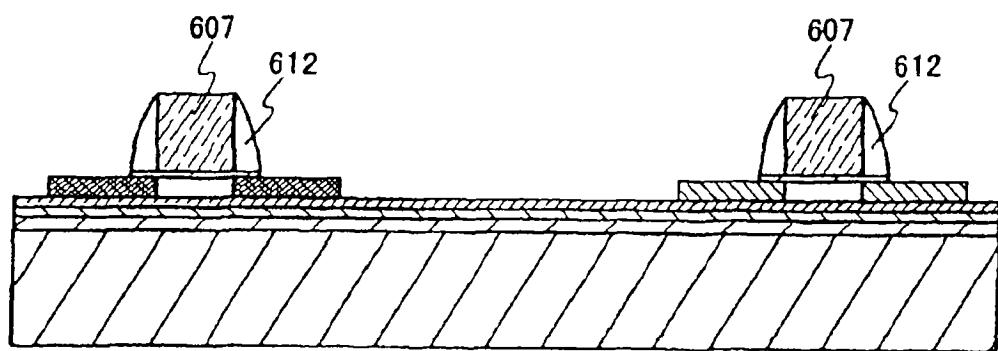


图 18A

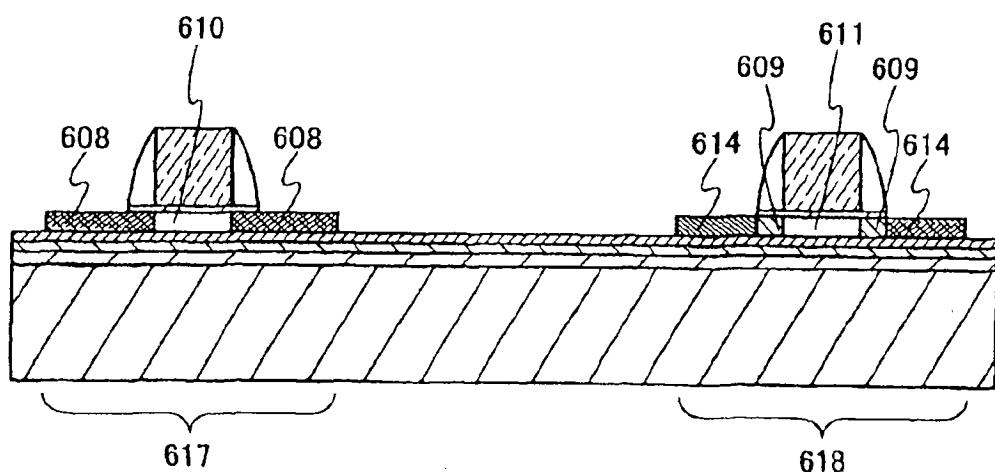


图 18B

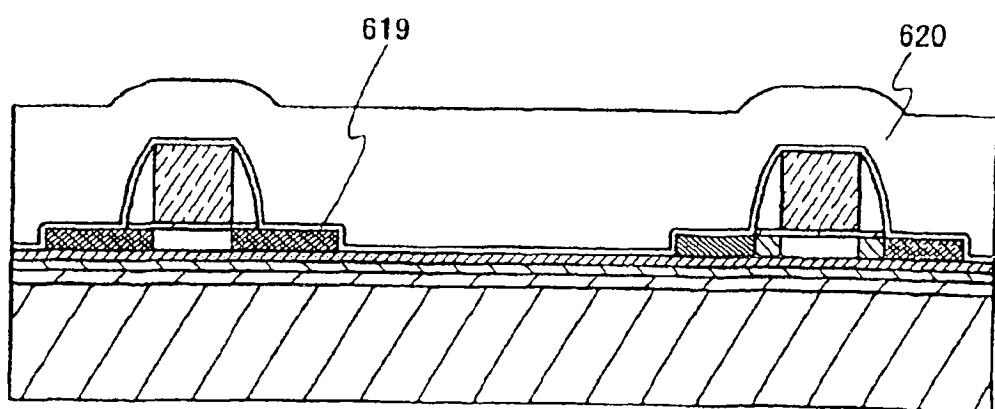


图 18C

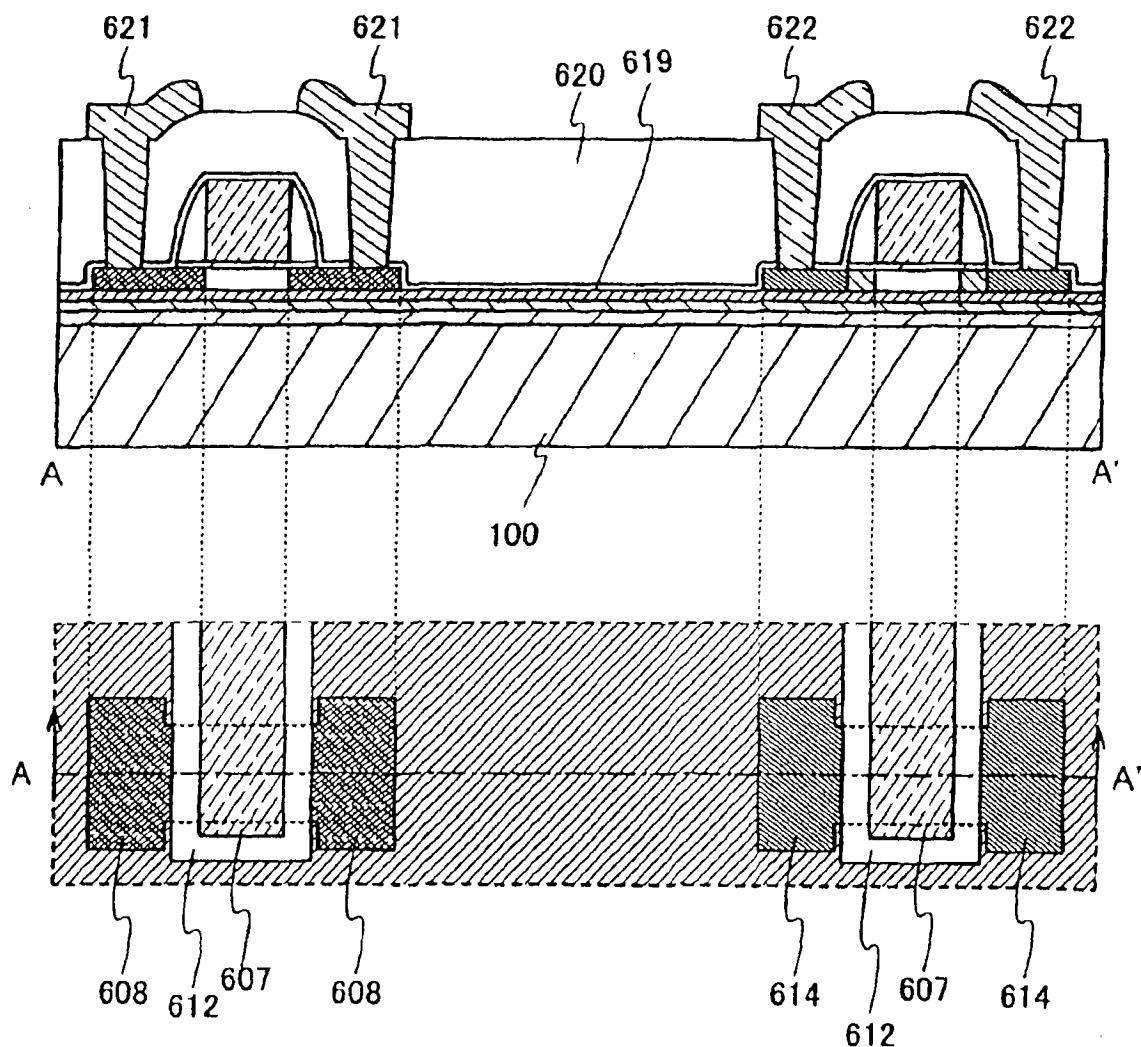


图 19

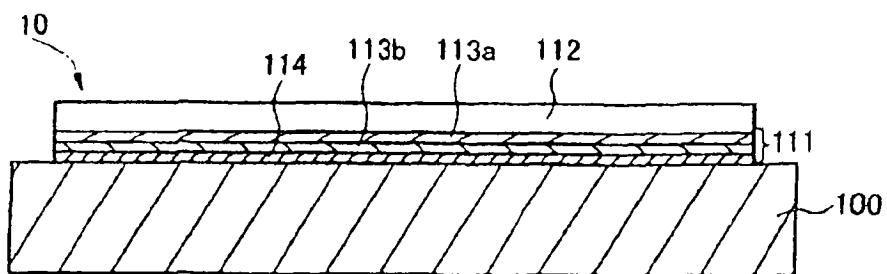


图 20A

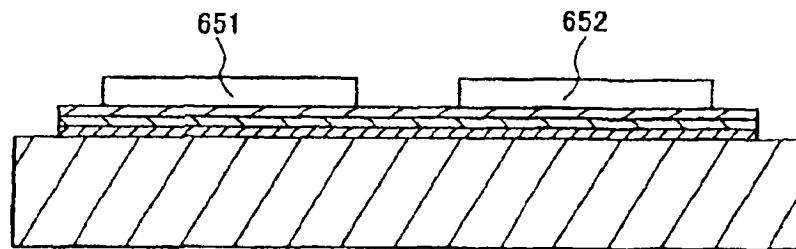


图 20B

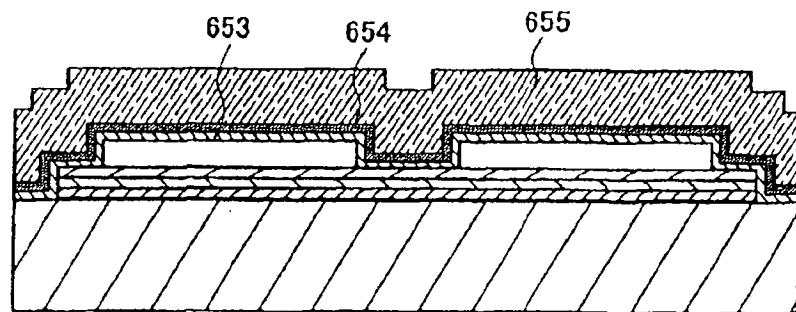


图 20C

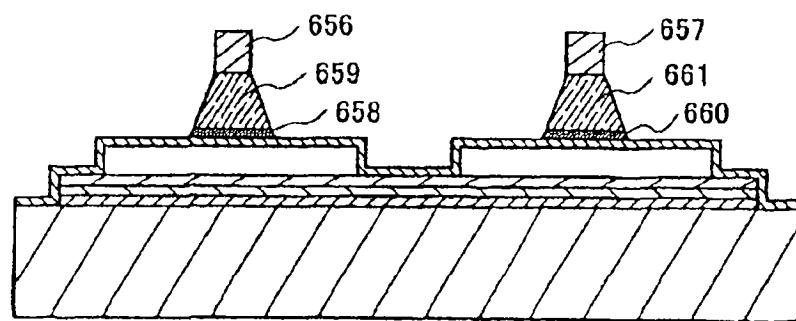


图 20D

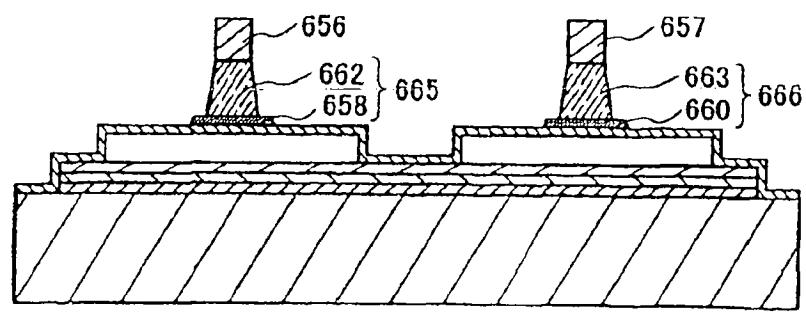


图 20E

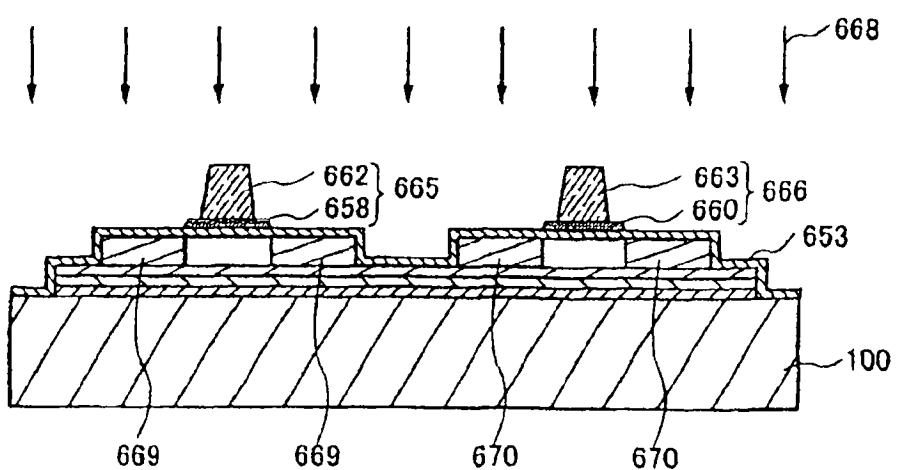


图 21A

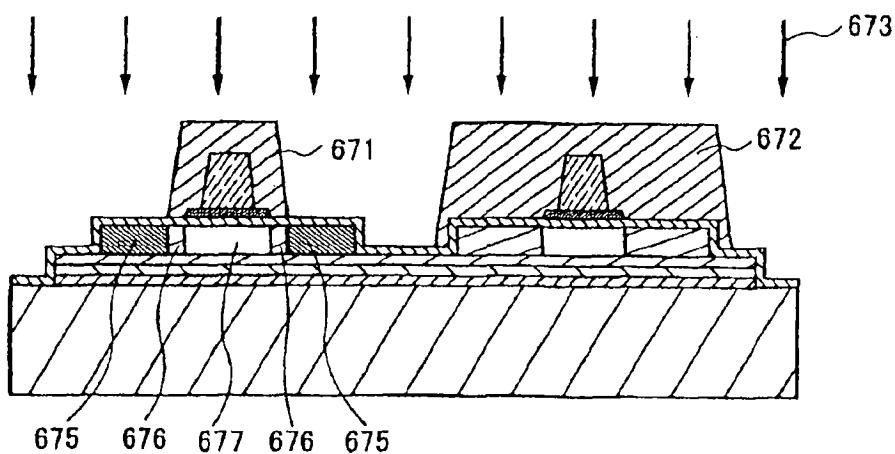


图 21B

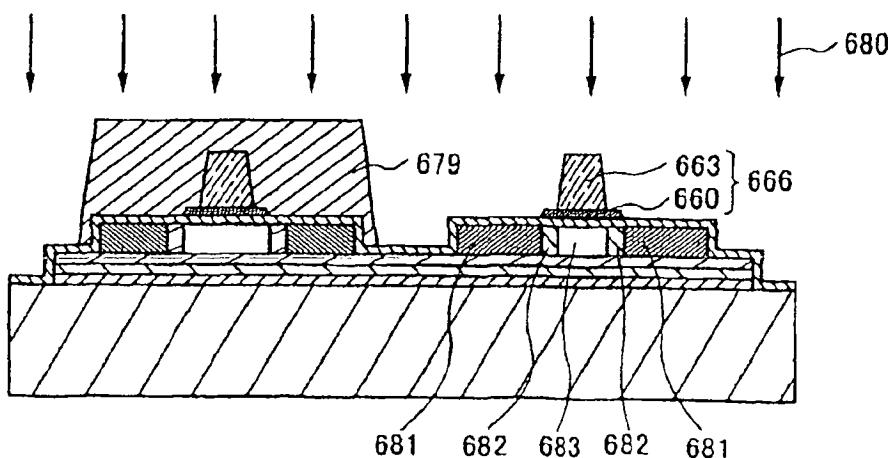


图 21C

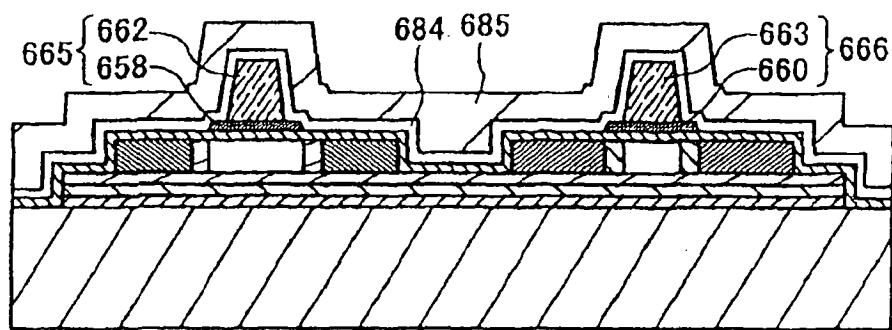


图 22A

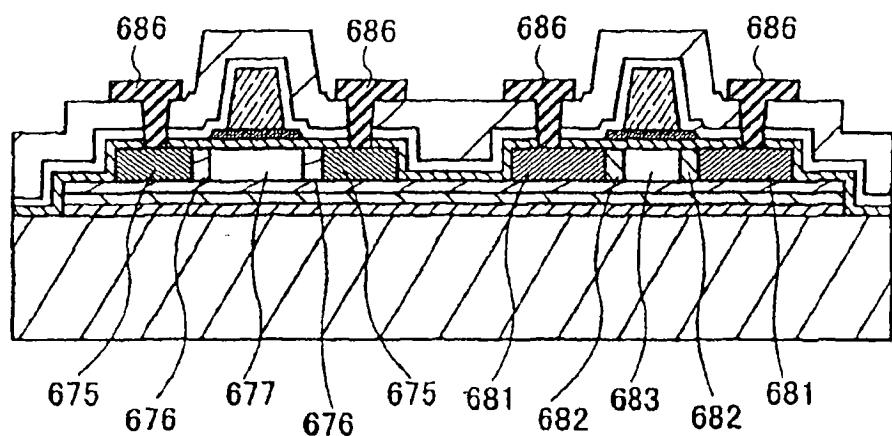


图 22B

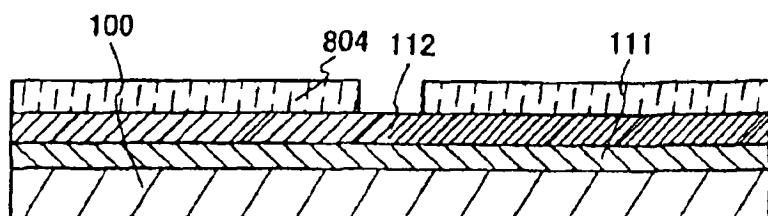


图 23A

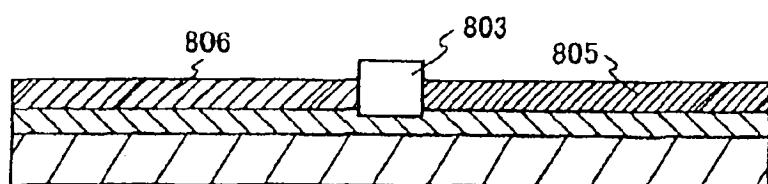


图 23B

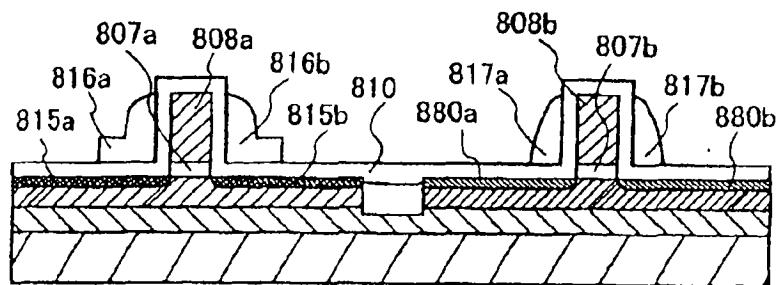


图 23C

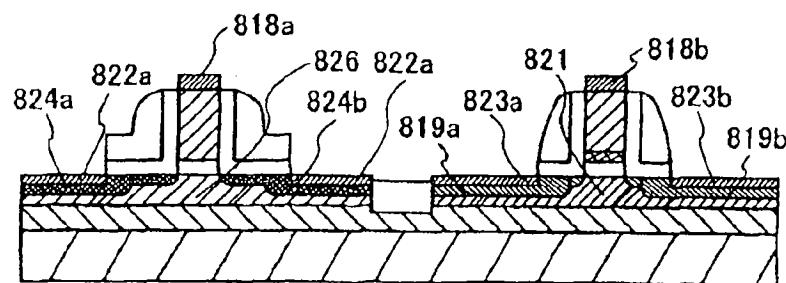


图 23D

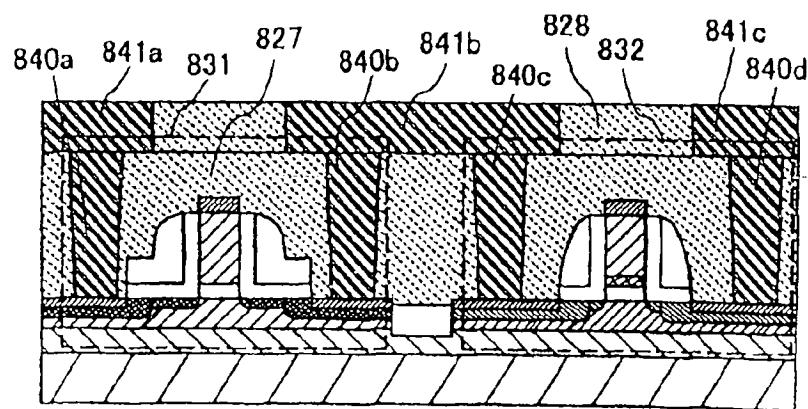


图 23E

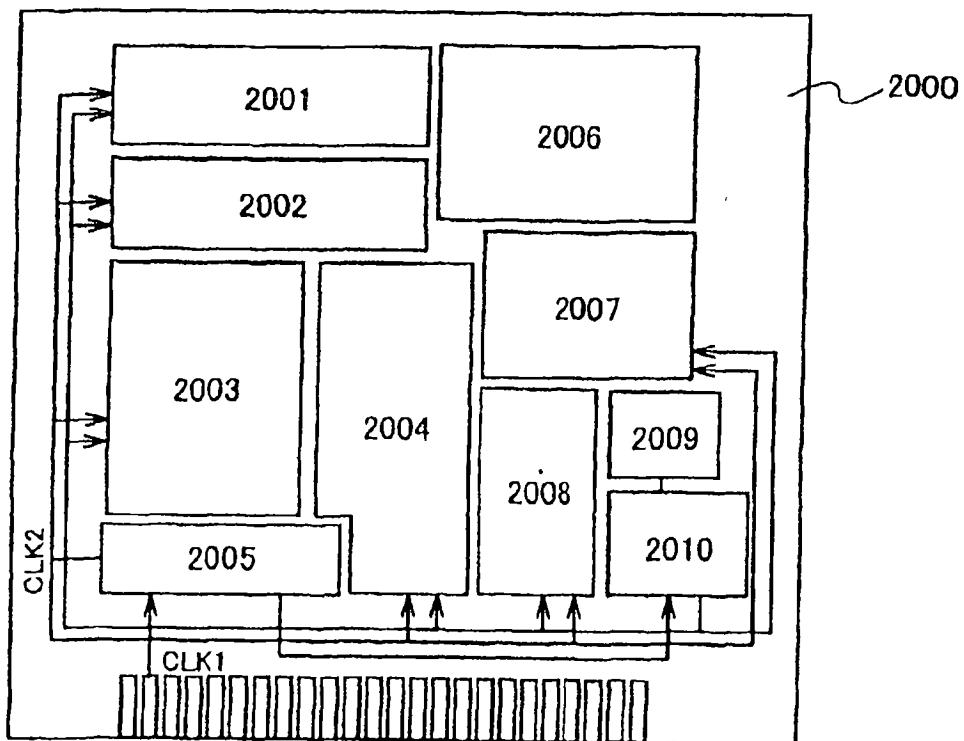


图 24

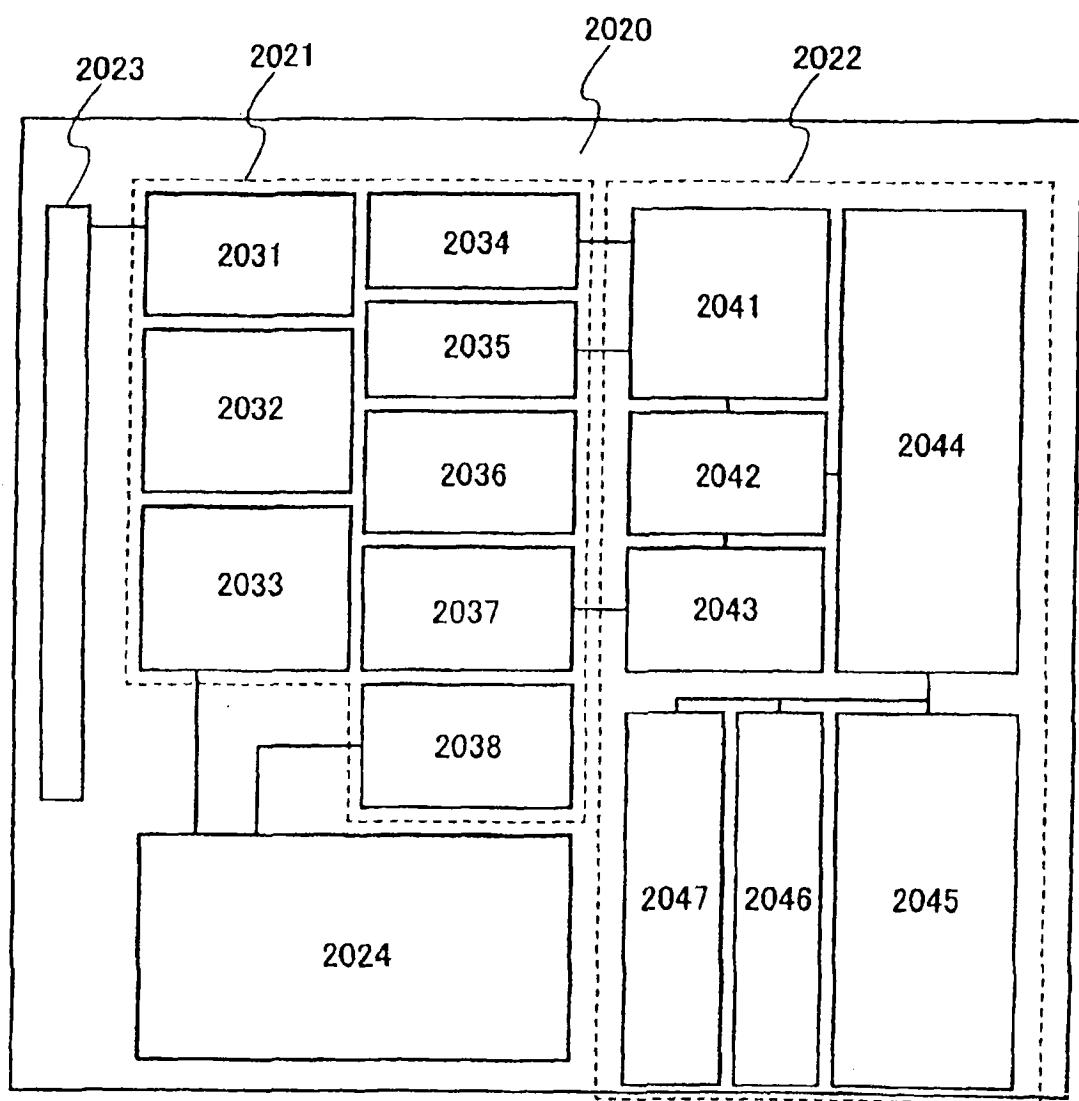


图 25

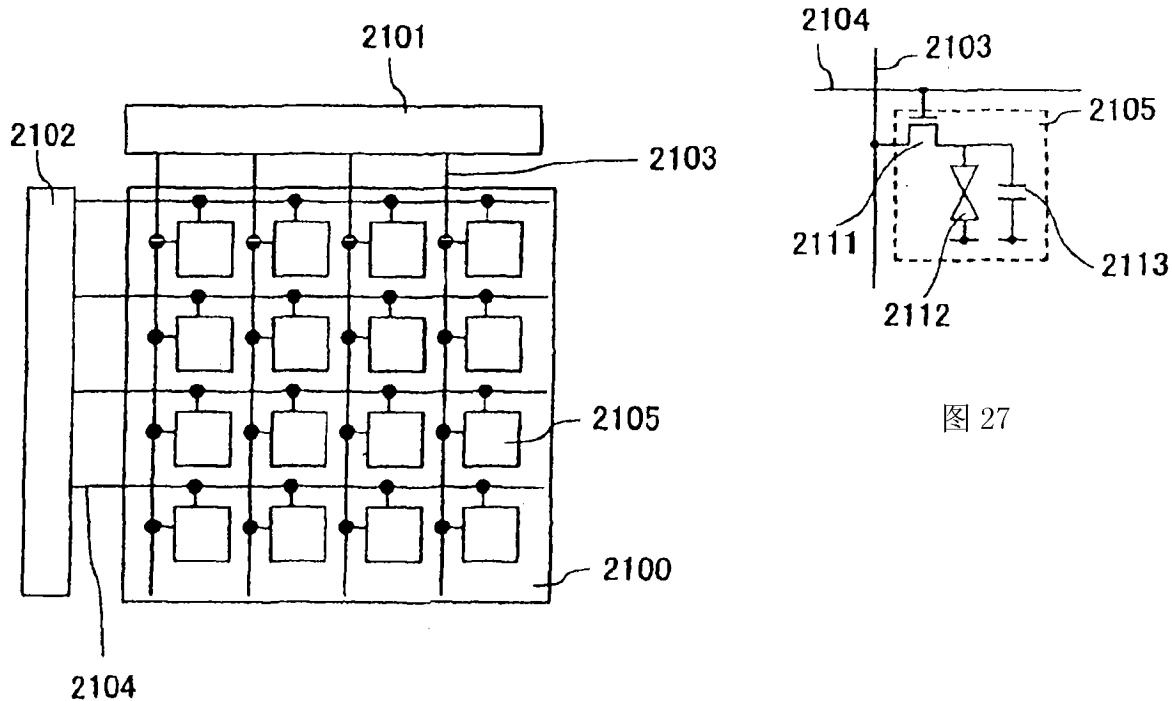


图 27

图 26

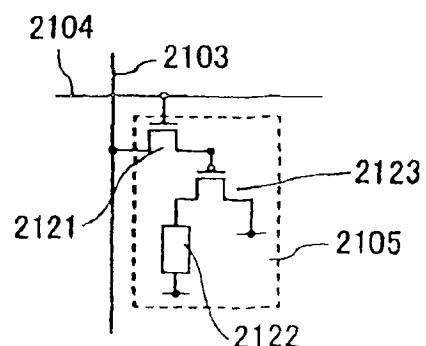


图 28

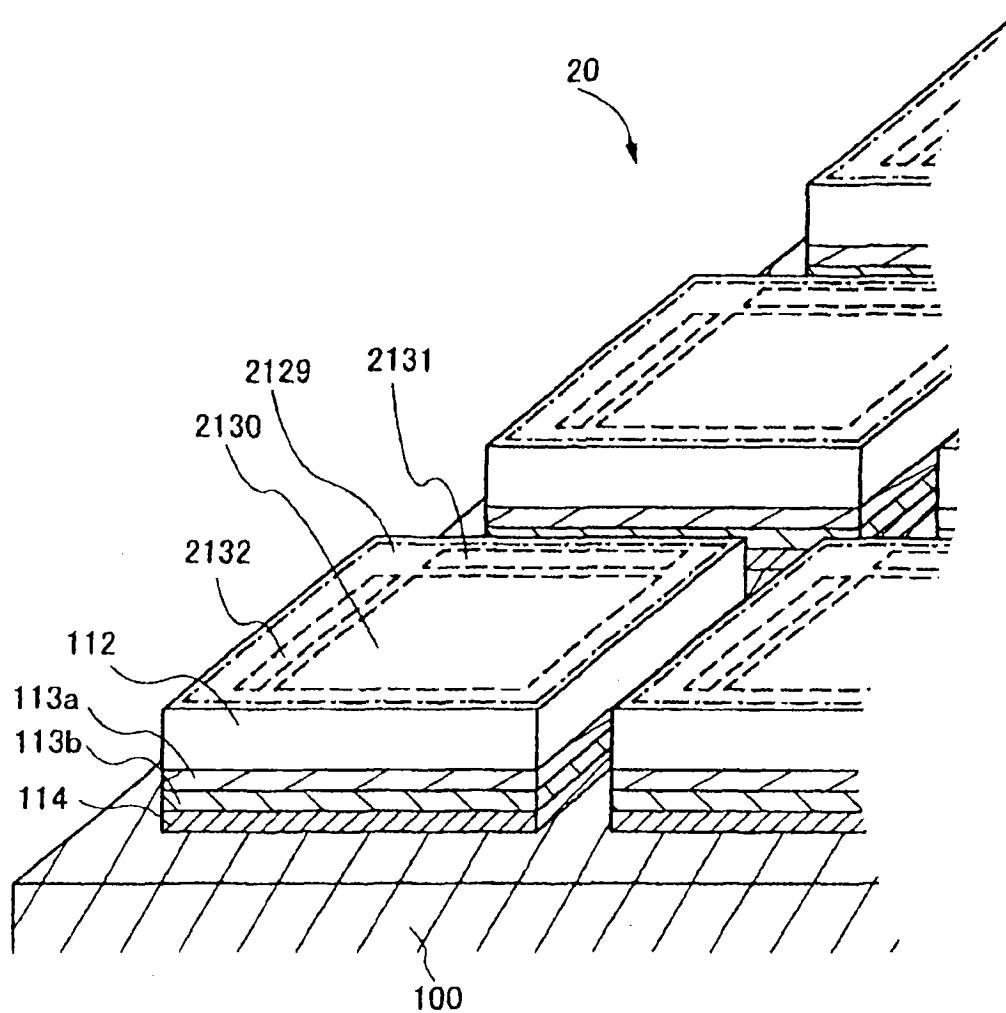


图 29

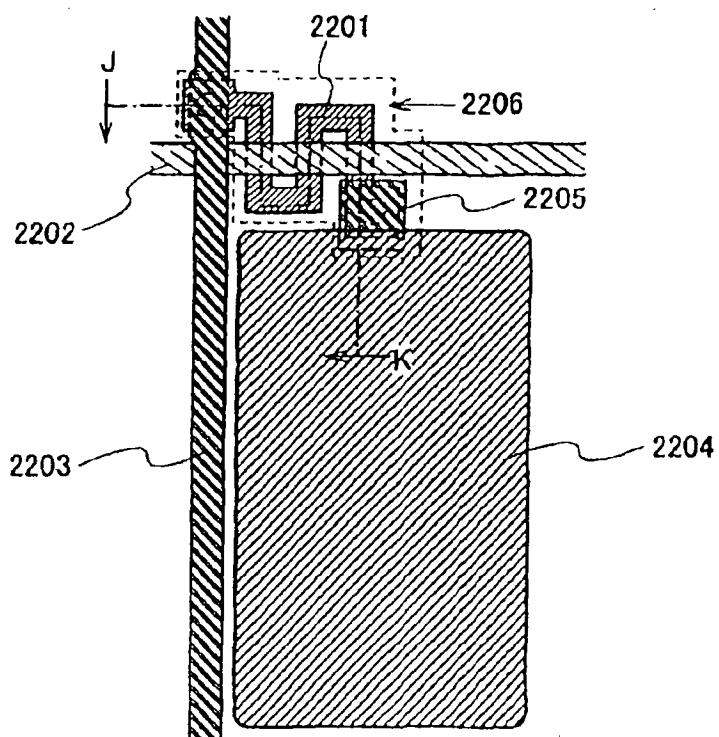


图 30A

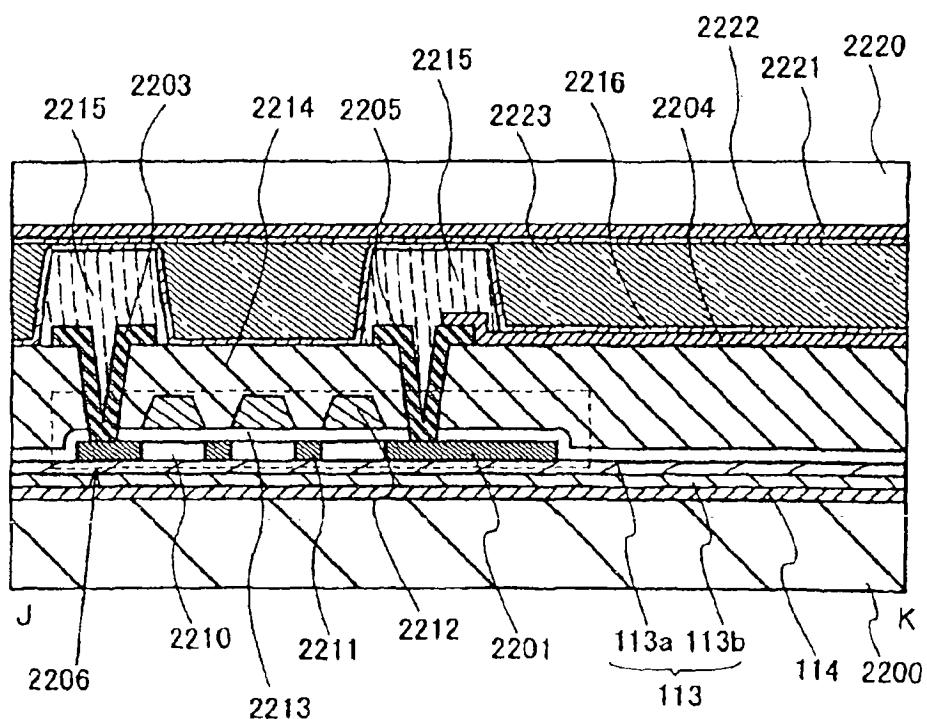


图 30B

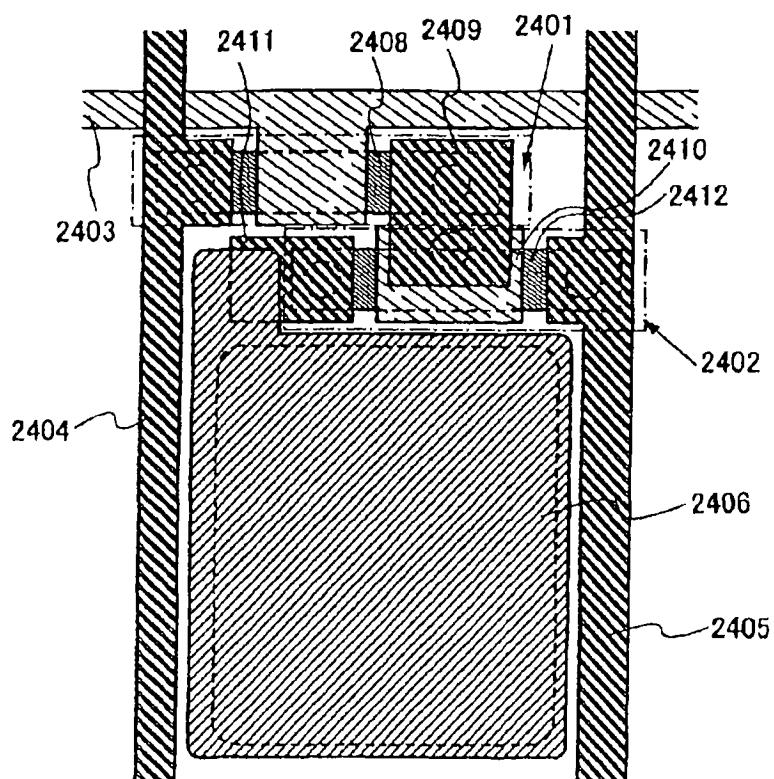


图 31A

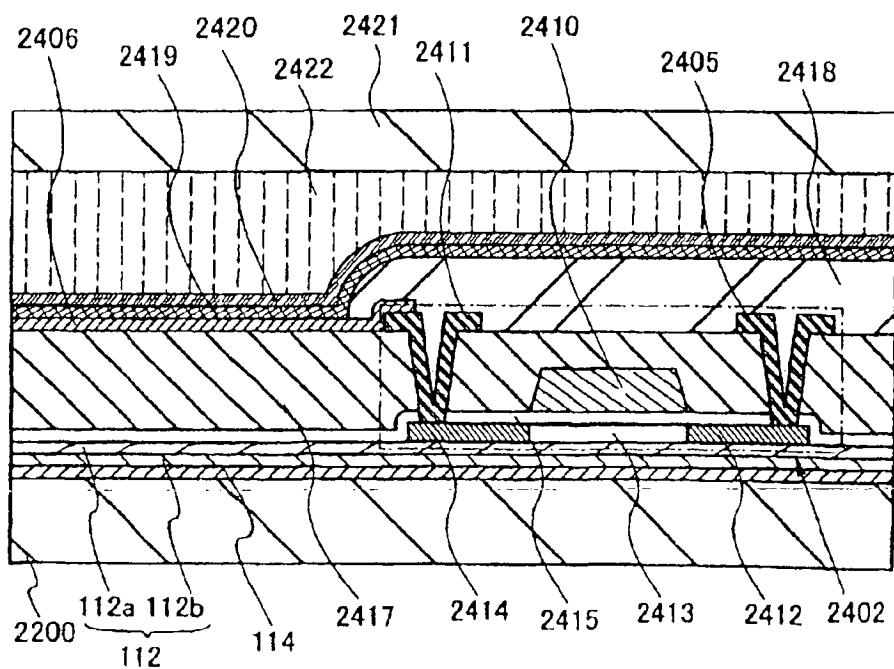


图 31B

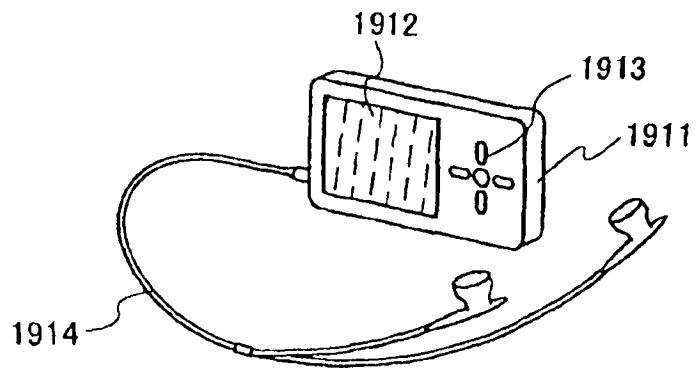
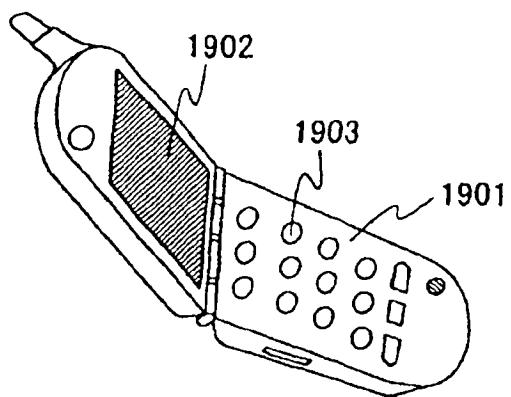


图 32B

图 32A

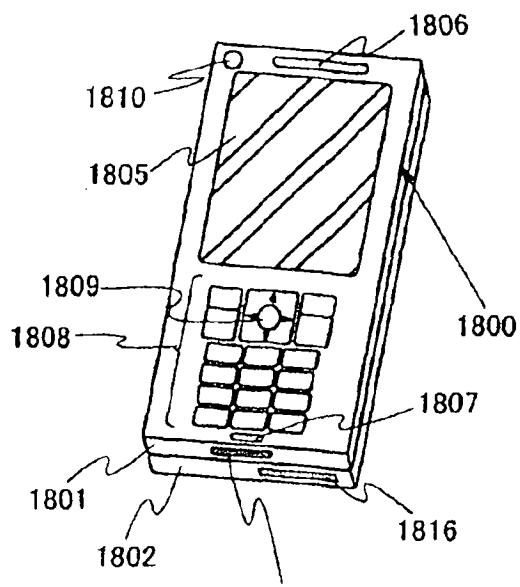
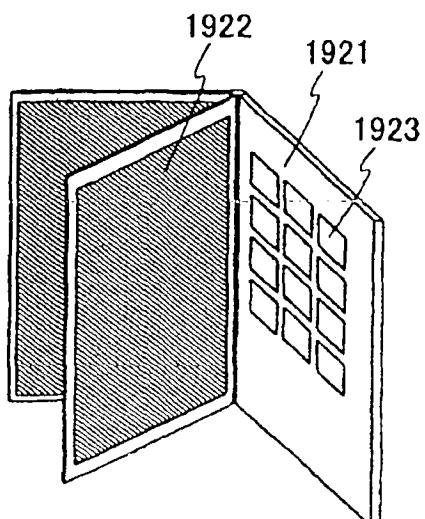


图 32C

图 33A

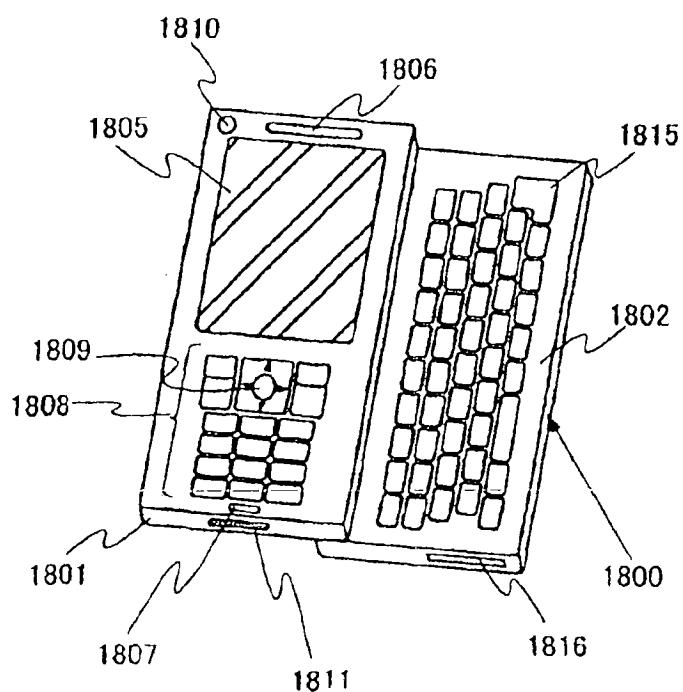
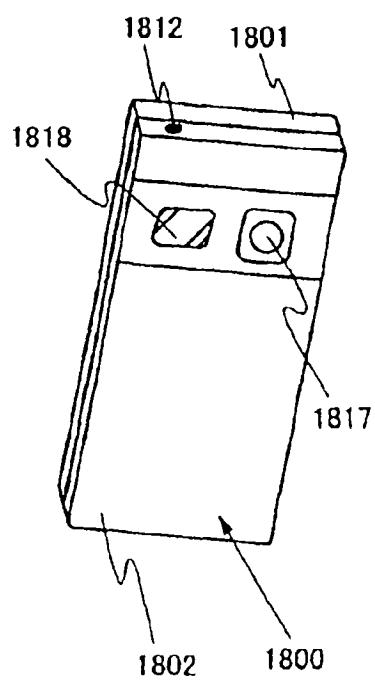


图 33B

图 33C

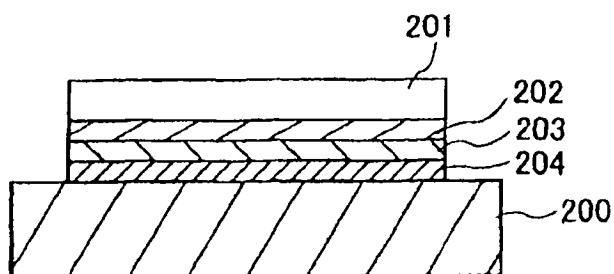


图 34

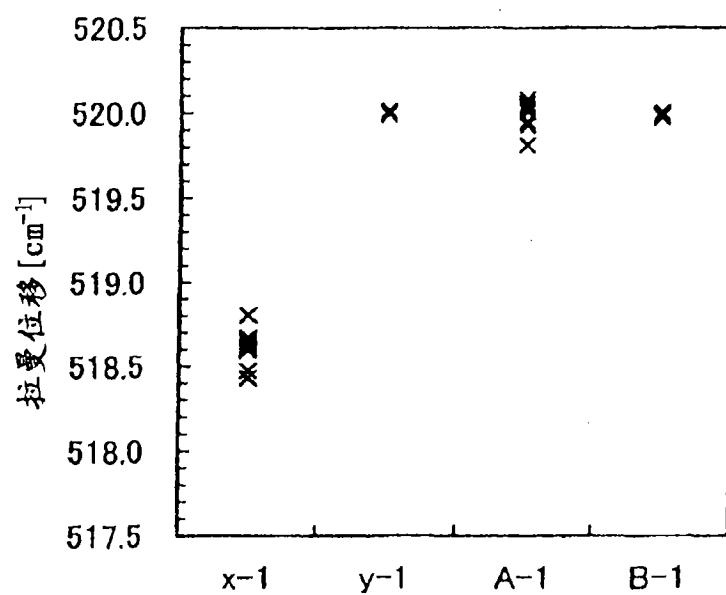


图 35

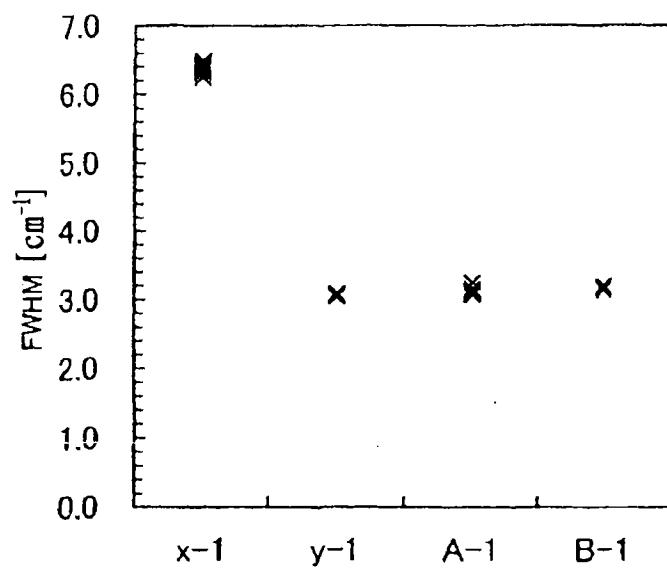


图 36

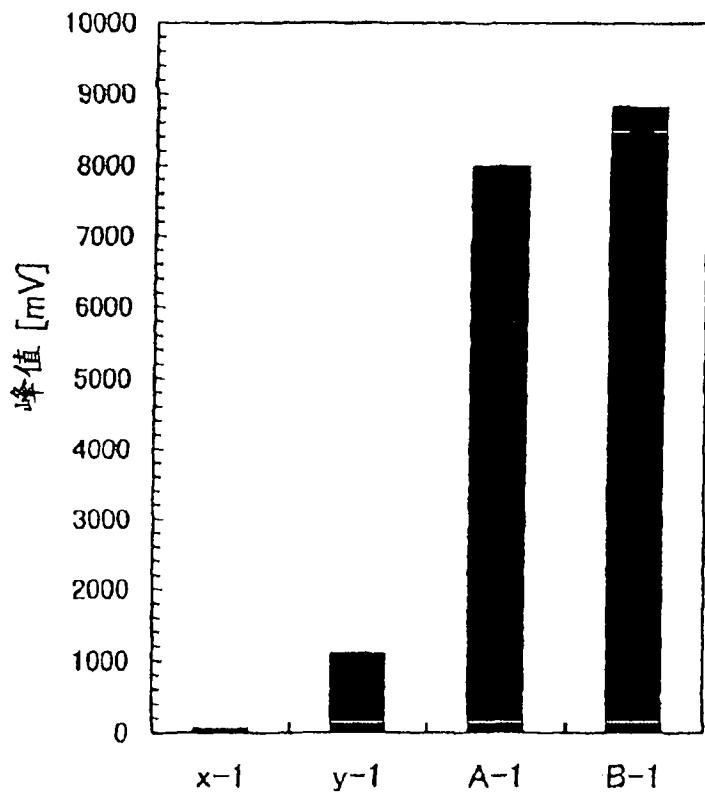


图 37

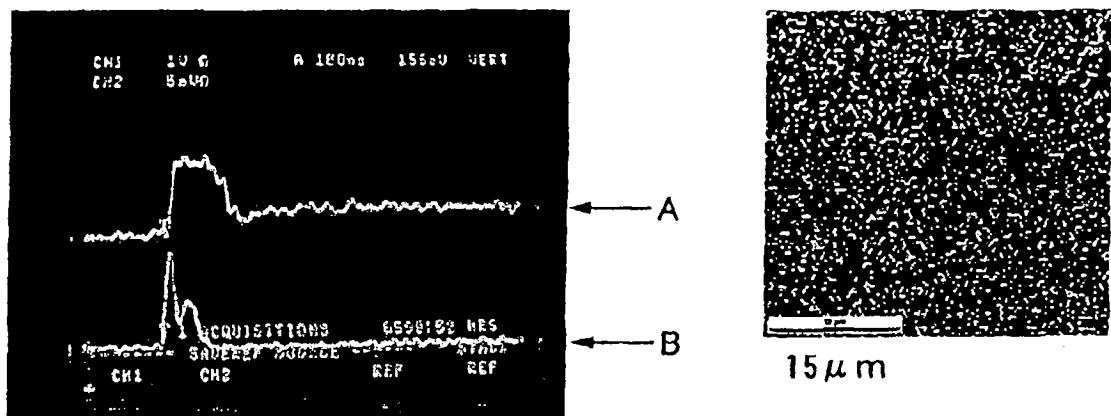
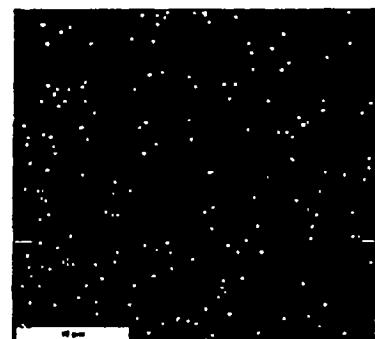


图 38

图 39A



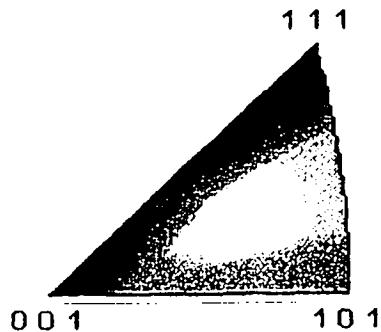
15 μm

图 39B

灰度级图类型: <无>

彩色编码图: 原极图 [001]

硅



边界: <无>

图 39C

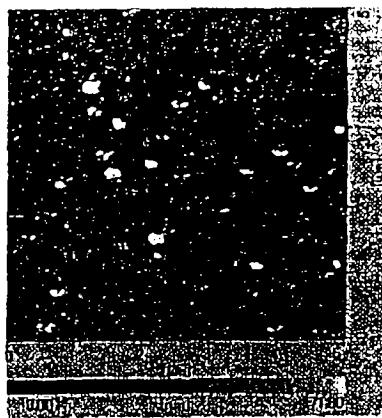


图 40A



图 40B

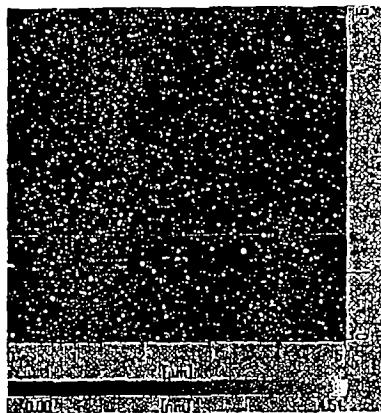


图 40C



图 40D

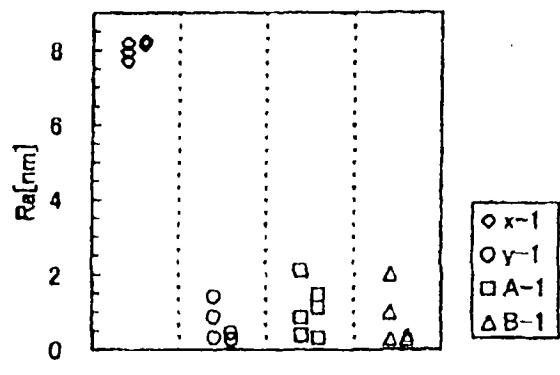


图 41A

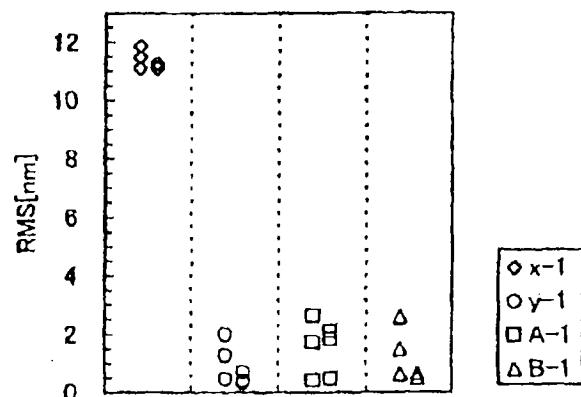


图 41B

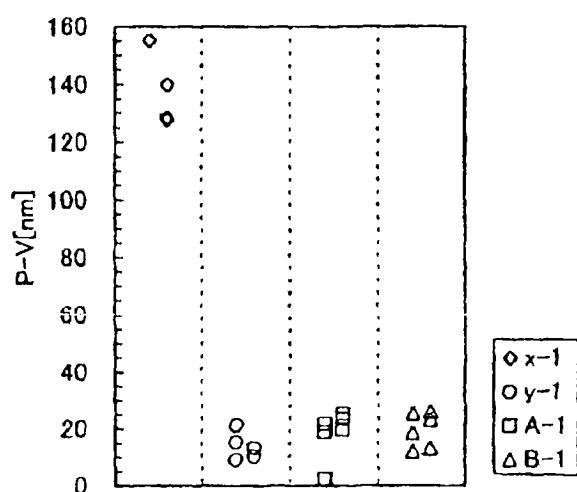


图 41C

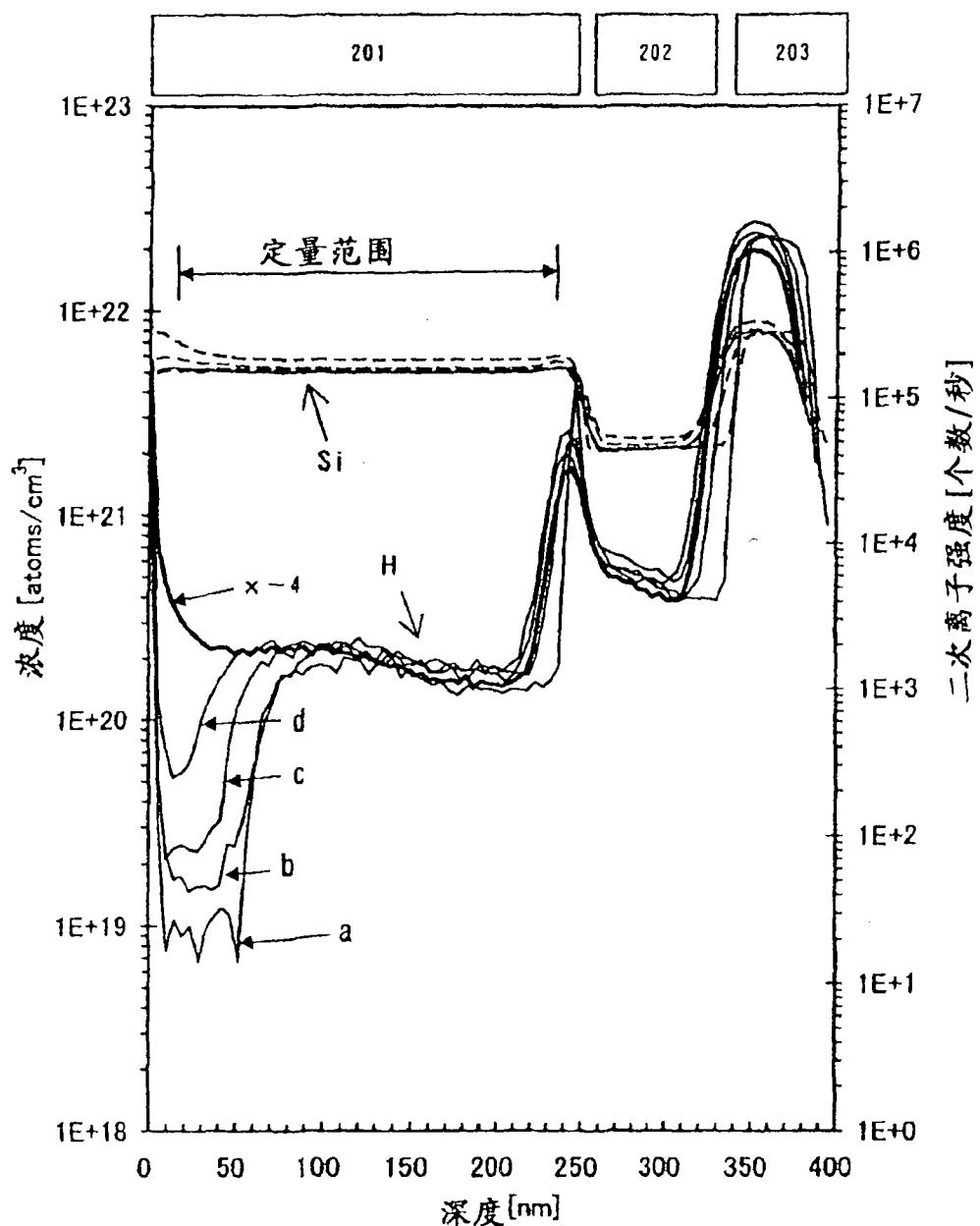


图 42

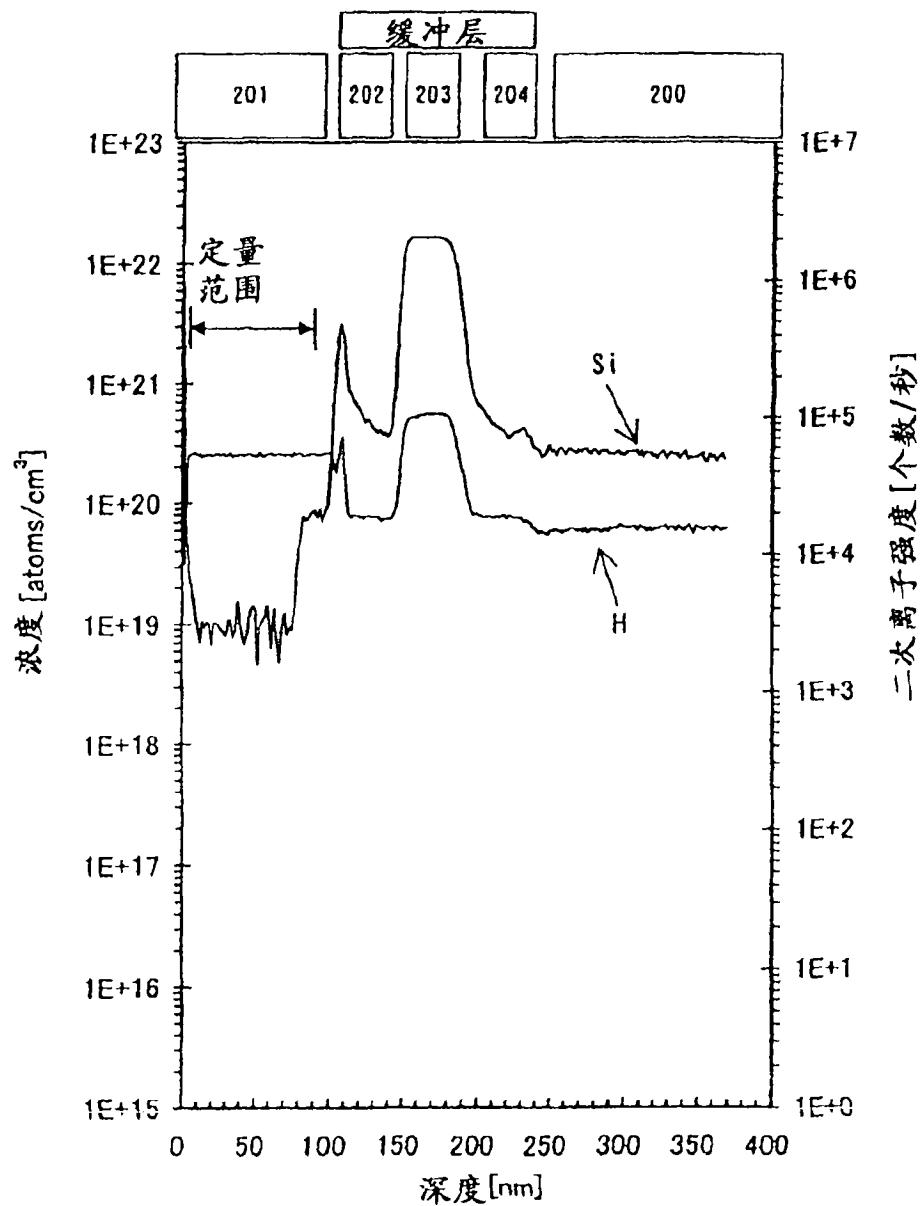


图 43

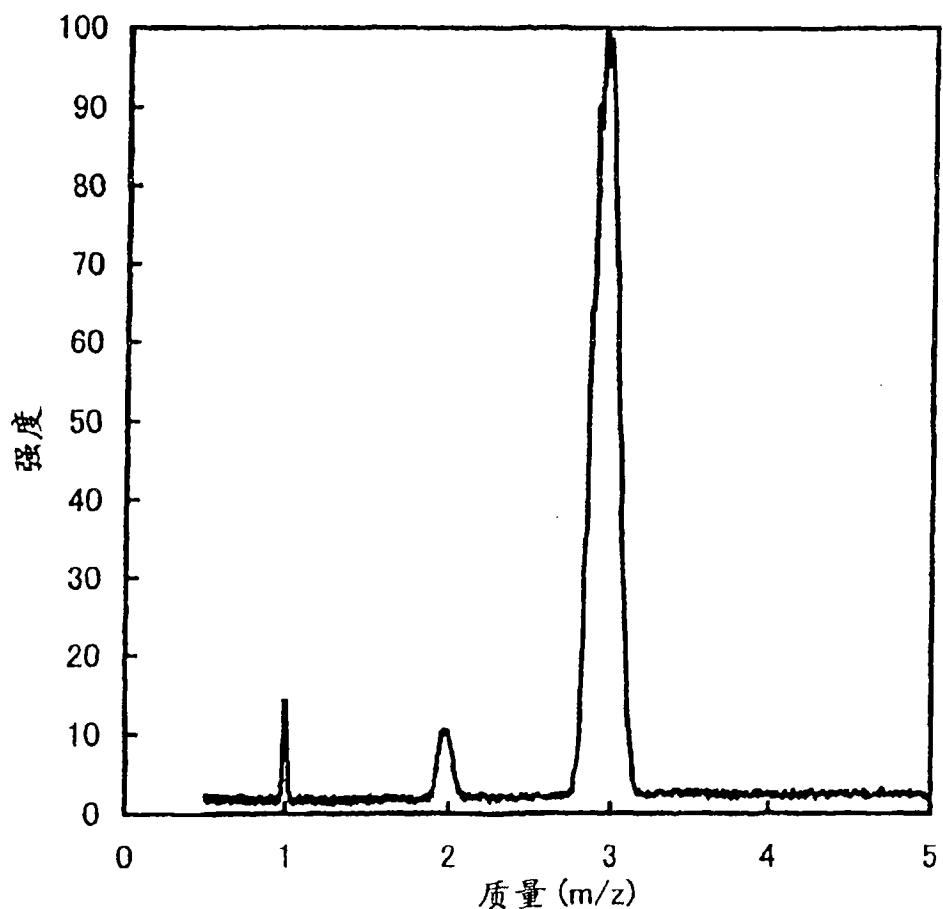


图 44

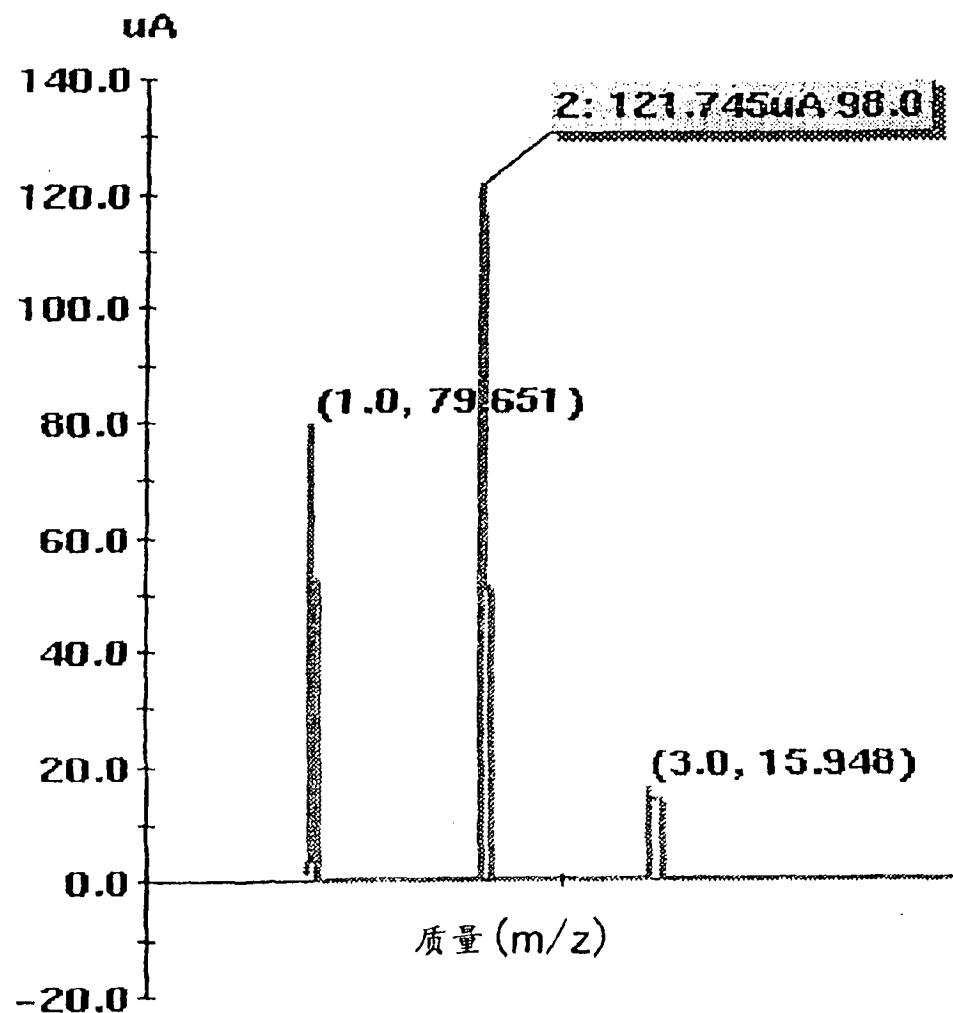


图 45

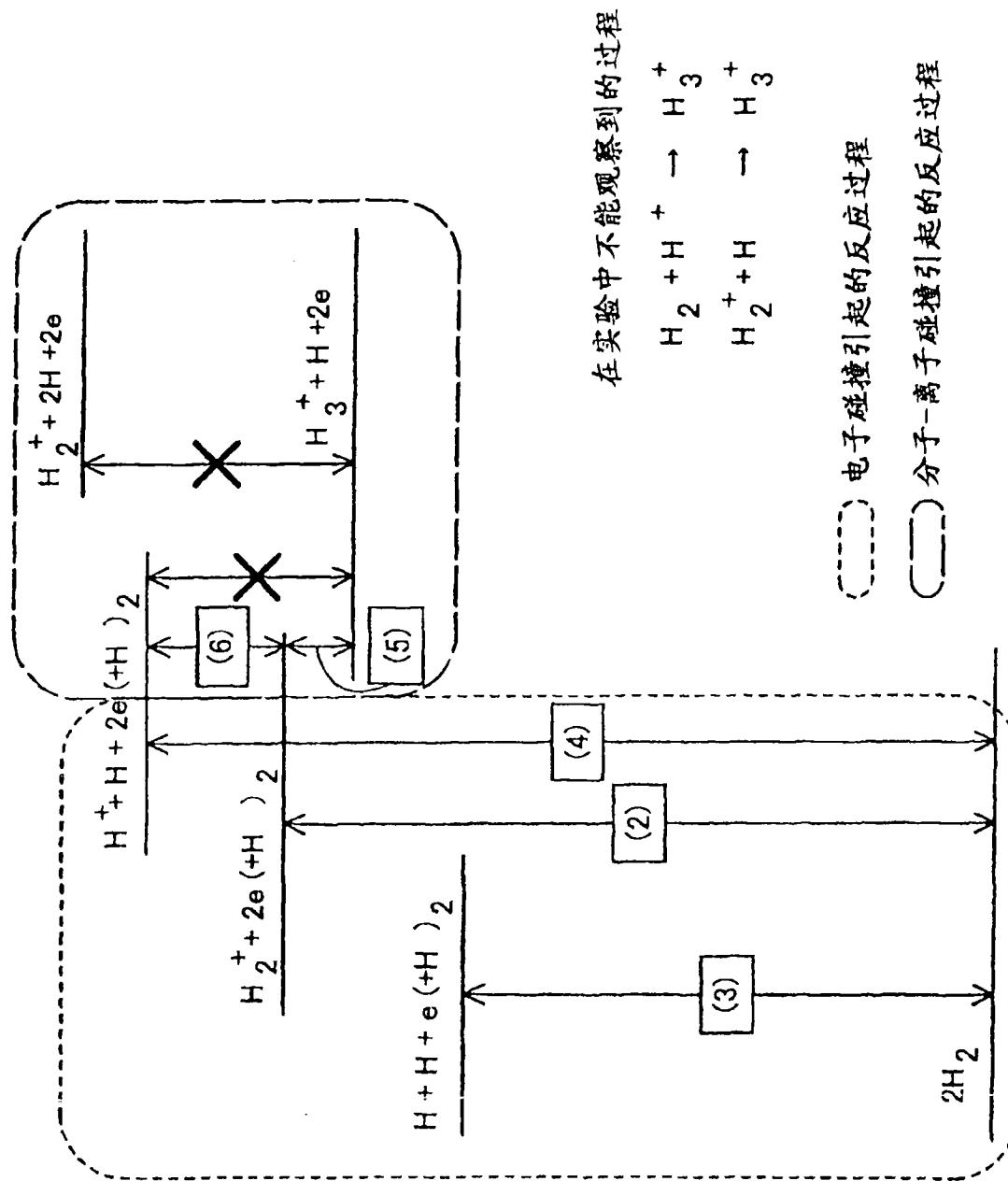


图 46

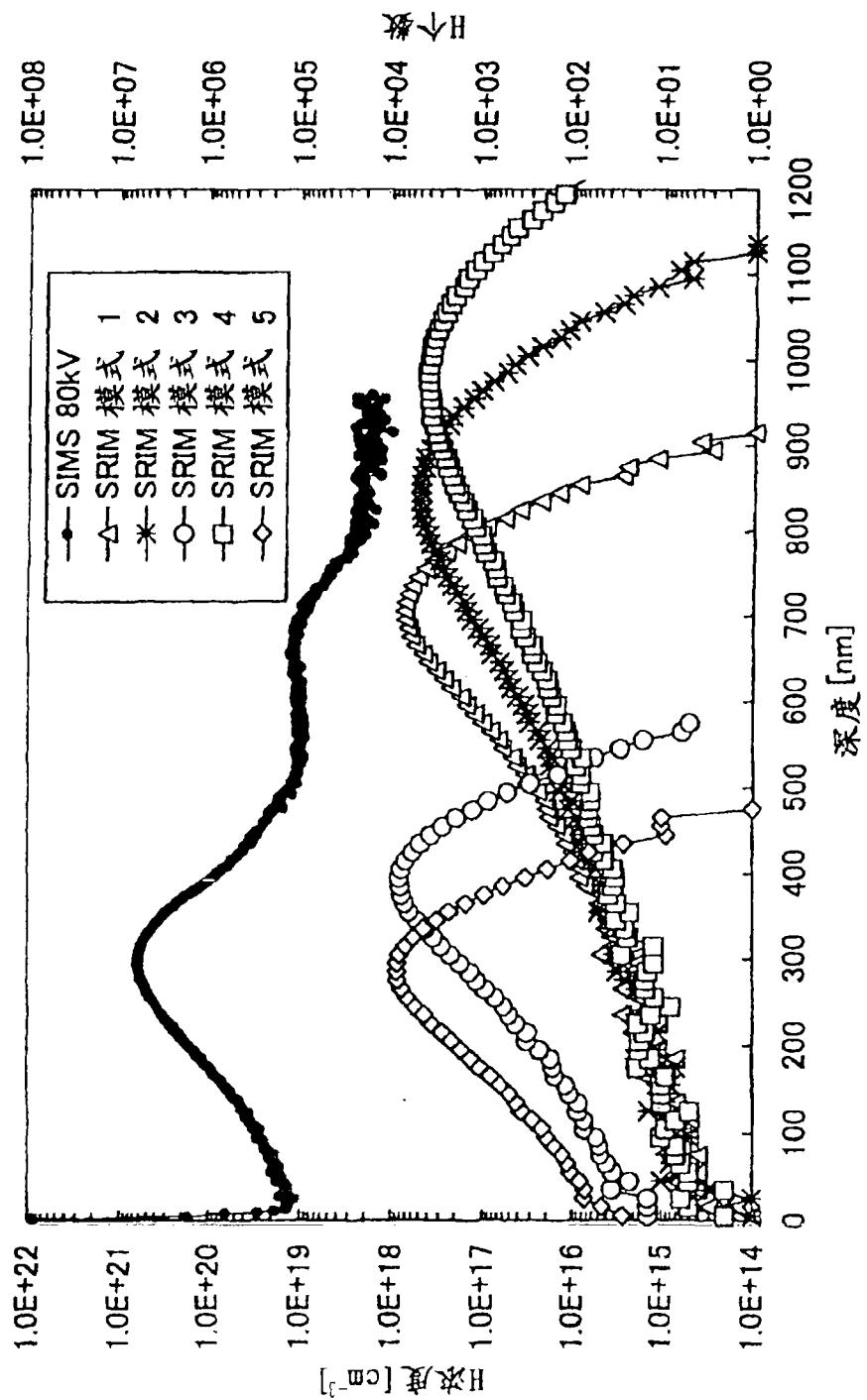


图 47

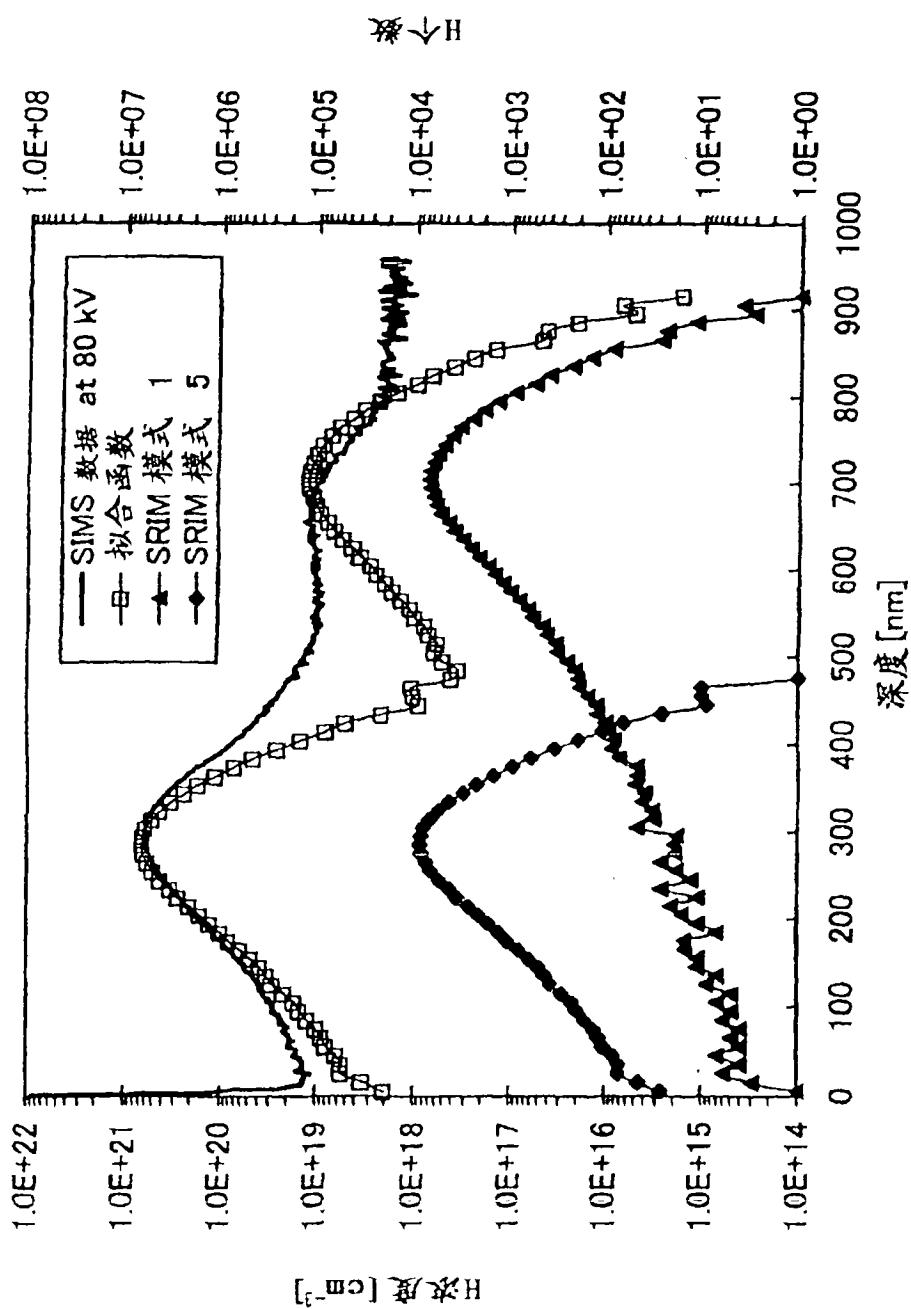


图 48

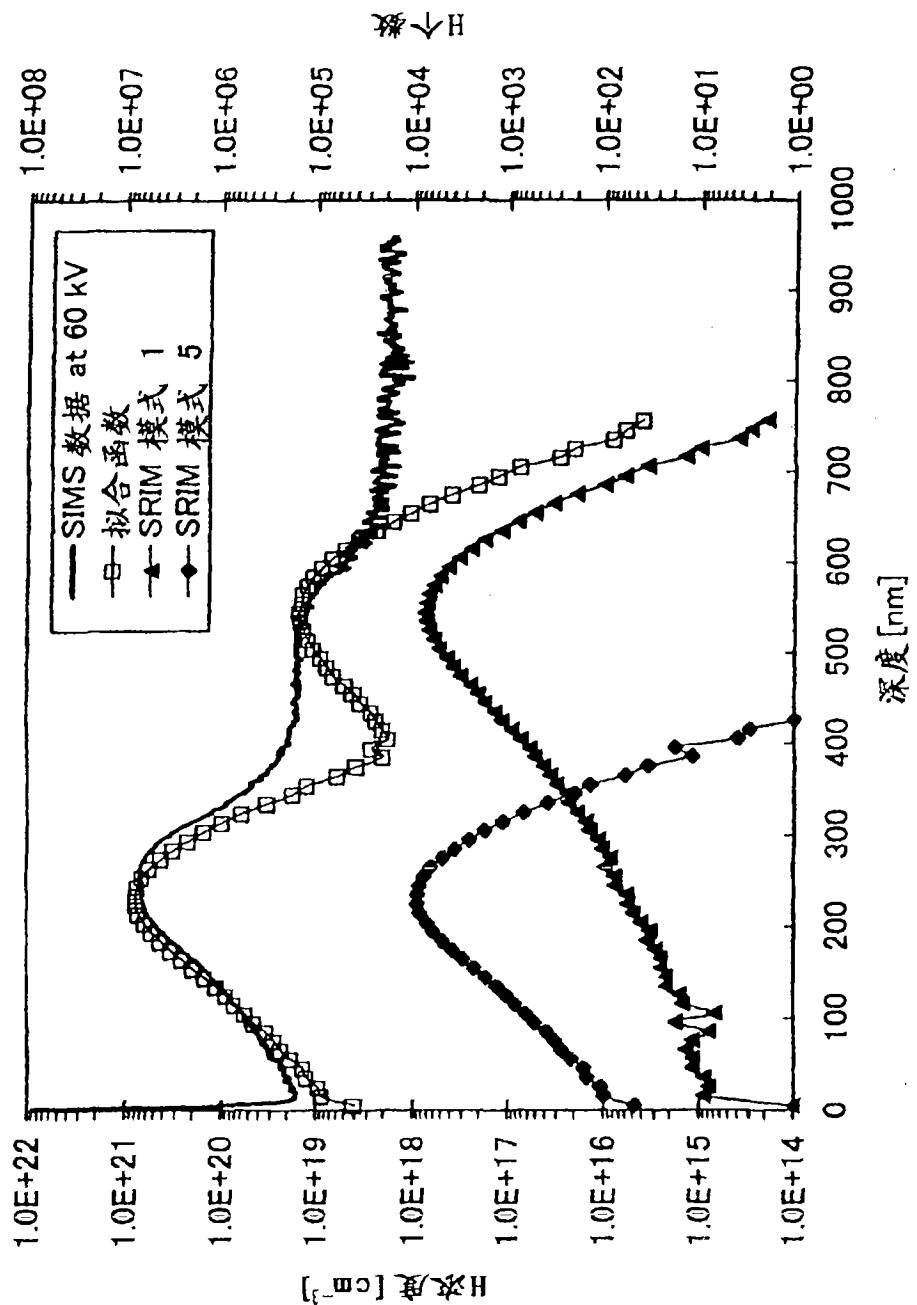


图 49

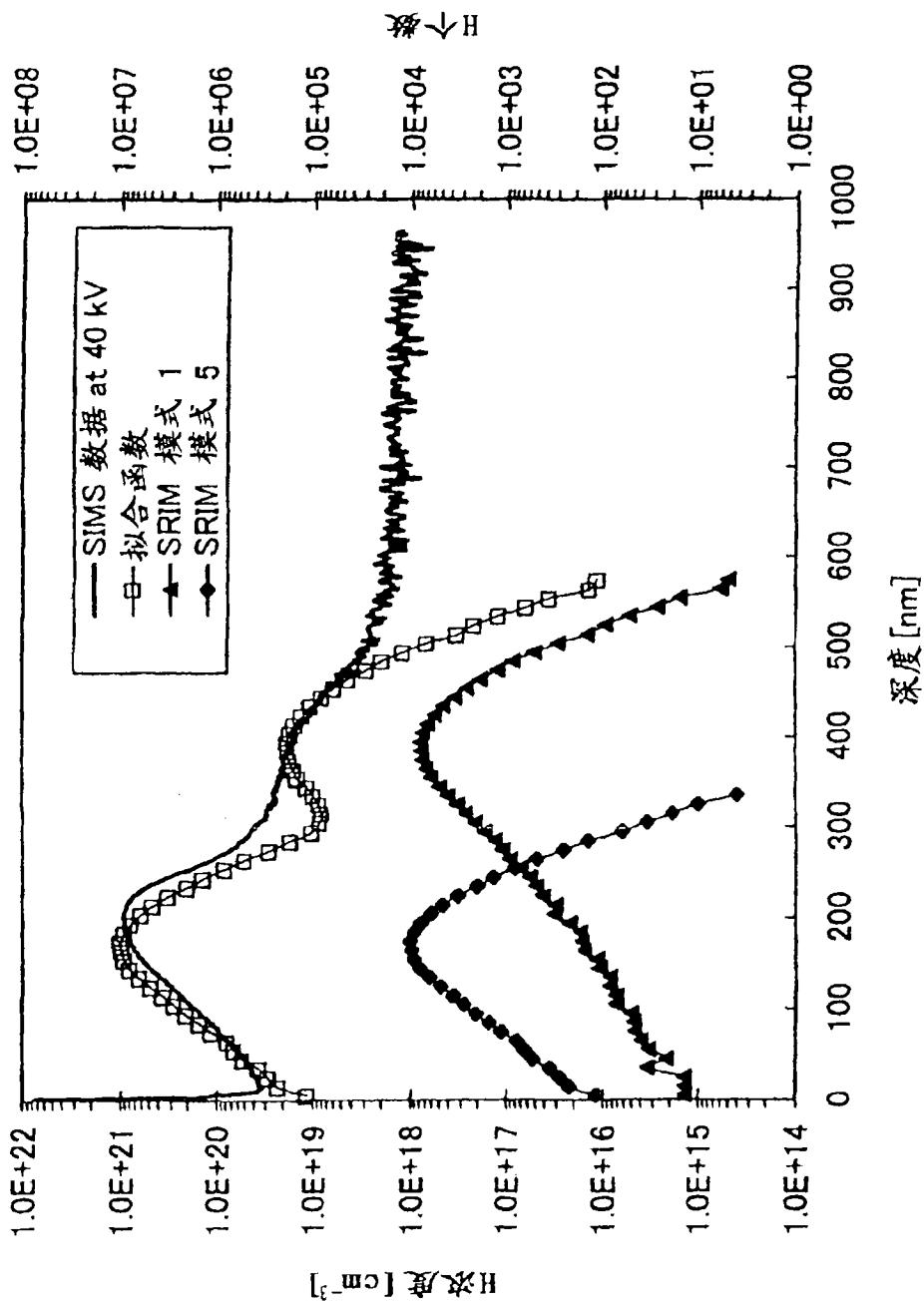


图 50

加速电压	H (元素比) ratio X:Y	H离子种比 ratio (X:Y/3)
80kV	01:44.1	01:14.7
60kV	01:42.5	01:14.2
40kV	01:43.5	01:14.5

图 51

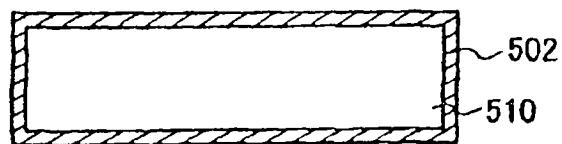


图 52A

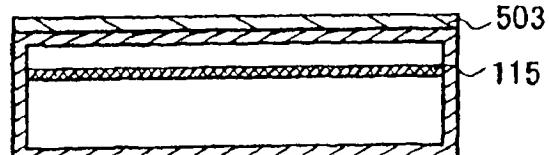


图 52B

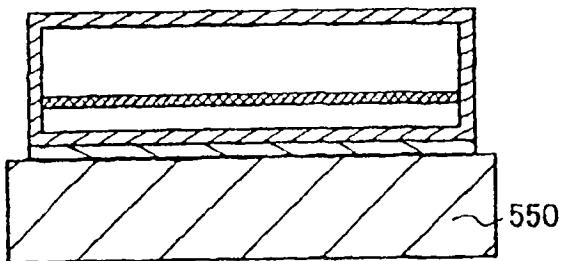


图 52C

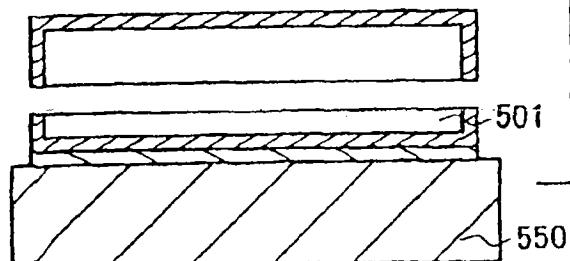


图 52D

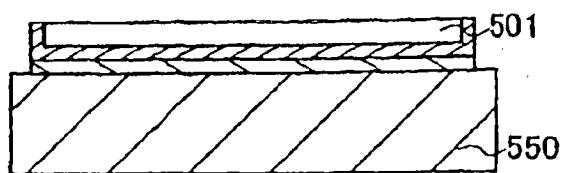


图 52E

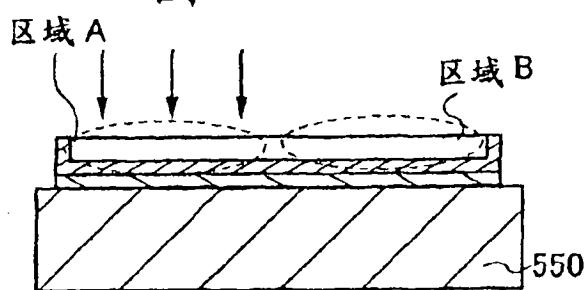


图 52F

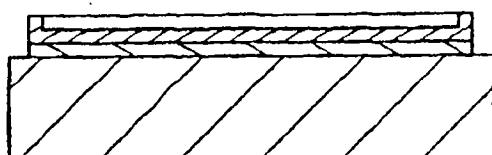


图 52G

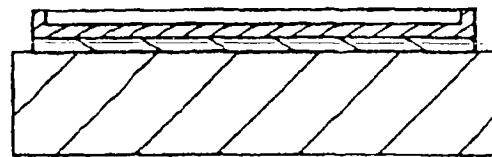


图 52H

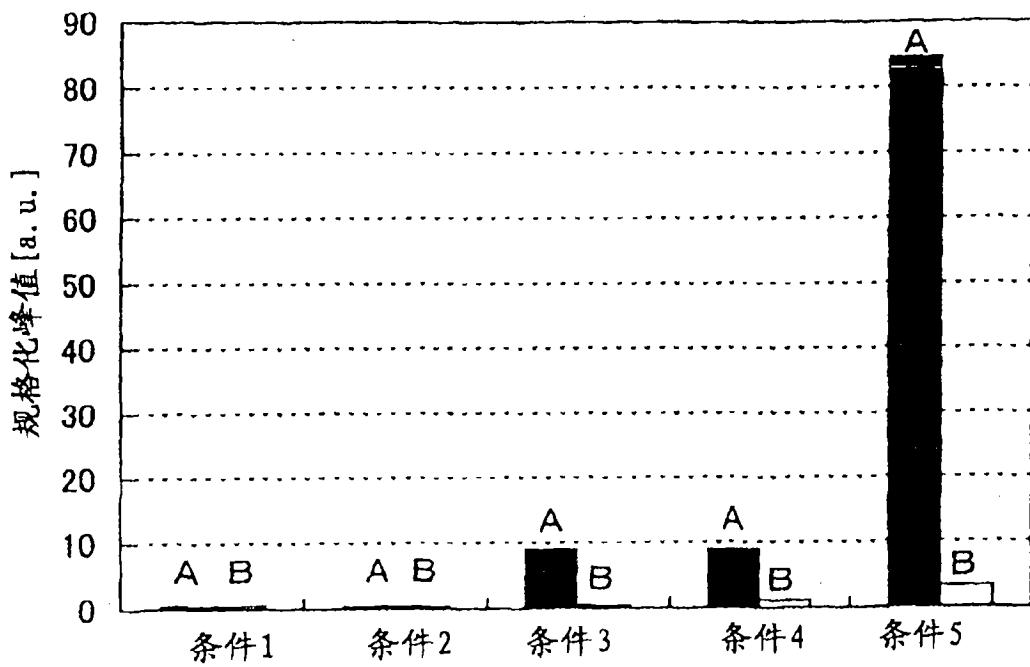


图 53