



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

(21) 4648746/24
(22) 08.02.89
(46) 15.11.91. Бюл. № 42
(72) И.В.Догадкин и Е.Г.Сталин
(53) 681.3(088.8)
(56) Авторское свидетельство СССР
№ 1038931, кл. G 06 F 1/04, 1981.
Авторское свидетельство СССР
№ 1357939, кл. G 06 F 1/04, 1984.

(54) ТАЙМЕР

(57) Изобретение относится к автоматике и может быть использовано в автоматизиро-

2

ванных системах управления технологическими процессами для отсчета интервалов времени. Отличительной особенностью таймера является то, что повышается точность отсчета временного интервала благодаря исключению прерываний процесса отсчета ранее записанных интервалов времени в таймере при записи новых интервалов времени и ожиданий возможности записи новых интервалов времени в таймер, а также уменьшению в n раз минимально возможной дискретности отсчета интервалов времени в таймере. 4 з.п. ф-лы, 6 ил.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в автоматизированных системах управления технологическими процессами для отсчета интервалов времени.

Цель изобретения – повышение точности отсчета интервалов времени.

На фиг.1 приведена функциональная схема таймера; на фиг.2 – схема приемного блока; на фиг.3 – схема блока управления; на фиг.4 – схема блока модификации; на фиг.5 – схема блока выдачи; на фиг.6 – временные диаграммы, поясняющие работу таймера.

Таймер содержит приемный блок 1, блок 2 управления, триггер 3, первый 4, второй 5 и третий 6 элементы И, элемент ИЛИ 7, блок 8 коммутации, блок 9 памяти, блок 10 модификации и блок 11 выдачи, группу входов 12₁ кода номера интервала времени таймера, группы 12₂ входов кода длительности

интервала времени и вход признака отсчета интервала времени таймера, вход 12₃ записи таймера, вход 13 чтения таймера, выход 14₁ признака последнего интервала времени таймера, выход 14₂ кода номера интервала времени таймера и выход 15 требования прерывания таймера.

Приемный блок 1 образуют первый 16 и второй 17 счетчики, блок 18 сравнения и блок 19 памяти, первая группа информационных входов 20₁, вторая группа информационных входов 20₂ и информационный вход, вход 20₃ записи, вход 21 чтения, первая группа информационных выходов 22₁, вторая группа информационных выходов 22₂ и информационный выход и выход 23 признака наличия информации.

Блок 2 управления содержит генератор 24 импульсов, счетчик 25, одновибратор 26 и дешифратор 27, выходы 28–32 с первого по пятый соответственно, группу выходов

33 кода номера интервала времени и шестой выход 34.

Блок 10 модификации образуют регистр 35, сумматор 36, элемент И 37 и коммутатор 38, группа информационных входов 39₁, информационный вход 39₂, вход 40 записи, группа информационных выходов 41₁, информационный выход 41₂ и выход 42 признака окончания отсчета интервала времени.

Блок 11 выдачи содержит первый 43 и второй 44 счетчики, первый 45 и второй 46 блоки сравнения, регистр 47, сумматор 48 и блок памяти 49, вход 50 записи, группу информационных входов 51, вход 52 записи состояния, вход 53 чтения, выход 54₁ признака последнего интервала времени, группу информационных выходов 54₂ и выход признака наличия информации.

На временных диаграммах (фиг.6) приведены импульсные сигналы: а – на выходе старшего из группы старших разрядов счетчика 25; б – на выходе младшего из группы старших разрядов счетчика 25; в – на выходе старшего из группы младших разрядов счетчика 25; г – на выходе одновибратора 26; д – на первом выходе дешифратора 27; е – на втором выходе дешифратора 27; ж – на третьем выходе дешифратора 27; з – на четвертом выходе дешифратора 27; и – на выходе блока 18 сравнения; к – на выходе триггера 3; л – на выходе первого элемента И 4; м – на втором выходе коммутатора 38; н – на выходе второго элемента И 5; о – на выходе первого блока сравнения 45; п – на выходе третьего элемента И 6.

Блоки 9, 19 и 49 памяти могут быть выполнены на интегральной микросхеме 1802ИР1.

Таймер работает следующим образом.

При включении таймера на входы сброса счетчиков 16, 17, 43 и 44 от системы обработки данных поступает импульс и обнуляет их.

По переднему фронту импульса, поступившего на вход записи блока 19 памяти от системы обработки данных, код номера интервала времени, код длительности интервала времени (обратный) и признак отсчета интервала времени (единица), поступившие на первую и вторую группы информационных входов и информационный вход блока 19 памяти соответственно от системы обработки данных, записываются в блок 19 памяти по адресу, код которого поступил на вторую группу адресных входов блока 19 памяти с группы выходов второго счетчика 17.

По заднему фронту импульса, поступившего на вход второго счетчика 17 от системы

обработки данных, содержимое второго счетчика 17 увеличивается на единицу.

При несовпадении кодов, поступивших на первую и вторую группы информационных входов блока 18 сравнения с групп выходов первого 16 и второго 17 счетчиков соответственно, на выходе блока 18 сравнения формируется высокий уровень сигнала и поступает на информационный вход триггера 3.

Код номера интервала времени, код длительности интервала времени и признак отсчета интервала времени, записанные в блоке 19 памяти по адресу, код которого поступил на первую группу адресных входов блока 19 памяти с группы выходов первого счетчика 16, формируются на первой и второй группах выходов и выходе блока 19 памяти соответственно и поступают на первую и вторую группы информационных входов и первый информационный вход блока 8 коммутации соответственно.

С помощью счетчика 25 осуществляется пересчет импульсов, поступивших на его вход с выхода генератора 24 импульсов.

По заднему фронту каждого импульса, поступившего на вход одновибратора 26 с выхода старшего из группы старших разрядов счетчика 25, на выходе одновибратора 26 формируется короткий импульс.

Высокий уровень сигнала на каждом из выходов дешифратора 27 формируется при поступлении на группу его входов соответствующего кода из последовательности кодов, сформированных на группе выходов младших разрядов счетчика 25.

Импульсный сигнал, сформированный на выходе старшего из группы младших разрядов счетчика 25, поступает на управляющий вход блока 8 коммутации.

При наличии высокого уровня сигнала на управляющем входе блока 8 коммутации код номера интервала времени, сформированный на первой группе выходов блока 19 памяти, через блок 8 коммутации поступает на группу адресных входов блока 9 памяти, а код длительности интервала времени и признак отсчета интервала времени, сформированные на второй группе выходов и выходе блока 19 памяти соответственно, через блок 8 коммутации поступают на группу информационных входов и информационный вход блока 9 памяти соответственно.

При наличии высокого уровня сигнала на информационном входе триггера 3 по переднему фронту импульса, поступившего на вход записи триггера 3 с третьего выхода дешифратора 27, на выходе триггера 3 устанавливается высокий уровень сигнала и по-

ступает на первый вход первого элемента И 4.

При наличии высокого уровня сигнала на первом входе первого элемента И 4 импульс, сформированный на четвертом выходе дешифратора 27, через первый элемент И 4 поступает на первый вход элемента ИЛИ 7 и вход первого счетчика 16. Импульс, сформированный на выходе первого элемента И 4, через элемент ИЛИ 7 поступает на вход записи блока 9 памяти.

По переднему фронту импульса, сформированного на выходе элемента ИЛИ 7, код длительности интервала времени и признак отсчета интервала времени, сформированные на второй группе выходов и выходе блока 8 коммутации соответственно, записываются в блок памяти 9 по адресу, код которого равен коду номера интервала времени, сформированному на первой группе выходов блока коммутации 8.

По заднему фронту импульса, сформированного на выходе первого элемента И 4, содержимое первого счетчика 16 увеличивается на единицу.

При наличии низкого уровня сигнала на управляющем входе блока 8 коммутации код номера интервала времени, сформированный на группе выходов старших разрядов счетчика 25, через блок 8 коммутации поступает на группу адресных входов блока 9 памяти.

Код длительности интервала времени и признак отсчета интервала времени, записанные в блоке памяти 9 по адресу, код которого равен коду номера интервала времени, сформированному на первой группе выходов блока 8 коммутации, формируются на группе выходов и выходе блока 9 памяти соответственно и поступают на группу информационных входов и информационный вход регистра 35 соответственно.

По переднему фронту импульса, поступившего на вход записи регистра 35 с первого выхода дешифратора 27, код длительности интервала времени и признак отсчета интервала времени, сформированные на группе выходов и выходе блока 9 памяти, записываются в регистр 35 и поступают на группу входов сумматора 36 и информационный вход коммутатора 38 соответственно.

С помощью сумматора 36 осуществляется сложение кода длительности интервала времени, сформированного на группе выходов регистра 35, с кодом единицы, установленным на входе сумматора 36.

Код длительности интервала времени, сформированный на группе выходов сумматора 36, поступает на четвертую группу ин-

формационных входов блока 8 коммутации и группу входов элемента И 37.

Высокий уровень сигнала на выходе элемента И 37 формируется в случае, если все разряды кода длительности интервала времени, сформированного на группе выходов сумматора 36, содержат единицы. Импульсный сигнал, сформированный на выходе элемента И 37, поступает на управляющий вход коммутатора 38.

При наличии низкого уровня сигнала на управляющем входе коммутатора 38 признак отсчета интервала времени, сформированный на выходе регистра 35, через коммутатор 38 поступает на второй информационный вход блока 8 коммутации.

При наличии низкого уровня сигнала на управляющем входе блока 8 коммутации код длительности интервала времени и признак отсчета интервала времени, сформированные на группе выходов сумматора 36 и первом выходе коммутатора 38 соответственно, через блок 8 коммутации поступают на группу информационных входов и информационный вход блока 9 памяти.

Импульс, сформированный на втором выходе дешифратора 27, через элемент ИЛИ 7 поступает на вход записи блока 9 памяти.

По переднему фронту импульса, сформированного на выходе элемента ИЛИ 7, код длительности интервала времени и признак отсчета интервала времени, сформированные на второй группе выходов и выходе блока 8 коммутации соответственно, записываются в блок 9 памяти по адресу, код которого равен коду номера интервала времени, сформированному на первой группе выходов блока 8 коммутации.

При наличии высокого уровня сигнала на управляющем входе коммутатора 38 признак отсчета интервала времени, сформированный на выходе регистра 35, через коммутатор 38 поступает на первый вход второго элемента И 5.

При наличии высокого уровня сигнала на первом входе второго элемента И 5 импульс, сформированный на втором выходе дешифратора 27, через второй элемент И 5 поступает на вход первого счетчика 43 и вход записи блока 49 памяти.

По переднему фронту импульса, сформированного на выходе второго элемента И 5, код номера интервала времени, поступивший на группу информационных входов блока 49 памяти с группы выходов старших разрядов счетчика 25, записывается в блок 49 памяти по адресу, код которого поступил на первую группу адресных входов блока 49

памяти с группы выходов первого счетчика 43.

По заднему фронту импульса, сформированного на выходе второго элемента И 5, содержимое первого счетчика 43 увеличивается на единицу.

При несовпадении кодов, поступивших на первую и вторую группы информационных входов первого блока 45 сравнения с групп выходов первого 43 и второго 44 счетчиков соответственно, на выходе первого блока 45 сравнения формируется высокий уровень сигнала и поступает на первый вход третьего элемента И 6.

По переднему фронту импульса, поступившего на вход записи регистра 47 с выхода одновибратора 26, код, поступивший на группу информационных входов регистра 47 с группы выходов первого счетчика 43, записывается в регистр 47.

С помощью сумматора 48 осуществляется сложение кода, поступившего на группу входов сумматора 48 с группы выходов второго счетчика 44, с кодом единицы, установленным на входе сумматора 48.

При наличии высокого уровня сигнала на первом входе третьего элемента И 6, импульс, сформированный на выходе одновибратора 26, через третий элемент И 6 поступает в систему обработки данных.

При наличии высокого уровня сигнала на управляющем входе второго блока 46 сравнения и совпадении кодов, поступивших на первую и вторую группы информационных входов второго блока 46 сравнения с групп выходов регистра 47 и сумматора 48 соответственно, на выходе второго блока 46 сравнения формируется высокий уровень сигнала.

При наличии высокого уровня сигнала на входе чтения блока 49 памяти код номера интервала времени, записанный в блоке 49 памяти по адресу, код которого поступил на вторую группу адресных входов блока 49 памяти с группы выходов второго счетчика 44, формируется на группе выходов блока 49 памяти.

Уровень сигнала, сформированный на выходе второго блока 46 сравнения, и код номера интервала времени, сформированный на группе выходов блока 49 памяти, поступают к системе обработки данных.

По заднему фронту импульса, поступившего на вход второго счетчика 44 от системы обработки данных содержимое второго счетчика 44 увеличивается на единицу.

При появлении высокого уровня сигнала на выходе второго блока 46 сравнения система обработки данных завершает обращения к блоку 49 памяти.

Ф о р м у л а и з о б р е т е н и я

1. Таймер, содержащий три элемента И, блок памяти и элемент ИЛИ, отличающийся тем, что, с целью повышения точности отсчета временного интервала, в него введены приемный блок, триггер, блок коммутации, блок модификации, блок выдачи и блок управления, причем первая группа информационных входов приемного блока является группой входов кода номера интервала времени таймера, вторая группа информационных входов приемного блока является группой входов кода длительности интервала времени таймера, информационный вход приемного блока является входом разрешения счета таймера, первая группа информационных выходов приемного блока соединена с первой группой информационных входов блока коммутации, вторая группа информационных входов которого соединена с второй группой информационных выходов приемного блока, информационный выход которого соединен с первым информационным входом блока коммутации, выход признака наличия информации приемного блока соединен с информационным входом триггера, первая группа выходов блока коммутации соединена с первой группой адресных входов блока памяти, вторая группа информационных входов и вход которого соединены с второй группой выходов и выходом блока коммутации, выход блока коммутации соединен соответственно с информационным входом блока памяти, группа выходов и выход которого соединена с группой и с информационным входом информационных входов блока модификации соответственно, информационный выход которого соединен с вторым управляющим входом блока коммутации, третья группа информационных входов которого соединена с группой выходов блока модификации, выход интервала времени которого соединен с первым входом первого элемента И, первый выход блока управления соединен с первым входом второго элемента И и с входом прерывания блока выдачи, второй выход блока управления соединен с синхровходом триггера, третий выход блока управления соединен с первым входом третьего элемента И, четвертый выход блока управления соединен с первым входом элемента ИЛИ и с вторым входом первого элемента И, пятый выход блока управления соединен с третьим управляющим входом блока коммутации, группа выходов блока управления соединена с третьей группой информационных входов блока коммутации и с группой информационных входов

блока выдачи, выход триггера соединен с вторым входом третьего элемента И, выход которого соединен с вторым входом элемента ИЛИ и со счетным входом блока приема, выход элемента ИЛИ соединен с входом разрешения записи блока памяти, выход первого элемента И соединен со счетным входом блока выдачи, вход чтения которого является входом чтения таймера, выход признака наличия информации блока соединен с вторым входом второго элемента И, выход признака последнего временного интервала блока выдачи является входом признака последнего временного интервала таймера, группа выходов блока выдачи является группой выходов кода номера временного интервала таймера, шестой выход блока управления соединен с входом разрешения записи блока модификации.

2. Таймер по п.1, отличающийся тем, что приемный блок содержит два счетчика, блок сравнения и блок памяти, причем первая и вторая группы информационных входов блока памяти являются соответственно первой и второй группами информационных входов блока, информационный вход блока памяти является информационным входом блока, счетный вход первого счетчика является счетным входом блока, счетный вход второго счетчика соединен с входом разрешения записи блока памяти и является входом разрешения записи блока, группа разрядных выходов первого счетчика соединена с первой группой информационных входов блока сравнения и с первой группой адресных входов блока памяти, вторая группа информационных входов блока сравнения соединена с группой разрядных выходов второго счетчика и с второй группой адресных входов блока памяти, выход равенства блока сравнения является выходом признака наличия информации блока, первая и вторая группы выходов блока памяти являются соответственно первой и второй группами информационных выходов блока, выход блока памяти является информационным выходом блока.

3. Таймер по п.1, отличающийся тем, что блок управления содержит тактовый генератор импульсов, счетчик, одновибратор и дешифратор, причем выход тактового генератора соединен со счетным входом счетчика, выход старшего разряда которого соединен с входом одновибратора, выход которого является первым выходом блока, группа выходов младших разрядов счетчика соединена с группой информационных входов дешифратора, первый-четвертый выходы которого являются

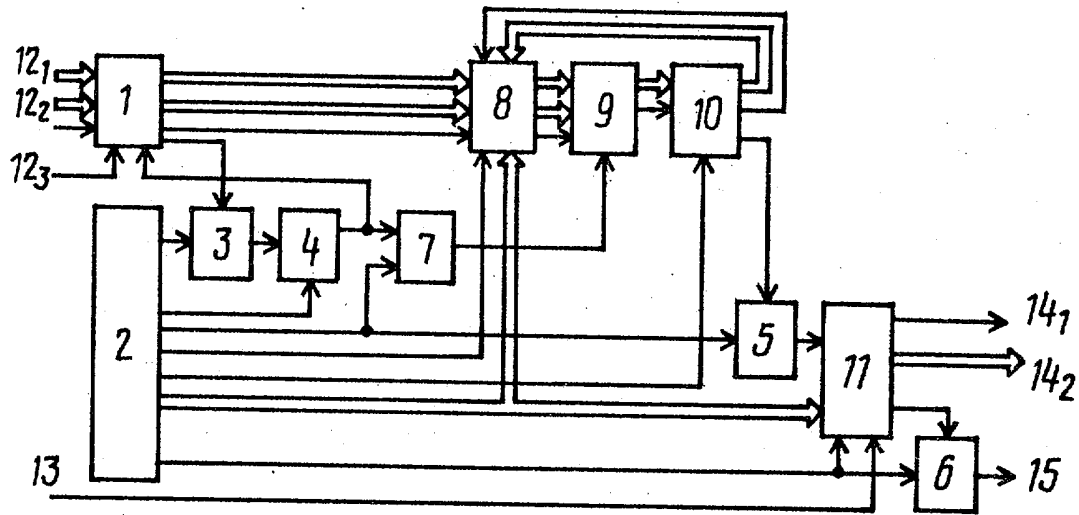
соответственно вторым-пятым выходами блока.

4. Таймер по п.1, отличающийся тем, что блок модификации содержит регистр, сумматор, группу элементов И и коммутатор, причем группа информационных входов регистра является группой информационных входов блока, информационный вход регистра является информационным входом блока, вход разрешения записи регистра является входом разрешения записи блока, группа разрядных выходов регистра соединена с группой входов сумматора, вход которого соединен с шиной логической единицы таймера, выход регистра соединен с информационным входом коммутатора, управляющий вход которого соединен с выходом группы элемента И, группа входов которой соединена с группой выходов сумматора и является группой информационных выходов блока, первый выход коммутатора является информационным выходом блока, второй выход коммутатора - выходом признака окончания отсчета интервалов времени.

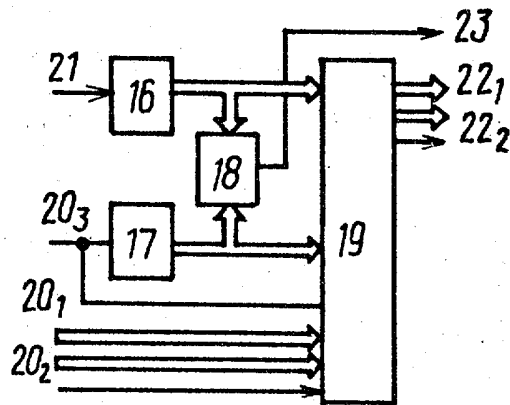
5. Таймер по п.1, отличающийся тем, что блок выдачи содержит два счетчика, два блока сравнения, регистр, сумматор и блок памяти, причем счетный вход первого счетчика соединен с входом разрешения записи блока памяти и является счетным входом блока, счетный вход второго счетчика соединен со стробирующим входом первого блока сравнения, с входом разрешения чтения блока памяти и является входом разрешения записи регистра является входом записи состояния блока, группа информационных входов блока памяти является группой информационных входов блока, группа разрядных выходов первого счетчика соединена с группой информационных входов регистра, с первой группой информационных входов второго блока сравнения и с первой группой адресных входов блока памяти, группа разрядных выходов второго счетчика соединена с второй группой информационных входов второго блока сравнения, с группой входов сумматора и с второй группой адресных входов блока памяти, вход сумматора соединен с шиной логической единицы таймера, группа выходов сумматора соединена с первой группой информационных входов первого блока сравнения, вторая группа информационных входов которого соединена с группой выходов регистра, выход равенства первого блока сравнения является выходом признака наличия информации блока, выход равенства второго блока сравнения является выхо-

дом признака последнего временного интервала блока, группа выходов блока памя-

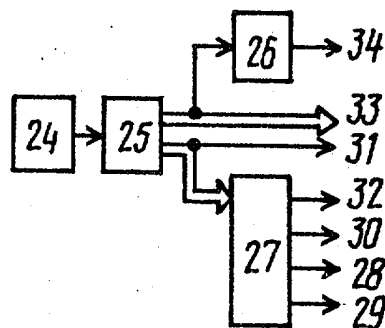
ти является группой информационных выходов блока.



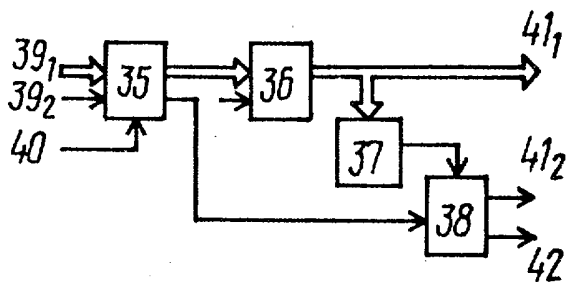
Фиг. 1



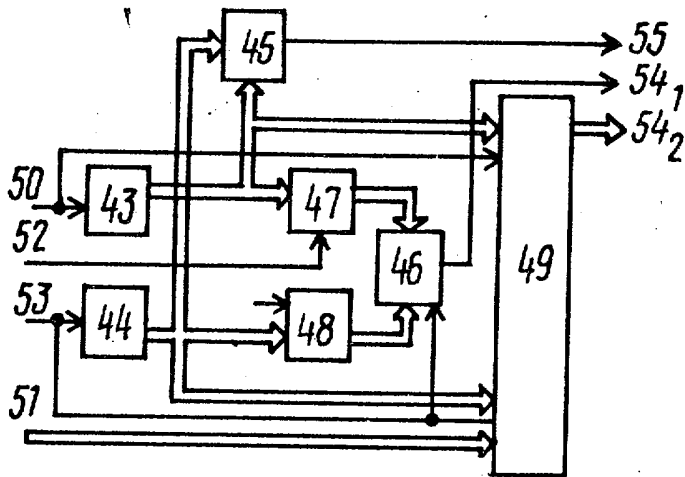
Фиг. 2



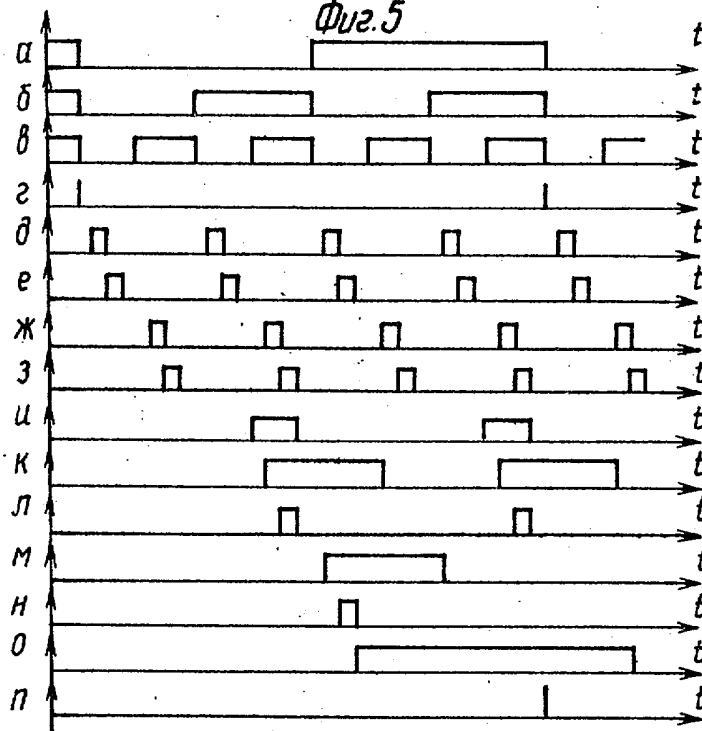
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6

Редактор Л.Пчолинская Составитель И.Догодкин Техред М.Моргентал Корректор М.Демчик

Заказ 3928 Тираж Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., 4/5