

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年12月10日(2024.12.10)

【国際公開番号】WO2023/189054

【出願番号】特願2024-511471(P2024-511471)

【国際特許分類】

H 0 1 L 2 9 / 7 8 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 0 6 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 1 2 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 7 3 9 (2 0 0 6 . 0 1)

10

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 N

H 0 1 L 2 9 / 7 8 6 5 2 J

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 2 F

H 0 1 L 2 9 / 7 8 6 5 2 S

H 0 1 L 2 9 / 7 8 6 5 2 P

H 0 1 L 2 9 / 7 8 6 5 3 C

H 0 1 L 2 9 / 7 8 6 5 2 D

H 0 1 L 2 9 / 7 8 6 5 2 T

H 0 1 L 2 9 / 7 8 6 5 5 A

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 K

H 0 1 L 2 9 / 0 6 3 0 1 M

H 0 1 L 2 9 / 0 6 3 0 1 G

H 0 1 L 2 9 / 0 6 3 0 1 V

20

【手続補正書】

【提出日】令和6年10月9日(2024.10.9)

30

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面を有するチップと、

前記主面に形成されたトレンチ抵抗構造を含むゲート抵抗と、

前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造に電氣的に接続されるように前記主面の上に配置されたゲートパッドと、

前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されるように前記主面の上に配置されたゲート配線と、を含む、半導体装置。

40

【請求項2】

複数の前記トレンチ抵抗構造が前記主面に形成されている、請求項1に記載の半導体装置。

【請求項3】

複数の前記トレンチ抵抗構造は、第1トレンチ抵抗構造、および、前記第1トレンチ抵抗構造よりも深い第2トレンチ抵抗構造を含む、請求項2に記載の半導体装置。

50

【請求項 4】

前記主面の内方部に設けられた活性領域と、
 前記主面の周縁部に設けられた外周領域と、
 前記活性領域および前記外周領域の間に設けられた終端領域と、をさらに含み、
 前記トレンチ抵抗構造は、前記終端領域において前記主面に形成され、
 前記ゲートパッドは、前記終端領域において前記トレンチ抵抗構造に電氣的に接続され、
 前記ゲート配線は、前記終端領域において前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されている、請求項 1 に記載の半導体装置。

【請求項 5】

前記終端領域において前記トレンチ抵抗構造に隣り合うように前記主面に形成されたダミートレンチ構造をさらに含む、請求項 4 に記載の半導体装置。

10

【請求項 6】

複数の前記ダミートレンチ構造が前記主面に形成されている、請求項 5 に記載の半導体装置。

【請求項 7】

複数の前記ダミートレンチ構造は、第 1 ダミートレンチ構造、および、前記第 1 ダミートレンチ構造よりも深い第 2 ダミートレンチ構造を含む、請求項 6 に記載の半導体装置。

【請求項 8】

前記主面の内方部に形成された第 1 面部、前記第 1 面部から前記チップの厚さ方向に窪むように前記主面の周縁部に形成された第 2 面部、ならびに、前記第 1 面部および前記第 2 面部を接続する接続面部によって前記主面に区画された活性台地をさらに含み、
 前記活性領域は、前記第 1 面部に設けられ、
 前記外周領域は、前記第 2 面部に設けられ、
 前記終端領域は、前記第 1 面部に設けられている、請求項 4 に記載の半導体装置。

20

【請求項 9】

前記活性領域において前記主面に形成されたトレンチゲート構造をさらに含み、
 前記ゲート配線は、前記活性領域において前記トレンチゲート構造に電氣的に接続されている、請求項 4 に記載の半導体装置。

【請求項 10】

前記活性領域において前記トレンチゲート構造に隣り合うように前記主面に形成されたトレンチソース構造をさらに含む、請求項 9 に記載の半導体装置。

30

【請求項 11】

前記トレンチソース構造は、前記トレンチゲート構造よりも深い、請求項 10 に記載の半導体装置。

【請求項 12】

前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されるように前記主面の上に配置されたゲートサブパッドをさらに含む、請求項 1 に記載の半導体装置。

【請求項 13】

前記ゲートサブパッドは、前記ゲートパッドよりも幅狭に形成され、前記ゲート配線よりも幅広に形成されている、請求項 12 に記載の半導体装置。

40

【請求項 14】

前記ゲートパッドは、前記トレンチ抵抗構造の直上に位置する部分を有し、
 前記ゲート配線は、前記トレンチ抵抗構造の直上に位置する部分を有している、請求項 1 ~ 13 のいずれか一項に記載の半導体装置。

【請求項 15】

前記トレンチ抵抗構造は、チャンネルの制御に寄与しない、請求項 1 ~ 13 のいずれか一項に記載の半導体装置。

【請求項 16】

前記ゲート抵抗は、前記トレンチ抵抗構造を被覆する抵抗膜を含み、

50

前記ゲートパッドは、前記抵抗膜に電氣的に接続され、
前記ゲート配線は、前記抵抗膜に電氣的に接続されている、請求項 1 ~ 13 のいずれか
一項に記載の半導体装置。

【請求項 17】

前記抵抗膜は、前記主面を被覆する部分、および、前記トレンチ抵抗構造を被覆する部
分を有している、請求項 16 に記載の半導体装置。

【請求項 18】

前記ゲートパッドは、前記抵抗膜を挟んで前記トレンチ抵抗構造に対向し、
前記ゲート配線は、前記抵抗膜を挟んで前記トレンチ抵抗構造に対向している、請求項
16 に記載の半導体装置。

10

【請求項 19】

前記抵抗膜を被覆する絶縁膜をさらに含み、
前記ゲートパッドは、前記絶縁膜を貫通して前記抵抗膜に接続され、
前記ゲート配線は、前記絶縁膜を貫通して前記抵抗膜に接続されている、請求項 16 に
記載の半導体装置。

【請求項 20】

前記主面の表層部に形成された第 1 導電型の半導体領域と、
前記半導体領域内に位置するように前記主面に形成された前記トレンチ抵抗構造と、
前記半導体領域と p n 接合部を形成するように前記半導体領域内において前記トレンチ
抵抗構造に沿う領域に形成された第 2 導電型のウェル領域と、をさらに含む、請求項 1 ~
13 のいずれか一項に記載の半導体装置。

20

30

40

50