

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月21日(21.09.2017)



(10) 国際公開番号

WO 2017/159057 A1

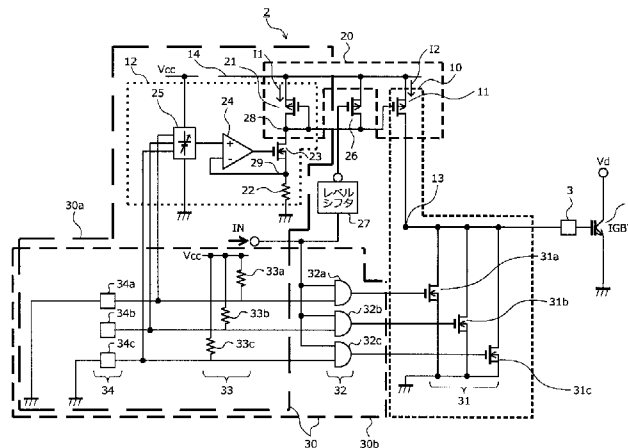
- (51) 国際特許分類:
H03K 17/567 (2006.01) H03K 19/0175 (2006.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2017/002596
- (22) 国際出願日: 2017年1月25日(25.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-056060 2016年3月18日(18.03.2016) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 高際 和美(TAKAGIWA, Kazumi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町3番12号 紀尾井町ビル7階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



27 Level shifter

(57) Abstract: In a gate drive circuit (2), the secondary side of a current mirror circuit (20) is formed by a PMOSFET (11) of a CMOS circuit (10). A drive capability adjustment circuit (30) receives input of an external signal adjusted by grounding any one or more of external signal input pads (34a-34c) pulled up to an internal power supply potential Vcc, and adjusts the charge capability of the PMOSFET (11) of the CMOS circuit (10) and the discharge capability of an NMOSFET (31). At the time of turn-on of an IGBT (1), a charge current to the gate of the IGBT 1 is adjusted on the basis of the potential of the ungrounded external signal input pad (34b), and at the time of turn-off, a discharge current from the gate of the IGBT (1) is adjusted by turning on an NMOSFET (31b) connected to the ungrounded external signal input pad (34b). Consequently, a semiconductor device that enables easy adjustment of drive capability and is very versatile can be provided.

(57) 要約:

[続葉有]



WO 2017/159057 A1



ゲート駆動回路（２）において、カレントミラー回路（２０）の二次側はＣＭＯＳ回路（１０）のＰＭＯＳＦＥＴ（１１）で構成される。駆動能力調整回路（３０）は、内部電源電位 V_{cc} にプルアップされた外部信号入力パッド（３４ａ）～（３４ｃ）のいずれか１つ以上を接地して調整された外部信号の入力を受け、ＣＭＯＳ回路（１０）のＰＭＯＳＦＥＴ（１１）の充電能力およびＮＭＯＳＦＥＴ（３１）の放電能力を調整する。ＩＧＢＴ（１）のターンオン時、接地していない外部信号入力パッド（３４ｂ）の電位に基づいて、ＩＧＢＴ１のゲートの充電電流が調整され、ターンオフ時、接地していない外部信号入力パッド（３４ｂ）に接続されたＮＭＯＳＦＥＴ（３１ｂ）をオンして、ＩＧＢＴ（１）のゲートの放電電流が調整される。このようにすることで、駆動能力を容易に調整することができ、かつ汎用性の高い半導体装置を提供することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) や MOSFET (Metal Oxide Semiconductor Field Effect Transistor: 絶縁ゲート型電界効果トランジスタ) などのゲート駆動のパワー半導体素子のスイッチングは、ゲート駆動回路でゲート信号を制御することにより行われる。パワー半導体素子と、ゲート駆動回路を含む制御回路を備えた制御 IC (Integrated Circuit) と、をパッケージに内蔵した半導体装置は、IPM (Intelligent Power Module: インテリジェントパワーモジュール) と称される。

[0003] 制御 IC のゲート駆動回路は、パワー半導体素子のゲート容量を充放電してスイッチング制御を行う。パワー半導体素子のゲート容量の充放電時間は、ゲート駆動回路の駆動能力の大きさに調整される。パワー半導体素子のスイッチング損失を低減するには、パワー半導体素子のゲート容量の充放電時間を可能な限り短くすることが好ましい。しかしながら、パワー半導体素子のゲート容量の充放電時間が短すぎる場合、ノイズが大きくなり周辺素子に悪影響を及ぼす虞がある。このため、パワー半導体素子のゲート容量の充放電時間は、パワー半導体素子の定格電流に基づいて最適化されている。従来の制御 IC のゲート駆動回路の回路構成について説明する。

[0004] 図 6, 7 は、従来のゲート駆動回路の回路構成の一例を示す回路図である。図 6, 7 には、IGBT 101 を駆動するゲート駆動回路 102 を示す。ゲート駆動回路 102 は、pチャネル型 MOSFET (以下、PMOSFE

Tとする) 111とnチャネル型MOSFET(以下、NMOSFETとする) 112とを相補うように接続したCMOS(Complementary MOS:相補型MOS)回路110を備える。CMOS回路110のゲートは、制御ICの入力端子INから信号の入力を受ける。CMOS回路110のPMOSFET111のソースは電源114に接続され、NMOSFET112のソースは接地されている。

[0005] PMOSFET111とNMOSFET112との接続点(制御ICの出力端子)113はIGBT101のゲートに接続されている。符号115, 116はそれぞれPMOSFET111およびNMOSFET112の前段に配置されたバッファであり、それぞれPMOSFET111およびNMOSFET112にロジックレベル(High・Lowの電圧レベル)を正確に伝達する機能を有する。符号103は、ゲート駆動回路102を形成した制御ICチップと、IGBT101を形成した半導体チップ(以下、IGBTチップ)と、を電氣的に接続するための電極パッドである。符号Vdは主電源の正極側であり、IGBT101のコレクタに接続されている。

[0006] この図6に示すゲート駆動回路102では、IGBT101のターンオン時、制御ICの入力端子INから信号の入力を受けて、PMOSFET111がオンし、NMOSFET112がオフする。これによって、PMOSFET111のオン抵抗を介して電源114からIGBT101のゲートに充電電流が供給されIGBT101のゲート電圧が上昇し、IGBT101がオン状態になり通電する。一方、IGBT101のターンオフ時、制御ICの入力端子INから信号の入力を受けて、PMOSFET111がオフし、NMOSFET112がオンする。これによって、NMOSFET112のオン抵抗を介してIGBT101のゲートの電荷を放電し、IGBT101のゲート電圧を下げてIGBT101をオフ状態にして遮断する。

[0007] 図7に示すゲート駆動回路が図6に示すゲート駆動回路と異なる点は、IGBT101のゲートに充電電流を供給するPMOSFET111でカレントミラー回路120を構成している点である。カレントミラー回路120は

、ドレインを接地し、ゲート同士を接続した一対のPMOSFET 111, 121を備える。カレントミラー回路120は、基準電流源122の電流を一次側のPMOSFET 121で引き込み、基準電流源122と同じ値の電流を二次側のPMOSFET 111に吐き出す。符号123, 124はPMOSFETおよびレベルアップシフタ（図7にはレベルシフタと図示）である。カレントミラー回路120を備えることで、高温動作時に生じるCMOS回路110のPMOSFET 111のオン抵抗の増加による駆動能力低下という問題を制御することが可能となる。

[0008] ゲート駆動回路の駆動能力の調整方法には、制御ICの駆動能力自体は変えずに見かけ上の駆動能力を調整する第1方法と、制御ICの駆動能力自体を調整する第2方法と、がある。第1方法では、制御ICの出力端子113とIGBT 101のゲートとの間に挿入した抵抗やコンデンサなどの部品によりゲート駆動回路の見かけ上の駆動能力を調整する。このため、1種類または数種類の型式の異なる制御ICを用意すればよいが、部品点数の増加や、より細かいゲート制御が難しい。第2方法では、IGBT 101の定格電流ごとに制御ICを最適化することができるため、ゲート制御性が向上するが、IGBT 101の定格電流ごとに制御ICを用意しなければならない。

[0009] また、制御ICの駆動能力の調整方法として、パワー半導体素子のゲート電圧の時間変化率に基づいてゲート抵抗を切り換えることで、制御ICの見かけ上の駆動能力を調整する方法が提案されている（例えば、下記特許文献1参照。）。下記特許文献1によれば、パワー半導体素子のミラー効果の開始から終了までの期間（以下、ミラー期間とする）によらず、スイッチング損失を増大させずにソフトスイッチングを実現している。

[0010] また、制御ICの駆動能力の別の調整方法として、パワー半導体素子のゲート電圧のアナログ値のデジタルデータと、ゲート閾値電圧のデジタルデータと、を比較して制御ICの見かけ上の駆動能力を高めるように切り換える方法が提案されている（例えば、下記特許文献2参照。）。下記特許文献2では、オフ状態の複数の起動素子をオン状態に切り換えることでゲート駆動

回路の駆動能力を高めることで、ミラー期間を短縮し、かつ、その後のスイッチング速度を加速させてスイッチング損失を抑制している。

先行技術文献

特許文献

[0011] 特許文献1：特開2007-166655号公報

特許文献2：特開2013-258778号公報

発明の概要

発明が解決しようとする課題

[0012] しかしながら、IGBTなどのパワー半導体素子の定格電流は数A～数百Aまでと幅広く、またその用途也多岐にわたるため、駆動能力調整を制御IC側で行う場合、パワー半導体素子の定格電流ごとかつ用途ごとに制御ICが必要となる。このため、制御ICの型式（仕様や用途などで分類される型）は数十種類から百数十種類も存在する。制御ICの駆動能力は制御IC内のメタル配線で調整する場合が多く、例えば、メタル配線の変更によりゲート駆動回路の出力段MOSFET（CMOS回路）のサイズ（電流能力）を変化させ、当該サイズに応じたオン抵抗に変更することで調整される。このため、駆動能力の異なる制御ICは、それぞれ仕様が異なり、異なる型式が付与される。

[0013] このように駆動能力の異なる制御ICにそれぞれ異なる型式が付与されることで、制御ICの型式が増える。制御ICの型式の増加は、メタル配線を変更するためのフォトマスクの増加を招き、製造コストが増加する要因となる。また、メタル配線を変更するためのフォトマスクが制御ICの型式の個数だけ存在するため、製造ラインでのフォトマスクの管理が煩雑になるという問題がある。また、上記特許文献1では、パワー半導体素子のゲート電圧に基づいてゲート抵抗を調整する技術であり、パワー半導体素子の定格電流に基づいて制御ICの駆動能力を調整することができないという問題がある。

[0014] この発明は、上述した従来技術による問題点を解消するため、駆動能力を容易に調整することができ、かつ汎用性の高い半導体装置を提供することを目的とする。

課題を解決するための手段

[0015] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、ゲート駆動する半導体素子をオンオフ制御する半導体装置であって、第1、2素子、第1、2入力端子および第1切換部を備え、次の特徴を有する。前記第1素子は、前記半導体素子のゲート容量を充電して前記半導体素子をオンする。前記第2素子は、前記半導体素子のゲート容量を放電して前記半導体素子をオフする。前記第1入力端子は、前記第1素子および前記第2素子のオンオフを切り換える第1信号の入力を受ける。前記第2入力端子は、外部信号の入力を受ける。前記第1切換部は、前記第2入力端子で生成された第2信号の入力を受け、前記第2信号の信号レベルに基づいて前記第1素子のオンオフを切り換える。1つの前記第2入力端子で1ビットの前記第2信号が生成される。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記第2入力端子で生成された前記第2信号の入力を受け、前記第2信号の信号レベルに基づいて前記第2素子の駆動能力を切り換える第2切換部をさらに備えることを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記第1素子はトランジスタであり、前記第1切換部は、前記第1素子のゲート電圧を切り換えることで前記第1素子の駆動能力を切り換えることを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記第1素子は複数並列接続された素子であり、前記第1切換部は、前記並列接続された素子のオンオフを切り換えることで前記第1素子の駆動能力を切り換えることを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、前記第2

素子は複数並列接続された素子であり、前記第 2 切換部は、前記並列接続された素子のオンオフを切り換えることで前記第 2 素子の駆動能力を切り換えることを特徴とする。

[0020] また、この発明にかかる半導体装置は、上述した発明において、前記第 2 素子はトランジスタであり、前記第 2 切換部は、前記第 2 素子のゲート電圧を切り換えることで前記第 2 素子の駆動能力を切り換えることを特徴とする。

[0021] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、ゲート駆動する半導体素子をオンオフ制御する半導体装置であって、第 1、2 素子、第 1、2 入力端子および第 1 切換部を備え、次の特徴を有する。前記第 1 素子は、前記半導体素子のゲート容量を充電して前記半導体素子をオンする。前記第 2 素子は、前記半導体素子のゲート容量を放電して前記半導体素子をオフする。前記第 1 入力端子は、前記第 1 素子および前記第 2 素子のオンオフを切り換える第 1 信号の入力を受ける。前記第 2 入力端子は、外部信号の入力を受ける。前記第 1 切換部は、前記第 2 入力端子で生成された第 2 信号の入力を受け、前記第 2 信号の信号レベルに基づいて前記第 2 素子の駆動能力を切り換える。1 つの前記第 2 入力端子で 1 ビットの前記第 2 信号が生成される。

[0022] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 入力端子から前記第 1 信号の入力を受け、かつ前記第 2 入力端子で生成された前記第 2 信号の入力を受け、前記第 1 信号および前記第 2 信号の信号レベルに基づいて前記第 1 素子の駆動能力を切り換える第 2 切換部をさらに備えることを特徴とする。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記第 2 素子はトランジスタであり、前記第 1 切換部は、前記第 2 素子のゲート電圧を切り換えることで前記第 2 素子の駆動能力を切り換えることを特徴とする。

[0024] また、この発明にかかる半導体装置は、上述した発明において、前記第 2

素子は複数並列接続された素子であり、前記第 1 切換部は、前記並列接続された素子のオンオフを切り換えることで前記第 2 素子の駆動能力を切り換えることを特徴とする。

[0025] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 素子は複数並列接続された素子であり、前記第 2 切換部は、前記並列接続された素子のオンオフを切り換えることで前記第 1 素子の駆動能力を切り換えることを特徴とする。

[0026] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 素子はトランジスタであり、前記第 2 切換部は、前記第 1 素子のゲート電圧を切り換えることで前記第 1 素子の駆動能力を切り換えることを特徴とする。

[0027] また、この発明にかかる半導体装置は、上述した発明において、前記第 2 入力端子は、1 つ以上配置され、少なくとも 1 つの前記第 2 入力端子は、所定の第 1 電位にプルアップされていることを特徴とする。

[0028] また、この発明にかかる半導体装置は、上述した発明において、前記第 2 入力端子は、1 つ以上配置され、少なくとも 1 つの前記第 2 入力端子は、所定の第 1 電位にプルダウンされていることを特徴とする。

[0029] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 電位の前記第 2 入力端子以外の前記第 2 入力端子は、ワイヤにより外部の前記第 1 電位とは異なる第 2 電位に接続されていることを特徴とする。

[0030] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 素子、前記第 2 素子、前記第 1 入力端子、前記第 2 入力端子および前記第 1 切換部は 1 つの半導体チップに設けられていることを特徴とする。

発明の効果

[0031] 本発明にかかる半導体装置によれば、駆動能力を容易に調整することができ、かつ汎用性の高い制御 IC を提供することができるという効果を奏する。

図面の簡単な説明

[0032] [図1]図1は、実施の形態1にかかる半導体装置の回路構成を示す回路図である。

[図2]図2は、本発明を適用して半導体チップ上に形成したIPMの一部の構成を示す斜視図である。

[図3]図3は、実施の形態2にかかる半導体装置の回路構成を示す回路図である。

[図4]図4は、実施の形態3にかかる半導体装置の回路構成を示す回路図である。

[図5]図5は、実施の形態4にかかる半導体装置の回路構成を示す回路図である。

[図6]図6は、従来のゲート駆動回路の回路構成の一例を示す回路図である。

[図7]図7は、従来のゲート駆動回路の回路構成の一例を示す回路図である。

発明を実施するための形態

[0033] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0034] (実施の形態1)

実施の形態1にかかる半導体装置の回路構成について説明する。図1は、実施の形態1にかかる半導体装置の回路構成を示す回路図である。図1に示す半導体装置は、IGBT（ゲート駆動する半導体素子）1と、このIGBT1をゲート制御するゲート駆動回路2を備えた制御ICと、を同一のパッケージに内蔵したIPMである。IGBT1と制御ICとは例えば異なる半導体チップに形成され、同一の例えばプリント基板（不図示）に実装されている。IGBT1のコレクタは主電源の正極側Vdに接続され、エミッタは主電源の負極側（例えば接地電位GND：第1電位）に接続されている。IGBT1のゲート（ゲート端子）は、例えばボンディングワイヤによりプリント基板上の電極パッドを介して制御ICの電極パッド3に電氣的に接続されている。

[0035] 制御ICのゲート駆動回路2は、CMOS回路10、カレントミラー回路20および駆動能力調整回路30を備える。CMOS回路10は、PMOSFET（第1素子）11とNMOSFET（第2素子）31とを相補うように接続して構成される。PMOSFET11は、IGBT1のゲートに充電電流を供給する機能を有する。NMOSFET31は、IGBT1のゲートの電荷を放電する機能を有する。PMOSFET11のソースは高電位側ライン14に接続されている。NMOSFET31のソースは接地され、ゲートは後述するAND回路（論理積回路（放電側切換部））32を介して制御ICの入力端子（第1入力端子）INに接続されている。PMOSFET11とNMOSFET31との接続点（制御ICの出力端子）13は、電極パッド3を介してIGBT1のゲートに接続されている。

[0036] カレントミラー回路20は、ドレインを接地し、ゲート同士を接続した一対のPMOSFET11, 21を備える。すなわち、カレントミラー回路20の二次側は、CMOS回路10のPMOSFET11で構成される。カレントミラー回路20の一次側のPMOSFET21のソースは、高電位側ライン14に接続されている。一次側のPMOSFET21のドレインとゲートとが接続されている。カレントミラー回路20は、電流源の電流I1を一次側のPMOSFET21で引き込み、電流源の電流I1と同じ値の電流I2を二次側のPMOSFET11に吐き出す機能を有する。カレントミラー回路20の一次側のPMOSFET21と接地電位GNDとの間には、抵抗22が接続されている。

[0037] 駆動能力調整回路30は、充電能力調整回路30aと放電能力調整回路30bとから構成される。充電能力調整回路30aは、充電側切換部12、プルアップ抵抗33および外部信号入力パッド（第2入力端子）34を備え、外部信号入力パッド34からのデジタル信号を認識してゲート駆動回路2の充電能力を調整する。外部信号入力パッド34の個数を増やすほど、充電能力調整回路30aのビット数が増えるため、設定可能なゲート駆動回路2の充電能力値が増える。充電側切換部12は、PMOSFET21、抵抗22

、NMOSFET 23、オペアンプ 24 および可変基準電圧源 25 を備えている。

[0038] カレントミラー回路 20 の電流源は、抵抗 22 の高電位側（PMOSFET 21 側）の電圧と、当該抵抗 22 の抵抗値で決定される。カレントミラー回路 20 の一次側の PMOSFET 21 と、抵抗 22 と、の間には、NMOSFET 23 が設けられている。NMOSFET 23 のドレインは、カレントミラー回路 20 の一次側の PMOSFET 21 のドレインに接続されている。NMOSFET 23 のソースは、抵抗 22 の高電位側に接続されている。NMOSFET 23 のゲートは、オペアンプ 24 の出力端子に接続されている。オペアンプ 24 の非反転入力端子（+）は可変基準電圧源 25 に接続され、反転入力端子（-）は抵抗 22 の高電位側に接続されている。オペアンプ 24 および可変基準電圧源 25 の電源は内部電源電位 V_{cc} から供給される。

[0039] オペアンプ 24 は、抵抗 22 の高電位側の電圧と、可変基準電圧源 25 の電圧とを揃えるように NMOSFET 23 のゲート電圧を調整する機能を有する。具体的には、可変基準電圧源 25 の電圧がオペアンプ 24 の基準電圧よりも高い場合、NMOSFET 23 のゲート電圧を上昇させる（ゲート閾値電圧よりも正方向に高くする）ことで、NMOSFET 23 のオン抵抗を低下させて電流 I_1 の値を大きくし、抵抗 22 の高電位側の電圧を上昇させる。一方、可変基準電圧源 25 の電圧がオペアンプ 24 の基準電圧よりも低い場合、NMOSFET 23 のゲート電圧を低下させる（ゲート閾値電圧に近づける）ことで、NMOSFET 23 のオン抵抗を上昇させて電流 I_1 の値を小さくし、抵抗 22 の高電位側の電圧を低下させる。

[0040] 可変基準電圧源 25 の電圧値は、後述する外部信号入力パッド 34 の接地接続の組み合わせに基づいて変化する。可変基準電圧源 25 の電圧値によりカレントミラー回路 20 の電流源が変化する。これにより、PMOSFET 21 と NMOSFET 23 との接続点 28 の電位を切り換えることができる。カレントミラー回路 20 の一対の PMOSFET 11, 21 の間には、当

該PMOSFET 11, 21に並列にPMOSFET 26が接続されている。PMOSFET 26のドレインは高電位側ライン14に接続され、ソースはPMOSFET 11のゲートに接続されている。PMOSFET 26のゲートには、レベルアップシフタ27が接続されている（図1にはレベルシフタと図示）。レベルアップシフタ27は、制御ICの入力端子INから信号の入力を受けて、入力信号のロジックレベル（High・Lowの電圧レベル）を反転させてPMOSFET 26のゲートに出力する。PMOSFET 11の充電能力値は、PMOSFET 21とNMOSFET 23との接続点28の電位に応じて決まる。

[0041] 放電能力調整回路30bは、AND回路32、プルアップ抵抗33および外部信号入力パッド（第2入力端子）34を備え、外部信号入力パッド34からのデジタル信号を認識してゲート駆動回路2の放電能力を調整する。NMOSFET 31、AND回路32、プルアップ抵抗33および外部信号入力パッド34は、それぞれ同じ個数ずつ配置される。外部信号入力パッド34の個数を増やすほど、放電能力調整回路30bのビット数が増えるため、設定可能なゲート駆動回路2の放電能力値が増える。ここでは、NMOSFET 31、AND回路32、プルアップ抵抗33および外部信号入力パッド34をそれぞれ3つずつ配置する場合（それぞれ符号の末尾にa～cを付す）を例に説明する。

[0042] NMOSFET 31a～31cは、制御ICの出力端子13と電極パッド3との間に並列に接続されている。すなわち、NMOSFET 31a～31cの各ドレインは制御ICの出力端子13および電極パッド3に接続され、各ソースは接地されている。NMOSFET 31a～31cの各ゲートは、それぞれAND回路32a～32cの出力端子に接続されている。NMOSFET 31a～31cのサイズ（電流能力）はそれぞれ異なってもよい。NMOSFET 31a～31cは、IGBT1のゲートの電荷を放電する機能を有する。

[0043] AND回路32a～32cは、2つの入力端子と、1つの出力端子を有す

る。AND回路32a～32cの各一方の入力端子は、制御ICの入力端子INに接続され、入力端子INから信号（第1信号）の入力を受ける。AND回路32a～32cの各他方の入力端子は、それぞれ外部信号入力パッド34a～34cに接続され、各外部信号入力パッド34a～34cから信号（第2信号）の入力を受ける。外部信号入力パッド34a～34cは、それぞれデジタル信号の1ビットをあらわし、接地の有無で「1」または「0」の信号を生成する。1ビットとは、各NMOSFET31a～31cをオンオフするための「0」の信号または「1」の信号に相当する。「1」の信号は、High（H）の電圧レベル（以下、Hレベルとする）の信号である。

「0」の信号は、Low（L）の電圧レベル（以下、Lレベルとする）の信号である。

[0044] 具体的には、各外部信号入力パッド34a～34cにはそれぞれプルアップ抵抗33a～33cが接続され、各外部信号入力パッド34a～34cの電位は内部電源電位Vcc（第1電位：例えば5V）にプルアップされている。また、各外部信号入力パッド34a～34cは、それぞれ接地接続可能な状態となっている。各外部信号入力パッド34a～34cは、接地されていないときは常にHレベルであり、接地されたときにLレベルとなる。より具体的には、例えば、外部信号入力パッド34a～34cは、何にも接続されていなければ、内部電源電位Vccにプルアップされた状態を維持し、Hレベルの信号を生成する。一方、外部信号入力パッド34a～34cは、例えば接地電位GNDのランドに接続された場合にLレベルの信号を生成する。

[0045] n個（ $n = 1, 2, \dots$ ）の外部信号入力パッド34を配置した場合、nビットのデジタル信号が生成される。n個の外部信号入力パッド34それぞれの接地接続の組み合わせにより設定可能なゲート駆動回路2の駆動能力値は 2^n 通りである。n個の外部信号入力パッド34の接地接続の状態によって、可変基準電圧源25の電圧値が決定され、CMOS回路10のPMOSFET11にソース電流を供給するカレントミラー回路20の電流源が調整

される。また、 n 個の外部信号入力パッド34の接地接続の状態によって、各外部信号入力パッド34にそれぞれAND回路32を介して接続されたNMOSFET31が個別に動作し、IGBT1のゲート容量の放電電流が調整される。

[0046] すなわち、3つの外部信号入力パッド34（34a～34c）を配置した場合、3ビットのデジタル信号が生成される。ゲート駆動回路2の駆動能力値は8通り（ $=2^3$ ）に設定可能である。例えば、外部信号入力パッド34a、34cを接地し、外部信号入力パッド34bを接地しない場合、外部信号入力パッド34a、34cはLレベルの信号を生成し、外部信号入力パッド34bはHレベルの信号を生成する。IGBT1のターンオフ時、制御ICの入力端子INはHレベルであるため、外部信号入力パッド34bおよび制御ICの入力端子INからともにHレベルの信号の入力を受けたAND回路32bの出力によりNMOSFET31bがオンする。

[0047] 次に、実施の形態1にかかる半導体装置の動作について、図1に示すIPMを例に説明する。IGBT1のターンオン時、制御ICの入力端子INから入力されたLレベルの信号（「0」の信号）がレベルアップシフタ27により反転され、PMOSFET26のゲートにHレベルの信号（「1」の信号）が入力される。このため、PMOSFET26がオフし、PMOSFET26のソース・ドレイン間に電流が流れない。これにより、CMOS回路10のPMOSFET11のゲート電圧が低下してLレベルに近づき、PMOSFET11がオン状態となり通電する。CMOS回路10のNMOSFET31は、制御ICの入力端子INから入力されたLレベルの信号（「0」の信号）によりオフする。

[0048] このように、CMOS回路10のPMOSFET11がオンし、NMOSFET31がオフすることで、PMOSFET11のソース・ドレイン間（オン抵抗）を通り、制御ICの出力端子13を経由してIGBT1のゲートに至る電流経路が形成される。この電流経路を通して電流I2がIGBT1のゲートに供給され、IGBT1のゲート容量が充電され、IGBT1がオ

ン状態になり通電する。I G B T 1 のゲート容量を充電する電流 I 2 は、カレントミラー回路 20 により、C M O S 回路 10 の P M O S F E T 11 のソース・ドレイン間に常時流れている。電流 I 2 の電流値は、可変基準電圧源 25 の電圧値に基づいて、次のように調整される。

[0049] 上述したように、外部信号入力パッド 34 a, 34 c は接地されているため、0 V の外部信号の入力を受ける。外部信号入力パッド 34 b は接地されていないため、プルアップ抵抗 33 b により内部電源電位 V c c にプルアップされ、例えば 5 V の外部信号の入力を受ける。これらの外部信号により、可変基準電圧源 25 の出力電圧値が決定される。オペアンプ 24 の出力により N M O S F E T 23 がオンすると、可変基準電圧源 25 の出力電圧値と N M O S F E T 23 のソース端子 29 の電位とが同じ値になるようにオペアンプ 24 の出力電圧が調整される。可変基準電圧源 25 としては、例えば、D A (D i g i t a l t o A n a l o g) コンバータを用いることができる。これにより、カレントミラー回路 20 の一次側の P M O S F E T 21 のソース・ドレイン間に電流 I 1 が流れ、カレントミラー回路 20 の二次側を構成する P M O S F E T 11 のソース・ドレイン間に電流 I 1 と同じ値の電流 I 2 が流れる。以上より、外部信号によって、電流 I 2 の値を切り換えることができるため、I G B T 1 を駆動する駆動能力を調整することができる。

[0050] 一方、I G B T 101 のターンオフ時、制御 I C の入力端子 I N から入力された H レベルの信号（「1」の信号）がレベルアップシフタ 27 により反転され、P M O S F E T 26 のゲートに L レベルの信号（「0」の信号）が入力される。このため、P M O S F E T 26 がオンし、P M O S F E T 26 のソース・ドレイン間に電流が流れる。これにより、C M O S 回路 10 の P M O S F E T 11 のゲート電圧が上昇して H レベルに近づき、P M O S F E T 11 がオフ状態となる。C M O S 回路 10 の N M O S F E T 31 は、このとき、上述したように接地電位 G N D の外部信号入力パッド 34 b に電氣的に接続された N M O S F E T 31 b がオンする。

[0051] 具体的には、外部信号入力パッド34a、34cは接地されているため、Lレベルの信号（「0」の信号）がAND回路32a、32cに入力される。外部信号入力パッド34bは接地されていないため、Hレベルの信号（「1」の信号）がAND回路32bに入力される。また、AND回路32a～32cには、制御ICの入力端子INからHレベルの信号（「1」の信号）が入力される。これにより、AND回路32a、32cからNMOSFET31a、31cのゲートにLレベルの信号（「0」の信号）が入力され、NMOSFET31a、31cがオフ状態を維持する。AND回路32bからNMOSFET31bのゲートにHレベルの信号（「1」の信号）が入力され、NMOSFET31bがオンする。

[0052] CMOS回路10のPMOSFET11がオフし、NMOSFET31bがオンすることで、IGBT1のゲートから制御ICの出力端子13を経由して、NMOSFET31bのドレイン・ソース間（オン抵抗）を通して接地電位GNDに至る電流経路が形成される。この電流経路を通してIGBT1のゲートの電荷が放電される。IGBT1のゲート容量の放電電流は、NMOSFET31bのサイズで決まる。IGBT1のゲートの電荷が放電されることでIGBT1のゲート電圧が低下し、IGBT1がオフ状態になる。このように、外部信号入力パッド34a～34cの接地接続の組み合わせにより、IGBT1のゲート容量の充電電流および放電電流を調整することができる。したがって、上記ゲート駆動回路2を備えた1つの制御ICチップのみで複数の駆動能力値に設定可能である。

[0053] 次に、ゲート駆動回路2を備えた制御ICチップの構成例について、図1に示すIPMを例に説明する。図2は、本発明を適用して半導体チップ上に形成したIPMの一部の構成を示す斜視図である。上述したCMOS回路10、カレントミラー回路20および駆動能力調整回路30を備えたゲート駆動回路2（図1参照）は、図2に示すように1つの制御ICチップ41に形成されている。制御ICチップ41のおもて面には、例えば略矩形状の平面形状の制御ICチップ41の1辺に沿って、駆動能力調整回路30の外部信

号入力パッド34（34a～34c）が配置されている。図2では、ゲート駆動回路2の外部信号入力パッド34以外の構成を図示省略するが、ゲート駆動回路2のすべての構成が制御ICチップ41に形成されている。

[0054] プリント基板42の回路パターン（不図示）上には、互いに離して、制御ICチップ41の裏面、接地電位GNDのランド43、および電極パッド45が配置されている。ランド43には、ボンディングワイヤ44により駆動能力調整回路30の外部信号入力パッド34が電氣的に接続され、ランド43に接続された外部信号入力パッド34にLレベルの外部信号が入力される。ランド43は、駆動能力調整回路30の外部信号入力パッド34と同数配置される。例えば、駆動能力調整回路30の外部信号入力パッド34a、34cは、それぞれ異なるボンディングワイヤ44a、44cによりランド43a、43cに接続され接地される。駆動能力調整回路30の外部信号入力パッド34bには、何も接続されない。電極パッド45には、ボンディングワイヤ46により制御ICの電極パッド3に電氣的に接続されている。また、電極パッド45には、ゲート駆動回路2によりゲート駆動されるIGBT（不図示）のゲート端子が電氣的に接続されている。

[0055] 以上、説明したように、実施の形態1によれば、制御ICに内蔵されるゲート駆動回路の駆動能力調整を、ゲート駆動回路に駆動能力調整回路を追加することで実現している。駆動能力調整回路に設けられ内部電源電位にプルアップされた1つ以上の外部信号入力パッドのいずれか1つ以上をワイヤボンディングで接地接続する組み合わせにより、外部信号入力パッドの個数と同数ビットのデジタル信号を生成することができる。これにより、デジタル信号のビット数分だけ段階的にIGBTのゲートの充放電を調整することができ、ゲート駆動回路の駆動能力値を複数設定することができる。1つの制御ICでゲート駆動回路の駆動能力値を複数設定することができるため、1つの型式の制御ICで様々な電流容量のIGBTのゲート駆動が可能となる。また、ゲート抵抗を用いたゲート駆動調整では行うことのできないターンオン側（CMOS回路のPMOSFET）およびターンオフ側（CMOS回

路のNMOSFET)それぞれの個別駆動能力調整も可能となる。

[0056] また、実施の形態1によれば、ワイヤボンディングは通常の組立工程で行われる工程であるため、既存のワイヤボンディング工程で駆動能力調整回路の外部信号入力パッドを接地接続することで、新たな工程を追加することなくゲート駆動回路の駆動能力を調整することができる。また、実施の形態1によれば、IPMの制御ピンに駆動能力調整回路の外部信号入力パッドを接続することで、IPMの外部からゲート駆動回路の駆動能力を調整ことができ、設計の自由度が向上する。このように、ゲート駆動回路の駆動能力を容易に調整することができ、かつ汎用性の高い制御ICを実現することができる。また、実施の形態1によれば、ゲート駆動回路の駆動能力を調整するためのメタル配線をパターンニングする必要がないため、フォトマスクの作製費用、設計費用および管理費用等の製造コストを削減することができる。

[0057] (実施の形態2)

次に、実施の形態2にかかる半導体装置の回路構成について説明する。図3は、実施の形態2にかかる半導体装置の回路構成を示す回路図である。実施の形態2にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、充電能力調整回路30aの充電側切換部をAND回路52で構成した点である。具体的には、充電能力調整回路30aは、AND回路52、レベルアップシフタ53、プルアップ抵抗33および外部信号入力パッド34を備える。ゲート駆動回路2の放電側の構成(CMOS回路10のNMOSFET31および放電能力調整回路30b)は、実施の形態1(図1参照)と同様である。

[0058] AND回路52は、制御ICの入力端子INからの入力信号と、外部信号入力パッド34からの外部信号と、の入力を受ける。AND回路52の出力は、レベルアップシフタ53を介してCMOS回路10のPMOSFET51のゲートに伝達される。PMOSFET51、AND回路52およびレベルアップシフタ53は、それぞれ、外部信号入力パッド34と同じ個数ずつ配置される。ここでは、実施の形態1と同様に、PMOSFET51、AN

D回路52およびレベルアップシフタ53をそれぞれ3つずつ配置する場合（それぞれ符号の末尾にa～cを付す）を例に説明する。

[0059] PMOSFET51a～51cは、高電位側ライン14と電極パッド3との間に並列に接続されている。すなわち、PMOSFET51a～51cの各ソースは高電位側ライン14に接続され、各ドレインは制御ICの出力端子13および電極パッド3に接続されている。PMOSFET51a～51cの各ゲートには、それぞれ、レベルアップシフタ53a～53cを介してAND回路52a～52cの出力端子に接続されている。PMOSFET51a～51cのサイズ（電流能力）はそれぞれ異なってもよい。PMOSFET51a～51cは、IGBT1のゲートに充電電流を供給する機能を有する。

[0060] レベルアップシフタ53a～53cは、それぞれ、AND回路52a～52cからの入力信号の入力を受けて、当該入力信号のロジックレベルを反転させてPMOSFET51a～51cのゲートに出力する。AND回路52a～52cの2つの入力端子うちの一方は制御ICの入力端子INに接続され、他方はそれぞれ外部信号入力パッド34a～34cに接続されている。AND回路52a～52cの一方の入力端子には、入力端子INの入力信号が反転されて入力される。AND回路52a～52cの他方の入力端子には、それぞれ、各外部信号入力パッド34a～34cから外部信号が入力される。

[0061] 次に、実施の形態2にかかる半導体装置の動作について、図3に示すIPMを例に説明する。IGBT1のターンオン時、制御ICの入力端子INから入力されたLレベルの信号（「0」の信号）が反転されてAND回路52a～52cに入力される。すなわち、AND回路52a～52cには、Hレベルの信号（「1」の信号）が入力される。また、AND回路32a, 32cには、接地された外部信号入力パッド34a, 34cからLレベルの信号（「0」の信号）が入力される。AND回路32bには、接地されていない外部信号入力パッド34bからHレベルの信号（「1」の信号）が入力され

る。これによって、AND回路32a, 32cからレベルアップシフタ53a, 53cにLレベルの信号（「0」の信号）が入力され、レベルアップシフタ53a, 53cにより反転されてCMOS回路10のPMOSFET51a, 51cのゲートに入力される。すなわち、PMOSFET51a, 51cは、Hレベルのゲート信号（「1」の信号）の入力を受けてオフ状態を維持する。AND回路32bからレベルアップシフタ53bにHレベルの信号（「1」の信号）が入力され、レベルアップシフタ53bにより反転されてPMOSFET51bのゲートに入力される。すなわち、PMOSFET51bは、Lレベルのゲート信号（「0」の信号）の入力を受けてオンする。CMOS回路10のNMOSFET31は、実施の形態1と同様に、制御ICの入力端子INから入力されたLレベルの信号（「0」の信号）によりオフする。

[0062] 一方、IGBT101のターンオフ時、制御ICの入力端子INから入力されたHレベルの信号（「1」の信号）が反転されてAND回路52a~52cに入力される。すなわち、AND回路52a~52cには、Lレベルの信号（「0」の信号）が入力される。また、上述したように、外部信号入力パッド34a, 34cは接地されているため、AND回路32a, 32cにLレベルの信号（「0」の信号）が入力される。外部信号入力パッド34bは接地されていないため、AND回路32bにHレベルの信号（「1」の信号）が入力される。これによって、AND回路32a~32cからレベルアップシフタ53a~53cにLレベルの信号（「0」の信号）が入力され、レベルアップシフタ53a~53cにより反転されてCMOS回路10のPMOSFET51a~51cのゲートに入力される。すなわち、PMOSFET51a~51cは、Hレベルのゲート信号（「1」の信号）の入力を受けてオフ状態を維持する。CMOS回路10のNMOSFET31は、実施の形態1と同様に、接地電位GNDの外部信号入力パッド34bに電氣的に接続されたNMOSFET31bがオンする。

[0063] このように、充電能力調整回路30aをAND回路52で構成する場合に

においても、実施の形態 1 と同様の機能を有するゲート駆動回路 2 を構成することができる。

[0064] 以上、説明したように、実施の形態 2 によれば、実施の形態 1 と同様の効果を得ることができる。

[0065] (実施の形態 3)

次に、実施の形態 3 にかかる半導体装置の回路構成について説明する。図 4 は、実施の形態 3 にかかる半導体装置の回路構成を示す回路図である。実施の形態 3 にかかる半導体装置が実施の形態 1 にかかる半導体装置と異なる点は、CMOS 回路 10 の NMOSFET 61 でカレントミラー回路 60 の二次側を構成し、放電能力調整回路 30b の放電側切換部 70 を、AND 回路に代えてオペアンプ 74 および可変基準電圧源 75 で構成した点である。

[0066] 具体的には、CMOS 回路 10 は、相補うように接続された 1 対の PMOSFET 11 および NMOSFET 61 とで構成される。ゲート駆動回路 2 の充電側の構成 (CMOS 回路 10 の PMOSFET 11、カレントミラー回路 20、充電能力調整回路 30a およびレベルアップシフタ 27 等) は、実施の形態 1 (図 1 参照) と同様である。CMOS 回路 10 の NMOSFET 61 のソースは接地され、ドレインは PMOSFET 11 のドレインに接続されている。カレントミラー回路 60 は、ソースを接地し、ゲート同士を接続した一対の NMOSFET 61, 71 を備える。すなわち、カレントミラー回路 60 の二次側は、CMOS 回路 10 の NMOSFET 61 で構成される。

[0067] カレントミラー回路 60 の一次側の NMOSFET 71 のドレインは、内部電源電位 V_{cc} に接続されている。一次側の NMOSFET 71 のドレインとゲートとが接続されている。カレントミラー回路 60 は、電流源の電流 I_3 を一次側の NMOSFET 71 で引き込み、電流源の電流 I_3 と同じ値の電流 I_4 を二次側の NMOSFET 61 に吐き出す機能を有する。カレントミラー回路 60 の一次側の NMOSFET 71 と内部電源電位 V_{cc} との間には、抵抗 72 が接続されている。カレントミラー回路 60 の一次側の N

MOSFET 71 および当該抵抗 72 は、放電能力調整回路 30b の放電側切換部 70 を構成する。

[0068] 放電能力調整回路 30b は、放電側切換部 70 および外部信号入力パッド 34 を備え、外部信号入力パッド 34 からのデジタル信号を認識してゲート駆動回路 2 の放電能力を調整する。放電側切換部 70 は、NMOSFET 71、抵抗 72、PMOSFET 73、オペアンプ 74 および可変基準電圧源 75 を備える。カレントミラー回路 60 の電流源は、抵抗 72 の低電位側（NMOSFET 71 側）の電圧と、当該抵抗 72 の抵抗値で決定される。カレントミラー回路 60 の一次側の NMOSFET 71 と、抵抗 72 と、の間には、PMOSFET 73 が設けられている。

[0069] PMOSFET 73 のドレインは、カレントミラー回路 60 の一次側の NMOSFET 71 のドレインに接続されている。PMOSFET 73 のソースは、抵抗 72 の低電位側に接続されている。PMOSFET 73 のゲートは、オペアンプ 74 の出力端子に接続されている。オペアンプ 74 の非反転入力端子（+）は可変基準電圧源 75 に接続され、反転入力端子（-）は抵抗 72 の低電位側に接続されている。オペアンプ 74 および可変基準電圧源 75 の電源は内部電源電位 V_{cc} から供給される。

[0070] オペアンプ 74 は、抵抗 72 の低電位側の電圧と、可変基準電圧源 75 の電圧とを揃えるように PMOSFET 73 のゲート電圧を調整する機能を有する。具体的には、可変基準電圧源 75 の電圧がオペアンプ 74 の基準電圧よりも高い場合、PMOSFET 73 のゲート電圧を低下させる（ゲート閾値電圧よりも負方向に低くする）ことで、PMOSFET 73 のオン抵抗を低下させて電流 I_3 の値を大きくし、抵抗 72 の低電位側の電圧を上昇させる。一方、可変基準電圧源 75 の電圧がオペアンプ 74 の基準電圧よりも低い場合、PMOSFET 73 のゲート電圧を上昇させる（ゲート閾値電圧に近づける）ことで、PMOSFET 73 のオン抵抗を上昇させて電流 I_3 の値を小さくし、抵抗 72 の低電位側の電圧を低下させる。

[0071] 可変基準電圧源 75 の電圧値は、外部信号入力パッド 34 の接地接続の組

み合わせに基づいて変化する。可変基準電圧源 75 の電圧値によりカレントミラー回路 60 の電流源が変化する。これにより、NMOSFET 71 と PMOSFET 73 との接続点 78 の電位を切り換えることができる。カレントミラー回路 60 の一対の NMOSFET 61, 71 の間には、当該 NMOSFET 61, 71 に並列に NMOSFET 76 が接続されている。NMOSFET 76 のドレインは NMOSFET 61 のゲートに接続され、ソースは接地されている。NMOSFET 76 のゲートは、インバータ (NOT 回路 (否定回路)) 77 の出力端子に接続されている。インバータ 77 の入力端子は、制御 IC の入力端子 IN に接続されている。

[0072] NMOSFET 61 の放電能力値は、NMOSFET 71 と PMOSFET 73 との接続点 78 の電位に応じて決まる。IGBT 1 のゲート容量を放電する電流 I4 は、カレントミラー回路 60 により、CMOS 回路 10 の NMOSFET 61 のソース・ドレイン間に常時流れている。電流 I4 の電流値は、可変基準電圧源 75 の電圧値に基づいて、次のように調整される。例えば、上述したように、外部信号入力パッド 34a, 34c は接地されているため、0V の外部信号の入力を受ける。外部信号入力パッド 34b は接地されていないため、プルアップ抵抗 33b により内部電源電位 Vcc にプルアップされ、例えば 5V の外部信号の入力を受ける。これらの外部信号により、可変基準電圧源 75 の出力電圧値が決定される。

[0073] オペアンプ 74 の出力により PMOSFET 73 がオンすると、可変基準電圧源 75 の出力電圧値と PMOSFET 73 のドレイン端子 79 の電位とが同じ値になるようにオペアンプ 74 の出力電圧が調整される。可変基準電圧源 75 としては、例えば、DA コンバータを用いることができる。これにより、カレントミラー回路 60 の一次側の NMOSFET 71 のソース・ドレイン間に電流 I3 が流れ、カレントミラー回路 60 の二次側を構成する NMOSFET 61 のソース・ドレイン間に電流 I3 と同じ値の電流 I4 が流れる。以上より、外部信号によって、電流 I4 の値を切り換えることができるため、IGBT 1 のゲート容量を放電する放電能力を調整することができる。

る。

[0074] 次に、実施の形態3にかかる半導体装置の動作について、図4に示すIPMを例に説明する。IGBT1のターンオン時、制御ICの入力端子INから入力されたLレベルの信号（「0」の信号）により、実施の形態1と同様に、CMOS回路10のPMOSFET11がオン状態となり通電する。また、制御ICの入力端子INから入力されたLレベルの信号（「0」の信号）は、インバータ77により反転されてNMOSFET76のゲートに入力される。すなわち、NMOSFET76は、Hレベルのゲート信号（「1」の信号）の入力を受けてオンする。これにより、CMOS回路10のNMOSFET61のゲート電流がNMOSFET76に引き抜かれ、NMOSFET61はLレベルのゲート信号（「0」の信号）によりオフする。

[0075] 一方、IGBT101のターンオフ時、制御ICの入力端子INから入力されたHレベルのゲート信号（「1」の信号）により、実施の形態1と同様に、CMOS回路10のPMOSFET11がオフ状態を維持する。また、制御ICの入力端子INから入力されたHレベルのゲート信号（「1」の信号）は、インバータ77により反転されてNMOSFET76のゲートに入力される。すなわち、NMOSFET76はLレベルの信号（「0」の信号）の入力を受けてオフ状態を維持する。これにより、CMOS回路10のNMOSFET61がオンしてカレントミラー回路60が動作し、一次側のNMOSFET71のソース・ドレイン間に流れる電流I3と同じ値の電流I4がNMOSFET61に流れる。

[0076] 以上、説明したように、実施の形態3によれば、実施の形態1，2と同様の効果を得ることができる。

[0077] （実施の形態4）

次に、実施の形態4にかかる半導体装置の回路構成について説明する。図5は、実施の形態4にかかる半導体装置の回路構成を示す回路図である。実施の形態4にかかる半導体装置が実施の形態2にかかる半導体装置と異なる点は、CMOS回路10のNMOSFET61でカレントミラー回路60の

二次側を構成し、放電能力調整回路 30b の放電側切換部 70 をオペアンプ 74 および可変基準電圧源 75 で構成した点である。ゲート駆動回路 2 の充電側の構成（CMOS 回路 10 の PMOS FET 51 および充電能力調整回路 30a）は、実施の形態 2（図 3 参照）と同様である。ゲート駆動回路 2 の放電側の構成（CMOS 回路 10 の NMOS FET 61、カレントミラー回路 60、放電能力調整回路 30b 等）は、実施の形態 3（図 4 参照）と同様である。

[0078] 以上、説明したように、実施の形態 4 によれば、実施の形態 1～3 と同様の効果を得ることができる。

[0079] 以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態では、外部信号入力パッドの電位をプルアップして内部電源電位に固定して常時 H レベルとし、ボンディングワイヤにより外部信号入力パッドを接地して L レベルとする場合を例に説明しているが、外部信号入力パッドの電位をプルダウンして接地電位（第 1 電位：0 V）に固定して常時 L レベルとしてもよい。この場合、ボンディングワイヤにより高電位（第 2 電位：例えば 5 V）のランドに接続された外部信号入力パッドは H レベルを生成する。そして、高電位に接続された外部信号入力パッドの電位で可変基準電圧源の電流値が決まり、IGBT のゲートの充電電流が調整される。高電位に接続された外部信号入力パッドに対応する駆動能力調整回路の NMOS FET がオンし、IGBT のゲートの放電電流が調整される。

[0080] また、上述した各実施の形態では、充電能力調整回路と放電能力調整回路との両方を備えた半導体装置について説明したが、充電能力調整回路もしくは放電能力調整回路のいずれか一方を備える半導体装置としてもよい。また、上述した各実施の形態では、IGBT と、当該 IGBT をゲート駆動する制御 IC とを同一のパッケージに内蔵した IPM を例に説明しているが、IGBT と制御 IC とを異なるパッケージに内蔵した場合においても同様の効果を奏する。また、本発明の制御 IC は、IGBT をゲート駆動する場合に

限らず、MOSFETなどのMOS型半導体装置をゲート駆動する場合にも適用可能であり、同様の効果を奏する。また、上述した各実施の形態において、例えば各部の個数や電圧値等は要求される仕様等に応じて種々設定される。

産業上の利用可能性

[0081] 以上のように、本発明にかかる半導体装置は、パワー半導体素子のゲート信号を制御するゲート駆動回路を備えた半導体装置に有用である。

符号の説明

- [0082] 1 I G B T
- 2 ゲート駆動回路
- 3 電極パッド
- 10 CMOS回路
- 11, 21, 26, 51, 51a~51c, 73 PMOSFET
- 12 充電側切換部
- 13 出力端子
- 14 高電位側ライン
- 20, 60 カレントミラー回路
- 22, 72 抵抗
- 23, 31, 31a~31c, 61, 71, 76 NMOSFET
- 24, 74 オペアンプ
- 25, 75 可変基準電圧源
- 27 レベルアップシフタ
- 28 カレントミラー回路の一次側のPMOSFETと充電側切換部のNMOSFETとの接続点
- 29 充電側切換部のNMOSFETのソース端子
- 30 駆動能力調整回路
- 30a 充電能力調整回路
- 30b 放電能力調整回路

- 32, 32a~32c, 52, 52a~52c AND回路
- 33, 33a~33c プルアップ抵抗
- 34, 34a~34c 外部信号入力パッド
- 41 制御ICチップ
- 42 プリント基板
- 43, 43a~43c ランド
- 44, 44a, 44c, 46 ボンディングワイヤ
- 45 電極パッド
- 53, 53a~53c レベルアップシフタ
- 70 放電側切換部
- 77 インバータ
- 78 カレントミラー回路の一次側のNMOSFETと充電側切換部のPMOSFETとの接続点
- 79 充電側切換部のPMOSFETのドレイン端子
- GND 接地電位
- I1, I2, I3, I4 電流
- IN 入力端子
- Vcc 制御ICの内部電源電位
- Vd 主電源の正極側

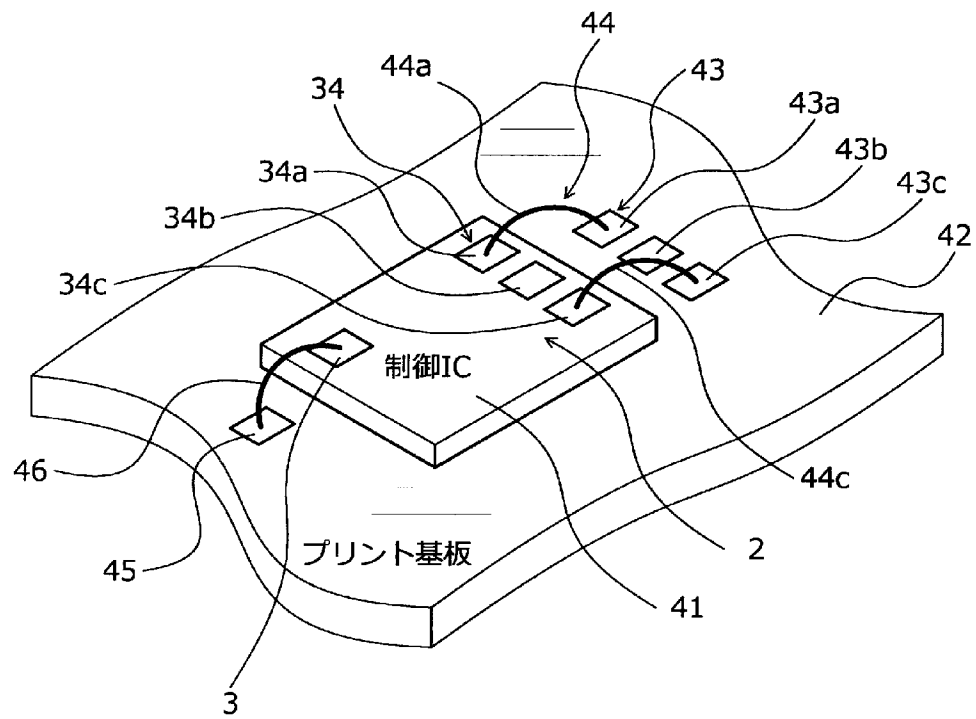
請求の範囲

- [請求項1] ゲート駆動する半導体素子をオンオフ制御する半導体装置であって、
- 、
- 前記半導体素子のゲート容量を充電して前記半導体素子をオンする第1素子と、
- 前記半導体素子のゲート容量を放電して前記半導体素子をオフする第2素子と、
- 前記第1素子および前記第2素子のオンオフを切り換える第1信号の入力を受ける第1入力端子と、
- 外部信号の入力を受ける第2入力端子と、
- 前記第2入力端子で生成された第2信号の入力を受け、前記第2信号の信号レベルに基づいて前記第1素子の駆動能力を切り換える第1切換部と、
- を備え、
- 1つの前記第2入力端子で1ビットの前記第2信号が生成されることを特徴とする半導体装置。
- [請求項2] 前記第2入力端子で生成された前記第2信号の入力を受け、前記第2信号の信号レベルに基づいて前記第2素子の駆動能力を切り換える第2切換部をさらに備えることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1素子はトランジスタであり、
- 前記第1切換部は、前記第1素子のゲート電圧を切り換えることで前記第1素子の駆動能力を切り換えることを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記第1素子は複数並列接続された素子であり、
- 前記第1切換部は、前記並列接続された素子のオンオフを切り換えることで前記第1素子の駆動能力を切り換えることを特徴とする請求項1に記載の半導体装置。

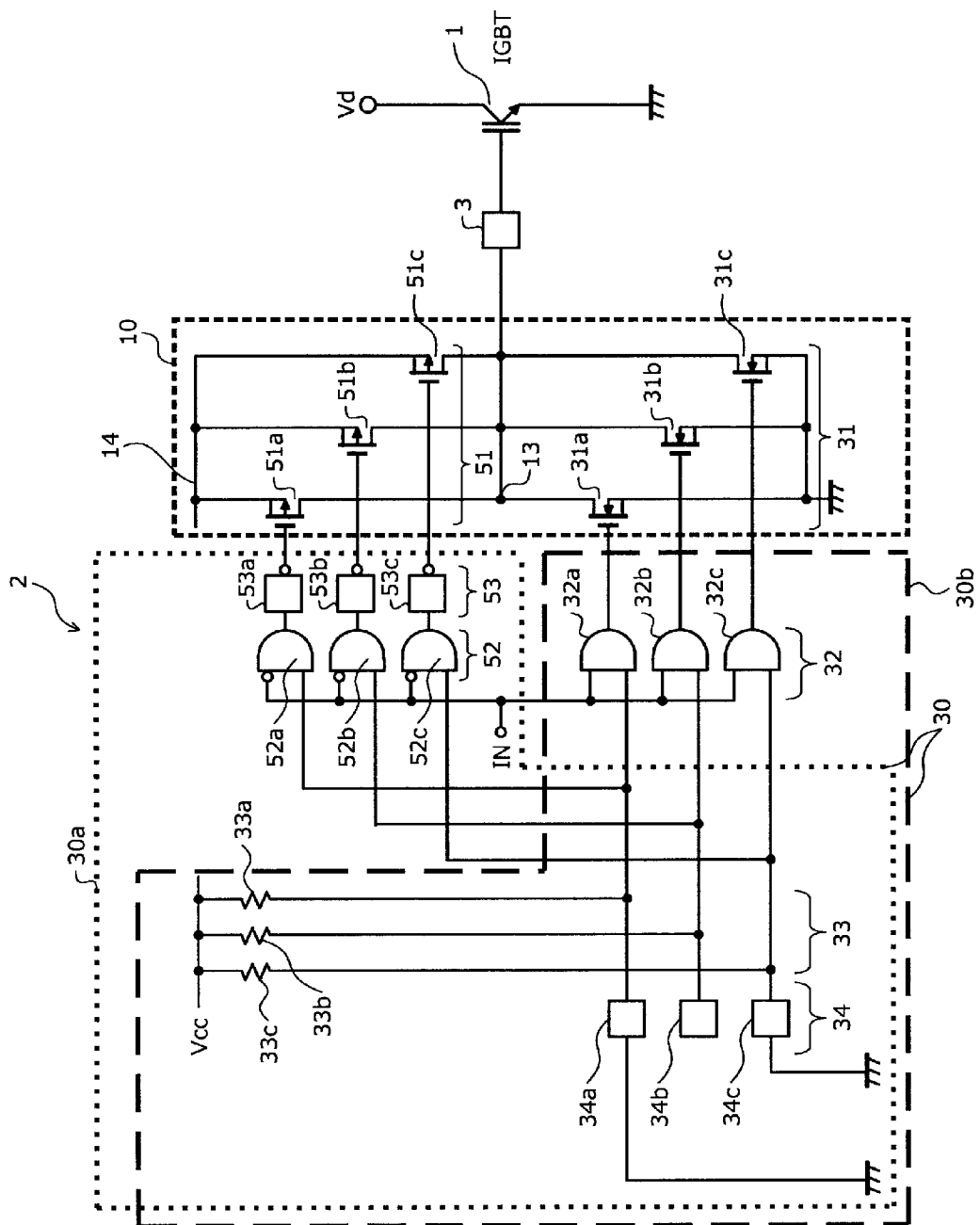
- [請求項5] 前記第2素子は複数並列接続された素子であり、
 前記第2切換部は、前記並列接続された素子のオンオフを切り換えることで前記第2素子の駆動能力を切り換えることを特徴とする請求項2に記載の半導体装置。
- [請求項6] 前記第2素子はトランジスタであり、
 前記第2切換部は、前記第2素子のゲート電圧を切り換えることで前記第2素子の駆動能力を切り換えることを特徴とする請求項2に記載の半導体装置。
- [請求項7] ゲート駆動する半導体素子をオンオフ制御する半導体装置であって、
 、
 前記半導体素子のゲート容量を充電して前記半導体素子をオンする第1素子と、
 前記半導体素子のゲート容量を放電して前記半導体素子をオフする第2素子と、
 前記第1素子および前記第2素子のオンオフを切り換える第1信号の入力を受ける第1入力端子と、
 外部信号の入力を受ける第2入力端子と、
 前記第2入力端子で生成された第2信号の入力を受け、前記第2信号の信号レベルに基づいて前記第2素子の駆動能力を切り換える第1切換部と、
 を備え、
 1つの前記第2入力端子で1ビットの前記第2信号が生成されることを特徴とする半導体装置。
- [請求項8] 前記第1入力端子から前記第1信号の入力を受け、かつ前記第2入力端子で生成された前記第2信号の入力を受け、前記第1信号および前記第2信号の信号レベルに基づいて前記第1素子の駆動能力を切り換える第2切換部をさらに備えることを特徴とする請求項7に記載の半導体装置。

- [請求項9] 前記第2素子はトランジスタであり、
前記第1切換部は、前記第2素子のゲート電圧を切り換えることで前記第2素子の駆動能力を切り換えることを特徴とする請求項7に記載の半導体装置。
- [請求項10] 前記第2素子は複数並列接続された素子であり、
前記第1切換部は、前記並列接続された素子のオンオフを切り換えることで前記第2素子の駆動能力を切り換えることを特徴とする請求項7に記載の半導体装置。
- [請求項11] 前記第1素子は複数並列接続された素子であり、
前記第2切換部は、前記並列接続された素子のオンオフを切り換えることで前記第1素子の駆動能力を切り換えることを特徴とする請求項8に記載の半導体装置。
- [請求項12] 前記第1素子はトランジスタであり、
前記第2切換部は、前記第1素子のゲート電圧を切り換えることで前記第1素子の駆動能力を切り換えることを特徴とする請求項8に記載の半導体装置。
- [請求項13] 前記第2入力端子は、1つ以上配置され、
少なくとも1つの前記第2入力端子は、所定の第1電位にプルアップされていることを特徴とする請求項1に記載の半導体装置。
- [請求項14] 前記第2入力端子は、1つ以上配置され、
少なくとも1つの前記第2入力端子は、所定の第1電位にプルダウンされていることを特徴とする請求項1に記載の半導体装置。
- [請求項15] 前記第1電位の前記第2入力端子以外の前記第2入力端子は、ワイヤにより外部の前記第1電位とは異なる第2電位に接続されていることを特徴とする請求項13に記載の半導体装置。
- [請求項16] 前記第1素子、前記第2素子、前記第1入力端子、前記第2入力端子および前記第1切換部は1つの半導体チップに設けられていることを特徴とする請求項1～15のいずれか一つに記載の半導体装置。

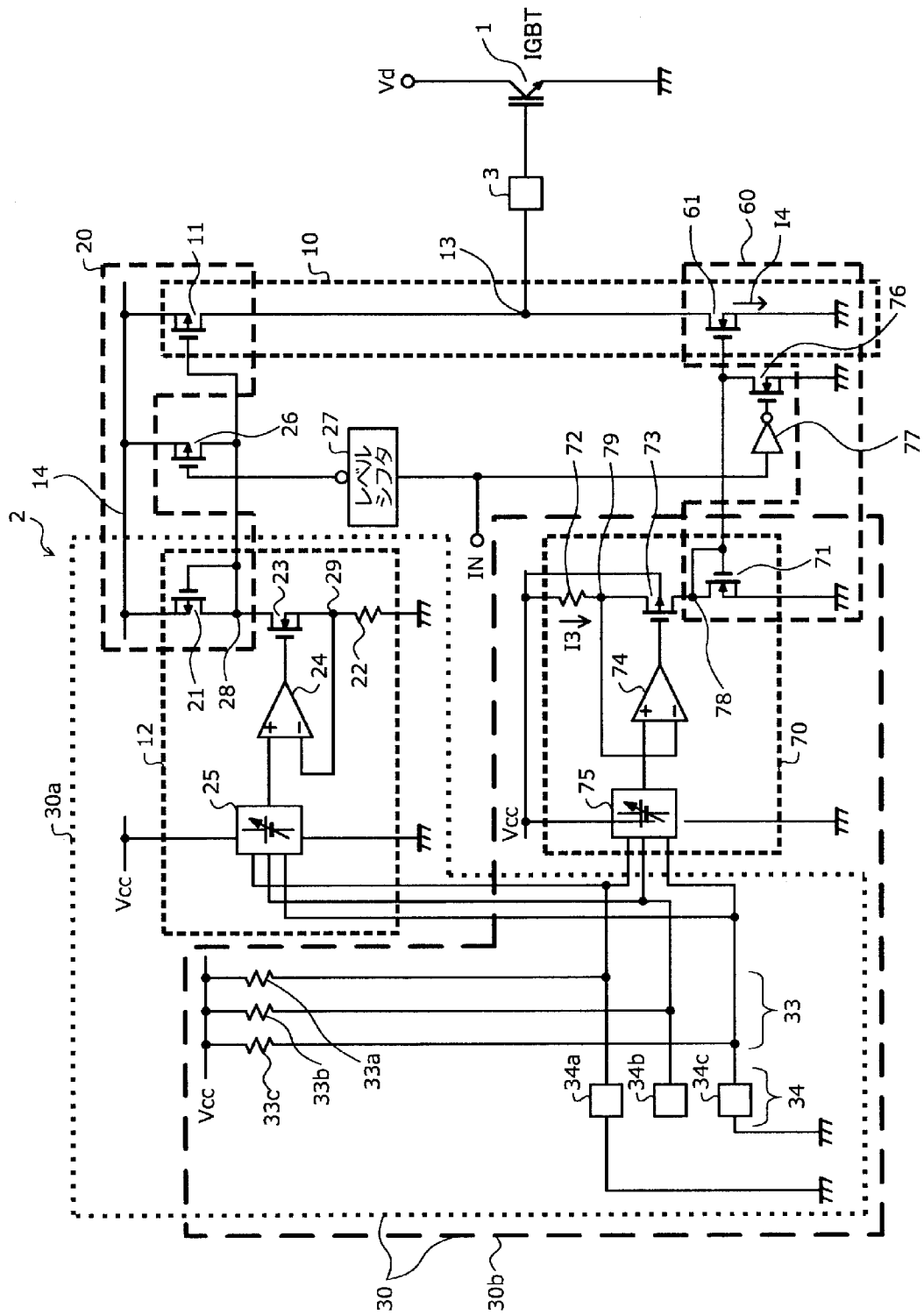
[図2]



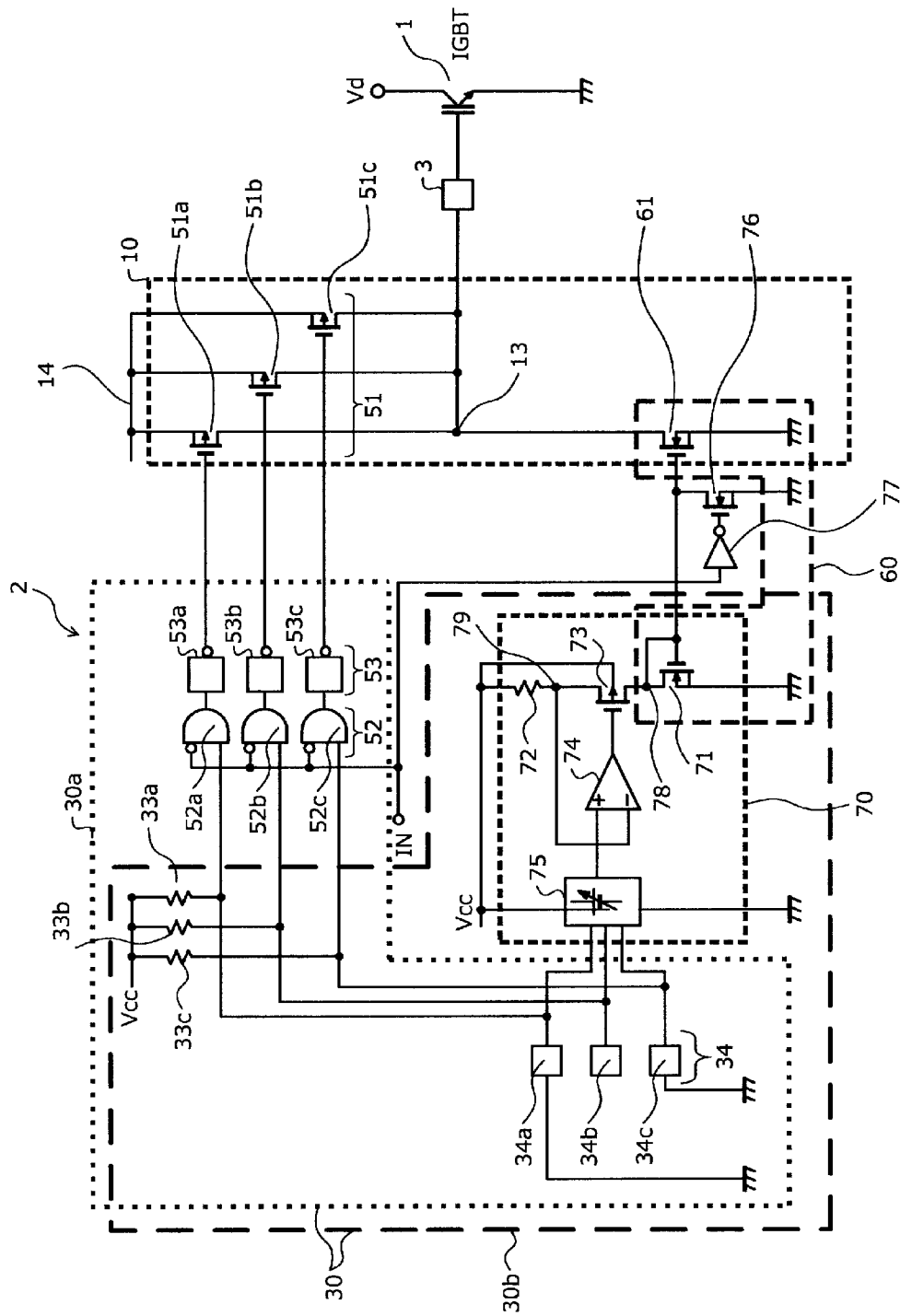
[図3]



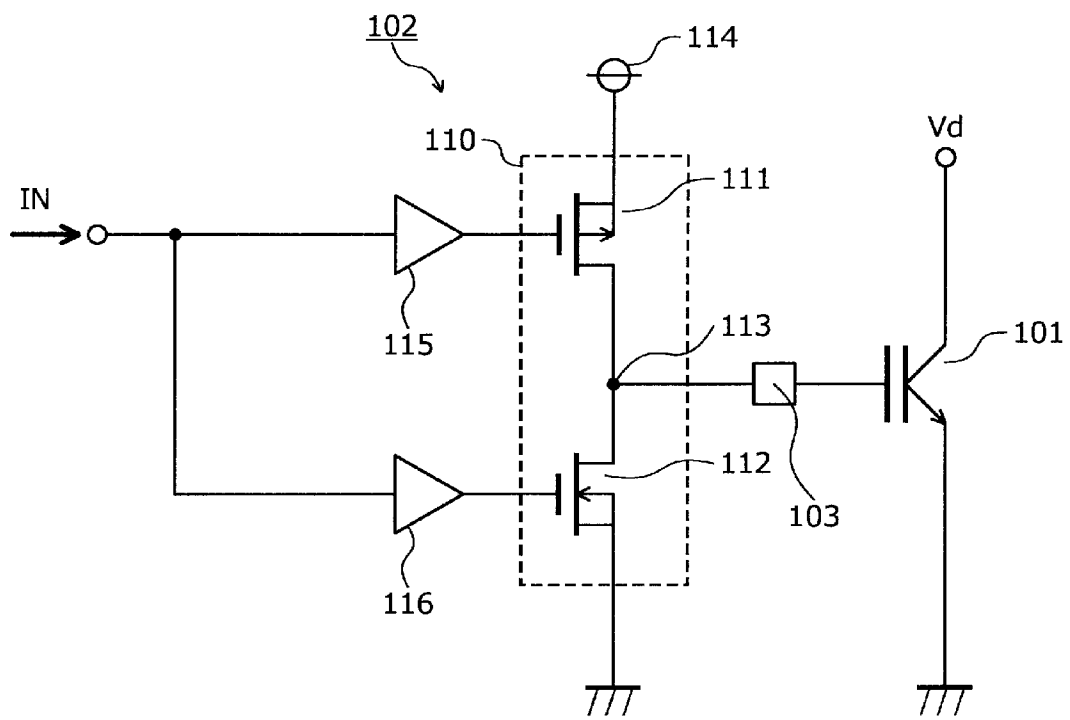
[図4]



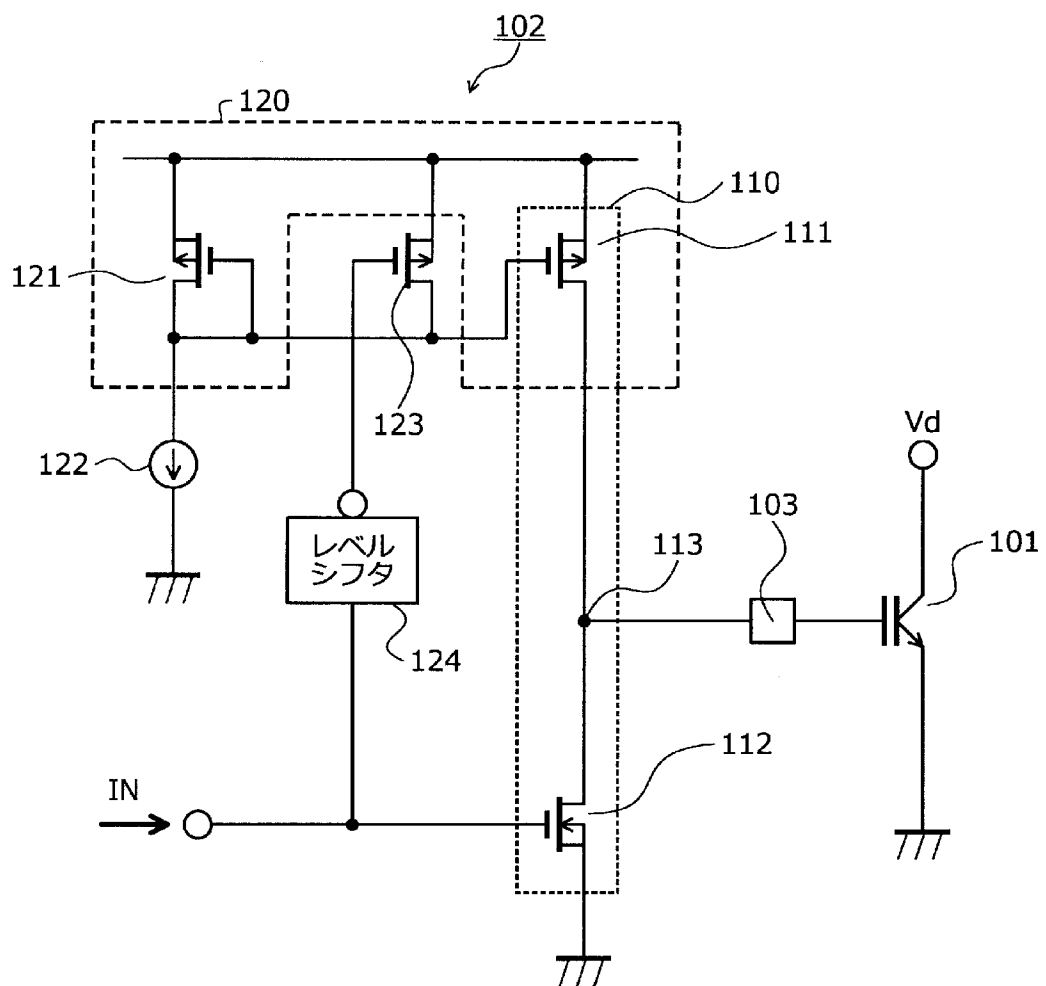
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/002596

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/567(2006.01)i, H02M1/08(2006.01)i, H03K19/0175(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/567, H02M1/08, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-031357 A (Rohm Co., Ltd.), 07 February 2013 (07.02.2013), fig. 13, 15 & US 2012/0286752 A1 fig. 13, 15	1-16
Y	JP 09-135159 A (Oki Data Corp.), 20 May 1997 (20.05.1997), fig. 15 (Family: none)	1-16
Y	JP 09-214315 A (Toshiba Corp.), 15 August 1997 (15.08.1997), fig. 2, 4 & US 5994922 A fig. 4, 6	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 April 2017 (11.04.17)

Date of mailing of the international search report
18 April 2017 (18.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/567(2006.01)i, H02M1/08(2006.01)i, H03K19/0175(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/567, H02M1/08, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-031357 A（ローム株式会社）2013.02.07, 図13, 15 & US 2012/0286752 A1, 図13, 15	1-16
Y	JP 09-135159 A（株式会社沖データ）1997.05.20, 図15 （ファミリーなし）	1-16
Y	JP 09-214315 A（株式会社東芝）1997.08.15, 図2, 4 & US 5994922 A, 図4, 6	1-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

11.04.2017

国際調査報告の発送日

18.04.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576