



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년05월25일  
(11) 등록번호 10-1148741  
(24) 등록일자 2012년05월14일

(51) 국제특허분류(Int. Cl.)  
H03F 1/22 (2006.01) H03F 3/45 (2006.01)  
(21) 출원번호 10-2009-7020864  
(22) 출원일자(국제) 2007년03월30일  
심사청구일자 2009년10월06일  
(85) 번역문제출일자 2009년10월06일  
(65) 공개번호 10-2010-0005066  
(43) 공개일자 2010년01월13일  
(86) 국제출원번호 PCT/JP2007/057191  
(87) 국제공개번호 WO 2008/126282  
국제공개일자 2008년10월23일  
(56) 선행기술조사문헌  
JP2005341149 A\*  
JP2005523632 A\*  
JP2006174033 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
후지쯔 가부시끼가이샤  
일본국 가나가와켄 가와사키시 나카하라쿠 가미고다나카 4초메 1-1  
(72) 발명자  
아라이 도모유키  
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔 가부시끼가이샤 나이  
구도 마사히로  
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔 가부시끼가이샤 나이  
야마우라 신지  
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔 가부시끼가이샤 나이  
(74) 대리인  
강승욱, 송승필

전체 청구항 수 : 총 5 항

심사관 : 강현일

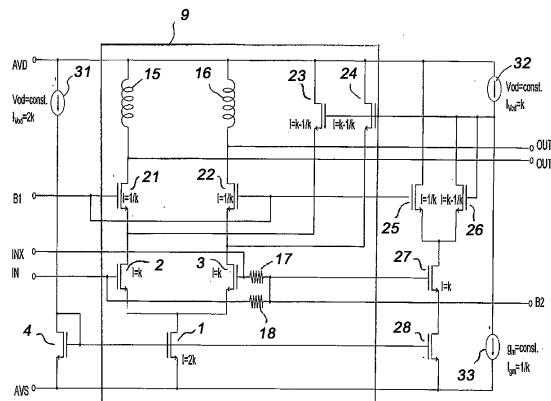
(54) 발명의 명칭 **증폭 회로**

**(57) 요약**

(과제) MOS 트랜지스터의 제조 변동에 따른 특성을 보상할 때, 이득의 선형성 보상과 이득 보상을 양립시킨 증폭 회로를 제공하는 것이다.

(해결수단) 상기 과제를 해결하기 위한 수단으로서, 증폭 회로는 증폭부와 전류 제어 회로를 구비한다. 증폭부는 출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비한다. 게인 보상용 MOS 트랜지스터의 소스와 선형성 보상용 MOS 트랜지스터의 드레인 은 접속되어 있다. 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하고, 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 한다. 전류 제어 회로는 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 또한 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어 한다.

**대표도 - 도3**



## 특허청구의 범위

### 청구항 1

출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비하며, 상기 게인 보상용 MOS 트랜지스터의 소스와 상기 선형성 보상용 MOS 트랜지스터의 드레인을 접속하고, 상기 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 하고, 상기 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하는 증폭부와,

상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어하는 바이어스 제어 회로

를 포함하며,

상기 바이어스 제어 회로는 상기 선형성 보상용 MOS 트랜지스터의 게이트-소스간 전압에서 임계값 전압을 뺀 값을 일정하게 유지 제어하는 것을 특징으로 하는 증폭 회로.

### 청구항 2

출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비하며, 상기 게인 보상용 MOS 트랜지스터의 소스와 상기 선형성 보상용 MOS 트랜지스터의 드레인을 접속하고, 상기 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 하고, 상기 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하는 증폭부와,

상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어하는 바이어스 제어 회로

를 포함하며,

상기 바이어스 제어 회로는, 상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 흐르는 전류  $I_{ds}$ 를 일정하게 유지하거나, 상호 컨덕턴스  $G_m$ 을 일정하게 유지하도록 전류를 제어하는 것을 특징으로 하는 증폭 회로.

### 청구항 3

출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비하며, 상기 게인 보상용 MOS 트랜지스터의 소스와 상기 선형성 보상용 MOS 트랜지스터의 드레인을 접속하고, 상기 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 하고, 상기 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하는 증폭부와,

상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어하는 바이어스 제어 회로

를 포함하며,

상기 바이어스 제어 회로는, 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 흐르는 전류가 상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 흐르는 전류의 역수의 값이 되도록 전류를 제어하는 것을 특징으로 하는 증폭 회로.

### 청구항 4

출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비하며, 상기 게인 보상용 MOS 트랜지스터의 소스와 상기 선형성 보상용 MOS 트랜지스터의 드레인을 접속하고, 상기 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 하고, 상기 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하는 증폭부와,

상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어하는 바이어스 제어 회로

를 포함하며,

상기 증폭부는 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 흐르는 전류의 일부를 만드는 바이

패스부를 구비하며,

상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 흐르는 전류는 상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 흐르는 전류와 바이패스부에 흐르는 전류를 가산한 전류인 것을 특징으로 하는 증폭 회로.

**청구항 5**

출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비하며, 상기 게인 보상용 MOS 트랜지스터의 소스와 상기 선형성 보상용 MOS 트랜지스터의 드레인을 접속하고, 상기 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 하고, 상기 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하는 증폭부와,

상기 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 상기 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어하는 바이어스 제어 회로

를 포함하며,

상기 바이어스 제어 회로는 상기 선형성 보상용 MOS 트랜지스터의 오버드라이브 전압 Vod를 일정하게 하기 위한 제1 전류원과,

상기 게인 보상용 MOS 트랜지스터의 상호 컨덕턴스 Gm을 일정하게 하기 위한 제2 전류원

을 구비한 것을 특징으로 하는 증폭 회로.

**청구항 6**

삭제

**명세서**

**기술분야**

[0001] 본 발명은, LSI 내의 아날로그 요소 회로에 사용되는 증폭 회로에 관한 발명이다.

**배경기술**

[0002] WiMAX 등의 무선 주파수 신호를 증폭시키는 MOS 트랜지스터는, 소자의 소형화가 요구되고 있다. 이 때문에, 증폭용 MOS 트랜지스터의 게이트 폭이나 게이트 길이는 제조시에 변동이 생긴다. 따라서, MOS 트랜지스터를 종속 접속하여 증폭시키면, 이득의 변동의 영향으로, 필요로 하는 이득을 얻을 수 없는 경우가 생긴다. MOS 트랜지스터의 이득 gain은 이하의 식 1로 나타낼 수 있다. 식 1에서, R은 MOS 트랜지스터에 연관되는 저항, gm은 상호 컨덕턴스를 나타내고 있다.

[0003] 
$$\text{gain} = \text{gm} \cdot R \quad (\text{식 1})$$

[0004] 상기 식에서, MOS 트랜지스터의 이득은 상호 컨덕턴스 gm을 보상함으로써 이득을 일정하게 할 수 있다. 따라서, 종래에는 MOS 트랜지스터의 상호 컨덕턴스를 보상하는 상호 컨덕턴스 보상 회로를 증폭 회로에 설치하였다.

[0005] 도 1에 상호 컨덕턴스 보상 회로를 설치한 증폭 회로의 구성을 나타낸다. 증폭 회로는 증폭부(9)와 제1 상호 컨덕턴스 보상 회로(7)와 제2 상호 컨덕턴스 보상 회로(8)와 회로간의 접속을 위한 MOS 트랜지스터(4, 5, 6)를 구비하고 있다.

[0006] 증폭부(9)는, 제1 MOS 트랜지스터(1), 제2 MOS 트랜지스터(2), 제3 MOS 트랜지스터(3)와 제1 인덕터(15)와 제2 인덕터(16)를 구비하고 있다. 제1 인덕터(15)와 제2 인덕터(16)의 일단은 드레인측 전압원 AVD에 각각 접속되어 있다. 제1 인덕터(15)와 제2 인덕터(16)의 타단은 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 드레인에 각각 접속되어 있다. 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 소스는 제1 MOS 트랜지스터(1)의 드레인과 접속되어 있다. 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 게이트에 입력 신호를 각각 입력한다. 제1 MOS 트랜지스터(1)의 소스는 그라운드 AVS와 접속되어 있다.

[0007] 제1 상호 컨덕턴스 보상 회로(7)의 일단은 드레인측 전압원 AVD에 접속되어 있다. 제1 상호 컨덕턴스 보상 회

로(7)는 상호 컨덕턴스를 일정하게 제어하기 위한 전류를 발생시키는 회로이다. 제1 상호 컨덕턴스 보상 회로(7)의 타단은 제4 MOS 트랜지스터(4)의 드레인에 접속되어 있다. 제4 MOS 트랜지스터(4)의 소스는 그라운드 AVS와 접속되어 있다. 제4 MOS 트랜지스터(4)의 게이트는 제4 MOS 트랜지스터(4)의 드레인과 접속되어 있다. 또한, 제4 MOS 트랜지스터(4)의 게이트는 제1 MOS 트랜지스터(1)의 게이트에 접속되어 있다.

[0008] 제2 상호 컨덕턴스 보상 회로(8)의 일단은 드레인측 전압원 AVD에 접속되어 있다. 제2 상호 컨덕턴스 보상 회로(8)는 상호 컨덕턴스를 일정하게 제어하기 위한 전류를 발생시키는 회로이다. 제2 상호 컨덕턴스 보상 회로(8)의 타단은 제5 MOS 트랜지스터(5)의 드레인에 접속되어 있다. 제5 MOS 트랜지스터(5)의 소스는 제6 MOS 트랜지스터(6)의 드레인에 접속되어 있다. 제6 MOS 트랜지스터(6)의 소스는 그라운드 AVS와 접속되어 있다. 제6 MOS 트랜지스터(6)의 게이트는 제1 MOS 트랜지스터(1)의 게이트와 제4 MOS 트랜지스터의 게이트에 접속되어 있다. 제5 MOS 트랜지스터(5)의 게이트는 제5 MOS 트랜지스터(5)의 드레인과 접속되어 있다. 또한, 제5 MOS 트랜지스터(5)의 게이트는, 저항(17, 18)을 통해, 제2 및 제3 MOS 트랜지스터(2 및 3)의 게이트에 각각 접속한다.

[0009] 제1 상호 컨덕턴스 보상 회로(7)는 제1 MOS 트랜지스터(1)의 상호 컨덕턴스 gm이 일정해지도록 류를 작성하고, 제4 MOS 트랜지스터(4)에 의해 제1 MOS 트랜지스터(1)에 바이어스를 미러링한다.

[0010] 제2 상호 컨덕턴스 보상 회로(8)는 제2 MOS 트랜지스터(2) 및 제3 MOS 트랜지스터(3)의 상호 컨덕턴스 gm이 일정해지도록 전류를 작성하고, 제5 MOS 트랜지스터(5)에 의해 제2 MOS 트랜지스터(2) 및 제3 MOS 트랜지스터(3)에 바이어스를 미러링한다.

[0011] MOS 트랜지스터의 미세화가 진행됨에 따라, MOS 트랜지스터의 게이트 폭과 게이트 길이의 제조 오차는 커져, 도 2에 나타낸 바와 같이 상호 컨덕턴스 gm의 차이가 되어 나타난다. 도 2는 도 1의 회로의 특성을 나타낸다. 도 2에서, 최대값 특성 Max는 가장 상호 컨덕턴스가 큰 MOS 트랜지스터를 나타낸다. 최소값 특성 Min은 가장 상호 컨덕턴스가 작은 MOS 트랜지스터를 나타낸다. Typ는 표준값 특성의 상호 컨덕턴스의 MOS 트랜지스터를 나타낸다. 표준값 특성 Typ은 설계 단계에서 설정한 게이트 전극 폭, 게이트 전극의 길이에 기초한 특성이다. 여기서 오버드라이브 전압  $V_{od} = \text{게이트 소스 전압 } V_{gs} - \text{임계값 전압 } V_{th}$ 로 한다.

[0012] 도 2에서, 최소값 특성 Min과 같이, 표준값 특성 Typ의 상호 컨덕턴스 gm으로부터 저하된 MOS 트랜지스터의 이득을 보상하기 위해서는, 오버드라이브 전압  $V_{od}$ 를 증가시켜야 한다. 바이어스만으로 각 MOS 트랜지스터의 상호 컨덕턴스 gm을 보상하기 위해서는  $V_{od} = V_{od0}$ 이 될 때까지  $V_{gs}$ 를 높여야 한다. 그러나, 도 2에 나타낸 바와 같이,  $V_{od} = V_{od0}$ 까지 높여도, 표준값 특성 Typ보다 크고 상호 컨덕턴스 gm이 밀도는 최소값 특성 Min의 특성을 갖는 MOS 트랜지스터는, 상호 컨덕턴스 gm이 표준값 특성 Typ의 상호 컨덕턴스 gm1까지  $V_{gs}$ 를 높일 수 없다. 따라서, 상호 컨덕턴스 gm이 저하되었을 때 MOS 트랜지스터의 게이트-소스 전압  $V_{gs}$ 를 제어하는 것만으로는, 이득을 보상하는 것이 불가능한 경우가 생긴다.

[0013] 한편, 최대값 특성 Max와 같이, 표준값 특성 Typ로부터 상호 컨덕턴스 gm이 증가하고 있는 MOS 트랜지스터의 경우, 이득을 보상하기 위해서는 게이트 소스 전압  $V_{gs}$ 를 저하하여  $V_{od} = V_{od2}$ 가 되도록  $V_{gs}$ 를 제어해야 한다. 이 경우, 상호 컨덕턴스 gm을 보상하는 것은 가능하지만, 오버드라이브 전압  $V_{od}$ 가 작아져 버려, 선형으로 증폭시킬 수 있는 입력 신호의 진폭이 감소해 버린다. 즉, 상호 컨덕턴스 gm을 보상함으로써 선형성이 열화되어 버린다.

[0014] 제조 프로세스의 영향으로 소자에 변동이 생기면, 게이트-소스 전압  $V_{gs}$ 를 제어하는 것만으로는, MOS 트랜지스터의 이득과 선형성의 보상을 양립시킬 수 없다.

[0015] 증폭부(9)의 이득 변동을 바이어스 제어하는 기술로서, 특허문헌 1이 알려져 있다.

[0016] 특허문헌 1 : 일본 특허 공개 2000-174568호 공보

**발명의 상세한 설명**

[0017] (발명의 개시)

[0018] (발명이 해결하고자 하는 과제)

[0019] 본 발명의 목적은 MOS 트랜지스터의 제조 변동에 따른 특성을 보상할 때, 이득의 선형성 보상과 이득 보상을 양립시킨 증폭 회로를 제공하는 것이다.

[0020] (과제를 해결하기 위한 수단)

[0021] 상기 과제를 해결하기 위한 수단으로서, 증폭 회로는, 증폭부와 전류 제어 회로를 구비한다. 증폭부는 출력 특성의 게인 보상을 하는 게인 보상용 MOS 트랜지스터와, 출력 특성의 선형성을 보상하는 선형성 보상용 MOS 트랜지스터를 구비한다. 게인 보상용 MOS 트랜지스터의 소스와 선형성 보상용 MOS 트랜지스터의 드레인은 접속되어 있다. 선형성 보상용 MOS 트랜지스터의 게이트에 입력 신호를 부여하고, 게인 보상용 MOS 트랜지스터의 드레인을 출력으로 한다. 전류 제어 회로는 게인 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리고, 또한 선형성 보상용 MOS 트랜지스터의 드레인-소스 사이에 미리 정한 전류를 흘리도록 제어한다.

[0022] (발명의 효과)

[0023] 본 발명에 의하면, 증폭 회로에서, MOS 트랜지스터의 제조 변동에 의한 특성을 보상할 때, 이득의 선형성 보상과 이득 보상을 양립시킬 수 있다.

**실시예**

[0039] (발명을 실시하기 위한 최선의 형태)

[0040] 이하, 도면을 참조하여 본 발명의 실시형태에 관해 설명한다. 실시형태의 구성은 예시이며, 본 발명은 실시형태의 구성에 한정되지 않는다.

[0041] [회로 구성]

[0042] 본 발명의 바이어스 회로를 갖는 증폭 회로를 도 3에 나타낸다. 도 3의 증폭 회로는 증폭부(9)와 그 바이어스를 제어하는 회로로 구성한다.

[0043] 증폭부(9)는 제1 MOS 트랜지스터(1), 제2 MOS 트랜지스터(2), 제3 MOS 트랜지스터(3), 제4 MOS 트랜지스터(21), 제5 MOS 트랜지스터(22), 제7 MOS 트랜지스터(23), 제8 MOS 트랜지스터(24), 제1 인덕터(15)와 제2 인덕터(16)를 구비하고 있다.

[0044] 제1 인덕터(15)와 제2 인덕터(16)의 일단은 드레인측 전압원 AVD에 각각 접속되어 있다. 제1 인덕터(15)와 제2 인덕터(16)의 타단은 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)의 드레인에 각각 접속되어 있다. 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)의 드레인은 증폭부의 출력으로 되어 있다. 따라서, 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)로 출력 트랜지스터 회로를 구성하고 있다. 회로 시동시에 동작하도록, 본 실시예는 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)의 게이트에 바이어스 전압 B1을 부여한다.

[0045] 제4 MOS 트랜지스터(21)의 소스는 제2 MOS 트랜지스터(2)의 드레인에 접속되어 있다. 제5 MOS 트랜지스터(22)의 소스는 제3 MOS 트랜지스터(3)의 드레인에 접속되어 있다. 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 소스는 제1 MOS 트랜지스터(1)의 드레인에 접속되어 있다. 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 게이트는 입력 신호를 각각 입력하고 있다. 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)는 입력 트랜지스터 회로를 구성하고 있다. 회로 시동시에 동작하도록, 본 실시예는 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 게이트에 바이어스 전압 B2를 부여한다.

[0046] 제1 Vod 일정 제어 회로(31)는 오버드라이브 전압 Vod를 일정하게 제어하기 위한 전류를 발생시키는 회로이다. 제1 Vod 일정 제어 회로(31)의 일단은 드레인측 전압원 AVD와 접속되어 있다. 제1 Vod 일정 제어 회로(31)의 타단은 제6 MOS 트랜지스터(4)의 드레인에 접속되어 있다. 제6 MOS 트랜지스터(4)의 소스는 그라운드 AVS와 접속되어 있다. 제6 MOS 트랜지스터(4)의 게이트는 제6 MOS 트랜지스터(4)의 드레인과 접속되어 있다. 또한, 제6 MOS 트랜지스터(4)의 게이트는 제1 MOS 트랜지스터(1)의 게이트와 제12 MOS 트랜지스터(28)의 게이트에 접속되어 있다.

[0047] 제7 MOS 트랜지스터(23)와 제8 MOS 트랜지스터(24)의 드레인은 드레인측 전압원 AVD와 접속되어 있다. 제7 MOS 트랜지스터(23)의 소스는 제2 MOS 트랜지스터(2)의 드레인과 접속되어 있다. 제8 MOS 트랜지스터(24)의 소스는 제3 MOS 트랜지스터(3)의 드레인과 접속되어 있다. 제7 MOS 트랜지스터(23)와 제8 MOS 트랜지스터(24)는 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)에 소정의 전류 외에는 흘리지 않도록, 전류를 바이패스하는 바이패스부를 구성하고 있다.

[0048] 따라서, 제7 MOS 트랜지스터(23)와 제4 MOS 트랜지스터(21)의 드레인-소스간 전류의 합성 전류가 제2 MOS 트랜지스터(2)의 드레인-소스간 전류가 된다. 또한, 제8 MOS 트랜지스터(24)와 제5 MOS 트랜지스터(22)의 드레

인-소스간 전류의 합성 전류가 제3 MOS 트랜지스터(3)의 드레인-소스간 전류가 된다.

[0049] 제9 MOS 트랜지스터(25)의 드레인은 드레인측 전압원 AVD와 접속되어 있다. 제9 MOS 트랜지스터(25)의 소스는 제11 MOS 트랜지스터(27)의 드레인과 접속되어 있다.

[0050] 제2 Vod 일정 제어 회로(32)는 오버드라이브 전압 Vod를 일정하게 제어하기 위한 전류를 발생시키는 회로이다. 제2 Vod 일정 제어 회로(32)의 한쪽 단자는 드레인측 전압원 AVD와 접속되어 있다. 제10 MOS 트랜지스터(26)의 드레인은 제2 Vod 일정 제어 회로(32)의 다른쪽 단자에 접속되어 있다. 제10 MOS 트랜지스터(26)의 게이트는 제2 Vod 일정 제어 회로(32)의 다른쪽 단자에 접속되어 있다. 제10 MOS 트랜지스터(26)의 소스는 제11 MOS 트랜지스터(27)의 드레인에 접속되어 있다.

[0051] 제11 MOS 트랜지스터(27)의 게이트는 저항(17 및 18)을 통해 제2 MOS 트랜지스터(2)의 게이트와 제3 MOS 트랜지스터(3)의 게이트에 각각 접속되어 있다. 제11 MOS 트랜지스터(27)의 소스는 제12 MOS 트랜지스터(28)의 드레인과 접속되어 있다. 제12 MOS 트랜지스터(28)의 게이트는 제1 MOS 트랜지스터(1)의 게이트와 제6 MOS 트랜지스터(4)의 게이트와 접속되어 있다. 제12 MOS 트랜지스터(28)의 소스는 그라운드 AVS와 접속되어 있다.

[0052] 상호 컨덕턴스 일정 제어 회로(33)는 상호 컨덕턴스 gm을 일정하게 제어하는 전류를 발생시키는 회로이다. 상호 컨덕턴스 일정 제어 회로(33)의 일단은 제2 Vod 일정 제어 회로의 타단에 접속되어 있다. 상호 컨덕턴스 일정 제어 회로(33)의 타단은 그라운드 AVS와 접속되어 있다.

[0053] 이 증폭 회로에서, 선형성을 보상하기 위해 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의 Vod를 일정하게 유지하고, 이득을 보상하기 위해 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)의 상호 컨덕턴스 gm을 일정하게 유지함으로써, 이득 보상과 선형성 보상을 양립시킨다.

[0054] [회로 특성]

[0055] 상호 컨덕턴스 gm이 설계 최소값 특성 Min일 때부터, 어떤 상태 A가 된 경우, 어떻게 이득 보상과 선형성 보상을 양립시킬지를 이하에 설명한다. 도 4는 선형성 보상을 설명하기 위한 도면이고, 도 5는 이득 보상을 설명하기 위한 도면이다. 도 4, 도 5에서, 설계 최소값 특성 Min은 설계시의 가장 상호 컨덕턴스가 작은 MOS 트랜지스터의 특성을 나타낸다. 어떤 상태 A는 제조 프로세스후의 실제 MOS 트랜지스터의 특성을 나타낸다.

[0056] 도 4를 이용하여, 선형성 보상을 행하기 위한 오버드라이브 전압 Vod 일정 제어에 관해 설명한다. 선형성 보상을 행하기 위한 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)에 필요한 전류 I는 이하의 식이 된다.

[0057] 
$$I = \beta \cdot Vod^2 \quad (\text{식 } 2)$$

[0058] 계수  $\beta$ 는 이하의 식으로 나타낼 수 있다.

[0059] 
$$\beta = (\mu \cdot Co \cdot W) / (2L) \quad (\text{식 } 3)$$

[0060] 여기서의  $\mu$ 는 전자의 이동 속도, Co는 단위 면적당 게이트 절연막이 갖는 용량, W는 게이트 절연막의 폭, L은 게이트 절연막의 길이를 나타내고 있다.

[0061] 식 1을 상호 컨덕턴스로 치환하면 식 4가 된다.

[0062] 
$$gm = 2\beta \cdot Vod \quad (\text{식 } 4)$$

[0063] 도 4의 특성을 기초로 각 특성의 포인트를 이하에 정의한다. 상호 컨덕턴스 gm의 설계 최소값 특성 Min의 특성에서의 상호 컨덕턴스 gm, 전류 I, 계수  $\beta$ , 오버드라이브 전압 Vod를 각각 상호 컨덕턴스 gm0, I0,  $\beta$ 0, Vod0으로 정의한다. 어떤 상태 A에서의, 상호 컨덕턴스 gm, 전류 I, 계수  $\beta$ , 오버드라이브 전압 Vod를 각각 gm1, I1,  $\beta$ 1, Vod0로 정의한다. 또한, 특정한 오버드라이브 전압의 조건하에서, 상호 컨덕턴스 gm의 설계 최소값 특성 Min일 때 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)에 흐르는 전류를 1, 어떤 상태 A에 흐르는 전류를 k로 정의한다. 어떤 상태 A와 설계 최소값 특성 Min의 오버드라이브 전압 Vod가 동일한 것은, 오버드라이브 전압 Vod0으로 일정하게 제어하는 것을 의미하고 있다.

[0064] 
$$k/1 = I1/I0 \quad (\text{식 } 5)$$

[0065] 식 2를 기초로 식 6을 성립시킨다.

[0066] 
$$k = I1/I0 = (\beta 1 / \beta 0) \cdot (Vod0 / Vod0) \quad (\text{식 } 6)$$

[0067] 
$$k = (\beta 1 / \beta 0) \cdot 1 \quad (\text{식 } 7)$$

[0068]  $k = \beta_1 / \beta_0$  (식 8)

[0069] 식 5와 식 8에서, 설계 최소값 특성 Min와 어떤 상태 A의 전류의 비는, 증폭을 행하는 MOS 트랜지스터의 계수의 비와 동일하다. 선형성 보상을 행하기 위한 오버드라이브 전압 Vod를 일정하게 하기 위해서는, MOS 트랜지스터는 k의 전류가 흐르면 식 8을 만족한다.

[0070] 도 5에 기초하여, 제4와 제5 MOS 트랜지스터의 이득 보상을 행하기 위한 상호 컨덕턴스 gm 보상 회로에 흐르는 전류는 이하와 같이 나타낼 수 있다. 설계 최소값 특성 Min의 상호 컨덕턴스 gm, 오버드라이브 전압 Vod를 gm0, Vod0, 어떤 상태 A의 상호 컨덕턴스 gm, 오버드라이브 전압 Vod를 gm1, Vod1로 한다. 어떤 상태 A와 최소값 특성 Min의 상호 컨덕턴스 gm을 나누어 1이 되는 것은, gm이 동일한 값인 것을 나타내고 있다. 즉, 상호 컨덕턴스 gm0으로 일정하게 제어하는 것을 의미하고 있다.

[0071]  $1 = gm_1 / gm_0 = (\beta_1 / \beta_0) (Vod_1 / Vod_0)$  (식 9)

[0072] 식 8을 대입하여 식 10으로 한다.

[0073]  $1 = gm_1 / gm_0 = k (Vod_1 / Vod_0)$  (식 10)

[0074]  $Vod_1 / Vod_0 = 1/k$  (식 11)

[0075] 각 특성에서의 전류값은 식 12와 식 13으로 나타낼 수 있다.

[0076]  $I_{gm1} = \beta_1 \cdot Vod_1^2$  (식 12)

[0077]  $I_{gm0} = \beta_0 \cdot Vod_0^2$  (식 13)

[0078] 제어에 필요한 전류는 식 14로 나타낼 수 있다.

[0079]  $I_{gm1} / I_{gm0} = (\beta_1 / \beta_0) \cdot (Vod_1^2 / Vod_0^2)$  (식 14)

[0080] 식 8과 식 11을 식 14에 대입하여 식 15로 한다.

[0081]  $I_{gm1} / I_{gm0} = k (1/k)^2$  (식 15)

[0082]  $I_{gm1} / I_{gm0} = 1/k$  (식 16)

[0083] 식 16에서 오버드라이브 전압 Vod를 일정하게 한 경우, 상호 컨덕턴스 gm을 보상하기 위해서는, MOS 트랜지스터에 1/k의 전류가 흐르면 된다.

[0084] [회로 동작]

[0085] 상기 전류값에 대한 생각에서, 오버드라이브 전압 Vod를 일정하게 유지하기 위해, 제2 Vod 일정 제어 회로(32)에 k의 전류를 흘린다. 이 조건하에, 상호 컨덕턴스 일정 제어 회로(33)는 1/k의 전류를 흘리는 구성으로 한다. 또 제1 Vod 일정 제어 회로(31)는 증폭을 행하는 선형성 보상을 하는 MOS 트랜지스터에 흐르는 전류의 값을 합한 전류값 2k를 흘리는 구성으로 한다. 단, 본 실시예에서는 제6 MOS 트랜지스터(4)와 제1 MOS 트랜지스터(1)의 미러비가 1이기 때문에, 전류값은 2k가 된다. 그러나, 제6 MOS 트랜지스터(4)와 제1 MOS 트랜지스터(1)의 미러비를 바꾸면 nk로 할 수도 있다. (n은 미러비에 맞춘 임의의 값을 취할 수 있다.) 따라서, 제1 Vod 일정 제어 회로(31)는 2k의 전류를 발생시키고, 제6 MOS 트랜지스터(4)를 통해, 제1 MOS 트랜지스터(1)와 제12 MOS 트랜지스터(28)에 바이어스를 미러링한다. 제1 MOS 트랜지스터(1)와 제6 MOS 트랜지스터(4)는 게이트 절연막의 폭 및 길이가 동일한 것을 사용하기 때문에, 2k의 전류가 흐른다. 제12 MOS 트랜지스터(28)는 게이트 절연막의 폭 및 길이가 제1 MOS 트랜지스터(1)와 제6 MOS 트랜지스터(4)와는 상이한 것을 이용함으로써 k의 전류가 흐른다.

[0086] 제2 Vod 일정 제어 회로(32)는 상호 컨덕턴스 일정 제어 회로(33)와 직렬 접속되어 있다. 따라서, 차분의 전류 k-(1/k)는 상호 컨덕턴스 일정 제어 회로(33)와 병렬로 설치한 제10 MOS 트랜지스터(26)의 드레인-소스 전류가 된다. 제10 MOS 트랜지스터(26)의 바이어스는 제7 MOS 트랜지스터(23)와 제8 MOS 트랜지스터(24)에 미러링된다. 따라서, 제7 MOS 트랜지스터(23)와 제8 MOS 트랜지스터(24)에는 전류 k-(1/k)가 흐른다.

[0087] 제11 MOS 트랜지스터(27)의 소스는 제12 MOS 트랜지스터(28)의 드레인에 접속되어 있기 때문에, 제11 MOS 트랜지스터(27)의 드레인-소스는 전류 k가 흐른다. 따라서, 제9 MOS 트랜지스터(25)는 제10 MOS 트랜지스터(26)와

6)의 드레인-소스 전류  $k-(1/k)$ 와 제11 MOS 트랜지스터(27)의 드레인-소스 전류  $k$ 의 차분 전류  $1/k$ 가 흐른다.

[0088] 제9 MOS 트랜지스터(25)의 바이어스는 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)에 미러링된다. 따라서, 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)에는 전류  $1/k$ 가 흐른다.

[0089] 즉, 제2 MOS 트랜지스터(2)와 제3 MOS 트랜지스터(3)의  $V_{od}$ 를 일정하게 유지하고자 하면, 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)의 전류값이  $k$ 가 되어, 상호 컨덕턴스  $gm$ 을 일정하게 유지할 수 없다. 따라서 상호 컨덕턴스  $gm$ 을 일정하게 유지하기 위해, 불필요한 전류를 제7 MOS 트랜지스터(23)와 제8 MOS 트랜지스터(24)에 흘린다. 이에 따라, 제4 MOS 트랜지스터(21)와 제5 MOS 트랜지스터(22)의  $gm$ 을 일정하게 하는 데 필요한 전류  $1/k$ 를 흘려, 상호 컨덕턴스  $gm$ 을 보상한다. 이에 따라 증폭기의 상호 컨덕턴스  $gm$ 이 보상되고, 이득도 보상할 수 있다.

[0090] 상기 실시예에서는, 증폭부와 증폭부에 바이어스를 부여하는 회로의 전류의 관계는 일대일로 설정하고 있다. 그러나, 증폭부에 흐르는 전류를  $k$  및  $1/k$ 로 설정할 수 있다면, 증폭부에 바이어스를 부여하는 회로에 흐르는 전류는  $k$  및  $1/k$ 에 한정되지 않는다. 예를 들어, 제9 MOS 트랜지스터(25), 제10 MOS 트랜지스터(26), 제11 MOS 트랜지스터(27), 제12 MOS 트랜지스터(28)의 제6 MOS 트랜지스터(4)의  $\beta$ 를 선택하는 것과, 제1과 제2  $V_{od}$  일정 제어 회로(31, 32)의 전류값과 상호 컨덕턴스 일정 제어 회로(33)의 전류값을 선택함으로써, 증폭부와 증폭부에 바이어스를 부여하는 회로의 전류의 관계를 1대N의 관계로 할 수 있다.

[0091] 상술한 실시형태는 이하의 발명을 개시한다. 이하의 발명은, 필요에 따라 적절하게 조합할 수 있다.

**도면의 간단한 설명**

[0024] 도 1은 상호 컨덕턴스 보상 회로를 설치한 증폭 회로를 나타낸 도면.

[0025] 도 2는 도 1의 회로의 특성을 나타낸 도면.

[0026] 도 3은 본 발명의 바이어스 회로를 갖는 증폭 회로를 나타낸 도면.

[0027] 도 4는 제2, 제3 MOS 트랜지스터의 선형성 보상을 설명하기 위한 특성도.

[0028] 도 5는 제4, 제5 MOS 트랜지스터의 이득 보상을 설명하기 위한 특성도.

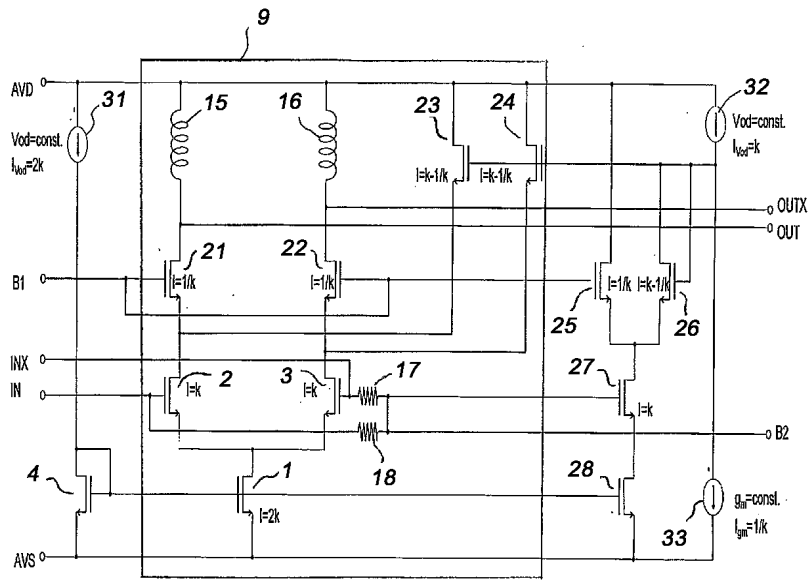
[0029] (부호의 설명)

- |        |                           |                           |
|--------|---------------------------|---------------------------|
| [0030] | 1 : 제1 MOS 트랜지스터          | 2 : 제2 MOS 트랜지스터          |
| [0031] | 3 : 제3 MOS 트랜지스터          | 9 : 증폭부                   |
| [0032] | 15 : 제1 인덕터               | 16 : 제2 인덕터               |
| [0033] | 21 : 제4 MOS 트랜지스터         | 22 : 제5 MOS 트랜지스터         |
| [0034] | 23 : 제7 MOS 트랜지스터         | 24 : 제8 MOS 트랜지스터         |
| [0035] | 25 : 제9 MOS 트랜지스터         | 26 : 제10 MOS 트랜지스터        |
| [0036] | 27 : 제11 MOS 트랜지스터        | 28 : 제12 MOS 트랜지스터        |
| [0037] | 31 : 제1 $V_{od}$ 일정 제어 회로 | 32 : 제2 $V_{od}$ 일정 제어 회로 |
| [0038] | 33 : 상호 컨덕턴스 일정 제어 회로     |                           |

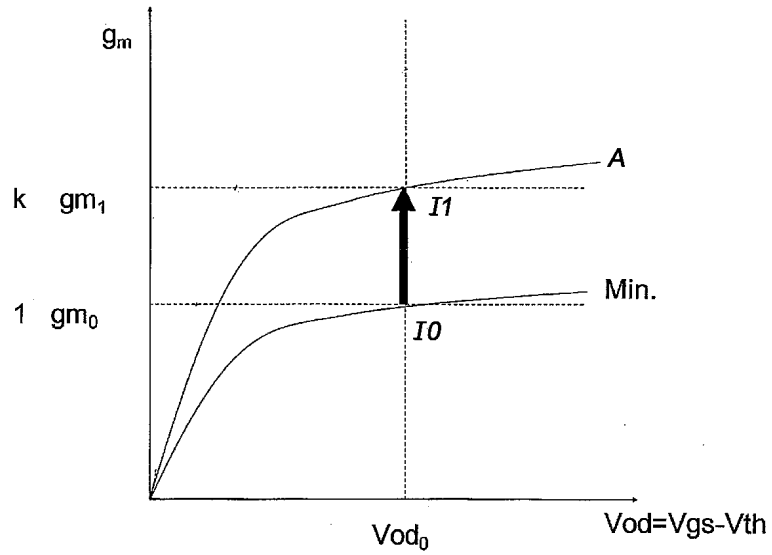




도면3



도면4



도면5

