

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6482009号
(P6482009)

(45) 発行日 平成31年3月13日(2019.3.13)

(24) 登録日 平成31年2月22日(2019.2.22)

(51) Int.Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 W
 HO2M 3/28 V

請求項の数 8 (全 29 頁)

(21) 出願番号	特願2017-50794 (P2017-50794)	(73) 特許権者	000103976
(22) 出願日	平成29年3月16日 (2017.3.16)		オリジン電気株式会社
(65) 公開番号	特開2018-157643 (P2018-157643A)		埼玉県さいたま市桜区栄和3丁目3番27号
(43) 公開日	平成30年10月4日 (2018.10.4)	(74) 代理人	100119677
審査請求日	平成29年9月28日 (2017.9.28)		弁理士 岡田 賢治
		(74) 代理人	100115794
			弁理士 今下 勝博
		(72) 発明者	人見 基久
			埼玉県さいたま市桜区栄和3丁目3番27号 オリジン電気株式会社内
		(72) 発明者	田口 隆行
			埼玉県さいたま市桜区栄和3丁目3番27号 オリジン電気株式会社内

最終頁に続く

(54) 【発明の名称】 多入力コンバータ及び双方向コンバータ

(57) 【特許請求の範囲】

【請求項1】

N個(Nは2以上の整数)の1次巻線と1つの2次巻線とを有するトランスと、
 逆並列ダイオードと並列コンデンサとがそれぞれ並列に接続されたスイッチ素子を有するスイッチング素子を上下アームとして第1端子と第2端子との間にそれぞれ並列に接続された第1レグと第2レグと、前記第1レグもしくは第2レグの上下アームの一方のスイッチング素子又は前記第1レグ及び第2レグの上アームもしくは下アームの一方のスイッチング素子に並列に接続される第1コンデンサと、前記第1レグもしくは第2レグの上下アームの他方のスイッチング素子又は前記第1レグ及び第2レグの上アームもしくは下アームの他方のスイッチング素子に並列に接続される第2コンデンサとを有し、それぞれの
 前記1次巻線に接続されるN個の第1回路と、

ブリッジ接続される一方向性素子のうち少なくとも2つの前記一方向性素子は並列コンデンサがそれぞれ並列に接続されたスイッチ素子を含むスイッチング素子がそれぞれ並列に接続されるブリッジ接続回路と、少なくとも2つの前記スイッチング素子にそれぞれ並列に接続される第3コンデンサと第4コンデンサとを有し、前記2次巻線に接続される第2回路と、

前記第1回路それぞれで、前記第1レグの上下アームの接続点側と前記第2レグの上下アームの接続点側との間に前記1次巻線を介して接続される、又は前記第2回路の前記ブリッジ接続回路内で、前記一方向性素子同士が同じ極性で直列に接続される接続点側と前記一方向性素子同士が同じ極性で直列に接続される他方の接続点側との間に前記2次巻線

を介して接続されるインダクタンス手段と、

前記第 1 又は第 2 レグの上アームのスイッチング素子と前記第 2 又は第 1 レグの下アームのスイッチング素子とを組にして交互にオンオフさせて前記第 1、第 2 端子側から入力される直流を交流に変換させて前記第 1 回路から出力させ、前記組となるスイッチング素子を交互にオンオフ制御するにあたり、オン状態にある前記組となる前記第 1 又は第 2 レグの上アームのスイッチング素子と前記第 2 又は第 1 レグの下アームのスイッチング素子のうち、前記第 1 コンデンサ又は前記第 2 コンデンサが並列に接続された前記スイッチング素子を先にオフさせる制御回路とを備え、

前記制御回路は、前記第 1 回路それぞれの前記組となる第 1 回路のスイッチング素子がオン状態にある期間が重複するように前記第 1 回路のスイッチング素子の動作を制御し、かつ前記第 3 及び第 4 端子間側から出力される電圧、電流もしくは電力の検出値又は前記第 1 及び第 2 端子間側から入力される電圧、電流又は電力の検出値が目標値に近づくように、前記第 1 回路それぞれで前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダクタンス手段に蓄積させるように前記第 3 コンデンサ又は第 4 コンデンサが並列に接続された前記スイッチング素子を順方向に導通させ、前記第 1 回路のなかで最先に前記先にオフさせる第 1 回路のスイッチング素子をオフする前に前記順方向に導通させていた第 2 回路のスイッチング素子をオフさせることを特徴とする多入力コンバータ。

10

【請求項 2】

前記制御回路は、前記第 1 回路のスイッチング素子の動作を制御し、前記組となる第 1 回路のスイッチング素子がオン状態にある期間と前記第 1 回路のなかで最先に前記先にオフさせる第 1 回路のスイッチング素子をオフする前に前記順方向に導通させていた第 2 回路のスイッチング素子の導通期間との重複期間を、所望のエネルギーが前記第 1 及び第 2 端子側から前記インダクタンス手段を介して前記第 3 及び第 4 端子側に供給されるように前記第 1 回路毎に調整することを特徴とする請求項 1 に記載の多入力コンバータ。

20

【請求項 3】

前記制御回路は、前記第 3 及び第 4 端子間側から出力される電圧、電流もしくは電力の検出値又は前記第 1 及び第 2 端子間側から入力される電圧、電流又は電力の検出値が目標値に近づくように、前記第 1 回路それぞれの前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダクタンス手段を介して前記第 3 及び第 4 端子側に供給させるように前記第 2 回路のスイッチング素子を順方向に導通させないことを特徴とする請求項 1 又は 2 に記載の多入力コンバータ。

30

【請求項 4】

前記制御回路は、前記第 1 回路それぞれの前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダクタンス手段を介して前記第 3 及び第 4 端子側に供給させるように前記第 1 回路のスイッチング素子の動作を制御し、かつ前記第 2 回路のスイッチング素子を順方向に導通させない動作から、前記第 1 回路それぞれで前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダクタンス手段に蓄積させるように前記第 3 コンデンサ又は第 4 コンデンサが並列に接続された前記第 2 回路のスイッチング素子を順方向に導通させ、前記第 1 回路のなかで最先に前記先にオフさせる第 1 回路のスイッチング素子をオフする前に前記順方向に導通させている第 2 回路のスイッチング素子をオフさせる動作に切り替えて、前記第 3 及び第 4 端子間側から出力される電圧、電流もしくは電力の検出値又は前記第 1 及び第 2 端子間側から入力される電圧、電流又は電力の検出値を目標値に近づけさせることを特徴とする請求項 1 から 3 のいずれかに記載の多入力コンバータ。

40

【請求項 5】

前記制御回路は、前記第 1 回路それぞれで前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダク

50

トランス手段に蓄積させるように前記第3コンデンサ又は第4コンデンサが並列に接続された前記第2回路のスイッチング素子を順方向に導通させ、前記第1回路のなかで最先に前記先にオフさせる第1回路のスイッチング素子をオフする前に前記順方向に導通させている第2回路のスイッチング素子をオフさせるように前記第2回路のスイッチング素子を制御する動作から、前記第1回路それぞれの前記組となる第1回路のスイッチング素子がオン状態にある期間に前記第1及び第2端子側から入力されるエネルギーを前記インダクタンス手段を介して前記第3及び第4端子側に供給させるように前記第2回路のスイッチング素子を順方向に導通させない動作に切り替えて、前記第3及び第4端子間側から出力される電圧、電流もしくは電力の検出値又は前記第1及び第2端子間側から入力される電圧、電流又は電力の検出値を目標値に近づけさせることを特徴とする請求項1から4のいずれかに記載の多入力コンバータ。

10

【請求項6】

組となる前記第1回路のスイッチング素子のうち先にオフさせる前記第1回路のスイッチング素子のスイッチ素子に並列に接続された前記並列コンデンサ及び前記第1コンデンサ又は第2コンデンサとの合成容量は、後にオフさせる前記第1回路のスイッチング素子のスイッチ素子に並列に接続された前記並列コンデンサの容量よりも大きく、

前記トランスは、全ての前記第1回路の、後にオフさせる前記第1回路のスイッチング素子のスイッチ素子と同じレグにある他の上又は下アームのスイッチング素子のスイッチ素子に並列に接続された前記並列コンデンサの両端電圧をゼロ近辺まで下げるように前記並列コンデンサの電荷を放電させる大きさの励磁電流を流す励磁インダクタンスを有し、

20

前記制御回路は、前記励磁電流によって後にオフさせる前記第1回路のスイッチング素子のスイッチ素子と同じレグにある他の上又は下アームのスイッチング素子のスイッチ素子に並列に接続された前記並列コンデンサの両端電圧がゼロ近辺まで下がるまで、前記後にオフさせる第1回路のスイッチング素子のスイッチ素子とそれと同じレグにある他の上又は下アームのスイッチング素子のスイッチ素子とを共にオフさせる期間を設けるとともに、前記組となる第1回路のスイッチング素子がオン状態にある期間に前記第1及び第2端子側から入力され、前記インダクタンス手段を介して前記第3及び第4端子側に供給させるエネルギーに比例して、前記第1回路それぞれの、前記先にオフさせる第1回路のスイッチング素子をオフするタイミングを制御することを特徴とする請求項1から5のいずれかに記載の多入力コンバータ。

30

【請求項7】

前記第1回路の前記スイッチング素子のスイッチ素子に並列に接続された前記逆並列ダイオードは、前記第1回路のスイッチング素子の内蔵ダイオード、前記第1回路のスイッチング素子とは別に外付けされたダイオード、又はこれらを組み合わせたものであり、前記第1回路の前記スイッチング素子のスイッチ素子に並列に接続された前記並列コンデンサは、前記第1回路のスイッチング素子の寄生容量、前記第1回路のスイッチング素子とは別に外付けされたコンデンサ、又はこれらを組み合わせたものであり、

前記第2回路の前記スイッチング素子のスイッチ素子に並列に接続された前記一方方向性素子は、前記第2回路のスイッチング素子の内蔵ダイオード、前記第2回路のスイッチング素子とは別に外付けされるダイオード、又はこれらを組み合わせたものであり、前記第2回路の前記スイッチング素子のスイッチ素子に並列に接続された並列コンデンサは、前記第2回路のスイッチング素子の寄生容量、前記第2回路のスイッチング素子と別に外付けされるコンデンサ、又はこれらを組み合わせたものであることを特徴とする請求項1から6のいずれかに記載の多入力コンバータ。

40

【請求項8】

前記第1回路の前記第1又は第2レグの上下アームとして前記第1コンデンサが並列に接続された前記第1回路のスイッチング素子と前記第2コンデンサが並列に接続された前記第1回路のスイッチング素子とが接続され、

前記第2回路の前記ブリッジ接続回路は前記一方方向性素子と前記並列コンデンサとがそれぞれ並列に接続された前記スイッチ素子を有する前記第2回路のスイッチング素子を上

50

下アームとして第3端子と第4端子との間にそれぞれ並列に接続された第3レグと第4レグで構成され、前記第3又は第4レグの上下アームとして前記第3コンデンサが並列に接続された前記第2回路のスイッチング素子と前記第4コンデンサが並列に接続された前記第2回路のスイッチング素子とが接続され、

前記制御回路は、前記第3又は第4レグの上アームの第2回路のスイッチング素子と前記第4又は第3レグの下アームの第2回路のスイッチング素子とを組にして交互にオンオフさせて前記第3、第4端子側から入力される直流を交流に変換させて前記第2回路から出力させ、前記組となる第2回路のスイッチング素子を交互にオンオフ制御するにあたり、オン状態にある前記組となる前記第3又は第4レグの上アームの第2回路のスイッチング素子と前記第4又は第3レグの下アームの第2回路のスイッチング素子とのうち、前記第3コンデンサ又は前記第4コンデンサが並列に接続された前記第2回路のスイッチング素子を先にオフさせることを特徴とする請求項1から7のいずれかに記載の多入力コンバータを備えた双方向コンバータ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、多入力可能なコンバータ及び双方向コンバータに関する。

【背景技術】

【0002】

一般的にDC-DCコンバータには、入力側と出力側を絶縁するためのトランスが用いられる。また、このトランスの入力側と出力側との巻数比に応じて、入力される直流電圧を昇圧又は降圧して出力することができる。従来DC-DCコンバータとして、例えば特許文献1のDC-DCコンバータでは、昇圧用のトランス16を用いている。このDC-DCコンバータは、特許文献1の図4(a)に示されるように第1、第4スイッチング素子15a, 15dがオンのとき、第2、第3スイッチング素子15b, 15cをオフとし、次の期間でこれらの動作を反転させて各期間を交互に発生させることで、高周波交流電圧矩形波を発生させている。この動作により生じた高周波交流電圧矩形波は、トランス16で昇圧され、全波整流回路17を介して出力される。コンバータ制御部20は、所望の出力電圧が得られると、インバータ回路14の第1、第4スイッチング素子15a, 15d又は第2、第3スイッチング素子15b, 15cをオフさせるように制御する。

20

30

【0003】

同様に、特許文献2の図7に示されるDC-DCコンバータでは、入力された直流電圧をインバータ8のデューティ比制御によって交流にし、得られた交流をトランス9で変圧し、整流回路10を介して直流電圧を出力している。このDC-DCコンバータでは、入力電圧の変動に応じてインバータ8のデューティ比を変動させている。この特許文献2のものでは、入力電圧が大きく変動した場合に、デューティ比が小さくなるとトランス9の損失が大きくなってしまふ。このため、特許文献2の図8に示されるDC-DCコンバータでは、インバータ8の前に降圧回路7を挿入させ、入力電圧が大きい場合には降圧回路7を動作させている。また、特許文献2の図1に示されるDC-DCコンバータでは、接続切替回路18を設け、入力電圧が大きい場合には接続切替回路18を介して出力電圧を下げている。

40

【0004】

しかし、これらの上記のDC-DCコンバータでは、所望の出力電圧となったときに電流がまだ流れている状態でインバータ回路のスイッチをオフさせることになり、スイッチング損失が生じるという問題がある。また、広範囲な入出力電圧電流の実現のため、インバータ内のスイッチング素子をデューティ比制御で対応させるとトランスの損失が大きくなり、トランスの損失を低減させるために降圧回路や切替回路を設けると回路や制御が複雑になるという問題がある。

【0005】

この課題に対し、本発明の発明者は、特許文献3及び4において、広範囲な入出力電圧

50

電流に対応でき、スイッチング損失を低減したコンバータ及び双方向コンバータを提供している。

【0006】

一方、電力変換回路を用いて複数の電源から1つの負荷に電力を供給する場合がある。このような場合、電源それぞれに電力変換回路を取り付けて負荷に所定の電力を供給する構成が一般的である。しかし、このような構成であると電源の数だけ電力変換装置が必要になり、サイズが大きくなり、価格も高くなる。そこで、部品点数を削減するためトランスを1つとして商用電源とバッテリーとから給電できる無停電電源装置が知られている（例えば、特許文献5を参照。）。また、部品点数を削減し、複数の入力源から任意の量の電力を負荷に供給することができる多入力電源装置も知られている（例えば、特許文献6を参照。）。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-278723号公報

【特許文献2】特開平11-187654号公報

【特許文献3】特許第5552149号

【特許文献4】特許第5535290号

【特許文献5】特開平11-89113号公報

【特許文献6】特開平06-245377号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、特許文献5の無停電電源装置や特許文献6の多入力電源装置は、部品点数を削減するためトランスを1つとしており、特許文献3や4で提供されるスイッチング損失を低減する制御を適用することができず、スイッチング損失が大きいという課題があった。

【0009】

そこで、本発明は、上記課題を解決すべく、部品点数を削減でき、且つスイッチング損失を低減できる多入力可能なコンバータ及び双方向コンバータを提供することを目的とする。

30

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明に係る多入力コンバータは、トランスの2次側にあるスイッチ素子の駆動信号に対してトランスの1次側にある複数の入力回路それぞれのスイッチ素子の駆動信号を位相シフトさせ、そのシフト量で各々の入力電力を制御することとした。

【0011】

具体的には、本発明に係る多入力コンバータは、

N個（Nは2以上の整数）の1次巻線と1つの2次巻線とを有するトランスと、

逆並列ダイオードと並列コンデンサとがそれぞれ並列に接続されたスイッチ素子を有するスイッチング素子を上下アームとして第1端子と第2端子との間にそれぞれ並列に接続された第1レグと第2レグと、前記第1レグもしくは第2レグの上下アームの一方のスイッチング素子又は前記第1レグ及び第2レグの上アームもしくは下アームの一方のスイッチング素子に並列に接続される第1コンデンサと、前記第1レグもしくは第2レグの上下アームの他方のスイッチング素子又は前記第1レグ及び第2レグの上アームもしくは下アームの他方のスイッチング素子に並列に接続される第2コンデンサとを有し、それぞれの前記1次巻線に接続されるN個の第1回路と、

40

ブリッジ接続される一方向性素子のうち少なくとも2つの前記一方向性素子は並列コンデンサがそれぞれ並列に接続されたスイッチ素子を含むスイッチング素子がそれぞれ並列に接続されるブリッジ接続回路と、少なくとも2つの前記スイッチング素子にそれぞれ並

50

列に接続される第3コンデンサと第4コンデンサとを有し、前記2次巻線に接続される第2回路と、

前記第1回路それぞれで、前記第1レグの上下アームの接続点側と前記第2レグの上下アームの接続点側との間に前記1次巻線を介して接続される、又は前記第2回路の前記ブリッジ接続回路内で、前記一方向性素子同士が同じ極性で直列に接続される接続点側と前記一方向性素子同士が同じ極性で直列に接続される他方の接続点側との間に前記2次巻線を介して接続されるインダクタンス手段と、

前記第1又は第2レグの上アームのスイッチング素子と前記第2又は第1レグの下アームのスイッチング素子とを組にして交互にオンオフさせて前記第1、第2端子側から入力される直流を交流に変換させて前記第1回路から出力させ、前記組となるスイッチング素子を交互にオンオフ制御するにあたり、オン状態にある前記組となる前記第1又は第2レグの上アームのスイッチング素子と前記第2又は第1レグの下アームのスイッチング素子のうち、前記第1コンデンサ又は前記第2コンデンサが並列に接続された前記スイッチング素子を先にオフさせる制御回路とを備え、

前記制御回路は、前記第1回路それぞれの前記組となる第1回路のスイッチング素子がオン状態にある期間が重複するように前記第1回路のスイッチング素子の動作を制御（PWM制御、周波数制御、又は位相シフト制御で実現する。以下、これらの制御を「パルス制御」と呼ぶ。）し、かつ前記第3及び第4端子間側から出力される電圧、電流もしくは電力の検出値又は前記第1及び第2端子間側から入力される電圧、電流又は電力の検出値が目標値に近づくように、前記第1回路それぞれで前記組となる第1回路のスイッチング素子がオン状態にある期間に前記第1及び第2端子側から入力されるエネルギーを前記インダクタンス手段に蓄積させるように前記第3コンデンサ又は第4コンデンサが並列に接続された前記スイッチング素子を順方向に導通させ、前記第1回路のなかで最先に前記先にオフさせる第1回路のスイッチング素子をオフする前に前記順方向に導通させていた第2回路のスイッチング素子をオフさせることを特徴とする。

【0012】

また、本発明に係る双方向コンバータは、前記多入力コンバータにおいて、

前記第1回路の前記第1又は第2レグの上下アームとして前記第1コンデンサが並列に接続された前記第1回路のスイッチング素子と前記第2コンデンサが並列に接続された前記第1回路のスイッチング素子とが接続され、

前記第2回路の前記ブリッジ接続回路は前記一方向性素子と前記並列コンデンサとがそれぞれ並列に接続された前記スイッチ素子を有する前記第2回路のスイッチング素子を上下アームとして第3端子と第4端子との間にそれぞれ並列に接続された第3レグと第4レグで構成され、前記第3又は第4レグの上下アームとして前記第3コンデンサが並列に接続された前記第2回路のスイッチング素子と前記第4コンデンサが並列に接続された前記第2回路のスイッチング素子とが接続され、

前記制御回路は、前記第3又は第4レグの上アームの第2回路のスイッチング素子と前記第4又は第3レグの下アームの第2回路のスイッチング素子とを組にして交互にオンオフさせて前記第3、第4端子側から入力される直流を交流に変換させて前記第2回路から出力させ、前記組となる第2回路のスイッチング素子を交互にオンオフ制御するにあたり、オン状態にある前記組となる前記第3又は第4レグの上アームの第2回路のスイッチング素子と前記第4又は第3レグの下アームの第2回路のスイッチング素子のうち、前記第3コンデンサ又は前記第4コンデンサが並列に接続された前記第2回路のスイッチング素子を先にオフさせることを特徴とする。

【0013】

本発明に係る多入力コンバータは、特許文献3及び4のように第1回路の第1及び第2コンデンサが並列しないスイッチング素子のスイッチ素子（図11のQ1とQ2）をゼロ電圧でオンさせるために励磁電流を利用する。多入力コンバータの場合、それぞれの第1回路に入力される電圧に差があると励磁電流が入力電圧が高い第1回路に偏り、片方の第1回路はゼロ電圧スイッチングに必要な励磁電流を確保できなくなる。このため、本発明

10

20

30

40

50

に係る多入力コンバータは、入力電圧が低い第1回路のスイッチ素子（図11のQ3とQ4）がオフする前に入力電圧が高い第1回路のスイッチ素子（図11のQ3とQ4）をオフして励磁電流の増加を止め、入力電圧が低い第1回路に励磁電流が流れるようにしている。また、本発明に係る多入力コンバータは、入力電圧が高い第1回路のスイッチ素子がオフしてから入力電圧が低い第1回路のスイッチ素子がオフするまでの時間を、それぞれの第1回路への入力電圧の差が大きいほど大きく設定する。

【0014】

従って、本発明は、部品点数を削減でき、且つスイッチング損失を低減できる多入力可能なコンバータ及び双方向コンバータを提供することができる。

【発明の効果】

10

【0015】

本発明は、簡単な回路構成で多入力可能なコンバータを実現でき、且つスイッチング損失を低減できるコンバータ及び双方向コンバータを提供することができる。

【図面の簡単な説明】

【0016】

【図1】本発明に関連する形態に係るコンバータの構成図である。

【図2】本発明に関連する形態に係るコンバータにおいて第2回路2のスイッチング素子S5、S6をオンオフさせる場合の第1回路1のスイッチング素子S1～S4及び第2回路2のスイッチング素子S5、S6の駆動信号の一例を示す波形図である。

【図3】本発明に関連する形態に係るコンバータにおいて第2回路2のスイッチング素子S5、S6をオンオフさせる場合の第1回路1のスイッチング素子S1～S4の電圧、電流及びトランス11の励磁電流の一例を示す波形図である。

20

【図4】本発明に関連する形態に係るコンバータにおいて第2回路2のスイッチング素子S5、S6をオンオフさせる場合の第2回路2のスイッチング素子S5、S6の電圧、電流及び一方向性素子D7、D8の電圧、電流の一例を示す波形図である。

【図5】図3の波形図の一部を拡大した波形図である。

【図6】本発明に関連する形態に係るコンバータにおいて第2回路2のスイッチング素子S5、S6をオンオフさせる場合に各タイミングで形成される回路図である。

【図7】本発明に関連する形態に係るコンバータにおいて、第3端子T3及び第4端子T4間側に出力される電圧を第2回路2のスイッチング素子S5、S6をオンオフさせる動作で得られる出力電圧よりも低くさせる動作での第1回路1のスイッチング素子S1～S4及び第2回路2のスイッチング素子S5、S6の駆動信号を示す波形図の一例である。

30

【図8】本発明に関連する形態に係るコンバータにおいて、第3端子T3及び第4端子T4間側に出力される電圧を第2回路2のスイッチング素子S5、S6をオンオフさせる動作で得られる出力電圧よりも低くさせる動作での第1回路1のスイッチング素子S1～S4の電圧、電流及びトランス11の励磁電流の一例を示す波形図である。

【図9】本発明に関連する形態に係るコンバータにおいて、第3端子T3及び第4端子T4間側に出力される電圧を第2回路2のスイッチング素子S5、S6をオンオフさせる動作で得られる出力電圧よりも低くさせる動作での第2回路2の一方向性素子D5～D8の電圧、電流の一例を示す波形図である。

40

【図10】本発明に関連する形態に係るコンバータにおいて、第3端子T3及び第4端子T4間側に出力される電圧を第2回路2のスイッチング素子S5、S6をオンオフさせる動作で得られる出力電圧よりも低くさせる動作について各タイミングで形成される回路図である。

【図11】本発明に係る多入力コンバータを説明する回路図である。

【図12】本発明に係る多入力コンバータにおいて第2回路2のスイッチング素子S5、S6をオンオフさせる場合の第1回路1のスイッチング素子S1～S4及び第2回路2のスイッチング素子S5、S6の駆動信号の一例を示す波形図である。

【図13】本発明に係る多入力コンバータにおいて、第3端子T3及び第4端子T4間側に出力される電圧を第2回路2のスイッチング素子S5、S6をオンオフさせる動作で得

50

られる出力電圧よりも低くさせる動作での第1回路1のスイッチング素子S1～S4及び第2回路2のスイッチング素子S5、S6の駆動信号を示す波形図の一例である。

【図14】本発明に係る多入力コンバータにおいて、各スイッチ素子の動作と各スイッチ素子を流れる電流の関係を説明する図である。

【図15】本発明に係る双方向コンバータを説明する回路図である。

【発明を実施するための形態】

【0017】

添付の図面を参照して本発明の実施形態を説明する。以下に説明する実施形態は本発明の実施例であり、本発明は、以下の実施形態に制限されるものではない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。

【0018】

(本発明に関連する形態)

図1～図6によって本発明に関連する形態(関連形態)のコンバータについて説明する。図1に、関連形態のコンバータの構成図を示す。図1に示されるコンバータは、トランス11と、トランス11の1次巻線11a側に接続される第1回路1と、トランス11の2次巻線11b側に接続される第2の回路2と、インダクタンス手段Lと、制御回路3とを備える。このコンバータは、第1端子T1及び第2端子T2側から入力される直流を交流に変換させて第1回路1から出力し、トランス11を介して第2回路2で交流を直流に変換して出力側の第3端子T3、第4端子T4側へ電力を供給する。

【0019】

第1端子T1、第2端子T2には外付けされる電源からの電力が入力される。第1端子T1、第2端子T2の間にはコンデンサ16が接続されている。さらに第1端子T1、第2端子T2間には第1回路1が接続され、第1回路1は、第1レグ12及び第2レグ13の上下アームをスイッチング素子S1～S4で構成したフルブリッジの回路となっている。

【0020】

第1レグ12、第2レグ13は、第1端子と第2端子との間にそれぞれ並列に接続される。第1レグ12は、スイッチング素子S1、S2を上下アームとし、第2レグ13は、スイッチング素子S3、S4を上下アームとする。図1では、スイッチ素子Q1～Q4に逆並列ダイオードD1～D4と並列コンデンサC1～C4とがそれぞれ並列に接続されたスイッチング素子S1～S4を用いている。つまり、逆並列ダイオードD1～D4はスイッチング素子S1～S4の内部ダイオードであり、並列コンデンサC1～C4はスイッチング素子S1～S4の寄生容量である。

【0021】

なお、本関連形態においては、スイッチ素子Q1～Q4に並列に接続された逆並列ダイオードD1～D4は、図1に示したようにスイッチング素子S1～S4の内蔵ダイオードを用いてもよく、スイッチング素子S1～S4とは別に外付けされたダイオードを用いてもよく、またはこれらの組み合わせであってもよい。同様に、スイッチ素子Q1～Q4に並列に接続された並列コンデンサC1～C4は、図1に示したようにスイッチング素子S1～S4の寄生容量を用いてもよく、スイッチング素子S1～S4とは別に外付けされたコンデンサを用いてもよく、またはこれらの組み合わせであってもよい。

【0022】

第1コンデンサCa、第2コンデンサCbは、組となる第1回路1のスイッチング素子S1とS4又はS2とS3のうち先にオフさせるスイッチング素子にそれぞれ並列に接続される。図1では、第1コンデンサCa、第2コンデンサCbを、先にオフさせる第2レグ13の上下アームのスイッチング素子S3、S4にそれぞれ並列に接続している。

【0023】

第2回路2は、一方向性素子D7、D8と2つのスイッチング素子S5、S6とを備えるブリッジ接続回路と、2つのスイッチング素子S5、S6にそれぞれ並列に接続される第3コンデンサCcと第4コンデンサCdとを有し、トランス11の2次巻線11b側に

10

20

30

40

50

接続される。図 1 では、一方向性素子 D 5、D 6 と並列コンデンサ C 5、C 6 とがそれぞれ並列に接続されたスイッチ素子 Q 5、Q 6 を含むスイッチング素子 S 5、S 6 を用いている。また、同じ極性で直列に接続された一方向性素子 D 5 と D 6 との直列回路と、同じ極性で直列に接続された一方向性素子 D 7 と D 8 との直列回路とが、それぞれ第 3 端子 T 3、第 4 端子 T 4 間側に並列に接続される。

【 0 0 2 4 】

図 1 では、スイッチ素子 Q 5、Q 6 に逆並列ダイオード D 5、D 6 と並列コンデンサ C 5、C 6 とがそれぞれ並列に接続されたスイッチング素子 S 5、S 6 を用いている。つまり、一方向性素子 D 5、D 6 はスイッチング素子 S 5、S 6 の内部ダイオードであり、並列コンデンサ C 5、C 6 はスイッチング素子 S 5、S 6 の寄生容量である。なお、本関連形態においては、一方向性素子 D 5、D 6 は、図 1 に示したようにスイッチング素子 S 5、S 6 の内蔵ダイオードを用いてもよく、スイッチング素子 S 5、S 6 とは別に外付けされたダイオードを用いてもよく、またはこれらの組み合わせであってもよい。同様に、並列コンデンサ C 5、C 6 は、図 1 に示したようにスイッチング素子 S 5、S 6 の寄生容量を用いてもよく、スイッチング素子 S 5、S 6 とは別に外付けされたコンデンサを用いてもよく、またはこれらの組み合わせであってもよい。

【 0 0 2 5 】

第 2 回路 2 のブリッジ接続回路内で、一方向性素子 D 5、D 6 が同じ極性で直列に接続される接続点側と一方向性素子 D 7、D 8 が同じ極性で直列に接続される他方の接続点側とは、トランス 1 1 の 2 次巻線 1 1 b が接続される。また、第 3 端子 T 3、第 4 端子 T 4 の間にはコンデンサ 1 7 が接続され、直流電圧が第 3 端子 T 3、第 4 端子 T 4 の間に出力される。

【 0 0 2 6 】

インダクタンス手段 L は、第 1 レグ 1 2 の上下アームの接続点側と第 2 レグ 1 3 の上下アームの接続点側とにトランス 1 1 の 1 次巻線 1 1 a を介して接続される。このインダクタンス手段 L は、第 2 回路 2 のブリッジ接続回路内で一方向性素子 D 5、D 6 が同じ極性で直列に接続される接続点側と一方向性素子 D 7、D 8 が同じ極性で直列に接続される他方の接続点側とにトランス 1 1 の 2 次巻線 1 1 b を介して接続させてもよい。また、図 1 では、インダクタンス手段 L の一端が第 1 レグ 1 2 の上下アームの接続点側に、他端がトランス 1 1 の 1 次巻線 1 1 a 側に接続されるが、インダクタンス手段 L の一端を第 2 レグ 1 3 の上下アームの接続点側に、他端をトランス 1 1 の 1 次巻線 1 1 a 側に接続させてもよい。インダクタンス手段 L が 2 次巻線 1 1 b を介して接続される場合も同様である。

【 0 0 2 7 】

制御回路 3 は、第 1 回路 1 のスイッチング素子 S 1 ~ S 4、第 2 回路 2 のスイッチング素子 S 5、S 6 にそれぞれ駆動信号を与えて、各スイッチング素子のオンオフ制御をする。図 1 のコンバータは、第 1 レグ 1 2 又は第 2 レグ 1 3 の上アームのスイッチング素子 S 1 又は S 3 と第 2 レグ 1 3 又は第 1 レグ 1 2 の下アームのスイッチング素子 S 4 又は S 2 とがそれぞれ一組となって交互にオンオフする。組となる第 1 回路 1 のスイッチング素子 S 1、S 4 のうち、スイッチング素子 S 4 又は S 1 を先にオフさせて、その後に、スイッチング素子 S 1 又は S 4 を後からオフさせる。同様に、他方の組となる第 1 回路 1 のスイッチング素子 S 2、S 3 のうち、スイッチング素子 S 3 又は S 2 を先にオフさせて、その後に、スイッチング素子 S 2 又は S 3 を後からオフさせる。

【 0 0 2 8 】

図 1 に示した第 2 回路 2 の出力電圧検出手段 1 8 は、第 3 端子 T 3 及び第 4 端子 T 4 間に出力される第 2 回路 2 の出力電圧を検出する。この出力電圧検出値は制御回路 3 に入力される。制御回路 3 は、出力電圧検出値にもとづいて第 1 回路 1 のスイッチング素子 S 1 ~ S 4 及び第 2 回路 2 のスイッチング素子 S 5、S 6 をオンオフさせて、第 2 回路 2 の出力電圧を制御する。例えば、制御回路 3 は、出力電圧検出値を負荷条件に応じた目標電圧値に近づけるように第 1 回路 1 のスイッチング素子 S 1 ~ S 4 及び第 2 回路 2 のスイッチング素子 S 5、S 6 のパルス幅や周波数等を変調させるパルス制御を行う。第 2 回路 2 の

10

20

30

40

50

出力電圧検出手段 18 は、例えば出力側に抵抗を接続し、この抵抗に印加される電圧を検出する。

【0029】

制御回路 3 は、第 2 回路 2 のスイッチング素子 S5 又は S6 に与える駆動信号のパルス制御によって、第 1 端子 T1 及び第 2 端子 T2 側からインダクタンス手段 L に蓄積させるエネルギー量を制御する。この場合は、組となる第 1 回路 1 のスイッチング素子 S1 と S4 同士又はスイッチング素子 S2 と S3 同士がオン状態にある期間に、第 2 回路 2 のスイッチング素子 S5 又は S6 をオン状態にさせることで、トランス 11 の 2 次巻線 11b 側を短絡状態にする。これにより、第 1 端子 T1 及び第 2 端子 T2 側から入力されるエネルギーをインダクタンス手段 L に蓄積させる。次に、組となる第 1 回路 1 のスイッチング素子 S1 と S4 同士又はスイッチング素子 S2 と S3 同士がオン状態を継続している期間に、第 2 回路 2 のスイッチング素子 S5 又は S6 をオフ状態とさせる。これにより、インダクタンス手段 L に蓄積させていたエネルギーが第 3 端子 T3、第 4 端子 T4 側に供給される。

10

【0030】

また、制御回路 3 は、第 3 端子 T3 及び第 4 端子 T4 側間に出力される電圧を上述の第 2 回路 2 のスイッチング素子 S5、S6 をオンオフさせる動作で得られる出力電圧よりも低くさせる動作の場合に、第 1 回路のスイッチング素子をパルス制御し、かつ第 2 回路のスイッチング素子 S5、S6 を順方向に導通しないように動作をさせる。具体的には、制御回路 3 は、組となる第 1 回路のスイッチング素子 S1 と S4 同士又はスイッチング素子 S2 と S3 同士がオン状態にある期間に、第 1 端子 T1 及び第 2 端子 T2 側から入力されるエネルギーをインダクタンス手段 L を介して、第 3 端子 T3 及び第 4 端子 T4 側に供給させるように第 1 回路のスイッチング素子をパルス制御し、かつ第 2 回路のスイッチング素子 S5、S6 を順方向に導通しないように動作をさせる。この動作では、制御回路 3 は、第 2 回路 2 のスイッチング素子 S5 及び S6 を順方向に導通させないため、第 2 回路 2 のブリッジ接続回路は、一方向性素子 D5 ~ D8 が導通するフルブリッジの整流回路として機能する。

20

【0031】

なお、駆動信号については、第 1 回路 1 のスイッチング素子、第 2 回路 2 のスイッチング素子をオンさせるための駆動信号をオン信号、オフさせるための駆動信号をオフ信号として下記の動作で説明する。駆動信号としては、電圧、電流などを用いる。また、オン信号、オフ信号等は、オン、オフの期間ずっと信号を与えるものであっても、トリガーとして短い時間の信号を与えるものであってもよく、特に限定されるものではない。

30

【0032】

次に、関連形態のコンバータの動作の一例について説明する。まずは、図 2 から図 6 を用いてコンバータの第 2 回路 2 のスイッチング素子 S5、S6 をオンオフさせる動作を行う場合について説明する。図 2 は、第 1 回路 1 のスイッチング素子 S1 ~ S4 及び第 2 回路 2 のスイッチング素子 S5、S6 の駆動信号の一例を示す波形図である。図 3 は、第 1 回路 1 のスイッチング素子 S1 ~ S4 の電圧、電流及びトランス 11 の励磁電流の一例を示す波形図である。図 4 は、第 2 回路 2 のスイッチング素子 S5、S6 の電圧、電流及び一方向性素子 D7、D8 の電圧、電流の一例を示す波形図である。また、図 5 は、図 3 の波形図の一部の時間 T x 部分を拡大した図である。図 6 は、各タイミングで形成される回路図である。なお、図 3 から図 5 に示す電流波形では、第 1 回路 1 のスイッチング素子 S1 ~ S4、第 2 回路 2 のスイッチング素子 S5、S6 を順方向に流れる電流をプラスとし、第 1 回路 1 のスイッチング素子 S1 ~ S4、第 2 回路 2 のスイッチング素子 S5、S6 を逆方向に流れる電流及び一方向性素子 D7、D8 を順方向に流れる電流をマイナスとしている。

40

【0033】

時刻 t1 で、組となる第 1 回路 1 のスイッチング素子 S1 及び S4 にオン信号を与えられたとする。第 2 回路 2 のスイッチング素子 S6 のオン信号は、時刻 t1 以前にすでに与

50

えられているとする。そうすると、スイッチ素子Q 1、Q 4及びスイッチ素子Q 6は順方向に導通する。この状態では、図6(a)に示されるように、第1端子T 1及び第2端子T 2側から供給される入力電力によって、電流が、第1端子T 1側からスイッチ素子Q 1、インダクタンス手段L、1次巻線1 1 a、スイッチ素子Q 4、第2端子T 2側に流れる。トランス1 1の2次巻線1 1 b側では、2次巻線1 1 b、スイッチ素子Q 6、一方向性素子D 8を通じて電流が流れ、2次巻線1 1 b側は短絡状態となる。このため、第1端子T 1及び第2端子T 2側から供給される入力電力によって、インダクタンス手段Lにエネルギーが蓄積される。また、コンデンサ1 7からは、第3端子T 3、第4端子T 4側へ電力が供給される。

【0034】

時刻t 2で、例えば、第2回路の出力電圧検出手段1 8によって検出された第3端子T 3、第4端子T 4間の電圧検出値が目標値に近づくように制御回路3で決めたタイミングで第2回路2のスイッチング素子S 6にオフ信号が与えられたとすると、インダクタンス手段Lに蓄積されたエネルギーによる第2回路2の出力側への供給が開始される。図6(b)に示すように、トランス1 1の1次巻線1 1 a側は時刻t 1から継続して同じ経路で電流が流れるが、2次巻線1 1 b側ではスイッチ素子Q 6がオフ状態となる。図4に示すように、この時刻t 2では、第2回路2のスイッチング素子S 6に大きな電流が流れる状態でスイッチ素子Q 6をオフさせるのでスイッチング損失が問題となる。このスイッチング損失を減らす手段として、スイッチング素子S 6のオフ時のスイッチング素子S 6の両端電圧を低くさせることが考えられる。

【0035】

本関連形態では、スイッチ素子Q 6に対して並列コンデンサC 6と第4コンデンサC dとを並列に接続してコンデンサの容量を大きくしている。同様に、スイッチ素子Q 5に対して並列コンデンサC 5と第3コンデンサC cとを並列に接続してコンデンサの容量を大きくしている。時刻t 2でスイッチ素子Q 6がオフすると、図6(b)に示すように、2次巻線1 1 b側では、オフしたスイッチ素子Q 6に並列に接続された並列コンデンサC 6及び第4コンデンサC dを充電する方向に、電流が2次巻線1 1 bから並列コンデンサC 6及び第4コンデンサC d、一方向性素子D 8を流れる。一方、並列コンデンサC 5及び第4コンデンサC cからは、第3端子T 3、第4端子T 4側、一方向性素子D 8、2次巻線1 1 bを介して放電電流が流れる。コンデンサ容量を大きくしたことによって、並列コンデンサC 6及び第4コンデンサC d、並列コンデンサC 5及び第3コンデンサC cの充放電動作による第2回路2のスイッチング素子S 6の両端電圧の上昇を緩やかにすることができる。このため、第2回路2のスイッチング素子S 6のオフ時のスイッチング損失を低減させることができる。

【0036】

時刻t 3で第2回路2の並列コンデンサC 6及び第4コンデンサC dと並列コンデンサC 5及び第3コンデンサC cとの充放電が終わると、図6(c)に示すように、一方向性素子D 5が導通する。2次巻線1 1 b側の電流は、2次巻線1 1 bから、一方向性素子D 5、第3端子T 3、第4端子T 4側、一方向性素子D 8を介して流れる。上述の時刻t 1から時刻t 2の間にインダクタンス手段Lに蓄積されたエネルギーが第2回路2の出力側へ供給される。なお、上述のインダクタンス手段Lに蓄積されたエネルギーによる第2回路2出力側へ供給では、第3端子T 3、第4端子T 4の先に接続される負荷への供給の他に、時刻t 1から時刻t 2の間に放電されたコンデンサ1 7を充電する。また、1次巻線1 1 a側の電流は、時刻t 1からスイッチ素子Q 4がオフする時刻t 4までの期間は同じ電流経路で流れ続ける。

【0037】

時刻t 4で、組となる第1回路1のスイッチング素子S 1、S 4のうち、先にオフさせる第1回路1のスイッチング素子S 4に制御回路3からオフ信号が与えられる。このため、図3に示すように、電流値が比較的大きな状態でスイッチ素子Q 4オフするため、第1回路1のスイッチング素子S 4のオフ時にスイッチング損失が生じる。このスイッチング

10

20

30

40

50

損失を減らす手段として、第 1 回路 1 のスイッチング素子 S 4 のオフ時の第 1 回路 1 のスイッチング素子 S 4 の両端電圧を低くさせることが考えられる。

【 0 0 3 8 】

本関連形態では、スイッチ素子 Q 4 に対して並列コンデンサ C 4 の他に第 2 コンデンサ C b も並列に接続してコンデンサの容量を大きくしている。同様に、スイッチ素子 Q 3 に対して並列コンデンサ C 3 の他に第 1 コンデンサ C a も並列に接続してコンデンサの容量を大きくしている。このため、時刻 t 4 でスイッチ素子 Q 4 がオフすると、図 6 (d) に示すように、1 次巻線 1 1 a 側では、オフしたスイッチ素子 Q 4 に並列に接続された並列コンデンサ C 4 及び第 2 コンデンサ C b を充電する方向に、電流がインダクタンス手段 L、1 次巻線 1 1 a、並列コンデンサ C 4 及び第 2 コンデンサ C b、第 2 端子 T 2、第 1 端子 T 1 側からスイッチ素子 Q 1 を通じて流れる。一方、並列コンデンサ C 3 及び第 1 コンデンサ C a からは、スイッチ素子 Q 1、インダクタンス手段 L、1 次巻線 1 1 a を通じて放電電流が流れる。コンデンサ容量を大きくしたことで、並列コンデンサ C 4 及び第 2 コンデンサ C b、並列コンデンサ C 3 及び第 1 コンデンサ C a の充放電動作によるスイッチング素子 S 4 の両端電圧上昇を緩やかにさせることができる。よって、第 1 回路 1 のスイッチング素子 S 4 のオフ時のスイッチング損失を低減させることができる。

10

【 0 0 3 9 】

時刻 t 5 で並列コンデンサ C 3 及び第 1 コンデンサ C a の放電、並列コンデンサ C 4 及び第 2 コンデンサ C b の充電が終わると、図 6 (e) に示すように、スイッチ素子 Q 3 に並列に接続された逆並列ダイオード D 3 が導通する。1 次巻線 1 1 a 側では、インダクタンス手段 L に蓄積されたエネルギー及びトランス 1 1 の励磁電流によって、時刻 t 5 の直前に 1 次巻線 1 1 a、インダクタンス手段 L に流れていた電流と同じ方向に、インダクタンス手段 L、1 次巻線 1 1 a から逆並列ダイオード D 3、スイッチ素子 Q 1 を通じて電流が流れる。なお、2 次巻線 1 1 b 側の電流は、時刻 t 3 から継続して 2 次巻線 1 1 b、一方向性素子 D 5、第 3 端子 T 3 側、第 4 端子 T 4 側、一方向性素子 D 8 を通じて流れている。この 2 次巻線 1 1 b 側の電流経路に流れる期間は、一方向性素子 D 5 の導通時から後に一方向性素子 D 5 に流れる電流がほぼゼロになるまで続く。

20

【 0 0 4 0 】

時刻 t 6 では、組となる第 1 回路 1 のスイッチング素子 S 1、S 4 のうち、後にオフさせるスイッチング素子 S 1 の駆動信号をオフ信号にする。スイッチ素子 Q 1 がオフするため、時刻 t 6 の直前に流れていたトランスの励磁電流によって、1 次巻線 1 1 a から逆並列ダイオード D 3、並列コンデンサ C 1、インダクタンス手段 L を通じて電流が流れ、並列コンデンサ C 1 を充電する。一方、並列コンデンサ C 2 からは、インダクタンス手段 L、1 次巻線 1 1 a、逆並列ダイオード D 3、第 1 端子 T 1 側、第 2 端子 T 2 側を通じて放電電流が流れる。このとき、スイッチ素子 Q 1 に電流がまだ流れている状態でオフさせることになるが、この電流を、非常に値の小さなトランス 1 1 の励磁電流にすることができる。よって、スイッチング素子 S 1 は後からオフさせることでオフ時の電流値を小さくすることができるので、先にオフさせるスイッチ素子 Q 4 のオフ時と比べて、スイッチング損失を小さくすることができる。

30

【 0 0 4 1 】

時刻 t 7 で並列コンデンサ C 1、C 2 の充放電が終わると、図 6 (g) に示すように、逆並列ダイオード D 2 が導通する。1 次巻線 1 1 a 側ではトランス 1 1 の励磁電流によって、時刻 t 7 の直前に 1 次巻線 1 1 a に流れていた電流と同じ方向に、1 次巻線 1 1 a から、逆並列ダイオード D 3、第 1 端子 T 1 側、第 2 端子 T 2 側、逆並列ダイオード D 2、インダクタンス手段 L を通じて電流が流れる。なお、2 次巻線 1 1 b 側の電流は、時刻 t 3 から継続して 2 次巻線 1 1 b、一方向性素子 D 5、第 3 端子 T 3 側、第 4 端子 T 4 側、一方向性素子 D 8 を通じて流れている。この 2 次巻線 1 1 b 側の電流経路に流れる期間は、一方向性素子 D 5 の導通時から後に一方向性素子 D 5 に流れる電流がほぼゼロになるまで続く。

40

【 0 0 4 2 】

50

時刻 t_8 で他方の組となる第 1 回路 1 のスイッチング素子 S_2 、 S_3 の駆動信号をオン信号にする。図 6 (h) に示すように、1 次巻線 11 a 側では、スイッチ素子 Q_2 及びスイッチ素子 Q_3 が順方向に導通し、第 1 端子 T_1 側、スイッチ素子 Q_3 、1 次巻線 11 a、インダクタンス手段 L 、スイッチ素子 Q_2 、第 2 端子 T_2 側を通じて電流が流れる。2 次巻線 11 b 側では、時刻 t_8 より以前に第 2 回路 2 のスイッチング素子 S_5 の駆動信号にオン信号が与えられており、時刻 t_8 にはスイッチ素子 Q_5 が順方向に導通できる状態となっている。このため、スイッチ素子 Q_5 が順方向に導通すると、2 次巻線 11 b から、逆並列ダイオード D_7 、スイッチ素子 Q_5 を通じて電流が流れ、2 次巻線 11 b 側は短絡状態となる。よって、第 1 端子 T_1 、第 2 端子 T_2 間から入力された電力によってインダクタンス手段 L にエネルギーが蓄積される。

10

【0043】

本関連形態では、時刻 t_8 の直前に、スイッチ素子 Q_2 、 Q_3 にそれぞれ並列に接続される逆並列ダイオード D_2 、 D_3 が導通しているため、図 5 に示されるように、第 1 回路 1 のスイッチング素子 S_2 、 S_3 はオン時にゼロ電圧スイッチングを実現させることができる。

【0044】

また、時刻 t_8 の直前にスイッチ素子 Q_5 に並列の一方方向性素子 D_5 が導通しているため、スイッチ素子 Q_5 はゼロ電圧でオンさせることができる。なお、スイッチ素子 Q_5 のゼロ電圧スイッチングを実現させるためには、第 2 回路 2 のスイッチング素子 S_5 の駆動信号であるオン信号は、一方方向性素子 D_5 が導通している期間である時刻 t_3 から時刻 t_8 の期間に与えておけばよい。

20

【0045】

時刻 t_8 後の他方の組となる第 1 回路 1 のスイッチング素子 S_2 、 S_3 の動作については、上述の組となるスイッチング素子 S_1 、 S_4 の時刻 t_1 から時刻 t_8 と同様に動作させる。すなわち、スイッチ素子 Q_2 及びスイッチ素子 Q_3 が導通している期間に、例えば、第 2 回路 2 の出力側である第 3 端子 T_3 、第 4 端子 T_4 間の電圧検出値が所定値になるように制御回路 3 で決めたタイミングで第 2 回路 2 のスイッチング素子 S_5 にオフ信号を与える。これにより、インダクタンス手段 L に蓄積されたエネルギーを第 3 端子 T_3 、第 4 端子 T_4 側に供給する。その後、組となるスイッチング素子 S_2 、 S_3 のうち第 1 コンデンサ C_a が並列に接続されたスイッチ素子 Q_3 を先にオフさせ、後にスイッチ素子 Q_2 をオフさせる。

30

【0046】

なお、本関連形態では、図 1 に示すように、後にオフさせる第 1 回路 1 のスイッチング素子 S_1 、 S_2 が直列に接続されている。この後にオフさせるスイッチング素子 S_1 、 S_2 についてゼロ電圧スイッチングを実現させるために、例えば、スイッチング素子 S_1 をオフさせる場合、これと同じ第 1 レグにある他方の下アームのスイッチング素子 S_2 の両端電圧をゼロに下げてからスイッチ素子 Q_2 にオン信号を与える。ここで、スイッチ素子 Q_1 にオフ信号を与えてからスイッチ素子 Q_2 にオン信号を与えるまで期間、すなわちスイッチング素子 S_1 、 S_2 を共にオフさせる期間を T_d とする。

【0047】

このスイッチング素子 S_2 の両端電圧をゼロに下げる、つまりコンデンサ C_2 電圧がゼロになるまで放電させる放電動作は上述の励磁電流が流れることによる。よって、後にオフさせるスイッチング素子 S_2 のゼロ電圧スイッチングを実現させるためには、まず励磁電流をスイッチング素子 S_2 の両端電圧をゼロまで下げることができる大きさにする必要がある。さらに、励磁電流によってスイッチング素子 S_2 の両端電圧をゼロまで下げることができるようなスイッチング素子 S_1 、 S_2 を共にオフさせる期間 T_d を設ける必要がある。後にオフさせる第 1 回路 1 のスイッチング素子 S_1 について、ゼロ電圧スイッチングを実現させる場合も同様である。スイッチング素子 S_1 の両端電圧をゼロまで下げることができるような大きさの励磁電流とスイッチング素子 S_1 、 S_2 を共にオフさせる期間 T_d を設ける必要がある。

40

50

【 0 0 4 8 】

なお、第 1 回路 1 のスイッチング素子 S 1、S 2 を共にオフさせる期間 T d を大きな値に設定すると、スイッチング素子 S 1 又は S 2 の両端電圧がゼロまで下がった後に再度電圧が上昇してしまう、つまりコンデンサ C 1 又は C 2 がゼロまで放電された後に充電されてしまうことがある。このため、スイッチング素子 S 1、S 2 を共にオフさせる期間 T d は、スイッチング素子 S 1 又は S 2 の両端電圧がゼロまで下がる期間程度とするのが好ましい。また、後にオフさせるスイッチ素子 Q 1、Q 2 に並列に接続される並列コンデンサ C 1、C 2 は、スイッチング素子 S 1、S 2 内蔵の寄生容量を利用してよい。ただし、寄生容量はもともと小さい容量の上、部品によってはバラツキがあり、本発明の動作として寄生容量だけでは不十分な場合もある。このような場合、スイッチング素子 S 1、S 2 内蔵の寄生容量に別付けのコンデンサを並列に接続させ、これらの合成容量を上記並列コンデンサ C 1、C 2 としてもよい。

10

【 0 0 4 9 】

次に、図 1 のコンバータ回路図及び図 7 から図 10 を用いて、第 3 端子 T 3 及び第 4 端子 T 4 間側に出力される電圧を上述の第 2 回路 2 のスイッチング素子 S 5、S 6 をオンオフさせる動作で得られる出力電圧よりも低くさせる場合に、第 2 回路 2 をフルブリッジの整流回路として機能させる動作について説明する。図 7 は、この動作での第 1 回路 1 のスイッチング素子 S 1 ~ S 4 及び第 2 回路 2 のスイッチング素子 S 5、S 6 の駆動信号の一例を示す波形図である。図 8 は、この動作での第 1 回路 1 のスイッチング素子 S 1 ~ S 4 の電圧、電流及びトランス 11 の励磁電流の一例を示す波形図である。図 9 は、この動作での第 2 回路 2 の一方向性素子 D 5 ~ D 8 の電圧、電流の一例を示す波形図である。また、図 10 は、関連形態のコンバータのこの動作について各タイミングで形成される回路図である。なお、図 8、図 9 に示す電流波形では、第 1 回路 1 のスイッチング素子 S 1 ~ S 4 を順方向に流れる電流をプラスとし、第 1 回路 1 のスイッチング素子 S 1 ~ S 4 を逆方向に流れる電流及び一方向性素子 D 5 ~ D 8 を順方向に流れる電流をマイナスとしている。

20

【 0 0 5 0 】

この動作の場合は、図 1 のコンバータ回路は、第 2 回路 2 のブリッジ接続回路は一方向性素子 D 5 ~ D 8 が導通するフルブリッジの整流回路として機能する。このため、実施形態 1 のコンバータは少なくとも第 2 回路 2 は一方向性素子 D 5 ~ D 8 があればよいので、図 7 に示すように、第 2 回路 2 のスイッチング素子 S 5 及び S 6 の駆動信号にはオン信号は与えていない。

30

【 0 0 5 1 】

時刻 t 2 1 は、組となる第 1 回路 1 のスイッチング素子 S 1 及び S 4 にオン信号にオン信号を与える時点である。このとき、第 2 回路 2 のスイッチング素子 S 5 及び S 6 にはオン信号は与えない。図 10 (a) に示すように、トランス 11 の 1 次巻線 11 a 側では、電流が、第 1 端子 T 1 側から、スイッチ素子 Q 1、インダクタンス手段 L、1 次巻線 11 a、スイッチ素子 Q 4、第 2 端子 T 2 側に流れる。トランス 11 の 2 次巻線 11 b 側では、2 次巻線 11 b から、一方向性素子 D 5、第 3 端子 T 3、第 4 端子 T 4 側から、一方向性素子 D 8 を通じて電流が流れる。第 1 端子 T 1 及び第 2 端子 T 2 側から供給される入力電力は、インダクタンス手段 L を介して第 3 端子 T 3、第 4 端子 T 4 側に供給される。

40

【 0 0 5 2 】

時刻 t 2 2 で、例えば、第 2 回路の出力電圧検出手段 1 8 で検出された第 3 端子 T 3、第 4 端子 T 4 間の電圧検出値が目標値に近づくように、制御回路 3 は、組となる第 1 回路 1 のスイッチング素子 S 1、S 4 のうち先にオフさせるスイッチング素子 S 4 にオフ信号を与える。このため、図 8 に示すように、電流値が比較的大きな状態でスイッチ素子 Q 4 がオフするため、スイッチング素子 S 4 のオフ時にスイッチング損失が生じる。本関連形態では、上記の第 2 回路 2 のスイッチング素子 S 5、S 6 をオンオフさせる動作で説明したように、スイッチ素子 Q 4 に対して並列コンデンサ C 4 の他に第 2 コンデンサ C b も並列に接続してコンデンサの容量を大きくしている。同様に、スイッチ素子 Q 3 に対して並

50

列コンデンサC3の他に第1コンデンサCaも並列に接続してコンデンサの容量を大きくしている。

【0053】

このため、時刻 t_{22} でスイッチ素子Q4がオフすると、図10(b)に示すように、1次巻線11a側では、オフしたスイッチ素子Q4に並列に接続された並列コンデンサC4及び第2コンデンサCbを充電する方向に、インダクタンス手段L、1次巻線11a、並列コンデンサC4及び第2コンデンサCb、第2端子T2、第1端子T1側からスイッチ素子Q1を通じて電流が流れる。一方、並列コンデンサC3及び第1コンデンサCaからは、スイッチ素子Q1、インダクタンス手段L、1次巻線11aを通じて放電電流が流れる。先にオフさせる第1回路1のスイッチング素子S4、S3に並列に接続されるコンデンサの容量を大きくし、スイッチング素子S4の両端電圧の上昇を緩やかにさせることで、第1回路1のスイッチング素子S4のオフ時のスイッチング損失を低減させている。

10

【0054】

時刻 t_{23} で並列コンデンサC3及び第1コンデンサCaの放電、並列コンデンサC4及び第2コンデンサCbの充電が終わると、図10(c)に示すように、スイッチ素子Q3に並列に接続された逆並列ダイオードD3が導通する。1次巻線11a側ではインダクタンス手段Lに蓄積されたエネルギー及びトランス11の励磁電流によって、時刻 t_5 の直前に1次巻線11a、インダクタンス手段Lに流れていた電流と同じ方向に、インダクタンス手段L、1次巻線11aから逆並列ダイオードD3、スイッチ素子Q1を通じて電流が流れる。なお、2次巻線11b側の電流は、時刻 t_{21} から継続して2次巻線11b、一方向性素子D5、第3端子T3側、第4端子T4側、一方向性素子D8を通じて流れている。

20

【0055】

時刻 t_{24} では、組となる第1回路1のスイッチング素子S1、S4のうち、後にオフさせるスイッチング素子S1の駆動信号をオフ信号にする。スイッチ素子Q1がオフするため、時刻 t_{23} の直前に流れていたトランスの励磁電流によって、図10(d)に示すように、1次巻線11aから逆並列ダイオードD3、並列コンデンサC1、インダクタンス手段Lを通じて電流が流れ、並列コンデンサC1を充電する。一方、並列コンデンサC2からは、インダクタンス手段L、1次巻線11a、逆並列ダイオードD3、第1端子T1、第2端子T2側を通じて放電電流が流れる。このとき、スイッチ素子Q1に電流がまだ流れている状態でオフさせることになるが、先にオフさせたスイッチ素子Q4のときよりも小さい値の電流にすることができる。よって、先にオフさせるスイッチ素子Q4のオフ時と比べて、後からオフさせるスイッチ素子Q1のスイッチング損失を小さくすることができる。

30

【0056】

時刻 t_{25} で並列コンデンサC1、C2の充放電が終わると、図10(e)に示すように、逆並列ダイオードD2が導通する。1次巻線11a側ではトランス11の励磁電流によって、時刻 t_{25} の直前に1次巻線11aに流れていた電流と同じ方向に、1次巻線11aから、逆並列ダイオードD3、第1端子T1、第2端子T2側、逆並列ダイオードD2、インダクタンス手段Lを通じて電流が流れる。なお、2次巻線11b側の電流は、時刻 t_{21} から継続して2次巻線11b、一方向性素子D5、第3端子T3側、第4端子T4側、一方向性素子D8を通じて流れている。

40

【0057】

時刻 t_{26} で他方の組となる第1回路1のスイッチング素子S2、S3にオン信号を与える。図10(f)に示すように、1次巻線11a側では、スイッチ素子Q2及びスイッチ素子Q3が順方向に導通し、第1端子T1側、スイッチ素子Q3、1次巻線11a、インダクタンス手段L、スイッチ素子Q2、第2端子T2側を通じて電流が流れる。1次巻線11aに流れる電流が今までと逆向きになるので、2次巻線11b側では、一方向性素子D6、一方向性素子D7が順方向に導通し、2次巻線11bから、一方向性素子D7、第3端子T3、第4端子T4側から一方向性素子D6を通じて電流が流れる。図10(a

50

)の場合と同様に、第1端子T1、第2端子T2間から入力された電力は、インダクタンス手段Lを介して第3端子T3、第4端子T4側に供給される。

【0058】

上述の第2回路2のスイッチング素子S5、S6をオンオフさせる動作の場合と同様に、第2回路2のブリッジ接続回路をフルブリッジの整流回路として機能させる動作でも、時刻t26の直前に、スイッチ素子Q2、Q3にそれぞれ並列に接続される逆並列ダイオードD2、D3が導通しているため、図8に示されるように、第1回路1のスイッチング素子S2、S3はオン時にゼロ電圧スイッチングを実現させることができる。

【0059】

時刻t26後の他方の組となる第1回路1のスイッチング素子S2、S3の動作については、上述の組となるスイッチング素子S1、S4の時刻t21から時刻t26と同様に動作させる。すなわち、例えば、第3端子T3、第4端子T4間の出力電圧が所望の値となるように、制御回路3は、組となるスイッチング素子S2、S3のうち第1コンデンサCaが並列に接続されたスイッチ素子Q3を先にオフさせ、後にスイッチ素子Q2をオフさせる。

10

【0060】

上記の関連形態のコンバータでは、制御回路3は、上述の第2回路2のブリッジ接続回路をフルブリッジの整流回路として機能させる動作を行っている場合において、第1回路のスイッチング素子のパルス幅や周波数を変調させても前記第3端子T3、第4端子T4間側から出力される電圧の検出値が目標値に近づかない場合は、第2回路2のスイッチング素子S5、S6をオンオフさせる動作に切り替える。逆に、制御回路3は、上述の第2回路2のスイッチング素子S5、S6をオンオフさせる動作を行っている場合において、第2回路2のスイッチング素子S5、S6のパルス幅や周波数を変調させても第3端子T3、第4端子T4間側から出力される電圧の検出値が目標値に近づかない場合は、第2回路2のブリッジ接続回路をフルブリッジの整流回路として機能させる動作に切り替える。2つの動作を切り替えることで、トランス11の巻数比などの回路定数や負荷条件にとらわれずに、広範囲な入出力電圧電流に対応させることができる。

20

【0061】

なお、上述の第2回路2のスイッチング素子S5、S6をオンオフさせる動作の場合と同様に、第2回路2のブリッジ接続回路をフルブリッジの整流回路として機能させる動作でも、第1回路1の組となるスイッチ素子のうち、先にオフさせるスイッチ素子に並列に接続されるコンデンサの容量が、後にオフさせるスイッチ素子に並列に接続されるコンデンサの容量よりも大きくなるようにする。また、後にオフさせる第1回路1のスイッチング素子S1、S2についてゼロ電圧スイッチングを実現させるために、まず励磁電流をスイッチング素子S2又はS1の両端電圧をゼロまで下げることができる大きさにする必要がある。さらに、励磁電流によってスイッチング素子S2又はS1の両端電圧をゼロまで下げることができるようなスイッチング素子S1、S2を共にオフさせる期間Tdを設ける必要がある。

30

【0062】

第1回路1のスイッチング素子S1、S2を共にオフさせる期間Tdは、スイッチング素子S1又はS2の両端電圧がゼロまで下がる期間程度とするのが好ましい。

40

【0063】

なお、図2、図7では、時刻t8、時刻t26に、第1回路1のスイッチング素子S2、S3の駆動信号であるオン信号を同時に与えており、かつ、スイッチ素子Q2及びスイッチ素子Q3が順方向に導通し始めている動作の一例を示した。しかし、上記の実施形態の動作の一例に限定されることなく、スイッチング素子S2、S3のオン信号を与える時点は同時でなくてもよい。また、スイッチング素子S2、S3のオン信号を与える時点は、逆並列ダイオードD2、D3が導通している期間であってもよい。この場合は、スイッチング素子S2、S3のオン信号を与える時点とスイッチ素子Q2及びスイッチ素子Q3が順方向に導通し始め時点は一致せず、例えば、逆並列ダイオードD2、D3を導通する

50

電流がゼロになってからスイッチ素子Q₂及びスイッチ素子Q₃を順方向に電流が流れ始める。また、逆方向に電流を流したときのスイッチ素子Q₂、Q₃の電圧降下が順方向電流を流したときの逆並列ダイオードD₂、D₃の電圧降下である順電圧よりも小さい場合には、スイッチング素子S₂、S₃のオン信号を与え、スイッチ素子Q₂、Q₃を逆方向に導通させてスイッチング素子S₂、S₃の導通損失を低減させることができる。もう一方の組となる第1回路1のスイッチング素子S₁、S₄の場合についても同様である。

【0064】

上記の関連形態では、組となる第1回路1のスイッチング素子S₁及びS₄、S₂及びS₃のうち第2レグ13の上下アームのスイッチング素子S₄、S₃を先にオフさせているが、第1レグ12の上下アームのスイッチング素子S₁、S₂を先にオフさせてもよい。この場合、第1コンデンサC_a、第2コンデンサC_bを、先にオフさせるスイッチング素子S₁、S₂にそれぞれ接続させる。また、先にオフさせる第1回路1のスイッチング素子を、第1レグ12と第2レグ13との上アームのスイッチング素子S₁、S₃、又は、第1レグ12と第2レグ13との下アームのスイッチング素子S₂、S₄としてもよい。この場合、第1コンデンサC_a、第2コンデンサC_bを、先にオフさせるスイッチング素子S₁、S₃又はスイッチング素子S₂、S₄にそれぞれ並列に接続させる。

10

【0065】

また、上記の関連形態において、図1に示した第2回路2のブリッジ接続回路内で、第3端子T₃、第4端子T₄間に接続されるスイッチング素子S₅、S₆の直列回路と一方向性素子D₇、D₈の直列回路との位置が入れ替わってもよい。この場合も、第3コンデンサC_c、第4コンデンサC_dは、オンオフさせる第2回路2のスイッチング素子S₅、S₆にそれぞれ並列に接続される。また、第2回路2において一方向性素子D₇又はD₈と第2回路2のスイッチング素子S₅又はS₆との直列回路をそれぞれ第3端子T₃、第4端子T₄間に接続する混合ブリッジ接続の回路構成にしてもよい。この場合も、第3コンデンサC_c、第4コンデンサC_dは、オンオフさせる第2回路2のスイッチング素子S₅、S₆にそれぞれ並列に接続させる。

20

【0066】

さらに、上記の実施形態1の説明では、第2回路2の一方向性素子D₇、一方向性素子D₈としてダイオードで示したが、この一例に限定されることなく電流を一方向へ導通させる素子であればよい。また、一方向性素子として、スイッチング素子S₅、S₆と同様にスイッチング素子の内部ダイオードを用いてもよい。上述の第2回路2のブリッジ接続回路をフルブリッジの整流回路として機能させる動作の説明において、一方向性素子D₅、D₆が導通する期間に、例えば、図1のスイッチング素子S₅、S₆にオン信号を与えて、スイッチ素子Q₅、Q₆を逆方向、すなわち一方向性素子D₅、D₆の順方向に導通させてもよい。逆方向に電流を流したときのスイッチ素子Q₅、Q₆の電圧降下が順方向電流を流したときの逆一方向性素子D₅、D₆の電圧降下である順電圧よりも小さい場合には、一方向性素子D₅、D₆の導通損失よりも低減させることができる。同様に、一方向性素子D₇、D₈を含むスイッチング素子S₇、S₈又は一方向性素子D₇、D₈と並列に接続したスイッチング素子S₇、S₈を用いた場合も、スイッチ素子Q₇、Q₈を逆方向に導通させて一方向性素子D₇、D₈の導通損失よりも低減させることができる。なお、上述のコンバータにおいて第3端子T₃及び第4端子T₄側間に出力される電圧を第2回路2のスイッチング素子S₅、S₆をオンオフさせる動作で得られる出力電圧よりも低くさせる動作のみに用いる場合は、第2回路2は少なくともフルブリッジの整流回路として動作する一方向性素子D₅～D₈又は一方向性素子D₅～D₈の順方向と同じ方向に電流を流せるスイッチング素子を有すればよい。

30

40

【0067】

本関連形態のコンバータは、トランスの1次巻線又は2次巻線側に接続されるインダクタンス手段を用い、第2回路のスイッチング素子をオンオフさせる動作と第2回路のブリッジ接続回路をフルブリッジの整流回路として機能させる動作とを実現させることで広範囲な入出力電圧電流に対応させることができる。また、電流が流れている状態でスイッチ

50

ング素子をオフさせたときに発生するスイッチング損失を低減することができ、組となる第1回路のスイッチング素子のうちの一方を後からオフさせたときに発生するスイッチング損失を低減することができる。さらに、ゼロ電圧スイッチングを実現させることでスイッチング損失の低減を図ることができる。

【0068】

(第1の実施形態)

本実施形態及び以降の実施形態において、断りのない限り「第1回路1」とは「第1回路1-1」と「第1回路1-2」の双方に共通内容を説明するために使用する。

図11に、本発明の第1の実施形態に係る多入力コンバータの電気回路図を示す。図11に示される多入力コンバータは、N個(Nは2以上の整数)の1次巻線と1つの2次巻線とを有するトランス11tと、トランス11tの1次巻線11aのそれぞれに接続されるN個の第1回路1と、トランス11tの2次巻線11b側に接続される第2回路2と、インダクタンス手段Lと、制御回路3とを備える。この多入力コンバータは、各第1回路1の第1端子T1及び第2端子T2側から入力される直流を交流に変換させて第1回路1から出力し、トランス11tを介して第2回路2で交流を直流に変換して出力側の第3端子T3、第4端子T4側へ電力を供給する。図11の多入力コンバータではN=2の場合を説明しているが、Nが2より大きい場合も同様である。

【0069】

各第1回路1の構成及び第2回路の構成は、関連形態で説明した第1回路1の構成及び第2回路2の構成と同じである。トランス11tの1次巻線の数と第1回路1の数が多数であることが本実施形態と関連形態との回路構成上の相違点である。なお、トランス11tのそれぞれの1次巻線の巻き数は同じであっても異なってもよい。また、それぞれの第1回路1の第1端子T1及び第2端子T2側から入力される直流電圧は同じであっても異なってもよい。また、図11の多入力コンバータでは、インダクタンス手段Lが各第1回路1とトランス11tの1次巻線との間に配置されるが、第2回路2とトランス11tの2次巻線との間に配置してもよい。

【0070】

本実施形態の制御回路3は、それぞれの第1回路1のスイッチング素子S1~S4、第2回路2のスイッチング素子S5、S6にそれぞれ駆動信号を与えて、各スイッチング素子のオンオフ制御をする。図12及び図13は、それぞれの第1回路1のスイッチング素子S1~S4及び第2回路2のスイッチング素子S5、S6の駆動信号の一例を示す波形図である。図12は後述する「動作B」時の波形図、図13は後述する「動作A」の波形図である。1つの第1回路1と第2回路2に注視すれば、制御回路3が制御する第1回路1のスイッチング素子S1~S4及び第2回路2のスイッチング素子S5、S6の駆動信号のタイミングは関連形態での説明通りである。

【0071】

つまり、制御回路3が制御する駆動信号のタイミングとコンデンサ容量を大きくしたことによって、並列コンデンサC6及び第4コンデンサCd、並列コンデンサC5及び第3コンデンサCcの充放電動作による第2回路2のスイッチング素子S6及びS5の両端電圧の上昇を緩やかにすることができる。このため、第2回路2のスイッチング素子S6及びS5のオフ時のスイッチング損失を低減させることができる。また、制御回路3が制御する駆動信号のタイミングとコンデンサ容量を大きくしたこと、並列コンデンサC4及び第2コンデンサCb、並列コンデンサC3及び第1コンデンサCaの充放電動作によるスイッチング素子S4及びS3の両端電圧上昇を緩やかにさせることができる。よって、第1回路1のスイッチング素子S4及びS3のオフ時のスイッチング損失を低減させることができる。

【0072】

また、制御回路3が制御する駆動信号のタイミングで、スイッチング素子S1及びS2を流れる電流が小さくなった後に後からオフするスイッチング素子S1及びS2をオフするので先にオフするスイッチング素子S4及びS3よりスイッチング損失を低減させるこ

10

20

30

40

50

とができる。

【 0 0 7 3 】

さらに、制御回路 3 は、制御する駆動信号のタイミングで第 1 回路 1 毎に期間 T_d を作り出している。このため、第 1 回路 1 のスイッチング素子 (S_1 及び S_2) に並列するダイオードが導通している間にスイッチング素子 (S_1 及び S_2) をオンさせるためゼロ電圧スイッチングを実現できる。

【 0 0 7 4 】

なお、制御回路 3 が「前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダクタンス手段に蓄積させるように前記第 3 コンデンサ又は第 4 コンデンサが並列に接続された前記スイッチング素子を順方向に導通させ、前記先にオフさせる第 1 回路のスイッチング素子をオフする前に前記順方向に導通させていた第 2 回路のスイッチング素子をオフさせる」動作とは、図 6 のように各スイッチ素子をスイッチングさせる動作である。この動作は、第 3 端子 T_3 と第 4 端子 T_4 とに接続された負荷が大きな電力を要求しているときの動作であり、ここでは「動作 B」と称する。

10

【 0 0 7 5 】

また、制御回路 3 が「前記組となる第 1 回路のスイッチング素子がオン状態にある期間に前記第 1 及び第 2 端子側から入力されるエネルギーを前記インダクタンス手段を介して前記第 3 及び第 4 端子側に供給させるように前記第 2 回路のスイッチング素子を順方向に導通させない」動作とは、図 10 のように各スイッチ素子をスイッチングさせる動作である。この動作は、第 3 端子 T_3 と第 4 端子 T_4 とに接続された負荷が大きな電力を要求していないときの動作であり、ここでは「動作 A」と称する。

20

【 0 0 7 6 】

本実施形態の多入力コンバータは第 1 回路 1 を複数並列させている。それぞれの第 1 回路 1 で上記のスイッチング損失の低減やゼロ電圧スイッチングを可能とするために、本実施形態の多入力コンバータは第 1 回路 1 相互間で図 1 2 及び図 1 3 のようにスイッチ動作させる。

【 0 0 7 7 】

まず、「動作 B」について説明する。図 1 2 は、動作 B を行う場合の、それぞれの第 1 回路 1 のスイッチング素子 $S_1 \sim S_4$ 及び第 2 回路 2 のスイッチング素子 S_5 、 S_6 の駆動信号の一例を示す波形図である。

30

制御回路 3 は、組となる第 1 回路 1 のスイッチ素子 (例えば、 Q_1 と Q_4) がオン状態にある期間 (例えば、図 1 2 の) が、全ての第 1 回路 1 において重複するように第 1 回路 1 のスイッチング素子をパルス制御する。そして制御回路 3 は、第 3 端子 T_3 及び第 4 端子 T_4 間側から出力される電圧、電流もしくは電力の検出値又は第 1 端子 T_1 及び第 2 端子 T_2 間側から入力される電圧、電流又は電力の検出値が目標値に近づくように、第 1 回路 1 毎に動作 B をさせる。つまり、制御回路 3 は、第 1 回路 1 それぞれで組となる第 1 回路のスイッチング素子がオン状態にある期間に第 1 端子 T_1 及び第 2 端子 T_2 側から入力されるエネルギーをそれぞれのインダクタンス手段 L に蓄積させるようにスイッチ素子 (例えば Q_6) を順方向に導通させる (例えば図 1 2 の)。さらに制御回路 3 は、第 1 回路 1 のなかで最先に先にオフさせる第 1 回路 1 のスイッチ素子 (例えば第 1 回路 1 - 1 の Q_4) をオフする前に順方向に導通させていた第 2 回路 2 のスイッチ素子 (例えば Q_6) をオフさせる (例えば図 1 2 の)。

40

【 0 0 7 8 】

ここで、制御回路 3 は、第 1 回路 1 のスイッチング素子をパルス制御し、組となる第 1 回路のスイッチング素子がオン状態にある期間と第 1 回路のなかで最先に前記先にオフさせる第 1 回路 (例えば、第 1 回路 1 - 1) のスイッチング素子をオフする前に前記順方向に導通させていた第 2 回路のスイッチング素子 (例えば S_6) の導通期間との重複期間 (例えば図 1 2 の) を、所望のエネルギーが第 1 端子 T_1 及び第 2 端子 T_2 側からそれぞれのインダクタンス手段 L を介して第 3 端子 T_3 及び第 4 端子 T_4 側に供給されるように

50

第 1 回路 1 毎に調整することが好ましい。

【 0 0 7 9 】

また、制御回路 3 は、第 3 端子 T 3 及び第 4 端子 T 4 間側から出力される電圧、電流もしくは電力の検出値又は第 1 端子 T 1 及び第 2 端子 T 2 間側から入力される電圧、電流又は電力の検出値が目標値に近づくように、第 1 回路毎に動作 A をさせることもできる。図 1 3 は、動作 A を行う場合の、それぞれの第 1 回路 1 のスイッチング素子 S 1 ~ S 4 及び第 2 回路 2 のスイッチング素子 S 5、S 6 の駆動信号の一例を示す波形図である。つまり、制御回路 3 は、第 1 回路 1 それぞれで組となる第 1 回路のスイッチング素子がオン状態にある期間（例えば、図 1 3 の ）に第 1 端子 T 1 及び第 2 端子 T 2 側から入力されるエネルギーをそれぞれのインダクタンス手段 L を介して第 3 端子 T 3 及び第 4 端子 T 4 側に供給させるように第 2 回路 2 のスイッチング素子を順方向に導通させない（第 2 回路 2 を短絡状態とし、インダクタンス手段 L にエネルギーを蓄積させない）。

10

【 0 0 8 0 】

制御回路 3 は、第 3 端子 T 3 及び第 4 端子 T 4 間側から出力される電圧、電流もしくは電力の検出値又は第 1 端子 T 1 及び第 2 端子 T 2 間側から入力される電圧、電流又は電力の検出値が目標値に近づくように、動作 A と動作 B を適宜選択することができる。

【 0 0 8 1 】

制御回路 3 は、組となる第 1 回路 1 のスイッチング素子がオン状態にある期間に第 1 端子 T 1 及び第 2 端子 T 2 側から入力され、インダクタンス手段 L を介して第 3 端子 T 3 及び第 4 端子 T 4 側に供給させるエネルギーに比例して、第 1 回路 1 それぞれの、先にオフさせる第 1 回路のスイッチ素子（例えば図 1 2 のスイッチ素子 Q 3、Q 4）をオフするタイミングを制御する（例えば図 1 2 の ）。

20

【 0 0 8 2 】

例えば、それぞれの第 1 回路 1 の第 1 端子 T 1 及び第 2 端子 T 2 に入力する直流電源の電圧（E 1、E 2）が $E 1 > E 2$ であったと仮定する。前述のように第 1 回路 1 のスイッチング素子（S 1 1、S 1 2、S 2 1、S 2 2）をゼロ電圧でオンさせるためにトランス 1 1 t で発生する励磁電流を利用するが、E 1 と E 2 に差がある場合、励磁電流は電圧が高い方（E 1 が入力される第 1 回路）に偏るため、他方（E 2 が入力される第 1 回路）ではゼロ電圧スイッチングに必要な励磁電流が不足することになる。このような不具合を防ぐために、制御回路 3 は、電圧が低い方（E 2 が入力される第 1 回路 1 - 2）のスイッチ素子（Q 3、Q 4）がオフする前に電圧が高い方（E 1 が入力される第 1 回路 1 - 1）のスイッチ素子（Q 3、Q 4）をオフさせる（例えば図 1 2 の）。このようにスイッチングすることで、電圧が低い方（E 2 が入力される第 1 回路 1 - 2）にも励磁電流が流れるようになり、ゼロ電圧スイッチングが可能になる。なお、電圧が高い方（E 1 が入力される第 1 回路 1 - 1）のスイッチ素子（Q 3、Q 4）をオフしてから電圧が低い方（E 2 が入力される第 1 回路）のスイッチ素子（Q 2 3、Q 2 4）がオフするまでの時間は、E 1 と E 2 の電圧差に比例して長く設定する。

30

【 0 0 8 3 】

図 1 4 は、第 1 回路 1 の第 1 端子 T 1 及び第 2 端子 T 2 に入力する直流電源の電圧に差がある場合の各スイッチ素子に流れる電流と励磁電流の様子を説明する図である。電圧が低い方（E 2 が入力される第 1 回路 1 - 2）のスイッチ素子 Q 4 がオフする前に電圧が高い方（E 1 が入力される第 1 回路 1 - 1）のスイッチ素子 Q 4 をオフさせることで電圧が低い方（E 2 が入力される第 1 回路 1 - 2）にも励磁電流が流れることが表れている。なお、破線は、電圧が低い方（E 2 が入力される第 1 回路 1 - 2）のスイッチ素子 Q 4 がオフする前に電圧が高い方（E 1 が入力される第 1 回路 1 - 1）のスイッチ素子 Q 4 をオフさせなかった場合の第 1 回路の電流を表している。励磁電流が電圧が高い方（E 1 が入力される第 1 回路 1 - 1）に流れてしまい、電圧が低い方（E 2 が入力される第 1 回路 1 - 2）は逆向きの電流となりゼロ電圧スイッチングができないことがわかる。

40

【 0 0 8 4 】

なお、本実施形態では、トランス 1 1 t の各 1 次巻線の巻き数が同じ場合を説明したが

50

、トランス 1 1 t の各 1 次巻線の巻き数が異なる場合も同様である。具体的には、第 1 回路に入力する電圧が同じであれば、トランス 1 1 t の巻き数が多い 1 次巻線に接続する第 1 回路のスイッチ素子をオフしてから巻き数が少ない 1 次巻線に接続する第 1 回路のスイッチ素子がオフするまでの時間を、1 次巻線の巻き数差に応じて長く設定する。第 1 回路に入力する電圧が異なる場合は、第 1 回路に入力する電圧と 1 次巻線の巻き数との積に基づいて第 1 回路のスイッチ素子をオフする時間を決める。つまり、前記積が大きい第 1 回路のスイッチ素子をオフしてから前記積が小さい第 1 回路のスイッチ素子がオフするまでの時間を、前記積に応じて長く設定する。

【 0 0 8 5 】

以上のように本実施形態は、図 1 1 のように簡単な回路構成で多入力可能なコンバータを実現でき、且つ図 1 2 や図 1 3 のようにスイッチング素子を制御することでスイッチング損失も低減することができる。つまり、本実施形態のコンバータは、トランスを 1 つとした簡単な回路構成の特許文献 5 や特許文献 6 の装置で実現できなかったスイッチング損失の低減を実現することができた。

【 0 0 8 6 】

(第 2 の実施形態)

図 1 5 に、本発明の第 2 の実施形態に係る双方向コンバータの電気回路図を示す。本発明の第 2 の実施形態に係る双方向コンバータにおいて、関連形態のコンバータと符号が同じ構成要素は、相互に同一のものを示すものとする。ここでは、主に第 1 の実施形態のコンバータと異なる構成及び動作について説明する。

【 0 0 8 7 】

第 2 の実施形態に係る双方向コンバータでは、双方向で動作させるため、第 2 回路は、第 1 回路と同様の構成になるようにする。このため、図 1 5 では、第 2 回路 2 2 は、スイッチング素子を 2 つのレグの上下アームとした回路構成にする。また、第 2 回路 2 2 のスイッチング素子 S 7、S 8 にも駆動信号を与えることから、ここでは、制御回路 2 3 とする。なお、第 1 回路 1 の第 1 レグ 1 2、第 2 レグ 1 3 及び第 2 回路 2 2 の第 3 レグ 1 4 については、関連形態で述べた図 1 に示す構成と同様である。また、図 1 と同様に、図 1 5 では、インダクタンス手段 L は、1 次巻線 1 1 a 側に接続されているが、2 次巻線 1 1 b 側に接続させてもよい。

【 0 0 8 8 】

第 1 回路 1 で組となる第 1 回路 1 のスイッチング素子 S 1 と S 4、S 2 と S 3 のうち、先にオフさせる一方のレグの上下アーム、ここでは第 1 レグ 1 2 の上下アームのスイッチング素子 S 3、S 4 が直列に接続される。先にオフさせる第 1 回路 1 のスイッチング素子 S 3、S 4 には、それぞれ第 1、第 2 コンデンサ C a、C b が並列に接続される。

【 0 0 8 9 】

図 1 5 に示すように、第 2 回路 2 2 の第 3 レグ 2 4、第 4 レグ 2 5 は、第 3 端子 T 3 と第 4 端子 T 4 との間にそれぞれ並列に接続される。第 3 レグ 2 4、第 4 レグ 2 5 は、上下アームをスイッチング素子 S 5 ~ S 8 で構成したフルブリッジ接続の回路となる。また、スイッチング素子 S 5 ~ S 8 は、スイッチ素子 Q 5 ~ Q 8 と一方向性素子 D 5 ~ D 8 と並列コンデンサ C 5 ~ C 8 とがそれぞれ並列に接続される。なお、関連形態と同様に、一方向性素子 D 5 ~ D 8 は、図 1 5 に示したように第 2 回路 2 2 のスイッチング素子 S 5 ~ S 8 の内蔵ダイオードを用いてもよく、第 2 回路 2 2 のスイッチング素子 S 5 ~ S 8 とは別に外付けされたダイオードを用いてもよく、またはこれらの組み合わせであってもよい。同様に、並列コンデンサ C 5 ~ C 8 は、図 1 5 に示したように第 2 回路 2 2 のスイッチング素子 S 5 ~ S 8 の寄生容量を用いてもよく、第 2 回路 2 2 のスイッチング素子 S 5 ~ S 8 とは別に外付けされたコンデンサを用いてもよく、またはこれらの組み合わせであってもよい。

【 0 0 9 0 】

第 2 回路 2 2 から第 1 回路 1 側へ電力を供給する場合に、第 2 回路 2 2 で組となるスイッチング素子 S 5 と S 8、S 6 と S 7 のうち、先にオフさせる一方のレグの上下アーム、

10

20

30

40

50

ここでは第3レグ24の上下アームのスイッチング素子S5、S6が直列に接続される。先にオフさせるスイッチング素子S5、S6には、それぞれ第3、第4コンデンサCc、Cdが並列に接続される。

【0091】

第1回路1から第2回路22側へ電力を供給する場合は、上記の実施形態1で述べたのと同様の動作を行う。また、第2回路22から第1回路1側へ電力を供給する場合、制御回路23は、第2回路22で組となるスイッチング素子S5とS8、S6とS7のうち、第3、第4コンデンサCc、Cdがそれぞれ並列に接続されたスイッチング素子S5、S6を先にオフさせる。

【0092】

第1回路1から第2回路22側へ電力を供給するときに、出力側となる第2回路2のスイッチング素子をオンオフさせる場合は、関連形態と同様に、制御回路23は、第2回路22の第3、第4コンデンサCc、Cdが並列に接続されたスイッチング素子S5、S6をオンオフさせる。また、第2回路22から第1回路1側へ電力を供給する場合ときに、出力側となる第1回路1のスイッチング素子をオンオフさせる場合は、制御回路23は、第1回路1のうち第1、第2コンデンサCa、Cbがそれぞれ並列に接続された第1回路1のスイッチング素子S3、S4をオンオフさせる。なお、出力側の電圧を第2回路又は第1回路のスイッチング素子をオンオフさせる動作で得られる出力電圧よりも低くさせる動作の場合は、関連形態で述べたように、出力側の第2回路22のスイッチング素子S5～S8又は第1回路1のスイッチング素子S1～S4は整流回路として機能する。

【0093】

また、制御回路23は、出力側の第2回路22又は第1回路1を整流回路として機能させる動作を行っている場合において、第1回路1又は第2回路22のスイッチング素子のパルス幅や周波数を変調させても第3端子T3、第4端子T4間又は第1端子T1、第2端子T2間側から出力される電圧の検出値が目標値に近づかない場合は、出力側の第2回路22又は第1回路1のスイッチング素子をオンオフさせる動作に切り替える。

【0094】

具体的には、第1回路1から第2回路22側へ電力を供給する場合に、制御回路23は、組となる第1回路1のスイッチング素子S1とS4又はS2とS4がオン状態にある期間に第1端子T1及び第2端子T2側から入力されるエネルギーをインダクタンス手段Lを介して第3端子T3及び第4端子T4側に供給させるように第1回路1のスイッチング素子S4又はS3をパルス制御する。このときに、第2回路22のスイッチング素子S5及びS6を順方向に導通させない。この状態から、組となる第1回路1のスイッチング素子S1とS4又はS2とS4がオン状態にある期間に第1端子T1及び第2端子T2側から入力されるエネルギーをインダクタンス手段Lに蓄積させるように第3コンデンサCc又は第4コンデンサCdが並列に接続された第2回路22のスイッチング素子S6又はS5を順方向に導通させる。そして、先にオフさせる第1回路1のスイッチング素子S4又はS3をオフする前に順方向に導通させている第2回路22のスイッチング素子S6又はS5をオフさせる動作に切り替える。

【0095】

逆に、制御回路23は、出力側の第2回路22又は第1回路1のスイッチング素子をオンオフさせる動作を行っている場合において、第2回路22又は第1回路1のスイッチング素子のパルス幅や周波数を変調させても第3端子T3、第4端子T4間又は第1端子T1、第2端子T2間側から出力される電圧の検出値が目標値に近づかない場合は、出力側の第2回路22又は第1回路1を整流回路として機能させる動作に切り替える。

【0096】

具体的には、第1回路1から第2回路22側へ電力を供給する場合に、制御回路23は、組となる第1回路1のスイッチング素子S1とS4又はS2とS3とがオン状態にある期間に第1端子T1及び第2端子T2側から入力されるエネルギーをインダクタンス手段Lに蓄積させるように第3コンデンサCc又は第4コンデンサCdが並列に接続された第

10

20

30

40

50

2回路22のスイッチング素子S6又はS5を順方向に導通させる。このとき、先にオフさせる第1回路1のスイッチング素子S4又はS3をオフする前に順方向に導通させている第2回路22のスイッチング素子S6又はS5をオフさせる第2回路22のスイッチング素子S6又はS5のパルス制御を行っているとする。次に、この動作から、組となる第1回路1のスイッチング素子S1とS4又はS2とS4とがオン状態にある期間に第1端子T1及び第2端子T2側から入力されるエネルギーをインダクタンス手段Lを介して第3端子T3及び第4端子T4側に供給させるように第2回路22のスイッチング素子を順方向に導通させない動作に切り替える。

【0097】

上述のように動作を切り替えて、第3、第4端子間又は第1、第2端子間側から出力される電圧の検出値を目標値に近づけさせるように、第1回路、第2回路のスイッチング素子のパルス制御を行う。2つの動作を切り替えることで、トランスの巻数比などの回路定数や負荷条件にとらわれずに、広範囲な入出力電圧電流に対応させることができる。

【0098】

上述のように本発明では、入力側の第1又は第2回路の組となるスイッチ素子のうち、先にオフさせるスイッチ素子に並列に接続されるコンデンサの容量が、後にオフさせるスイッチ素子に並列に接続されるコンデンサの容量よりも大きくなるようにする。同様に、オンオフさせる出力側の第2回路又は第1回路のスイッチング素子についても並列にコンデンサを接続する。このことにより、第1回路のスイッチング素子、第2回路のスイッチング素子のオン時、オフ時に生じるスイッチング損失を低減させている。

【0099】

また、後にオフさせる第1回路1のスイッチング素子S1、S2又は第2回路22のスイッチング素子S7、S8についてゼロ電圧スイッチングを実現させるためには、例えば、第1回路1のスイッチング素子S1又は第2回路22のスイッチング素子S7をオフさせる場合、これと同じレグにある他方のアームの第1回路1のスイッチング素子S2又は第2回路22のスイッチング素子S8の両端電圧をゼロに下げてからスイッチ素子Q2又はQ8にオン信号を与える必要がある。この第1回路1のスイッチング素子S2又は第2回路22のスイッチング素子S8の両端電圧、つまりコンデンサC2又はC8電圧がゼロになるまで放電させる放電動作は上述の励磁電流が流れることによる。

【0100】

よって、後にオフさせる第1回路1のスイッチング素子S2又は第2回路22のスイッチング素子S8のゼロ電圧スイッチングを実現させるためには、まず励磁電流を第1回路1のスイッチング素子S2又は第2回路22のスイッチング素子S8の両端電圧をゼロまで下げることができる大きさにする必要がある。さらに、励磁電流によって第1回路1のスイッチング素子S2又は第2回路22のスイッチング素子S8の両端電圧をゼロまで下げることができるような第1回路1のスイッチング素子S1、S2又は第2回路22のスイッチング素子S7、S8を共にオフさせる期間Tdを設ける必要がある。後にオフさせる第1回路1のスイッチング素子S1、第2回路22のスイッチング素子S7について、ゼロ電圧スイッチングを実現させる場合も同様である。第1回路1のスイッチング素子S1又は第2回路22のスイッチング素子S8の両端電圧をゼロまで下げることができるような大きさの励磁電流と第1回路1のスイッチング素子S1、S2又は第2回路22のスイッチング素子S7、S8を共にオフさせる期間Tdを設ける必要がある。

【0101】

なお、第1回路1のスイッチング素子S1、S2を共にオフさせる期間Tdを大きな値に設定すると、スイッチング素子S1又はS2の両端電圧がゼロまで下がった後に再度電圧が上昇してしまう、つまりコンデンサC1又はC2がゼロまで放電された後に充電されてしまうことがある。このため、スイッチング素子S1、S2を共にオフさせる期間Tdは、スイッチング素子S1又はS2の両端電圧がゼロまで下がる期間程度とするのが好ましい。第2回路22のスイッチング素子S7、S8についても同様である。また、後にオフさせるスイッチ素子Q1、Q2に並列に接続される並列コンデンサC1、C2は、第1

10

20

30

40

50

回路1のスイッチング素子S1、S2内蔵の寄生容量を利用してもよい。ただし、寄生容量はもともと小さい容量の上、部品によってはバラツキがあり、本発明の動作として寄生容量だけでは不十分な場合もある。このような場合、第1回路1のスイッチング素子S1、S2内蔵の寄生容量に別付けのコンデンサを並列に接続させ、これらの合成容量を上記並列コンデンサC1、C2としてもよい。第2回路2の並列コンデンサC7、C8についても同様である。

【0102】

以上のように本実施形態は、図15のように簡単な回路構成で多入力可能な双方向コンバータを実現でき、且つ図12や図13のようにスイッチング素子を制御することでスイッチング損失も低減することができる。つまり、本実施形態の双方向コンバータは、トランスを1つとした簡単な回路構成の特許文献5や特許文献6の装置で実現できなかったスイッチング損失の低減を実現することができた。

10

【0103】

(他の実施形態)

本発明では、上述の説明において、励磁電流を適切な大きさにするためにトランス11tの1次巻線又は2次巻線に並列に設けられるインダクタンス成分も上述のトランスの励磁インダクタンスに含まれる。また、上述の説明において、トランス11tの励磁インダクタンスとこれに並列に設けられるインダクタンス成分とによる合成インダクタンスによって流れる電流も上述の励磁電流に含まれる。トランスの励磁インダクタンスは、トランスの構造において、例えば、コアのギャップ幅、巻線の巻数、コアの材質などによって調整することができる。

20

【0104】

上記の第1、第2の実施形態では、制御回路3、23は、第2回路の出力電圧検出手段18、第1回路の出力電圧検出手段19によって検出された電圧値が目標値に近づくようにしているが、用いる検出値は出力電流値や出力電力の他にこれらの組み合わせであってもよい。同様に入力側の電圧、電流又は電力の検出値が目標値に近づくようにしてもよい。なお、一般的に、電力の検出値としては、検出された電圧及び電流を乗算した演算値を用いる。上述の出力される電圧、電流もしくは電力の検出値又は入力される電圧、電流又は電力の検出値には、これらの値にある係数を乗除算したり、ある値を加減算等したりといった演算をして得られた値も含まれる。

30

【0105】

本発明は、トランスの1次巻線又は2次巻線側に接続されるインダクタンス手段を用いて、出力側の第2回路又は第1回路のスイッチング素子をオンオフさせる動作と出力側の第2回路又は第1回路を整流回路として機能させる動作とを実現させることで広範囲な入出力電圧電流に対応させることができる。また、電流が流れている状態でスイッチング素子をオフさせたときに発生するスイッチング損失を低減することができ、組となる第1回路のスイッチング素子のうちの一方を後からオフさせたときに発生するスイッチング損失を低減することができる。さらに、ゼロ電圧スイッチングを実現させることでスイッチング損失の低減を図ることができる。

【0106】

本発明の電気回路において、接続点とは電氣的に接続されて同電位にある部位を言い、物理的に接続された点を言うものではない。また、本発明のコンバータ及び双方向コンバータにおける各部の構成、構造、数、配置、形状、材質などに関しては、上記具体例に限定されず、当業者が適宜選択的に採用したのも、本発明の要旨を包含する限り、本発明の範囲に包含される。

40

【0107】

より具体的には、例えば、半導体素子として記号により例示したものなどは、これら特定の電気素子には限定されず、同様の機能または作用を有する単一の電気素子あるいは複数の電気素子を含む電気回路として構成することができ、これらすべての変形は、本発明の範囲に包含される。同様に、ダイオード、コンデンサ、スイッチング素子をはじめとす

50

る各回路素子の数や配置関係などについても、当業者が適宜設計変更したものは本発明の範囲に包含される。

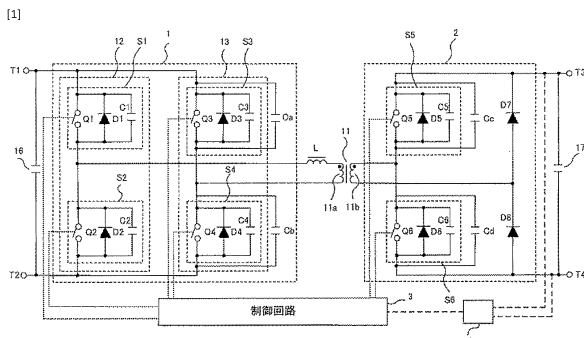
【符号の説明】

【0108】

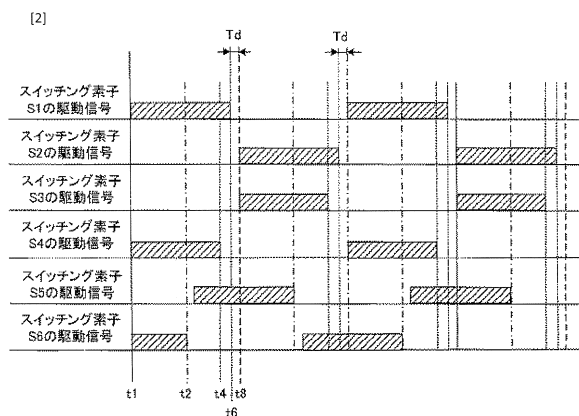
T1・・・第1端子、T2・・・第2端子、T3・・・第3端子、T4・・・第4端子、1、1-1、1-2・・・第1回路、2、22・・・第2回路、3、23・・・制御回路、11・・・トランス、12・・・第1レグ、13・・・第2レグ、24・・・第3レグ、25・・・第4レグ、16、17・・・コンデンサ、18・・・第2回路の出力電圧検出手段、19・・・第1回路の出力電圧検出手段、S1～S4・・・第1回路のスイッチング素子、Q1～Q4・・・スイッチ素子、D1～D4・・・逆並列ダイオード、C1～C4・・・並列コンデンサ、D5～D8・・・一方向性素子(逆並列ダイオード)、S5～S8・・・第2回路のスイッチング素子、Q5～Q8・・・スイッチ素子、C5～C8・・・並列コンデンサ、Ca～Cd・・・第1～第4コンデンサ、L・・・インダクタンス手段

10

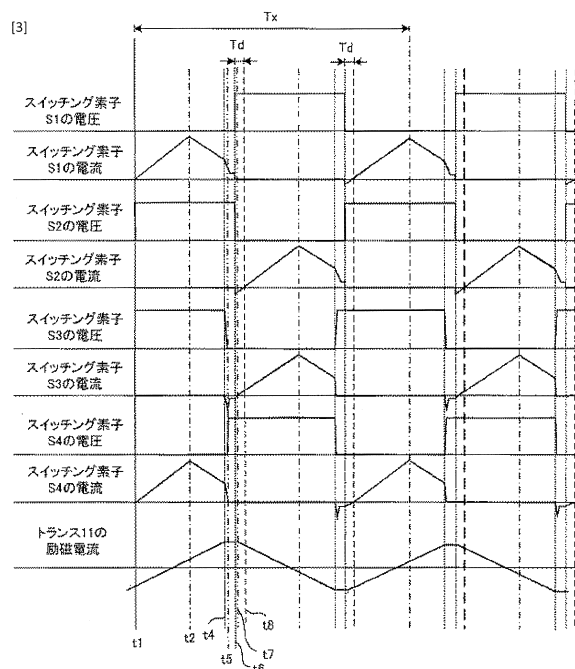
【図1】



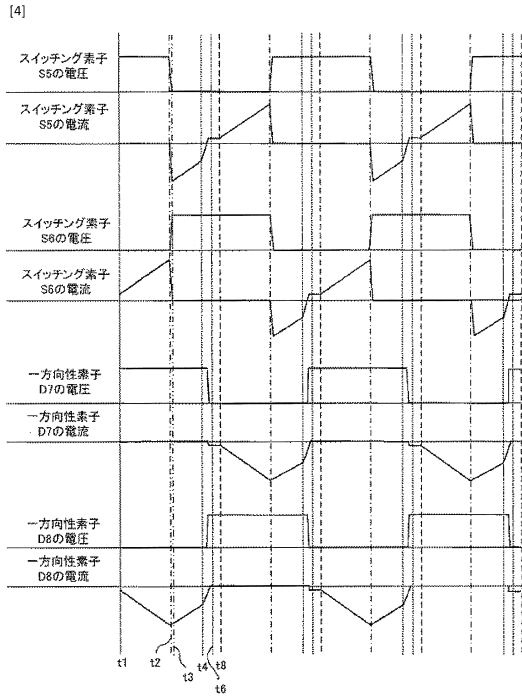
【図2】



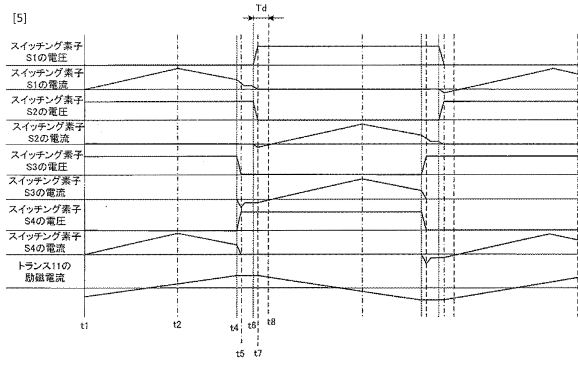
【図3】



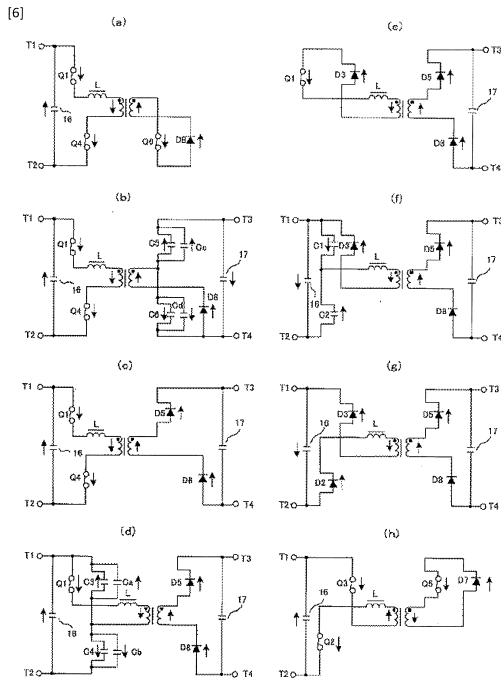
【図4】



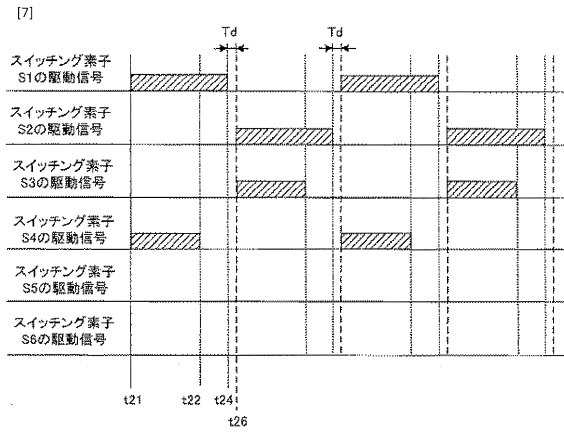
【図5】



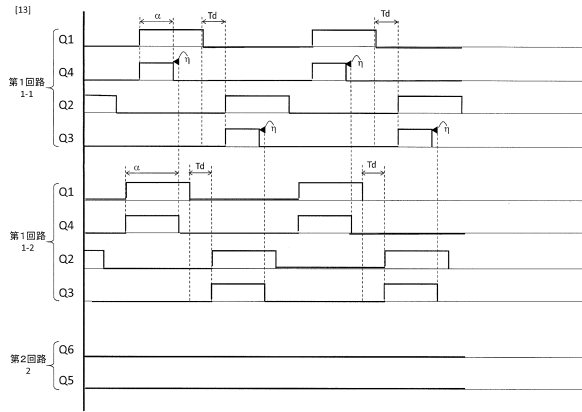
【図6】



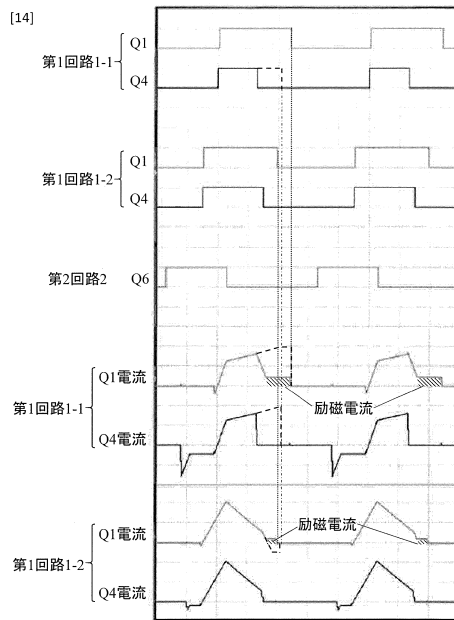
【図7】



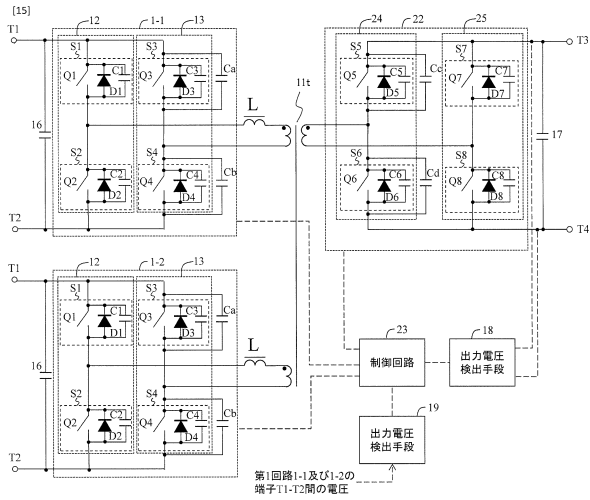
【図13】



【図14】



【図15】



フロントページの続き

審査官 佐藤 匡

- (56)参考文献 米国特許出願公開第2008/0205088(US, A1)
特開2014-075943(JP, A)
特開2015-154506(JP, A)
特開2005-229731(JP, A)
米国特許出願公開第2015/0103561(US, A1)
特許第5552149(JP, B2)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/28