

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6964566号
(P6964566)

(45) 発行日 令和3年11月10日 (2021. 11. 10)

(24) 登録日 令和3年10月21日 (2021. 10. 21)

(51) Int. Cl.	F I
HO 1 L 29/739 (2006. 01)	HO 1 L 29/78 6 5 5 B
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 3 A
HO 1 L 29/06 (2006. 01)	HO 1 L 29/78 6 5 2 J
HO 1 L 29/861 (2006. 01)	HO 1 L 29/78 6 5 2 P
HO 1 L 29/868 (2006. 01)	HO 1 L 29/06 3 0 1 V
請求項の数 5 (全 61 頁) 最終頁に続く	

(21) 出願番号	特願2018-153571 (P2018-153571)	(73) 特許権者	000006013
(22) 出願日	平成30年8月17日 (2018. 8. 17)		三菱電機株式会社
(65) 公開番号	特開2020-27921 (P2020-27921A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	令和2年2月20日 (2020. 2. 20)	(74) 代理人	100088672
審査請求日	令和2年8月27日 (2020. 8. 27)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	中村 勝光
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		審査官	市川 武宜
		最終頁に続く	

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

一方主面および他方主面を有し、第1導電型のドリフト層を主要構成部として含む半導体基体と、

前記半導体基体内において、前記ドリフト層に対し他方主面側に前記ドリフト層に隣接して形成される第1導電型のバッファ層と、

前記半導体基体の他方主面上に形成される、第1および第2導電型のうち少なくとも一つの導電型を有する活性層と、

前記半導体基体の一方主面上に形成される第1電極と、

前記活性層上に形成される第2電極と、を備え、

前記バッファ層は、

前記活性層と接合し、不純物濃度のピーク点を1つ有する第1バッファ層と、

前記第1バッファ層および前記ドリフト層と接合し、不純物濃度のピーク点を少なくとも1つ有し、前記第1バッファ層より最大不純物濃度が低い第2バッファ層とを備え、

前記第1バッファ層の前記ピーク点の不純物濃度は、前記ドリフト層の不純物濃度よりも高く、

前記第2バッファ層の不純物濃度は、前記第2バッファ層の全領域において前記ドリフト層の不純物濃度よりも高く、

前記第2バッファ層の実効トータルドーズ量は、 $1.0 \times 10^{10} \text{ cm}^{-2}$ 以上 $1.0 \times 10^{12} \text{ cm}^{-2}$ 以下であり、

耐圧が 4 5 0 0 V 以下である、
半導体装置。

【請求項 2】

前記第 2 バッファ層は、不純物濃度のピーク点をそれぞれ一つ有する複数のサブバッファ層の積層構造であり、

前記複数のサブバッファ層のうち最も他方主面側のサブバッファ層である第 1 サブバッファ層は前記第 1 バッファ層と接合し、

各前記複数のサブバッファ層の最大不純物濃度は、前記他方主面側に隣接する前記サブバッファ層の最大不純物濃度と等しいか、より大きい、

請求項 1 に記載の半導体装置。

10

【請求項 3】

前記第 1 サブバッファ層の不純物濃度のピーク点は、前記第 1 サブバッファ層の中央部より、前記第 1 サブバッファ層と前記第 1 バッファ層との接合部に近い位置にある、

請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 バッファ層のキャリアライフタイムは、前記第 1 バッファ層のキャリアライフタイムより小さい、

請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置の製造方法であって、

20

(a) 半導体基体の一方主面上に第 1 電極を形成する工程と、

(b) 工程 (a) の後、第 1 電極の形成面を保護する保護膜を形成する工程と、

(c) 工程 (b) の後、前記半導体基体の他方主面を研磨またはエッチングして前記半導体基体の厚みを制御する工程と、

(d) 工程 (c) の後、前記半導体基体の他方主面側から第 1 イオンを注入する工程と

、

(e) 工程 (d) の後、前記半導体基体をアニールすることにより前記第 1 イオンを活性化させて前記第 1 バッファ層を形成する工程と、

(f) 工程 (e) の後、前記半導体基体の他方主面側から第 2 イオンを注入する工程と

、

(g) 工程 (f) の後、前記半導体基体をアニールすることにより前記第 2 イオンを活性化させて第 2 バッファ層を形成する工程と、

30

(h) 工程 (g) の後、前記半導体基体の他方主面に第 2 電極を形成する工程と、を備え、

前記工程 (g) におけるアニール温度は、3 7 0 以上 4 2 0 以下である、
半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、I G B T、ダイオード等のパワー半導体素子を有する半導体装置に関する。

40

【背景技術】

【0002】

従来のトレンチゲート型 I G B T および P I N ダイオード等の縦型の半導体装置は縦構造領域を有している。I G B T では、N 型のドリフト層、N 型のバッファ層および P 型のコレクタ層を含む領域が縦構造領域となり、ダイオードでは、N 型のドリフト層、N 型のバッファ層および N 型のカソード層を含む領域が縦構造領域となる。特許文献 1 には、縦構造を有する I G B T が開示されている。

【0003】

縦構造領域を有する I G B T またはダイオード等の従来の縦型の半導体装置では、半導

50

体装置を製造するSiウエハとして、エピタキシャル成長で製造されるウエハに代えてFZ法で製造されるウエハを用いることがある。その際、ウエハの縦構造領域、例えばIGBTにおけるN型のバッファ層は高い不純物濃度を持ち、かつその不純物プロファイルは、N型のドリフト層との接合部にかけて急峻な勾配を有する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開第2014/054121号

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

縦構造を有する半導体装置におけるバッファ層の上記のような不純物プロファイルは、ターンオフ動作の制御性が悪く、かつターンオフ時の遮断能力の低下を招く等、種々の問題点があった。

【0006】

本発明では、上記のような問題点を解決し、縦構造を有する半導体装置において、安定的な耐圧特性、オフ時におけるリーク電流の低減化に伴う低オフロス化、ターンオフ動作の制御性向上、およびターンオフ時の遮断能力の向上を図ることを目的とする。

【課題を解決するための手段】

【0007】

20

本発明の半導体装置は、一方主面および他方主面を有し、第1導電型のドリフト層を主要構成部として含む半導体基体と、半導体基体内において、ドリフト層に対し他方主面側にドリフト層に隣接して形成される第1導電型のバッファ層と、半導体基体の他方主面上に形成される、第1および第2導電型のうち少なくとも一つの導電型を有する活性層と、半導体基体の一方主面上に形成される第1電極と、活性層上に形成される第2電極と、を備え、バッファ層は、活性層と接合し、不純物濃度のピーク点を1つ有する第1バッファ層と、第1バッファ層およびドリフト層と接合し、不純物濃度のピーク点を少なくとも1つ有し、第1バッファ層より最大不純物濃度が低い第2バッファ層とを備え、第1バッファ層のピーク点の不純物濃度は、ドリフト層の不純物濃度よりも高く、第2バッファ層の不純物濃度は、第2バッファ層の全領域においてドリフト層の不純物濃度よりも高く、前記第2バッファ層の実効トータルドーズ量は、 $1.0 \times 10^{10} \text{ cm}^{-2}$ 以上 $1.0 \times 10^{12} \text{ cm}^{-2}$ 以下であり、耐圧が4500V以下である。

30

【発明の効果】

【0008】

本発明の半導体装置において、第1バッファ層のピーク点の不純物濃度は、ドリフト層の不純物濃度よりも高く、第2バッファ層の不純物濃度は、第2バッファ層の全領域においてドリフト層の不純物濃度よりも高いため、安定的な耐圧特性、オフ時におけるリーク電流の低減化に伴う低オフロス化、ターンオフ動作の制御性向上、およびターンオフ時の遮断能力の向上を実現する。

40

【図面の簡単な説明】

【0009】

【図1】本発明の基本構造となるトレンチゲート型IGBTの断面図である。

【図2】本発明の基本構造となるPINダイオードの断面図である。

【図3】本発明の基本構造となるRFC(Relaxed Field of Cathode)ダイオードの断面図である。

【図4】図1から図3で示した縦型の半導体装置の平面図である。

【図5】IGBTの製造工程を示す断面図である。

【図6】IGBTの製造工程を示す断面図である。

【図7】IGBTの製造工程を示す断面図である。

50

- 【図 8】 I G B T の製造工程を示す断面図である。
- 【図 9】 I G B T の製造工程を示す断面図である。
- 【図 10】 I G B T の製造工程を示す断面図である。
- 【図 11】 I G B T の製造工程を示す断面図である。
- 【図 12】 I G B T の製造工程を示す断面図である。
- 【図 13】 I G B T の製造工程を示す断面図である。
- 【図 14】 I G B T の製造工程を示す断面図である。
- 【図 15】 I G B T の製造工程を示す断面図である。
- 【図 16】 I G B T の製造工程を示す断面図である。
- 【図 17】 I G B T の製造工程を示す断面図である。 10
- 【図 18】 R F C ダイオードの製造工程を示す断面図である。
- 【図 19】 R F C ダイオードの製造工程を示す断面図である。
- 【図 20】 R F C ダイオードの製造工程を示す断面図である。
- 【図 21】 R F C ダイオードの製造工程を示す断面図である。
- 【図 22】 R F C ダイオードの製造工程を示す断面図である。
- 【図 23】 R F C ダイオードの製造工程を示す断面図である。
- 【図 24】 R F C ダイオードの製造工程を示す断面図である。
- 【図 25】 R F C ダイオードの製造工程を示す断面図である。
- 【図 26】 R F C ダイオードの製造工程を示す断面図である。
- 【図 27】 本発明の提案する縦構造領域の考え方を示す説明図である。 20
- 【図 28】 本発明の提案する縦構造領域の考え方を示す説明図である。
- 【図 29】 本発明の提案する縦構造領域の考え方を示す説明図である。
- 【図 30】 トレンチゲート型 I G B T の活性セル領域の断面図である。
- 【図 31】 P I N ダイオードの活性セル領域の断面図である。
- 【図 32】 R F C ダイオードの活性セル領域の断面図である。
- 【図 33】 第 1 構造および第 2 構造の不純物プロファイルを示す図である。
- 【図 34】 図 33 の領域 A 3 の拡大図である。
- 【図 35】 第 2 バッファ層のキャリアライフタイムとアニール温度との関係を示す図である。
- 【図 36】 第 2 構造の第 1 バッファ層および第 2 バッファ層のフォトルミネッセンス法によるスペクトル測定結果を示す図である。 30
- 【図 37】 I G B T のターンオフ波形を示す図である。
- 【図 38】 ダイオードのリカバリー波形を示す図である。
- 【図 39】 R F C ダイオードにおける、 s n a p - o f f 電圧と蓄積電荷量の電源電圧に対する特性を示す図である。
- 【図 40】 R F C ダイオードの低温でのリカバリー波形を示す図である。
- 【図 41】 R F C ダイオードの低温でのリカバリー波形を示す図である。
- 【図 42】 安全動作温度と第 2 バッファ層のアニール温度との関係を示す図である。
- 【図 43】 第 2 構造の N バッファ層について 4 通りの不純物プロファイルを示す図である。 40
- 【図 44】 R F C ダイオードの逆バイアス時のリーク電流密度と逆バイアス電圧との関係を示す図である。
- 【図 45】 サンプル 1 - 3 の不純物プロファイルを適用した R F C ダイオードのリカバリー波形を示す図である。
- 【図 46】 図 45 のリカバリー波形から抽出された s n a p - o f f 電圧と電源電圧との関係を示す図である。
- 【図 47】 サンプル 1 - 3 の不純物プロファイルを適用した R F C ダイオードのダイオード性能を示す図である。
- 【図 48】 サンプル 1 と同等のダイオード性能を保証可能な第 2 バッファ層の不純物プロファイルを示す図である。 50

【図49】サンプル1, 5, 6の不純物プロファイルを適用したR F Cダイオードのダイオード性能を示す図である。

【図50】I G B Tのターンオフ波形を示す図である。

【図51】I G B Tのターンオフ動作時のs n a p - o f f電圧と電源電圧との関係を示す図である。

【図52】I G B Tにおけるs n a p - o f f電圧と第2バッファ層の実効トータルドーズ量との関係を示す図である。

【図53】R F Cダイオードの低温でのリカバリー動作における、安全動作温度および蓄積電荷量と第2バッファ層の実効トータルドーズ量との関係を示す図である。

【図54】R F Cダイオードの273 Kから298 Kのリカバリー動作時の破壊波形を示す図である。 10

【図55】R F Cダイオードのリカバリー波形を示す図である。

【図56】図55の解析ポイントにおける電流密度分布を示す図である。

【図57】比較例のR F Cダイオードについて、図55の解析ポイントにおけるP I Nダイオード領域の電子濃度分布を示す図である。

【図58】比較例のR F Cダイオードについて、図55の解析ポイントにおけるP I Nダイオード領域のホール濃度分布を示す図である。

【図59】比較例のR F Cダイオードについて、図55の解析ポイントにおけるP I Nダイオード領域の電界強度分布を示す図である。

【図60】比較例のR F Cダイオードについて、図55の解析ポイントにおけるP N Pトランジスタ領域の電子濃度分布を示す図である。 20

【図61】比較例のR F Cダイオードについて、図55の解析ポイントにおけるP N Pトランジスタ領域のホール濃度分布を示す図である。

【図62】比較例のR F Cダイオードについて、図55の解析ポイントにおけるP N Pトランジスタ領域の電界強度分布を示す図である。

【図63】第2構造のR F Cダイオードについて、図55の解析ポイントにおけるP I Nダイオード領域の電子濃度分布を示す図である。

【図64】第2構造のR F Cダイオードについて、図55の解析ポイントにおけるP I Nダイオード領域のホール濃度分布を示す図である。

【図65】第2構造のR F Cダイオードについて、図55の解析ポイントにおけるP I Nダイオード領域の電界強度分布を示す図である。 30

【図66】第2構造のR F Cダイオードについて、図55の解析ポイントにおけるP N Pトランジスタ領域の電子濃度分布を示す図である。

【図67】第2構造のR F Cダイオードについて、図55の解析ポイントにおけるP N Pトランジスタ領域のホール濃度分布を示す図である。

【図68】第2構造のR F Cダイオードについて、図55の解析ポイントにおけるP N Pトランジスタ領域の電界強度分布を示す図である。

【図69】図54の解析ポイントA P 1におけるデバイス内部状態のシミュレーション結果を示す図である。

【図70】図54の解析ポイントA P 1におけるデバイス内部状態のシミュレーション結果を示す図である。 40

【図71】動作温度をパラメータとしてR F Cダイオードの出力特性を示す図である。

【図72】R F Cダイオードのオフ状態のリーク電流密度と動作温度との関係を示す図である。

【図73】R F Cダイオードのリカバリー波形を示す図である。

【図74】R F Cダイオードの253 Kにおけるリカバリー波形を示す図である。

【図75】R F Cダイオードの蓄積電荷量と動作温度の関係を示す図である。

【図76】R F Cダイオードの蓄積電荷量と電源電圧の関係を示す図である。

【図77】R F Cダイオードの高電源電圧、大電流密度かつ高温下でのリカバリー波形を示す図である。 50

【図 78】R F C ダイオードのトータルロス性能を示す図である。

【図 79】P I N ダイオードのスナッピーリカバリー波形を示す図である。

【図 80】P I N ダイオードの s n a p - o f f 電圧と電源電圧の関係を示す図である。

【図 81】P I N ダイオードの蓄積電荷量と電源電圧の関係を示す図である。

【図 82】実施の形態 5 の第 1 の態様の半導体装置を示す断面図である。

【図 83】実施の形態 5 の第 2 の態様の半導体装置を示す断面図である。

【図 84】実施の形態 5 の第 3 の態様の半導体装置を示す断面図である。

【図 85】実施の形態 5 の第 4 の態様の半導体装置を示す断面図である。

【図 86】実施の形態 5 の第 5 の態様の半導体装置を示す断面図である。

【図 87】実施の形態 5 の第 6 の態様の半導体装置を示す断面図である。

10

【図 88】実施の形態 5 の第 7 の態様の半導体装置を示す断面図である。

【図 89】実施の形態 5 の第 8 の態様の半導体装置を示す断面図である。

【図 90】実施の形態 5 の第 9 の態様の半導体装置を示す断面図である。

【図 91】実施の形態 5 の第 10 の態様の半導体装置を示す断面図である。

【図 92】実施の形態 5 の第 2 の態様の I G B T の R B S O A を示す図である。

【図 93】実施の形態 5 の第 4 の態様の R F C ダイオードのリカバリー S O A を示す図である。

【発明を実施するための形態】

【0010】

< 発明の原理 >

20

本発明は、パワーモジュール(耐圧(定格電圧)が600V以上)のキーコンポーネントである I G B T (Insulated Gate Bipolar Transistor) またはダイオードなどのバイポーラ系パワー半導体素子を有する、半導体装置において、以下の特徴(a) - (d)を有する縦構造領域に関する。

【0011】

(a) オフ状態の電圧遮断能力を上げ、かつ高温での耐圧保持時のリーク電流を低減し、低オフロスまたは高温動作を実現する。

【0012】

(b) ターンオフ動作終焉での電圧跳ね上がり現象(以下、「s n a p - o f f 現象」と略記する)と、s n a p - o f f 現象に起因する発振現象を抑制する。

30

【0013】

(c) ターンオフ動作時の遮断能力を向上する。

【0014】

(d) 半導体を製造するウエハの直径200mm以上の大口径化にも対応するウエハプロセス技術に組み込み可能である。

【0015】

なお、特徴(a)の「オフ状態の電圧遮断能力」とは、電流が流れていない静的(s t a t i c)な状態での電圧保持能力を意味している。また、特徴(c)の「ターンオフ動作時の遮断能力」とは、電流が流れている動的(d y n a m i c)な状態での電圧保持能力を示している。

40

【0016】

以下の実施例では、パワー半導体素子の代表例として I G B T およびダイオードを挙げるが、本発明は R C (Reverse Conducting) - I G B T、R B (Reverse Blocking) - I G B T、または M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などのパワー半導体にも適用可能であり、上記の目的に対して効果が得られる。

【0017】

なお、R C - I G B T については「H. Takahashi et al., "1200 V Reverse Conducting IGBT," Proc. ISPSD2004, pp. 133-136, 2004」に、R B - I G B T については「T. Naito et al., "1200 V Reverse Blocking IGBT with Low Loss for Matrix Converter," Proc. ISPSD2004, pp. 125-128, 2004」においてそれぞれ説明がなされている。

50

【0018】

また、以下では半導体材料としてSiを用いた半導体デバイスを例に示すが、本発明は炭化珪素(SiC)または窒化ガリウム(GaN)等のワイドバンドギャップ材料を用いた半導体デバイスに対しても効果を奏する。さらに、以下では、Si結晶の製造方法としてFZ(Floating Zone)法を用いた例を示すが、MCZ(Magnetic Field Applied Czochralski)法を用いた場合でも同様の効果を奏する。以下では1200Vと4500Vの耐圧クラスの半導体装置を例に示すが、本発明は耐圧クラスに関わらず上記目的に対して効果を奏する。

【0019】

図1、図2および図3は、縦型構造を有する半導体デバイスの構造を示す断面図であり、これらの図に示す構造が本発明の基本構造である。図1はトレンチゲート型IGBTを、図2はPINダイオードを、図3はRFCダイオードを示している。RFCダイオードは、PINダイオードとPNPトランジスタの並列接続型のダイオードである。なお、RFCダイオードについては、「K. Nakamura et al, Proc. ISPSD2009, pp. 156-158, 2009」および「K. Nakamura et al., Proc. ISPSD2010, pp. 133-136, 2010」に説明がなされている。

【0020】

図1を参照してトレンチゲート型IGBTの構造を説明する。まず、トレンチゲート型IGBTの活性セル領域(Active Cell Area)R1の構造を説明する。N⁻ドリフト層14の下面(他方主面)には、N⁻ドリフト層14に隣接してNバッファ層15が形成されている。Nバッファ層15の下面にはNバッファ層15に隣接してP型(第2導電型)のPコレクタ層16が形成されている。Pコレクタ層16の下面にはPコレクタ層16に隣接してコレクタ電極23Cが形成される。なお、以下では、N型(第1導電型)のドリフト層であるN⁻ドリフト層14とN型のバッファ層であるNバッファ層15とを少なくとも含む構造部分を「半導体基体」と呼ぶ場合がある。そして、N⁻ドリフト層14は半導体基体の主要構成部である。

【0021】

N⁻ドリフト層14の上層部にN層11が形成されている。N層11の上面にはPベース層9が形成されている。Pベース層9とN層11とを縦方向に貫くように、ポリシリコンからなるトレンチ構造のゲート電極13が形成されている。ゲート電極13はゲート絶縁膜12を介してN⁻ドリフト層14、N層11、Pベース層9、およびN⁺エミッタ層7と対向している。したがって、ゲート電極13、N⁺エミッタ層7、Pベース層9およびN層11により、IGBTにおける絶縁ゲート型のトランジスタ形成領域が構成される。

【0022】

Pベース層9の表層にゲート絶縁膜12と接するようにN型のN⁺エミッタ層7が形成されている。さらに、Pベース層9の表層にはP⁺層8が形成されている。ゲート電極13上には層間絶縁膜6が形成される。N⁻ドリフト層14の上面(一方主面)上にはN⁺エミッタ層7およびP⁺層8と電氣的に接続するように第1電極としてエミッタ電極5Eが形成される。なお、図1において活性セル領域R1に示される2本のゲート電極13のうち、左側のゲート電極13は本来のゲート電極として寄与するが、右側のゲート電極13は本来のゲート電極として寄与せずエミッタ電位となるダミー電極である。ダミー電極の目的および効果は、特許第4205128号公報、特許第4785334号公報および特許第5634318号公報に記載されており、IGBTの飽和電流密度の抑制、容量特性の制御による無負荷短絡状態での発振の抑制、それによる短絡耐量の向上、エミッタ側のキャリア濃度向上による低オン電圧化などである。

【0023】

次に、トレンチゲート型IGBTの中間領域(interface area)R2の構造を説明する。N⁻ドリフト層14の上層部にはP領域22が形成される。P領域22は、活性セル領域R1側に延びてダミー電極のゲート電極13より深く形成される。また、P領域22はガ

10

20

30

40

50

ードリングとして機能する。

【 0 0 2 4 】

N⁻ドリフト層 1 4 の上面上に絶縁膜 2 5 が形成され、絶縁膜 2 5 上に表面ゲート電極部とも呼ばれるゲート電極 1 3 の一部と、表面ゲート電極部を囲む層間絶縁膜 6 が形成される。層間絶縁膜 6 に囲まれた表面ゲート電極部上には、ゲート電極として機能する電極 5 X が形成される。電極 5 X は、活性セル領域 R 1 のエミッタ電極 5 E と同時にエミッタ電極 5 E と独立して形成される。

【 0 0 2 5 】

次に、トレンチゲート型 I G B T の終端領域 (termination area) R 3 について説明する。N⁻ドリフト層 1 4 の上層部に選択的に P 領域 2 2 が形成される。この P 領域 2 2 はフィールドリミットングリングとして機能する。また、活性セル領域 R 1 の絶縁ゲート型トランジスタ構造のうち、P ベース層 9 以外の構成が形成される。

10

【 0 0 2 6 】

P 領域 2 2 は、中間領域 R 2 および終端領域 R 3 のそれぞれにおいて、耐圧保持機能を発揮させる領域として設けられる。なお、終端領域 R 3 の絶縁ゲート型トランジスタ構造における N⁺ エミッタ層 7 および N 層 1 1 は、P 領域 2 2 と N⁻ドリフト層 1 4 との P N 接合部から延びる空乏層の延びを止めるために設けられている。

【 0 0 2 7 】

N⁻ドリフト層 1 4 の上面上に絶縁膜 2 5 および層間絶縁膜 6 の積層構造が選択的に形成される。また、P 領域 2 2 およびゲート電極 1 3 に電氣的に接続してフローティング電極となる電極 5 Y が形成される。この電極 5 Y は活性セル領域 R 1 のエミッタ電極 5 E と同時にエミッタ電極 5 E および電極 5 X と独立して形成される。

20

【 0 0 2 8 】

そして、活性セル領域 R 1、中間領域 R 2 および終端領域 R 3 にかけてエミッタ電極 5 E、電極 5 X および 5 Y 上にエミッタ電極 5 E、電極 5 X、5 Y の形成面を保護する保護膜であるパッシベーション膜 2 0 が形成され、パッシベーション膜 2 0 および活性セル領域 R 1 のエミッタ電極 5 E の一部上に保護膜であるパッシベーション膜 2 1 が形成される。

【 0 0 2 9 】

また、活性セル領域 R 1、中間領域 R 2 および終端領域 R 3 間で共通に I G B T 用の縦構造領域 2 7 G が形成される。縦構造領域 2 7 G は半導体基体を構成する N⁻ドリフト層 1 4 および N バッファ層 1 5 と、P コレクタ層 1 6 およびコレクタ電極 2 3 C とによる積層構造である。

30

【 0 0 3 0 】

図 2 を参照して P I N ダイオードの構造を説明する。まず、P I N ダイオードの活性セル領域 R 1 の構造を説明する。N⁻ドリフト層 1 4 の他方主面である下面には、N バッファ層 1 5 が形成されている。N バッファ層 1 5 の下面には活性層である N⁺ カソード層 1 7 が形成されている。N⁺ カソード層 1 7 の下面にはカソード電極 2 3 K が第 2 電極として形成されている。

【 0 0 3 1 】

N⁻ドリフト層 1 4 の上層部には P アノード層 1 0 が一方電極領域として形成されている。P アノード層 1 0 と N⁻ドリフト層 1 4、N バッファ層 1 5 および N⁺ カソード層 1 7 により P I N ダイオード構造が形成される。そして、P アノード層 1 0 の上面である一方主面上にアノード電極 5 A が第 1 電極として形成される。

40

【 0 0 3 2 】

次に、P I N ダイオードの中間領域 R 2 の構造を説明する。N⁻ドリフト層 1 4 の上層部に P 領域 2 2 が形成され、この P 領域 2 2 は活性セル領域 R 1 側に延びて P アノード層 1 0 と連結する。この際、P 領域 2 2 は P アノード層 1 0 より深く形成される。この P 領域 2 2 がガードリングとして機能する。

【 0 0 3 3 】

50

N⁻ドリフト層 14 の上面上に絶縁膜 25 が形成され、絶縁膜 25 上に層間絶縁膜 24 が形成され、層間絶縁膜 24 上の一部に電極 5A が形成される。

【0034】

次に、図2において終端領域 R3 の構造を説明する。N⁻ドリフト層 14 の上層部に選択的に P 領域 22 が形成される。この P 領域 22 はフィールドリミットングリングとして機能する。また、N⁻ドリフト層 14 の表層に P 領域 22 とは独立して N⁺層 26 が選択的に形成される。N⁺層 26 は P 領域 22 と N⁻ドリフト層 14 の接合部から延びる空乏層の延びを止める目的で設けられる。P 領域 22 の本数が増加するほど、PINダイオードの耐圧クラスは高くなる。

【0035】

N⁻ドリフト層 14 上面上に絶縁膜 25 および層間絶縁膜 24 の積層構造が選択的に形成され、P 領域 22 および N⁺層 26 に電氣的に接続して電極 5Z が形成される。電極 5Z は活性セル領域 R1 のアノード電極 5A と同時にアノード電極 5A と独立して形成される。

【0036】

そして、中間領域 R2 および終端領域 R3 にかけてアノード電極 5A および電極 5Z 上に保護膜であるパッシベーション膜 20 が形成され、パッシベーション膜 20 および中間領域 R2 のアノード電極 5A の一部上に保護膜であるパッシベーション膜 21 が形成される。

【0037】

また、活性セル領域 R1、中間領域 R2 および終端領域 R3 間で共通にダイオード用の縦構造領域 27D1 が形成される。縦構造領域 27D1 は半導体基体となる N⁻ドリフト層 14 および N バッファ層 15 と、N⁺カソード層 17 およびカソード電極 23K とによる積層構造である。

【0038】

次に、図3において RFC ダイオードの構造を説明する。RFC ダイオードは、図2に示した PIN ダイオードの活性セル領域 R1 において、活性層である N⁺カソード層 17 の一部を P カソード層 18 に置き換えると共に、中間領域 R2 および終端領域 R3 における N⁺カソード層 17 を P カソード層 18 に置き換えたものであり、それ以外の構成は PIN ダイオードと同様である。すなわち、RFC ダイオードの活性層は、第1部分活性層である N⁺カソード層 17 と、第2部分活性層である P カソード層 18 とを含んで構成される。

【0039】

RFC ダイオードは、PIN ダイオードに比べ、カソード側の電界強度を緩和する電界緩和現象等、特許第 5256357 号や特開 2014-241433 号に示すようなダイオード性能面での特徴的な効果が得られる。特許第 5256357 号または特開 2014-241433 号 (US 8686469) に示すように、リカバリー動作時の後半に P カソード層 18 からホールの注入が促進されるため、カソード側の電界強度が緩和され、リカバリー動作終焉での snap-off 現象およびその後の発振現象を抑制し、リカバリー動作時の破壊耐量向上などダイオード性能面で特徴的な効果が得られる。

【0040】

N⁺カソード層 17 と P カソード層 18 は、上記の効果を保証する観点から、特許第 5256357 号または特開 2014-241433 号 (US 8686469) に示す関係を満足するように配置する。RFC ダイオードは、等価回路で表現すると、PIN ダイオードと PNP トランジスタとが並列に接続したダイオード構造である。N⁻ドリフト層 14 は、可変抵抗領域である。

【0041】

図4は IGBT またはダイオード等の縦型の半導体装置の平面構造を模式的に示す説明図である。同図に示すように、中央部に複数の活性セル領域 R1 が形成され、隣り合う 2 つの活性セル領域 R1 間に表面ゲート配線部 R12 が設けられ、さらに、一部の領域にゲ

10

20

30

40

50

ートパッド部 R 1 1 が設けられる。

【 0 0 4 2 】

活性セル領域 R 1、ゲートパッド部 R 1 1、および表面ゲート配線部 R 1 2 の周辺を囲って中間領域 R 2 が形成され、中間領域 R 2 の周辺をさらに囲んで終端領域 R 3 が設けられる。なお、図 1、図 2 および図 3 で示した構造は図 4 の A 1 - A 1 断面に相当する。

【 0 0 4 3 】

上述した活性セル領域 R 1 は、パワー半導体チップの基本性能を保证する素子形成領域である。そして、中間領域 R 2 および終端領域 R 3 からなる周辺領域は、信頼性面を含めた耐圧保持用に設けられる。そのうち、中間領域 R 2 は、活性セル領域 R 1 と終端領域 R 3 とがジョイントする領域でパワー半導体のダイナミック動作時の破壊耐量を保証し、活性セル領域 R 1（における半導体素子）の本来の性能をサポートする領域である。また、終端領域 R 3 は、静的（static）な状態での耐圧保持、耐圧特性の安定性および信頼性面の保証およびダイナミック動作時の破壊耐量の不良を抑制し、活性セル領域 R 1 の本来の性能をサポートする。

【 0 0 4 4 】

縦構造領域 2 7（縦構造領域 2 7 G、縦構造領域 2 7 D 1、縦構造領域 2 7 D 2）は、トータルロス性能の保証、静的な状態での耐圧保持、耐圧特性の安定性、高温でのリーク特性安定性および信頼性の保証、並びにダイナミック動作時の制御性および破壊耐量を保証し、パワー半導体の基本性能をサポートする領域である。トータルロスとは、オン状態のロスとターンオンおよびターンオフ状態のロスとを加えたロスのことである。縦構造領域 2 7 のうち特に N パッファ層 1 5 が、上記の特徴（a）-（c）を有する。

【 0 0 4 5 】

< I G B T の製造方法 >

図 5 から図 1 7 は I G B T の製造方法を示す断面図である。なお、これらの図面は活性セル領域 R 1 における製造方法を示している。

【 0 0 4 6 】

まず、F Z 法で形成されたシリコンウエハ（以後、このシリコンウエハまたは処理が施されたシリコンウエハを「半導体基体」という）を用意する。図 5 に示すように、N⁻ドリフト層 1 4 が形成された半導体基体の上層部に N 層 1 2 8 と P ベース層 1 3 0 を形成する。具体的には、N⁻ドリフト層 1 4 にイオン注入およびアニーリング処理を施して N 層 1 2 8 と P ベース層 1 3 0 を形成する。また、P ベース層 1 3 0 上に Si O₂ 膜 1 2 9 を形成する。

【 0 0 4 7 】

次に、図 6 に示すように、半導体基体にイオン注入およびアニーリング処理を施し、P ベース層 1 3 0 の表面側に複数の N⁺ エミッタ層 1 3 6 を選択的に形成する。

【 0 0 4 8 】

次に、図 7 に示すように、半導体基体の上面に酸化膜 1 3 1 を形成し、写真製版技術を用いてパターンニングする。そして、酸化膜 1 3 1 の開口に露出した部分に対しプラズマを用いた反応性イオンエッチングを施し、トレンチ 1 3 7 を形成する。その後、トレンチ 1 3 7 の周辺部の結晶欠陥およびプラズマダメージ層の除去、トレンチ 1 3 7 のボトム部のラウンディング、並びにトレンチ 1 3 7 の内壁の平坦化を目的にケミカルドライエッチングと犠牲酸化処理を行う。ケミカルドライエッチングと犠牲酸化処理に関しては、例えば特開平 7 - 2 6 3 6 9 2 号公報に開示されている。また適切なトレンチ 1 3 7 の深さについては例えば W O 2 0 0 9 - 1 2 2 4 8 6 号公報に開示されている。

【 0 0 4 9 】

続いて、図 8 に示すように、熱酸化法または C V D 法（例えば、特開 2 0 0 1 - 0 8 5 6 8 6 号公報参照）でトレンチ内壁にゲート酸化膜 1 3 4 を形成する。そして、ゲート酸化膜 1 3 4 を含むトレンチ 1 3 7 内に、リンをドーブしたポリシリコン層 1 3 2 を形成してトレンチ 1 3 7 を埋める。なお、半導体基体の下面には、ゲート酸化膜 1 3 4 の形成と同時に酸化膜 1 5 0 が形成され、ポリシリコン層 1 3 2 の形成と同時に酸化膜 1 5 0 上に

リンをドーブしたポリシリコン層であるポリシリコン層 1 5 2 が形成される。

【 0 0 5 0 】

次に、図 9 に示すように、ポリシリコン層 1 3 2 のうちトレンチ 1 3 7 の外に出た部分をエッチングする。エッチング後に半導体基体上面およびトレンチ 1 3 7 の埋め込み表面に露出するポリシリコン層 1 3 2 を熱酸化法または C V D 法で酸化もしくは堆積して酸化膜 1 3 2 a を形成する。その後、半導体基体の表面に P ⁺ 層 1 3 8 を形成する。その後、半導体基体の上面上に、ボロンまたはリンがドーブされた酸化膜 1 4 0、および T E O S 膜 1 4 1 を C V D 法で形成する。酸化膜 1 4 0 として T E O S 膜またはシリケートガラスを形成してもよい。なお、半導体基体の下面には、酸化膜 1 4 0、および T E O S 膜 1 4 1 の形成と同時に T E O S 膜 1 5 4 が形成される。

10

【 0 0 5 1 】

次に、図 1 0 に示すように、フッ酸または混酸(例えば、フッ酸、硝酸、および酢酸の混合液)を含有する液体を用いて半導体基体の下面の T E O S 膜 1 5 4、ポリシリコン層 1 5 2、および酸化膜 1 5 0 をエッチングして N ⁻ ドリフト層 1 4 を露出させる。

【 0 0 5 2 】

続いて、図 1 1 に示すように、不純物をドーブしたポリシリコン層であるポリシリコン層 1 6 0 を、半導体基体の下面に露出した N ⁻ ドリフト層 1 4 と接して形成する。このとき半導体基体上面に不所望のポリシリコン層 1 6 2 も形成される。ポリシリコン層 1 6 0 および 1 6 2 は L P C V D 法で形成する。ポリシリコン層 1 6 0 および 1 6 2 にドーブする不純物としては、ポリシリコン層 1 6 0 および 1 6 2 が N ⁺ 層となるようにリン、ヒ素、またはアンチモン等を用いる。ポリシリコン層 1 6 0 および 1 6 2 の不純物濃度は $1 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以上に設定される。また、ポリシリコン層 1 6 0 および 1 6 2 の層厚は 500 (nm) 以上に設定される。

20

【 0 0 5 3 】

次に、図 1 2 に示すように、窒素雰囲気中において、半導体基体の温度を 900 から 1000 程度に加熱してポリシリコン層 1 6 0 の不純物を N ⁻ ドリフト層 1 4 の下面側へ拡散させる。この拡散により、N ⁻ ドリフト層 1 4 の下面側に結晶欠陥と高濃度不純物を有するゲッタリング層 1 6 4 が形成される。このように、ゲッタリング層形成工程とは、半導体基体の下面に露出した N ⁻ ドリフト層 1 4 の下面側にゲッタリング層 1 6 4 を形成する工程である。ゲッタリング層 1 6 4 の表面の不純物濃度は、例えば $1.0 \times 10^{19} \text{ cm}^{-3}$ から 1.0×10^{22} の範囲に設定される。

30

【 0 0 5 4 】

ゲッタリング層形成工程の後に、任意の降温スピードにて半導体基体の温度を 600 から 700 程度まで下げて、その温度を 4 時間以上維持する。この工程をアニール工程と称する。アニール工程では、半導体基体を加熱し製造工程にて N ⁻ ドリフト層 1 4 に導入された金属不純物、汚染原子、およびダメージを拡散させゲッタリング層 1 6 4 で捕獲する。

【 0 0 5 5 】

次に、図 1 3 に示すように、半導体基体上面のポリシリコン層 1 6 2 をフッ酸または混酸(例えば、フッ酸/硝酸/酢酸の混合液)の液を用いて選択的に除去する。図 1 1 から図 1 3 に示すゲッタリングのプロセスについては、例えば WO 2014 - 054121 号公報に開示されている。

40

【 0 0 5 6 】

そして、図 1 4 に示すように、半導体基体の上面側において、酸化膜 1 4 0 および T E O S 膜 1 4 1 を一部エッチングし、一部を外部に露出させてコンタクトホールを有するトレンチ露出部 1 7 0 を形成する。トレンチ露出部 1 7 0 以外の部分は I G B T における M O S トランジスタ部分として機能する。

【 0 0 5 7 】

なお、図 1 4 に示すように、ポリシリコン層 1 3 2 で埋められたトレンチ 1 3 7 が形成された領域に部分的にトレンチ露出部 1 7 0 を形成する目的は、ポリシリコン層 1 3 2 の

50

一部をエミッタ電位とすることで実効的なゲート幅を小さくすることおよび容量を調整することである。これにより、飽和電流密度抑制、容量制御による短絡時の発振抑制、短絡耐量向上(詳細はWO2002-058160号公報およびWO2002-061845号公報参照)、およびオン状態のエミッタ側キャリア濃度向上による低オン電圧化が可能となる。

【0058】

次に、図15に示すように、シリサイド層142およびバリアメタル層143を形成するためのメタルをスパッタリング法で形成し、半導体基体上面に、Siを1から3%程度添加したメタル配線層144をスパッタリング法で形成する。メタル配線層144の材料は、例えば、AlSi、AlSiCu、またはAlCuである。メタル配線層144は、
10 トレンチ露出部170と電氣的に接続されている。

【0059】

次に、図16に示すように、半導体基体の下面側に形成されていたゲッタリング層164とポリシリコン層160とを、研磨またはエッチングにより除去する。このようにゲッタリング層164などを除去する工程を除去工程と称する。除去工程では、N⁻ドリフト層14のうちゲッタリング層164に接する部分を所望の厚さだけ除去してもよい。これにより半導体基体(N⁻ドリフト層14)の厚みを、半導体装置の耐圧クラスに対応したものとすることができる。

【0060】

続いて、図17に示すように、半導体基体の下面に第1バッファ層であるNバッファ層15を形成する。半導体基体の下面側すなわち他方主面側から、リン、セレン、硫黄またはプロトン(水素)を注入し、さらに、半導体基体をアニールして注入イオンを活性化させることにより、Nバッファ層15が形成される。その後、Nバッファ層15の下面にP型のPコレクタ層16を形成する。さらに、Pコレクタ層16の下面に第2電極としてコレクタ電極23Cを形成する。コレクタ電極23Cは、半導体装置をモジュールへ搭載する際に、モジュール中の半導体基体等とはんだ接合する部分である。そのため、コレクタ電極23Cを複数のメタルを積層させて形成することで低コンタクト抵抗とすることが好ましい。
20

【0061】

図17と図1との関係において、ポリシリコン層132がゲート電極13に対応し、ゲート酸化膜134がゲート絶縁膜12に対応し、N層128がN層11に対応し、Pベース層130がPベース層9に対応し、N⁺エミッタ層136がN⁺エミッタ層7に対応し、P⁺層138がP⁺層8に対応し、メタル配線層144がエミッタ電極5Eに対応する。
30

【0062】

<ダイオードの製造方法>

図18から図26は、図3に示すRFCダイオードの製造方法を示す断面図である。

【0063】

図18には、活性セル領域R1と、活性セル領域R1を囲むように形成された中間領域R2および終端領域R3が示されている。まず、N⁻ドリフト層14のみが形成された半導体基体を準備する。そして、中間領域R2および終端領域R3におけるN⁻ドリフト層14の表面にP層52を複数個、選択的に形成する。P層52は、あらかじめ形成した酸化膜62をマスクにしてイオン注入し、その後に半導体基体にアニール処理を施すことで形成する。なお、半導体基体の下面にも酸化膜62形成時の酸化膜68が形成されている。
40

【0064】

次に、図19に示すように、活性セル領域R1におけるN⁻ドリフト層14の表面にイオン注入およびアニール処理を施してP層50を形成する。

【0065】

続いて、図20に示すように、半導体基体の上面側の終端領域R3の端部にN⁺層56
50

を形成する。次に、半導体基体の上面にT E O S層63を形成する。その後、半導体基体の下面を露出する処理を行う。そして、不純物をドーピングしたポリシリコン層65を、半導体基体の下面に露出したN⁻ドリフト層14と接するように形成する。このとき半導体基体の上面にもポリシリコン層64が形成される。

【0066】

次に、図21に示すように、半導体基体を加熱してポリシリコン層65の不純物をN⁻ドリフト層14の下面側へ拡散させ、N⁻ドリフト層14の下面側に結晶欠陥と不純物を有するゲッターリング層55を形成する。この工程は図12に示したI G B Tの製造方法でゲッターリング層164を形成する工程と同様である。その後、アニール工程を実施してN⁻ドリフト層14の金属不純物、汚染原子、およびダメージをゲッターリング層55で捕獲する。

10

【0067】

そして、図22に示すように、基板の上面に形成されたポリシリコン層64を、フッ酸または混酸(例えば、フッ酸/硝酸/酢酸の混合液)の液を用いて選択的に除去する。このゲッターリングプロセスは、前記I G B Tのゲッターリングプロセスと同じである。

【0068】

次に、図23に示すように、半導体基体の上面にP層52とP層50とN⁺層56とを露出させるコンタクトホールを形成する。つまり、T E O S層63を図23に示されるように加工する。その後、Siを1%から3%程度添加したアノード電極5A用のアルミ配線5をスパッタリング法で形成する。

20

【0069】

続いて、図24に示すように、半導体基体の上面に保護膜であるパッシベーション膜21を形成する。

【0070】

その後、図25に示すように、半導体基体の下面側に形成されていたゲッターリング層55とポリシリコン層65とを、研磨またはエッチングにより除去する。この除去工程により、半導体基体(N⁻ドリフト層14)の厚みを、半導体装置の耐圧クラスに対応したものとする。

【0071】

そして、図26に示すように、N⁻ドリフト層14の下面側にNバッファ層15を形成する。その後、Nバッファ層15の下面にPカソード層18を形成する。続いて、活性セル領域R1において、Pカソード層18の一部にN⁺カソード層17を形成する。Nバッファ層15、N⁺カソード層17およびPカソード層18は、イオン注入とアニール処理により形成する拡散層である。最後に、半導体基体下面にカソード電極23Kを形成する。

30

【0072】

図26と図3との関係において、P層50がPアノード層10に対応し、P層52がP領域22に対応し、N⁺層56がN⁺層26に対応し、アルミ配線5がアノード電極5Aに対応する。

【0073】

40

I G B Tまたはダイオードに用いられるSiウエハの基板濃度(C_{n-})は、製造する半導体素子の耐圧クラスに応じて定められる。例えば、 $C_{n-} = 1.0 \times 10^{12} \text{ cm}^{-3}$ から $5.0 \times 10^{14} \text{ cm}^{-3}$ である。SiウエハはFZ法で作成される。そして、図16または図25に示すウエハプロセス中にて、デバイスの厚みを耐圧クラスに応じて精度よく調整し、縦構造領域27を図17または図26に示すウエハプロセス中にて構築する。このようにFZウエハを用い、ウエハプロセス中にて縦構造領域を構築するウエハプロセスが主流となりつつあるのは以下の背景による。

【0074】

a) ウエハとしてN⁻ドリフト層14をエピタキシャル法で作製するウエハでは、Siウエハコストがエピタキシャル法で形成するSi厚みに依存するため非常に高くなるとい

50

うデメリットがある。一方、FZ法にてN⁺ドリフト層14の濃度のみ耐圧クラスごとに適切な値を設定し、ウエハプロセススタート時は耐圧クラスに関係無く同じ厚みのN⁺ドリフト層14のSiウエハを用いることにより、単価の安いウエハの採用が可能となる。

【0075】

b) 上記FZ法で製造するウエハを活用する目的で、図16または図25に示すウエハプロセス中の最終段階にてデバイスの厚みを耐圧クラスに必要な値に制御し、縦構造を構築することにより、プロセス装置の改造を極力最小限化したウエハプロセスを採用することができる。これにより、直径200mm以上の大口径のSiウエハのウエハプロセスにおいても、40μmから700μmまで異なる様々なウエハの厚みに対応できる。

【0076】

c) 背景b)により、IGBTおよびダイオードともに、ウエハ表面に形成するMOSトランジスタ構造、各種拡散層、配線構造等のデバイス構造を、最新のプロセス装置をそのまま流用して作製することができる。

【0077】

nドリフト層の不純物濃度およびデバイスの厚みは、IGBTおよびダイオードの耐圧特性のみならず、トータルロス、ダイナミック動作時の制御性および破壊耐量にも影響するデバイスパラメータであり、高い精度が求められる。

【0078】

図5から図17または図18から図26に示したウエハプロセスでは、図15または図23に示すアルミ配線の形成工程、または図24に示すパッシベーション膜の形成工程の後に、縦構造領域を形成する。従って、縦構造領域を形成しない面には、例えばIGBTではMOSトランジスタ構造が形成され、アルミ配線またはパッシベーション膜が存在する。そのため、縦構造領域を構成する拡散層(Nバッファ層15、Pコレクタ層16、N⁺カソード層17およびPカソード層18)の形成時には、縦構造領域を形成しない面がアルミ配線に用いるメタルであるアルミの融点660℃よりも低温になるよう配慮する必要があり、デバイスの深さ方向に温度勾配を有する波長のレーザーを用いてアニーリングを行ったり、アルミの融点660℃以下の低温でアニーリングを行ったりする。

【0079】

その結果、上記ウエハプロセスにて製造するIGBTまたはダイオードにおけるNバッファ層15の不純物プロファイルは、図33および図34に細い実線L13で示す比較例の不純物プロファイルのように、接合深さ $X_{j, a}$ が浅く、かつN⁺ドリフト層14とNバッファ層15の接合部にかけて急峻な濃度勾配を持つ特徴的な不純物プロファイルとなっている。その上、Nバッファ層15には、N層プロファイルが不純物を導入するイオン注入時の深さ方向のプロファイルを再現することと、上記のアニーリング技術を用いることから、深さ方向および横方向への拡散が起きにくいというn層形成時のプロセス上の特徴がある。深くかつ緩やかな濃度勾配を有するN型拡散層を形成する技術として、高温かつ長時間のアニーリングがある。しかし、この技術は上記のような低融点のメタルが存在する工程では用いることができないため、図5または図18に示すウエハプロセスの初期で用いることになる。その場合、高温かつ長時間のアニーリングを実施する工程の前後のいずれかでウエハ厚みが所望の厚み(40μmから700μm)となる。そのため、それ以降のプロセスでは各プロセス装置を所望の厚みのウエハが処理できるように改造する必要があるため、膨大な費用が発生し非現実的である。その上、高温かつ長時間のアニーリングはSiウエハの大口径化にマッチングしないプロセス技術である。このようなNバッファ層15を用いるIGBTまたはダイオードでは、以下の大きな3つの性能上の問題が存在する。

【0080】

(1) 高温状態では、耐圧保持時にリーク電流が増加することによりオフロスが増加することに加え、デバイス自身の発熱による熱暴走で制御不能になり、高温での動作が保証できない。

【0081】

10

20

30

40

50

(2) IGBTおよびダイオードそれぞれのターンオフ動作等のダイナミック動作時に、デバイス内部のキャリアプラズマ状態と電界強度分布との関係から、N⁻ドリフト層14とNバッファ層15の接合部付近のキャリアプラズマ層が枯渇し、N⁻ドリフト層14とNバッファ層15の接合部の電界強度が上昇する。さらに、ターンオフ動作終焉で電圧が跳ね上がる現象(以下、「snap-off現象」と略記する)と、snap-off現象をトリガとする発振現象が発生する。snap-off現象により電圧が保持可能な耐圧以上の高電圧になりデバイスが破壊する場合がある。その結果、IGBTおよびダイオードではターンオフ動作の制御性が悪く、かつターンオフ時の遮断能力の低下を招く。また、これらのIGBTまたはダイオードを搭載するパワーモジュールを含むインバータシステムにおいて、ノイズ発生による誤動作の原因となる。なお、キャリアプラズマ層とは、電子およびホール濃度がほぼ同じで、キャリア濃度が 10^{16} cm^{-3} 以上とN⁻ドリフト層14のドーピングキャリア濃度 C_d より2桁から3桁程度高い中性層である。

10

【0082】

(3) 上記Nバッファ層15の形成時の特徴から、図16、図17または図25、図26に示す縦構造領域形成時のウエハプロセス中に発生するNバッファ層15の形成面のキズまたは異物を起因とする、Nバッファ層15の部分的な未形成によるIGBTまたはダイオードの耐圧不良現象に敏感になり、IGBTまたはダイオードチップの不良率増加を招く。

【0083】

従来、上記の問題点を解決する一手法として、ターンオフ動作時に空乏層がNバッファ層15に当たらないようにN⁻ドリフト層14の厚みを厚くしたり、N⁻ドリフト層14の不純物濃度を上げそのパラツキを小さくしたりするなどのN⁻ドリフト層14のパラメータを適正化する手法が選択されていた。

20

【0084】

しかしながら、N⁻ドリフト層14の厚みを厚くすると、IGBTおよびダイオードともにオン電圧が上昇し、トータルロス増加という反作用が生じる。一方、N⁻ドリフト層14の不純物濃度のパラツキを小さくすることとは、Siウエハ製造技術と用いるSiウエハに制限を加えることになり、Siウエハコストの高騰を招く。このように、従来のIGBTおよびダイオードには、デバイス性能を向上する上で、ジレンマともいえるべき技術課題が存在する。

30

【0085】

上記の問題(2)に対する解決策として、米国特許公報第6482681号、米国特許公報第7514750号、米国特許公報第7538412号には、プロトン(H⁺)を用いて複数の層からなるNバッファ層15を形成することが提案されている。但し、これらの技術では、IGBTまたはダイオードのトータルロスを低減するためのトレンドであるN⁻ドリフト層14の薄厚化を考慮して、パワー半導体の基本特性である耐圧保持のためプロトンの濃度を高濃度化する必要がある。ただし、プロトンの高濃度化は、プロトン導入時の結晶欠陥増加または結晶欠陥によるキャリアの再結合中心となる欠陥密度増加を伴うため、IGBTおよびダイオードのオフロス増加(すなわち、高温および高電圧でのリーク電流増加)や、破壊耐量低下を招くというデメリットが存在する。パワー半導体は、トータルロスを低減しつつ電圧保持能力を有しかつ破壊耐量を保証するのが求められる基本性能である。また、オフロスが増加するとIGBTまたはダイオード自身の発熱量が増加し、高温動作またはパワー半導体を搭載するパワーモジュール自身の熱設計にとって問題となる。つまり、上記の技術は、最新のN⁻ドリフト層14を薄厚化する傾向にあるパワー半導体の要求を満足する技術ではない。さらに、プロトンの濃度を高濃度化すると、プロトンをSi中へ導入する際のイオン注入装置の処理能力低下を招き、デバイス製造技術面のデメリットが存在する。

40

【0086】

前述するように従来技術では、性能向上、すなわち低オン電圧化のためにN⁻ドリフト層14の厚みが薄厚化しつつある最新のIGBTまたはダイオードに対し、ダイナミック

50

動作時のデバイス内部状態を制御しながらターンオフ動作の制御性とターンオフ遮断能力とを向上し、パワー半導体の基本性能である安定的な耐圧特性保証を実現することが難しい。よって、FZ法で作製されるウエハを用い、かつSiウエハの大口径化にも対応可能なウエハプロセスにて、上記課題を解決するNバッファ層構造が必要である。また、ウエハプロセス中の悪影響により発生するNバッファ層15の部分的な未形成によるIGBTまたはダイオードの耐圧不良現象に鈍感化することも求められる。

【0087】

本発明は、上記したFZウエハを用い、従来のIGBTまたはダイオードが持つデバイス性能面のジレンマを解決し、低オン電圧、安定的な耐圧特性、オフ時の低リーク電流による低オフロス化、ターンオフ動作の制御性向上、ターンオフ遮断能力の大幅な向上、および動作温度範囲の拡大を目的とする。

10

【0088】

図27から図29は本発明の提案する縦構造領域の考え方を示す説明図である。図27はオン状態（under on-state）におけるキャリア濃度CC、不純物プロファイル（ドーピングプロファイル）DP、電界強度EFを示し、図28および図29は電圧遮断状態（under blocking voltage state）および動的状態（dynamic state）におけるキャリア濃度CC、不純物プロファイルDP、および電界強度EFを示している。なお、図27から図29において横軸に沿って示した数字は、図1から図3に示したPアノード層10等のIGBTまたはダイオードの構成要素を示している。

【0089】

20

従来のIGBTおよびダイオードに関する縦構造領域の問題点に起因した上記技術課題は、以下のような縦構造領域27、特にNバッファ層15の構造を実現すれば解決できると考える。以下に示すコンセプトは、図1で示すIGBT構造、図2および図3で示すダイオード構造に対して共通に適用可能なコンセプトである。本発明の提案する縦構造領域27を構成するNバッファ層15の構造に関する考え方を以下の(1)-(3)に示す。

【0090】

(1) ターンオフ動作時のN⁻ドリフト層14とNバッファ層15との接合部付近のキャリアプラズマ層の枯渇現象に関して、図29の領域A12に示すようにキャリアプラズマ層が残存するように、Nバッファ層15の内部でもデバイスオン状態の伝導度変調現象が発生し、キャリアプラズマ層が存在するようにNバッファ層15の低濃度化を行う。キャリアプラズマ層の濃度は 10^{16} cm^{-3} 以上であるため、Nバッファ層15の不純物濃度はそれ以下の 10^{15} cm^{-3} オーダーとする。このように、Nバッファ層15にキャリアプラズマ層が残存する程度に、Nバッファ層15の不純物濃度を低くする。

30

【0091】

(2) N⁻ドリフト層14とNバッファ層15との接合部付近の濃度勾配を緩やかにする。これにより、図28の領域A21に示すように、静的な状態では電界強度をNバッファ層15の内部で止め、図29の領域A22に示すように、ダイナミック動作時はNバッファ層15内部を空乏層が緩やかに伸びるようにする。

【0092】

(3) Nバッファ層15に濃度傾斜を持たせ、不純物濃度を低く、かつNバッファ層15を厚くすることにより、IGBTまたはRFCダイオードに内蔵するPNPバイポーラトランジスタの電流増幅率(α_{pnp})を下げて、オフ時の低リーク電流による低オフロス化を実現する。

40

【0093】

このように、本発明のNバッファ層15は、耐圧特性安定化および低オフロス化等の耐圧特性を保証した上で、デバイス内部のキャリアプラズマ状態をデバイス動作時に制御する役割を担っている。

【0094】

<実施の形態1>

図30から図32は、実施の形態1に係る半導体装置であるIGBT、PINダイオー

50

ドおよびR F Cダイオードの断面図である。図30から図32は、それぞれ図4に示した活性セル領域R1内のA2-A2断面に沿った断面図であり、それぞれ図1から図3に示したI G B T、P I NダイオードおよびR F Cダイオードの活性セル領域R1内の構成を示している。なお、図31のE-E断面が、＜発明の原理＞で述べた図27から図29の深さの横軸に相当する。図30から図32に示すN⁻ドリフト層14は、不純物濃度が $1.0 \times 10^{12} \text{ cm}^{-3}$ から $5.0 \times 10^{14} \text{ cm}^{-3}$ で、F Z (F l o a t i n g Z o n e) 法で作製されたF Z ウエハを用い形成される。デバイスの厚みt Dは、40 μmから700 μmである。図30に示すI G B Tにおいて、Pベース層9とN層11との接合が主接合となる。また、図31に示すP I Nダイオードおよび図32に示すR F Cダイオードにおいて、Pアノード層10とN⁻ドリフト層14との接合が主接合となる。また、図32に示すR F Cダイオードにおいて、Pアノード層10、N⁻ドリフト層14、Nバッファ層15、およびN⁺カソード層17がP I Nダイオード領域31を構成し、Pアノード層10、N⁻ドリフト層14、Nバッファ層15、およびPカソード層18がP N Pトランジスタ領域32を構成する。

【0095】

以下の説明では、代表としてR F Cダイオードを例に、各拡散層のパラメータを説明する。

【0096】

Pアノード層10：表面不純物濃度は $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上に設定され、ピーク不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ から $1.0 \times 10^{18} \text{ cm}^{-3}$ に設定され、深さは2.0 μmから10.0 μmに設定される。

【0097】

N⁺カソード層17：表面不純物濃度は $1.0 \times 10^{18} \text{ cm}^{-3}$ から $1.0 \times 10^{21} \text{ cm}^{-3}$ に設定され、深さは0.3 μmから0.8 μmに設定される。

【0098】

Pカソード層18：表面不純物濃度は $1.0 \times 10^{16} \text{ cm}^{-3}$ から $1.0 \times 10^{20} \text{ cm}^{-3}$ に設定され、深さは0.3 μmから0.8 μmに設定される。

【0099】

図30から図32に示されるNバッファ層15には、2通りの構造、すなわち第1構造と第2構造とがある。第1構造と第2構造のいずれも、Nバッファ層15は第1バッファ層15aと第2バッファ層15bの積層構造で構成される。第1バッファ層15aはPコレクタ層16、N⁺カソード層17またはPカソード層18と接合し、第2バッファ層15bはN⁻ドリフト層14と接合する。第1構造において、第1バッファ層15aと第2バッファ層15bはそれぞれ不純物濃度のピーク点を一つ有する。

【0100】

一方、第2構造のNバッファ層15では、第2バッファ層15bがn層のサブバッファ層、すなわち第1サブバッファ層15b1から第nサブバッファ層15bnの積層構造として構成される。第1サブバッファ層15b1は第1バッファ層15aと接合し、第nサブバッファ層15bnはN⁻ドリフト層14と接合する。各サブバッファ層15b1-15bnは、それぞれ不純物濃度のピークを一つ有している。以下、第2構造のNバッファ層15における第2バッファ層15bを、第1構造のNバッファ層15における第2バッファ層15bと区別するため、「第2バッファ層15bs」と称する。すなわち、第2構造のNバッファ層15は、Pコレクタ層16、N⁺カソード層17またはPカソード層18と接合する第1バッファ層15aと、第1バッファ層15a上に積層されN⁻ドリフト層14と接合する第2バッファ層15bsとを備える。そして、第2バッファ層15bsは、第1バッファ層15a側からN⁻ドリフト層14側にかけて順に積層された第1サブバッファ層15b1、第2サブバッファ層15b2、...第nサブバッファ層15bnを備える。各サブバッファ層は不純物濃度のピーク点を1つ有している。第1構造および第2構造において第1バッファ層15aおよび第2バッファ層15bのパラメータは以下の通りである。

【0101】

第1バッファ層15aのピーク不純物濃度 $C_{a,p}$ は $1.0 \times 10^{16} \text{ cm}^{-3}$ から $5.0 \times 10^{16} \text{ cm}^{-3}$ に設定され、深さ $X_{j,a}$ は $1.2 \mu\text{m}$ から $3.0 \mu\text{m}$ に設定される。

【0102】

第1構造の第2バッファ層15bのピーク不純物濃度 $C_{b,p}$ と、第2構造の第2バッファ層15bsの各サブバッファ層15b1 - 15bnのピーク不純物濃度の最大値である最大ピーク不純物濃度 $(C_{b,p})_{\text{max}}$ は、N⁻ドリフト層14の不純物濃度 C_d より高濃度かつ $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下に設定される。第2バッファ層15bの深さ $X_{j,b}$ は $4.0 \mu\text{m}$ から $50 \mu\text{m}$ に設定される。なお、第1構造の第2バッファ層15bのピーク不純物濃度 $C_{b,p}$ と、第2構造の第2バッファ層15bsにおける最大ピーク不純物濃度 $(C_{b,p})_{\text{max}}$ は、それぞれ第2バッファ層15bの最大不純物濃度である。

10

【0103】

図33は第1構造および第2構造の不純物プロファイルを示し、図34は図33の領域A3の拡大図である。図33および図34の横軸は t_D にて正規化した深さを示し、図30のB-B断面、または図31および図32のC-C断面に対応している。また、図33および図34の横軸の0は、図30、図31および図32のBに対応している。すなわち、図30に示すIGBTにおけるPコレクタ層16の下面、図31に示すPINダイオードにおけるN⁺カソード層17の下面、図32に示すRFCダイオードにおけるN⁺カソード層17またはPカソード層18の下面が、図33および図34の横軸の0に対応する。

20

【0104】

図33および図34において、第1構造の不純物プロファイルを太い破線L11で示し、第2構造の不純物プロファイルを太い実線L12で示す。また、図33および図34において、本発明の特徴を有さない従来の縦構造領域である従来構造の不純物プロファイルを、比較のために細い実線L13で示している。

【0105】

第1バッファ層15aの深さおよび不純物プロファイルは、第1構造と第2構造において共通である。図33には、第1バッファ層15a、第1サブバッファ層15b1から第4サブバッファ層15b4を備える第2構造の不純物プロファイルを示している。なお、図33では、各不純物プロファイルのピークに符号を付しており、例えば第2構造の不純物プロファイルにおいて符号「15b1」が付されたピークは、第2構造における第1サブバッファ層15b1のピークを示している。

30

【0106】

まず、図33および図34を参照して第1構造について説明する。第1構造のNバッファ層15は、第1バッファ層15aと単層の第2バッファ層15bからなる。第2バッファ層15bのピーク不純物濃度 $C_{b,p}$ は、第2バッファ層15bの中央部と、第1バッファ層15aおよび第2バッファ層15bの接合部(深さ $X_{j,a}$)のうち、接合部に近い場所に位置する。また、第2バッファ層15bの不純物プロファイルは、低濃度でかつN⁻ドリフト層14との接合部(深さ $X_{j,b}$)に向けて深さ方向に緩い濃度勾配 δ_b を有する。第2バッファ層15bのピーク不純物濃度 $C_{b,p}$ を、第2バッファ層15bの中央部と、第1バッファ層15aおよび第2バッファ層15bの接合部のうち、接合部に近い場所に位置するよう形成する。そのため、第2バッファ層15bを形成するためのイオン注入および照射技術等においてイオン種をSiへ導入する際のピーク位置を、第1バッファ層15aおよび第2バッファ層15bの接合部より深くなるように設定する。

40

【0107】

なお、第2バッファ層15bとN⁻ドリフト層14との接合部付近における主接合側濃度傾斜量、すなわち濃度勾配 δ_b ($\text{decade cm}^{-3} / \mu\text{m}$)は、以下の式(1)で表される。

50

【 0 1 0 8 】

【 数 1 】

$$\delta_b = \frac{(\Delta \log_{10} C_b)}{\Delta t_b} \quad \dots (1)$$

【 0 1 0 9 】

ただし、 $\Delta \log_{10} C_b$ は図 3 3 に示す第 2 バッファ層 1 5 b の不純物濃度 C_b の変化量であり、 $\log$ は底が 1 0 の常用対数であり、 Δt_b は、第 2 バッファ層 1 5 b の深さ t_b の変化量である。

【 0 1 1 0 】

10

第 1 バッファ層 1 5 a と第 2 バッファ層 1 5 b との接合部の深さ $X_{j,a}$ は以下のように定義する。図 3 4 に示すように、第 1 バッファ層 1 5 a の不純物プロファイルの傾きの接線と、第 2 バッファ層 1 5 b の不純物プロファイルの傾きの接線とが交差するポイント、すなわち不純物プロファイルの勾配が負から正に変化するポイントを、接合部の深さ $X_{j,a}$ とする。また、第 2 バッファ層 1 5 b と N⁻ドリフト層 1 4 との接合部の深さ $X_{j,b}$ も同様に、図 3 3 に示す第 2 バッファ層 1 5 b の不純物プロファイルの傾きの接線と、N⁻ドリフト層 1 4 の不純物プロファイルの傾きの接線とが交差するポイントで定められる。

【 0 1 1 1 】

第 1 構造において、第 1 バッファ層 1 5 a と第 2 バッファ層 1 5 b は、以下の式 (2) から式 (4) に表わす関係を満足する。

20

【 0 1 1 2 】

【 数 2 】

$$C_{a,p} > C_{b,p} \quad \dots (2)$$

$$X_{j,a} < X_{j,b} \quad \dots (3)$$

$$\delta_a > \delta_b \quad \dots (4)$$

【 0 1 1 3 】

ただし、 δ_a は $9.60 \text{ (decade } \text{cm}^{-3} / \mu\text{m)}$ であり、 δ_b は $0.001 \text{ (decade } \text{cm}^{-3} / \mu\text{m)}$ から $0.70 \text{ (decade } \text{cm}^{-3} / \mu\text{m)}$ である。

30

【 0 1 1 4 】

次に、図 3 3 および図 3 4 を参照して第 2 構造について説明する。第 2 構造の N バッファ層 1 5 では、第 2 バッファ層 1 5 b が複数層のサブバッファ層の積層構造として構成される。図 3 3 には、4 層のサブバッファ層 1 5 b 1 - 1 5 b 4 から第 2 バッファ層 1 5 b が構成される場合の不純物プロファイルが示されている。第 1 バッファ層 1 5 a の不純物プロファイルは第 1 構造における第 1 バッファ層 1 5 a と同様である。

【 0 1 1 5 】

第 2 バッファ層 1 5 b における各サブバッファ層 1 5 b 1 , 1 5 b 2 , ... 1 5 b n のピーク不純物濃度 $C_{b1,p}$, $C_{b2,p}$, ... , $C_{bn,p}$ は、第 1 バッファ層 1 5 a との接合部 $X_{j,a}$ から N⁻ドリフト層 1 4 との接合部 $X_{j,b}$ に向けて、他方主面から一方主面に向かう深さ方向に段々と低くなるように、すなわち主接合側ほど低くなるように設定される。また、それらの濃度勾配 δ_{b1} , δ_{b2} , ... , δ_{bn} も同様に、第 1 バッファ層 1 5 a との接合部 $X_{j,a}$ から N⁻ドリフト層 1 4 との接合部 $X_{j,b}$ に向けて、他方主面から一方主面に向かう深さ方向に段々と小さくなるように、すなわち主接合側ほど小さくなるように設定される。また、隣接する 2 つのサブバッファにおける不純物濃度のピーク点間の距離 $\Delta S_{n,n-1}$ は、第 2 バッファ層 1 5 b において等しい。例えば、図 3 3 において不純物濃度のピーク点間の距離を第 1 サブバッファ層 1 5 b 1 と第 2 サブバッファ層 1 5 b 2 との間で $S_{b1,b2}$ とし、第 2 サブバッファ層 1 5 b 2 と第 3 サブバッファ層 1 5 b 3 との間で $S_{b2,b3}$ とし、第 3 サブバッファ層 1 5 b 3 と第 4 サブバッ

40

50

ファ層 15 b 4 との間で $S_{b3, b4}$ とすると、 $\Delta S_{b1, b2}$ $\Delta S_{b2, b3}$ $\Delta S_{b3, b4}$ となる。なお、ここで述べるピーク点間の距離が等しいとは、厳密に等しい場合だけではなく、各サブバッファ層の半値幅 ($2 \mu m$) の範囲内で等しい場合を含む。

【0116】

また、第2バッファ層 15 b を構成する各サブバッファ層 15 b 1 - 15 b n は、隣接する2つのサブバッファ層の接合部を含めた全ての領域に亘って、不純物濃度が N^- ドリフト層 14 の不純物濃度 C_d よりも高くなるように設定される。

【0117】

第2構造において、第1バッファ層 15 a と第2バッファ層 15 b の第1サブバッファ層 15 b 1 は、以下に表す関係を満足する。

10

【0118】

【数3】

$$C_{a,p} > C_{b1,p} \quad \cdots (5)$$

$$X_{j,a} < X_{j,b1} \quad \cdots (6)$$

$$\delta_a > \delta_{b1} \quad \cdots (7)$$

【0119】

ここで、 δ_a は 9.60 ($\text{decade cm}^{-3} / \mu m$) であり、 δ_{b1} は 0.30 ($\text{decade cm}^{-3} / \mu m$) から 1.00 ($\text{decade cm}^{-3} / \mu m$) である。

20

【0120】

また、第2バッファ層 15 b の各サブバッファ層 15 b 1 - 15 b n は、以下の式 (8)、式 (9) に表わす関係を満足する。

【0121】

【数4】

$$C_{b1,p} \geq C_{b2,p} \quad \cdots \geq C_{bn,p} \quad \cdots (8)$$

$$\delta_{b1} \geq \delta_{b2} \quad \cdots \geq \delta_{bn} \quad \cdots (9)$$

【0122】

ここで、第nサブバッファ層 15 b n と N^- ドリフト層 14 の接合部付近における濃度勾配 δ_{bn} (主接合側濃度勾配ともいう) は、 0.14 ($\text{decade cm}^{-3} / \mu m$) から 0.50 ($\text{decade cm}^{-3} / \mu m$) である。

30

【0123】

また、不純物プロファイルにおいて、各サブバッファ層 15 b 1 - 15 b n におけるピーク不純物濃度を繋いだ直線近似により得られる濃度勾配 δ'_b は、 0.001 ($\text{decade cm}^{-3} / \mu m$) から 0.70 ($\text{decade cm}^{-3} / \mu m$) である。

【0124】

上記の関係から、本発明のNバッファ層 15 を構成する第1バッファ層 15 a および第2バッファ層 15 b の役割は、図27から図29に示す目標とするNバッファ層 15 の役割を考慮すると、以下の通りである。

40

【0125】

第1バッファ層 15 a は、図28の領域A21に示すように、静的状態で主接合から伸びてくる空乏層を止める役割を担う。これにより、安定的な耐圧特性が得られ、オフ時の低リーク電流による低オフロス化が実現する。

【0126】

第2バッファ層 15 b の不純物濃度は、オン状態すなわち定格の主電流が流れている状態において、伝導度変調現象により発生するキャリアプラズマ層により、第2バッファ層 15 b を形成する際のドーピングプロファイルより増加する (図27の領域A11)。この不純物濃度の増加は、PNPトランジスタのベース幅を広げる役割があり、その結果、 α_{pn} を下げ、オフ時の低リーク電流による低オフロス化を実現する。伝導度変調現象

50

により発生するキャリアプラズマ層は、動的状態での残留キャリアプラズマ層として働く（図29の領域A12）。また、静的および動的状態で主接合から伸びる空乏層の伸長スピードを N^- ドリフト層14内よりも抑制し、かつオン状態で生じたキャリアプラズマ層を残留させ、電界強度分布を制御する役割を担う（図29の領域A22）。これにより、ターンオフ動作終了でのsnap-off現象およびsnap-off現象に起因する発振現象を抑制し、スイッチング動作の制御性を向上した上で、動的状態における破壊耐量の向上を実現する。

【0127】

上記の役割を担う第1バッファ層15aおよび第2バッファ層15bは、ウエハプロセス中のデバイスの厚みを精度よく形成する工程（図16または図25）の後に形成する。ここで、デバイスの厚みは、図30から図32に示すAからBまでの距離 t_D である。第1バッファ層15aおよび第2バッファ層15bは、形成する順番および第2バッファ層15b導入時の加速エネルギーのピーク位置の設定が重要である。すなわち、半導体基体の他方主面側から第1イオンを注入し、第1イオンをアニールにより活性化させて第1バッファ層15aを形成した後、半導体基体の他方主面側から第2イオンを注入し、第2イオンをアニールにより活性化させて第2バッファ層15bを形成する。

【0128】

第1バッファ層15aを形成する際のアニール温度は第2バッファ層15bを形成する際のアニール温度より高温であるため、第2バッファ層15bより先に第1バッファ層15aを形成すると、第2バッファ層15bの活性化後の不純物プロファイルや、第2バッファ層15bを形成するために導入する第2バッファ層15b中の格子欠陥の種類に悪影響があり、デバイスオン状態のキャリア（電子またはホール）に悪影響が生じる。従って、第2バッファ層15bは第1バッファ層15aの活性化アニール後に形成する。第1バッファ層15aの活性化アニール後にイオンをSi中へ導入し、Pコレクタ層16、 N^+ カソード層17、またはPカソード層18を形成した後、もしくはコレクタ電極23Cまたはカソード電極23Kを形成した後にアニールを行うことで、上記に示した特性の第2バッファ層15bを形成可能である。

【0129】

第2バッファ層15bを形成するためSi中にイオン種を導入するが、このイオン種の濃度のピーク位置は以下のように設定する。第1構造においては、ピーク位置から第1バッファ層15aおよび第2バッファ層15bの接合部 $X_{j,a}$ までの距離が、ピーク位置から第2バッファ層の中央部までの距離よりも短くなるように設定する。これにより、第1バッファ層15aと第2バッファ層15bが干渉せず、精度良く所望の第1バッファ層15aと第2バッファ層15bとの関係を満足する第2バッファ層15bを形成することができる。第2構造においては、第2バッファ層15bを構成する各サブバッファ層15b1 - 15bnにおける隣り合うピーク位置間の距離（ $\Delta S_{b1,b2}, \Delta S_{b2,b3}, \dots, \Delta S_{b(n-1),bn}$ ）が等しくなるようにする。なお、ここで述べるピーク位置間の距離が等しいとは、厳密に等しい場合だけではなく、各サブバッファ層の半値幅（ $2\mu m$ ）の範囲内で等しい場合を含む。また、第2構造においては、第1サブバッファ層15b1のピーク位置を、第1サブバッファ層15b1の中央部より、第1サブバッファ層15b1と第1バッファ層15aとの接合部 $X_{j,b1}$ に近い位置に設定する。これにより、第1バッファ層15aと第1サブバッファ層15b1が干渉せず、精度良く所望の第1サブバッファ層15b1を形成することができる。

【0130】

第1バッファ層15aではイオン種としてリンを用い、第2バッファ層15bではセレン、硫黄、リン、プロトン（ H^+ ）またはヘリウムを用いる。これらのイオン種を高加速エネルギーにてSi中へ導入することにより、第1バッファ層15aおよび第2バッファ層15bを形成する。プロトンまたはヘリウムを用いる場合は、後述するアニーリング条件によるドナー化現象により、n層を形成する拡散層形成プロセス技術を用いる。また、プロトンまたはヘリウムは、イオン注入以外にもサイクロトロンを利用した照射技術でS

10

20

30

40

50

i 中へ導入することが可能である。

【0131】

プロトンを S_i へ導入すると、(a) 導入時に生じる空孔 (V) が拡散して不純物 (水素原子 (H), 酸素原子 (O) および炭素原子 (C)) と反応し、または炭素原子と格子欠陥の置換反応により複合欠陥 (VOH , V_2H , VO , $SiOS$ (G-centre), $SiOi$ (C-centre)) が形成される。また、(b) 導入時に生じる格子欠陥が拡散し、自己凝集し、アニーリングにより酸素原子と反応して複合欠陥 (V_2O , V_2O_2) が形成される。また、(c) 導入時に生じる格子欠陥の凝集物 (W-centre) が、アニーリングにより拡散し再凝集して格子欠陥対 (X-centre) が形成される。この中で、空孔と不純物とが反応し形成する複合欠陥には水素が含まれるため電子供給源 (ドナー) となる。アニーリングによる複合欠陥密度の増加によりドナー濃度は増加し、イオン注入または照射プロセスに起因してサーマルドナー現象を促進するメカニズムによりドナー濃度はさらに増加する。この結果、図33に示すような N^- ドリフト層14よりも不純物濃度の高いドナー化した層が形成され、この層が第2バッファ層15bとしてデバイスの動作に寄与する。このように、第2バッファ層15b中に形成される複合欠陥を活用して、デバイス性能の向上を実現することが可能である。一方で、第2バッファ層15b中に形成される複合欠陥には、キャリアのライフタイムを低下させるライフタイムキラとなる欠陥も存在する。そのため、第2バッファ層15b形成時の不純物ドーズ量と、ドナー化のためのアニーリング条件は重要である。また、第1バッファ層15aの形成後にイオン注入とアニーリング技術により第2バッファ層15bを形成することも重要である。

【0132】

第1バッファ層15aと第2バッファ層15bの活性化には、それぞれ異なる手法のアニーリングを用いる。その際のアニール温度は、第1バッファ層15aの方が第2バッファ層15bよりも高温とする。よって、第2バッファ層15bの活性化率 R_b は第1バッファ層15aの活性化率 R_a よりも小さく、 $R_b / R_a = 0.01$ となる条件で各拡散層を形成する。活性化率 R (%) は (活性化後の不純物プロファイルより算出されるドーズ量 / 実際の拡散層領域に入っているイオン原子のドーズ量) $\times 100$ で表される。

【0133】

ここで、活性化後の不純物プロファイルより算出されるドーズ量は、拡がり抵抗測定法 (Spreading Resistance Analysis) による拡散層の不純物濃度と深さとの関係より算出されるドーズ量である。また、実際の拡散層領域に入っているイオン原子のドーズ量は、SIMS (Secondary Ion Mass Spectrometry) 法によって深さ方向のイオンの質量を分析し算出されるドーズ量である。

【0134】

図35は、第2バッファ層15bsのキャリアライフタイムと、第2バッファ層15bsを活性化 (ドナー化) するためのアニーリング時のアニール温度との関係を示す。これ以降、幾つかの特性を説明するが、第2バッファ層15bsを活性化 (ドナー化) するためのアニーリング時のアニール温度を単に「第2バッファ層15bsのアニール温度」と称する。図35において、アニーリング時の雰囲気は窒素雰囲気である。第2バッファ層15bのキャリアライフタイムは、 μ -PCD法 (Microwave Photo Conductivity Decay、マイクロ波光導電減衰法) を用いて測定した。図35より、第2バッファ層15bsのアニール温度が370 以上420 以下のとき、第2バッファ層15bsのキャリアライフタイムは100 μs と長くなる。なお、第1バッファ層15aのキャリアライフタイムを同じ手法で評価すると、300 μs である。従って、第2構造において、第1バッファ層15aのキャリアライフタイムは、第2バッファ層15bsのキャリアライフタイムよりも長くする必要がある。Pコレクタ層16、 N^+ カソード層17、またはPカソード層18と接する第1バッファ層15aのキャリアライフタイムが長いことにより、IGBTおよびダイオード共に、オン状態において、キャ

リア供給源であるPコレクタ層16、N⁺カソード層17またはPカソード層18から、N⁻ドリフト層14へ正常なキャリア供給が可能となる。さらに、後述するように、IGBTおよびダイオード共に、広い動作温度範囲で正常なオン動作が保証され、高温でのオフロスが低減し、動的動作時にはコレクタまたはカソード側の残留キャリアプラズマ層が形成されることにより、主接合部から伸びる電界強度分布を制御する。従って、ターンオフ動作時の制御性向上および遮断能力向上が実現する。

【0135】

図36は、フォトルミネッセンス(Photoluminescence: PL)法による、第2構造の第1バッファ層15aおよび第2バッファ層15bsのスペクトル測定結果を示している。PL法とは、半導体へ光を照射し、欠陥準位を經由して電子-ホール対が再結合する際に放出される光を観測する解析手法である。図36の横軸はフォトンエネルギー(eV)であり、縦軸は温度30(K)における正規化したフォトルミネッセンス(PL)強度(a.u.)を示している。正規化したPL強度は、各層バンド端の強度にて規格化されている。なお、PL強度は欠陥の数に関連し、PL強度が強いほどその由来となる欠陥が多いことを示す。

【0136】

図36では、第1バッファ層15aの測定結果を破線L15で、第2バッファ層15bsの測定結果を実線L16で示している。第1バッファ層15aおよび第2バッファ層15bs共にそれらのスペクトルは、0.98eVにおいて照射したレーザー光に由来するピークを有し、1.1eVにおいてバンド端発光によるピークを有している。第1バッファ層15aのスペクトルは、上記のピークの他には特段のピークを有していない。しかし、第2バッファ層15bsのスペクトルは、上記のピークの他に、図36に領域A31および領域A32で示す特徴的な2つのピークを有している。これらのピークは、第2バッファ層15bs中に存在する格子欠陥に由来する。より具体的には、領域A31で示すピークはW-centre(フォトンエネルギー1.018eV)による準位であり、領域A32で示すピークはX-centre(フォトンエネルギー1.040eV)による準位である。なお、W-centreおよびX-centreのフォトンエネルギー準位は、「G. Davies et al., "Radiation Damage in Silicon Exposed to High-Energy Protons," Phys. Rev. B, 73, pp. 165202-1-165202-10, 2006」のPL法による結果を参考にした。

【0137】

第2構造のNバッファ層15において、第1バッファ層15aのキャリアライフタイムは、第2バッファ層15bsのキャリアライフタイムより長い。従って、後述する実施の形態3で説明するように、第2バッファ層15bsに格子欠陥が存在しても、ダイオードが正常にオン動作を行い、高温でも熱暴走せず、低オフロスで十分な耐圧保持能力を有する。また、ダイオードは高温、高電圧および大電流下でも高い遮断能力を有し、高温動作を実現する。また、第2構造のNバッファ層15を有するIGBTにおいても同様の効果が得られる。

【0138】

図37はIGBTのターンオフ波形と、当該波形から抽出される性能パラメータとを示している。図37の横軸は時間($\times 10^{-6}$ 秒)を示し、縦軸はコレクタ-エミッタ間電圧 V_{CE} (V)とコレクタ電流密度 J_C (A/cm²)を表している。図37の実線L17はコレクタ-エミッタ間電圧 V_{CE} を示し、破線L18はコレクタ電流密度 J_C を示している。

【0139】

図38はダイオードのリカバリー波形と、当該波形から抽出される性能パラメータとを示している。なお、図38に示すダイオードのターンオフ動作は、後述するダイオードのリカバリー動作と同じ動作状態である。図38の横軸は時間($\times 10^{-6}$ 秒)を表し、縦軸はアノード-カソード間電圧 V_{AK} (V)とアノード電流密度 J_A (A/cm²)を表

10

20

30

40

50

している。図 38 の実線 L 19 はアノード - カソード間電圧 V_{AK} (V) を示し、破線 L 20 はアノード電流密度 J_A (A/cm^2) を示している。 J_{RR} は、リカバリー動作時の J_A の最大値、すなわち最大逆回復電流密度を示している。 Q_{RR} は、リカバリー動作時の蓄積電荷量を示し、 J_A を 0 A 以下の範囲で積分して得られる。図 37 または図 38 において、snap-off 電圧 $V_{snap-off}$ は、ターンオフ動作時の V_{CE} または V_{AK} の最大値である。 $V_{snap-off}$ は、定格耐圧よりも大きくなるとデバイスが破壊する可能性があるため、定格耐圧以下とする。

【0140】

図 39 は、耐圧 1200 V クラスの RFC ダイオードにおける、snap-off 電圧 $V_{snap-off}$ と蓄積電荷量 Q_{RR} の、電源電圧 V_{CC} に対する特性を、第 2 バッファ層 15 bs のアニール温度をパラメータとして示した図である。図 39 において、第 2 バッファ層 15 bs のアニール温度を 345、400、430 としたときの特性を、それぞれ黒三角、白丸、白三角でプロットしている。また、 $V_{snap-off}$ の特性を実線 L 21、L 22、L 23 で示し、 Q_{RR} の特性を破線 L 24、L 25、L 26 で示している。

【0141】

図 35 および図 39 より、ライフタイムが低下するアニール温度 (345) で形成された第 2 バッファ層 15 bs を有する RFC ダイオードは、破線 L 25 で示すように Q_{RR} が少なく、実線 L 21 で示すように $V_{snap-off}$ が定格耐圧の 1200 V 以上となる。これは、第 2 バッファ層 15 bs のライフタイムが低下すると、カソード側のライフタイムが低下するため、RFC ダイオードのリカバリー動作時にカソード側の残留キャリアプラズマ層 (図 29 の領域 A12) が枯渇して、 $V_{snap-off}$ 値が高くなると考えられる。

【0142】

図 40 および図 41 は、耐圧 1200 V クラスの RFC ダイオードにおける、低温でのリカバリー動作時の波形を示している。これらの図の横軸は時間 ($\times 10^{-6}$ 秒) を、縦軸はアノード - カソード間電圧 V_{AK} (V) とアノード電流密度 J_A (A/cm^2) を示している。スイッチング条件は、 $V_{CC} = 1000$ V、 $J_F = 31.7$ A/cm^2 ($0.1 J_A$)、 $dj/dt = 1000$ $A/cm^2 \mu s$ 、 $dV/dt = 12500$ V/ μs 、 $L_s = 2.0$ μH である。動作温度は図 40 において 253 K、図 41 において 233 K である。

【0143】

図 40 において、実線 L 27 と破線 L 28 は、第 2 バッファ層 15 bs のアニール温度が 345 のときの V_{AK} と J_A をそれぞれ示している。実線 L 29 と破線 L 30 は、第 2 バッファ層 15 bs のアニール温度が 400 のときの V_{AK} と J_A をそれぞれ示している。実線 L 31 と破線 L 32 は、第 2 バッファ層 15 bs のアニール温度が 430 のときの V_{AK} と J_A をそれぞれ示している。図 41 において、実線 L 33 と破線 L 34 は、第 2 バッファ層 15 bs のアニール温度が 345 のときの V_{AK} と J_A をそれぞれ示している。実線 L 35 と破線 L 36 は、第 2 バッファ層 15 bs のアニール温度が 400 のときの V_{AK} と J_A をそれぞれ示している。また、図 40 および図 41 において、波形中のバツ印は、デバイスが破壊したポイントを示している。

【0144】

図 40 より、動作温度が 253 K と低温になるとライフタイムが低下するアニール温度 (430) で形成された第 2 バッファ層 15 bs を有する RFC ダイオードは、リカバリー動作時に破壊しており、破壊耐量が低下していることが分かる。また、図 41 より、動作温度が 233 K とさらに低温になると、ライフタイムが低下するアニール温度 (345) で形成された第 2 バッファ層 15 bs を有する RFC ダイオードも、リカバリー動作時に破壊しており、破壊耐量が低下していることが分かる。

【0145】

図 42 は、安全動作温度 (K) と第 2 バッファ層 15 bs のアニール温度 () との関

10

20

30

40

50

係を示している。ここで、 $V_{CC} = 1000\text{ V}$ 、 $J_F = 0.1\text{ J/A}$ 、 $dj/dt = 1000\text{ A/cm}^2\text{ }\mu\text{s}$ 、 $dV/dt = 12500\text{ V}/\mu\text{s}$ 、 $L_s = 2.0\text{ }\mu\text{H}$ とする。また、図42では、Nバッファ層15が第1バッファ層15aのみで構成されたダイオードの特性を、比較例として黒丸でプロットしている。図42から、第2バッファ層15bsをライフタイムが低下しないアニール温度(370以上420以下)で形成することにより、低温側での安全動作温度が比較例より拡大することが分かる。

【0146】

<実施の形態2>

実施の形態2では、図2に示したRFCダイオードにおいて、好ましい特性を示す第2バッファ層15bsの不純物プロファイルについて説明する。好ましい特性とは、オフ状態の耐圧遮断能力を上げ、高温でのリーク電流低減による低オフロスと高温動作を実現し、ターンオフ(リカバリー)動作時のsnap-off現象と、その後の発振現象を抑制し、安全動作領域の保証温度を低温側へ拡大し、リカバリー動作時の破壊耐量向上を実現することである。

【0147】

図43は、第2構造のNバッファ層15について4通りの不純物プロファイルを示している。第2バッファ層15bsの活性化アニール条件は、400、窒素雰囲気というキャリアライフタイムが長くなる条件とする。図43において、実線L37、破線L38、一点鎖線L39、二点鎖線L40は、それぞれサンプル1, 2, 3, 4の不純物プロファイルを示している。図43において正規化した深さが0の地点Bは、図32の断面図におけるBに対応している。プロファイルサンプル1-4において第1サブバッファ層15b1から第4サブバッファ層15b4のトータルドーズ量は一定である。サンプル1-4のいずれも、第1バッファ層15aのピーク不純物濃度 $C_{a,p}$ は第1サブバッファ層15b1のピーク不純物濃度 $C_{b1,p}$ よりも高い。

【0148】

サンプル1では、第1サブバッファ層15b1から第4サブバッファ層15b4にかけてピーク不純物濃度が低下し、第4サブバッファ層15b4のピーク不純物濃度はN⁻ドリフト層14の不純物濃度より高い。すなわち、 $C_{a,p} > C_{b1,p}$ 、 $C_{b(n-1),p} > C_{bn,p}$ である。

【0149】

サンプル2では、第1サブバッファ層15b1から第4サブバッファ層15b4にかけてピーク不純物濃度が一定で、N⁻ドリフト層14の不純物濃度 C_d より高い。すなわち、 $C_{b(n-1),p} = C_{bn,p} > C_d$ である。

【0150】

サンプル3では、第1サブバッファ層15b1のピーク不純物濃度 $C_{b1,p}$ はN⁻ドリフト層14の不純物濃度 C_d より高く、第1サブバッファ層15b1から第4サブバッファ層15b4にかけてピーク不純物濃度が増加する。すなわち、 $C_{b(n-1),p} < C_{bn,p}$ であり、 $C_{b1,p} > C_d$ である。

【0151】

サンプル4では、第1サブバッファ層15b1のピーク不純物濃度がN⁻ドリフト層14の不純物濃度より低く、第2サブバッファ層15b2から第4サブバッファ層15b4にかけてピーク不純物濃度が低下し、第4サブバッファ層15b4のピーク不純物濃度はN⁻ドリフト層14の不純物濃度より高い。ここで、N⁻ドリフト層14の不純物濃度より低い不純物濃度となる第1サブバッファ層15b1の領域を結晶欠陥領域37と称する。すなわち、 $C_{b1,p} < C_d$ 、 $C_{b(n-1),p} > C_{bn,p}$ である。

【0152】

図44は、耐圧1200VクラスのRFCダイオードにおける逆バイアス時の $J_R - V_R$ 特性を示している。 J_R はリーク電流密度(A/cm^2)、 V_R は逆バイアス電圧(V)である。動作温度は298Kである。サンプル1, 2, 3, 4の $J_R - V_R$ 特性をそれぞれ実線L41、破線L42、一点鎖線L43、二点鎖線L44で示している。図44よ

10

20

30

40

50

り、サンプル 4 のように第 2 バッファ層 1 5 b 中に結晶欠陥領域 3 7 が存在すると、リーク電流が増加し、オフ時の低リーク電流化を実現できず、オフ状態の耐圧遮断能力の低下を招く。

【 0 1 5 3 】

図 4 5 は、サンプル 1 - 3 の不純物プロファイルを適用した耐圧 1 2 0 0 V の R F C ダイオードのリカバリー波形を示している。図 4 5 の横軸は時間 ($\times 10^{-6}$ 秒) を表し、縦軸はアノード - カソード間電圧 V_{AK} (V) とアノード電流密度 J_A (A/cm^2) を表している。スイッチング条件は、 $V_{CC} = 800$ V、 $J_F = 31.7 A/cm^2$ ($0.1 J_A$)、 $dj/dt = 5000 A/cm^2 \mu s$ 、 $dV/dt = 50000 V/\mu s$ 、 $L_s = 200$ nH であり、動作温度は 298 K である。図 4 5 において、実線 L 4 5, L 4 6 は、サンプル 1 の V_{AK} 、 J_A をそれぞれ示している。また、破線 L 4 7, L 4 8 は、サンプル 2 の V_{AK} 、 J_A をそれぞれ示している。また、一点鎖線 L 4 9, L 5 0 は、サンプル 3 の V_{AK} 、 J_A をそれぞれ示している。

【 0 1 5 4 】

図 4 6 は、図 4 5 に示すリカバリー波形から抽出された snap-off 電圧 $V_{snap-off}$ と電源電圧 V_{CC} との関係を示している。図 4 6 において、白丸を接続する実線 L 5 1 はサンプル 1 の $V_{snap-off}$ を示し、白丸を接続する破線 L 5 2 はサンプル 1 の V_{CC} を示している。また、黒い菱形を接続する実線 L 5 3 はサンプル 2 の $V_{snap-off}$ を示し、黒い菱形を接続する破線 L 5 4 はサンプル 2 の V_{CC} を示している。また、白い菱形を接続する実線 L 5 5 はサンプル 3 の $V_{snap-off}$ を示し、黒い菱形を接続する破線 L 5 6 はサンプル 1 の V_{CC} を示している。また、図 4 6 では、N バッファ層 1 5 が第 1 バッファ層 1 5 a のみで構成された R F C ダイオードの特性を比較例として示す。黒丸を接続する実線 L 5 7 は比較例の $V_{snap-off}$ を示し、黒丸を接続する破線 L 5 8 は比較例の V_{CC} を示している。

【 0 1 5 5 】

図 4 5 および図 4 6 から、R F C ダイオードのリカバリー動作における $V_{snap-off}$ の V_{CC} 依存性を小さくするには、 Q_{RR} を大きくする必要があり、サンプル 1 またはサンプル 2 のような第 2 バッファ層 1 5 b s の不純物プロファイルが適していることが分かる。この結果は、サンプル 1, 2 がサンプル 3 に比べて、リカバリー動作の後半、すなわち J_A が最大逆回復電流密度 J_{RR} を越えた領域で、カソード側に残留キャリアプラズマ層が存在していることを意味している。

【 0 1 5 6 】

図 4 7 は、耐圧 1 2 0 0 V クラスの R F C ダイオードにおいて、第 2 バッファ層 1 5 b s の不純物プロファイルをサンプル 1 - 3 とした場合のダイオード性能を示している。なお、第 2 バッファ層 1 5 b s の活性化アニール条件は、アニール温度 400、窒素雰囲気である。図 4 7 から、種々のダイオード性能を満足するのはサンプル 1 とサンプル 2 である。サンプル 3 は、 $V_{snap-off}$ が定格電圧 1 2 0 0 V を超える他、高電圧 (900 V) かつ高温下 (448 K) でのリカバリー動作時の最大遮電流密度 J_A (break) が小さいため、リカバリー動作時の破壊耐量が低い。サンプル 3 において J_A (break) が小さくなるのは、リカバリー動作時にカソード側の残留キャリアプラズマ層の濃度が低く、N⁺ドリフト層 1 4 と第 2 バッファ層 1 5 b s との接合面における電界強度が高くなるためと考えられる。

【 0 1 5 7 】

図 4 8 は、サンプル 1 と同等のダイオード性能を保証可能な第 2 バッファ層 1 5 b s の他の不純物プロファイル (サンプル 5, 6) を示している。図 4 8 において、実線 L 5 9 はサンプル 1 の不純物プロファイルであり、破線 L 6 0 はサンプル 5 の不純物プロファイルであり、一点鎖線 L 6 1 はサンプル 6 の不純物プロファイルである。

【 0 1 5 8 】

サンプル 5 は、第 2 バッファ層 1 5 b s 中に 3 つの不純物濃度ピークを有し、それらの不純物濃度ピークが深さ方向に小さくなる不純物プロファイルである。サンプル 6 は、第

2 バッファ層 1 5 b s 中に 2 つの不純物濃度ピークを有し、それらの不純物濃度ピークが深さ方向に小さくなる不純物プロファイルである。サンプル 5 , 6 とともに、図 4 3 においてサンプル 4 の不純物プロファイルで示したような結晶欠陥領域 3 7 が存在しない。

【 0 1 5 9 】

図 4 9 は、耐圧 1 2 0 0 V クラスの R F C ダイオードにおいて、第 2 バッファ層 1 5 b s の不純物プロファイルをサンプル 1 , 5 , 6 とした場合のダイオード性能を示している。図 4 9 より、サンプル 1 , 5 , 6 間ではダイオード性能に差がみられず、いずれも理想的な不純物プロファイルである。従って、好ましい特性を得るためには、第 2 バッファ層 1 5 b s に結晶欠陥領域 3 7 が存在しない、すなわち第 2 バッファ層 1 5 b s の不純物濃度が、第 2 バッファ層 1 5 b s の全領域において N^- ドリフト層 1 4 の不純物濃度よりも高いことが求められる。

10

【 0 1 6 0 】

< 実施の形態 3 >

実施の形態 3 では、第 2 バッファ層 1 5 b s の実効ドーズ量 $Dose_b$ と、I G B T または R F C ダイオードの性能との関係を示す。I G B T と R F C ダイオードの構造は、図 3 0 および図 3 2 に示した通りである。実効ドーズ量 $Dose_b$ は、例えば (1 0) 式で定義される。

【 0 1 6 1 】

【 数 5 】

$$Dose_b = (\text{Siウエハへ不純物を導入する際のドーズ量}) \times \frac{Ra}{100} \text{ (cm}^{-2}\text{)} \quad \dots(10)$$

20

【 0 1 6 2 】

ここで、 Ra (%) は、実際の拡散層領域に入っているイオン原子のドーズ量のうち、活性化後の不純物プロファイルより算出されるドーズ量が占める割合を表している。

【 0 1 6 3 】

あるいは、実効ドーズ量 $Dose_b$ は、「活性化後の不純物プロファイルにより算出されるドーズ量」として定義される。「活性化後の不純物プロファイルより算出されるドーズ量」とは、拡がり抵抗測定法 (Spreading Resistance Analysis) により、拡散層の不純物濃度と深さとの関係から算出されるドーズ量である。また、「実際の拡散層領域に入っているイオン原子のドーズ量」とは、S I M S (Secondary Ion Mass Spectrometry) 法により深さ方向のイオンの質量を分析して算出されるドーズ量である。

30

【 0 1 6 4 】

図 3 0 に示す I G B T は、図 5 から図 1 7 に示す工程により、イオン注入およびアニーリング技術を用いて形成される。以下、I G B T における各拡散層のパラメータを説明する。

【 0 1 6 5 】

P ベース層 9 : ピーク不純物濃度は $1.0 \times 10^{16} \text{ cm}^{-3}$ から $1.0 \times 10^{18} \text{ cm}^{-3}$ に設定され、接合深さは N^+ エミッタ層 7 より深く N 層 1 1 より浅く設定される。

【 0 1 6 6 】

N 層 1 1 : ピーク不純物濃度は $1.0 \times 10^{15} \text{ cm}^{-3}$ から $1.0 \times 10^{17} \text{ cm}^{-3}$ に設定され、接合深さは P ベース層 9 より $0.5 \mu\text{m}$ から $1.0 \mu\text{m}$ 深く設定される。

40

【 0 1 6 7 】

N^+ エミッタ層 7 : ピーク不純物濃度は $1.0 \times 10^{18} \text{ cm}^{-3}$ から $1.0 \times 10^{21} \text{ cm}^{-3}$ に設定され、接合深さは $0.2 \mu\text{m}$ から $1.0 \mu\text{m}$ に設定される。

【 0 1 6 8 】

P^+ 層 8 : 表面不純物濃度は $1.0 \times 10^{18} \text{ cm}^{-3}$ から $1.0 \times 10^{21} \text{ cm}^{-3}$ に設定され、接合深さは N^+ エミッタ層 5 と同じかより深くに設定される。

【 0 1 6 9 】

N バッファ層 1 5 のパラメータは、実施の形態 1 で説明したとおりである。

50

【0170】

Pコレクタ層16：表面不純物濃度は $1.0 \times 10^{16} \text{ cm}^{-3}$ から $1.0 \times 10^{20} \text{ cm}^{-3}$ に設定され、接合深さは $0.3 \mu\text{m}$ から $0.8 \mu\text{m}$ に設定される。

【0171】

実施の形態3では、図30に示すIGBTにおいて、Nバッファ層15の実効ドーズ量を制御することによる効果を説明する。しかし、同様の効果は、ダミー電極を有さず全てのゲート電極13がゲート電位であるIGBT（例えば特許第5908524号の図66）、隣り合うゲート電極13間の拡散層の中にN層11が存在しないIGBT（例えば特許第5908524号の図1）、MOSトランジスタ部のゲート構造が平面ゲート構造であるIGBT（例えば特許第5908524号の図79-52）においても得られる。

10

【0172】

図50は、耐圧4500VクラスのIGBTのターンオフ動作時の波形を示している。図50の横軸は時間（ $\times 10^{-6}$ /秒）を、縦軸は V_{CE} （V）および J_C （ A/cm^2 ）を示している。図50において、第2バッファ層15bの実効ドーズ量 $Dose_b$ を $4.0 \times 10^{10} \text{ cm}^{-2}$ としたときの V_{CE} および J_C を、実線L64および破線L65でそれぞれ示し、実効ドーズ量 $Dose_b$ を $1.5 \times 10^{12} \text{ cm}^{-2}$ としたときの V_{CE} および J_C を、実線L66および破線L67でそれぞれ示している。また、図50では、Nバッファ層15が第1バッファ層15aのみで構成されるIGBTを比較例とし、その V_{CE} および J_C を実線L62および破線L63でそれぞれ示している。なお、スイッチング条件は、図50および図51において、 $V_{CC} = 3600 \text{ V}$ 、 $J_F = 53.9 \text{ A}/\text{cm}^2$ 、 $dV/dt = 3100 \text{ V}/\mu\text{s}$ 、 $L_s = 2.3 \mu\text{H}$ 、 298 K である。

20

【0173】

図51は、耐圧4500VクラスのIGBTにおけるターンオフ動作時のsnap-off電圧 $V_{snap-off}$ と電源電圧 V_{CC} との関係を、第2バッファ層15bの実効ドーズ量 $Dose_b$ をパラメータとして示したものである。図51の横軸は V_{CC} を示し、縦軸は $V_{snap-off}$ を示している。 $Dose_b$ が $7.0 \times 10^9 \text{ cm}^{-2}$ 、 $4.0 \times 10^{10} \text{ cm}^{-2}$ 、 $1.2 \times 10^{11} \text{ cm}^{-2}$ 、 $9.8 \times 10^{11} \text{ cm}^{-2}$ 、 $1.5 \times 10^{12} \text{ cm}^{-2}$ のときの $V_{snap-off}$ を実線L69、L70、L71、L72、L73でそれぞれ示している。また、比較例として、Nバッファ層15が第1バッファ層15aのみで構成されるIGBTにおける $V_{snap-off}$ を実線L68で示している。図51より、 $V_{snap-off}$ と V_{CC} との関係には、第2バッファ層15bの実効ドーズ量 $Dose_b$ の影響が有ることが分かる。なお、第2バッファ層15bの活性化アニール条件は、 400°C 、窒素雰囲気である。この条件は、実施の形態1でキャリアライフタイムが安定させる条件として説明したものである。

30

【0174】

図52は、耐圧4500VクラスのIGBTにおけるsnap-off電圧 $V_{snap-off}$ と第2バッファ層15bの実効トータルドーズ量 $Dose_b$ との関係を示している。図52の横軸は $Dose_b$ を示し、縦軸は $V_{snap-off}$ を示している。浮遊インダクタンス L_s 以外のスイッチング条件は図50および図51と同様である。実線L74および実線L75は、浮遊インダクタンス L_s を $2.3 \mu\text{H}$ および $6.8 \mu\text{H}$ としたときの特性をそれぞれ示している。また、図52には、Nバッファ層15が第1バッファ層15aのみで構成されるIGBTの特性を比較例としてプロットしている。黒四角のプロットは比較例において浮遊インダクタンス L_s を $2.3 \mu\text{H}$ としたときの特性を示し、白四角のプロットは比較例において浮遊インダクタンス L_s を $2.3 \mu\text{H}$ としたときの特性を示している。

40

【0175】

評価デバイスは耐圧4500Vクラスであるため、 $V_{snap-off} = 4500 \text{ V}$ を目標とすると、第2バッファ層15bの実効トータルドーズ量 $Dose_b$ を $1.0 \times 10^{10} \text{ cm}^{-2}$ から $1.0 \times 10^{12} \text{ cm}^{-2}$ とする必要がある。第2バッファ層15bの実効トータルドーズ量 $Dose_b$ が $1.0 \times 10^{10} \text{ cm}^{-2}$ より低濃度になると、

50

Nバッファ層15の構造が比較例に近づくため、コレクタ側の残留キャリアプラズマ層が枯渇する。また、第2バッファ層15bsの実効トータルドーズ量 $Dose_b$ が $1.0 \times 10^{12} \text{ cm}^{-2}$ より高濃度になると、第2バッファ層15bsの形成時に格子欠陥が多く形成されるため、キャリアライフタイムが低下し、コレクタ側の残留キャリアプラズマ層が枯渇する。従って、何れの場合も、ターンオフ時にsnap-off現象が発生し $V_{snap-off}$ が4500V以上となる。

【0176】

図53は、耐圧1200VクラスのRFCダイオードの低温でのリカバリー動作における、安全動作温度および Q_{RR} と $Dose_b$ との関係を示している。スイッチング条件は、 $V_{CC} = 1000 \text{ V}$ 、 $J_F = 0.1 \text{ J}_A$ 、 $dj/dt = 1000 \text{ A/cm}^2$ 、 $dV/dt = 12500 \text{ V}/\mu\text{s}$ 、 $L_s = 2.0 \mu\text{H}$ である。図53の横軸は $Dose_b$ を示し、縦軸は安全動作温度と Q_{RR} を示している。実線L76は安全動作温度を示し、実線L77は Q_{RR} を示している。また、図53には、Nバッファ層15が第1バッファ層15aのみで構成されるIGBTの特性を比較例としてプロットしている。白四角のプロットは比較例の安全動作温度を示し、黒四角のプロットは比較例の Q_{RR} を示している。図53より、低温でのリカバリー動作時の安全動作温度を拡大するには、第2バッファ層15bsの実効トータルドーズ量 $Dose_b$ を $1.0 \times 10^{10} \text{ cm}^{-2}$ 以上 $1.0 \times 10^{12} \text{ cm}^{-2}$ 以下とする必要がある。

【0177】

図54は、RFCダイオードの273Kから298Kのリカバリー動作時の破壊波形を示している。図54において、波形中のバツ印は、デバイスが破壊したポイントを示している。図54の横軸は時間($\times 10^{-6}$ 秒)を示し、縦軸はアノード-カソード間電圧 V_{AK} (V)とアノード電流密度 J_A (A/cm^2)を示している。実線L80および破線L81は、第2バッファ層15bsの実効トータルドーズ量 $Dose_b$ を $7.9 \times 10^9 \text{ cm}^{-2}$ としたときの V_{AK} および J_A をそれぞれ示している。また、実線L82および破線L83は、第2バッファ層15bsの実効トータルドーズ量 $Dose_b$ を $1.5 \times 10^{12} \text{ cm}^{-2}$ としたときの V_{AK} および J_A をそれぞれ示している。また、Nバッファ層15が第1バッファ層15aのみで構成されるRFCダイオードを比較例とし、その V_{AK} および J_A を実線L78および破線L79でそれぞれ示している。なお、図54におけるスイッチング条件は図53と同様である。

【0178】

図54より、実効トータルドーズ量 $Dose_b$ が $1.0 \times 10^{10} \text{ cm}^{-2}$ より低濃度の第2バッファ層15bsでは、破壊波形が比較例と類似し、比較例と同一の破壊モードとなることが分かる。一方、実効トータルドーズ量 $Dose_b$ が $1.0 \times 10^{12} \text{ cm}^{-2}$ より高濃度の第2バッファ層15bsでは、破壊波形が比較例と異なり、比較例または実効トータルドーズ量 $Dose_b$ が低濃度の第2バッファ層15bsとは破壊モードが異なると考える。

【0179】

図55は、Nバッファ層15が第2構造を有する場合と、第1バッファ層のみからなる場合(比較例)とについて、耐圧4500VクラスのRFCダイオードのリカバリー波形のシミュレーション結果を示している。スイッチング条件は、 $V_{CC} = 3600 \text{ V}$ 、 $J_F = 9.6 \text{ A/cm}^2$ (0.1 J_A)、 $L_s = 2.0 \mu\text{H}$ 、298Kである。図55の横軸は時間($\times 10^{-6}$ 秒)を示し、縦軸はアノード-カソード間電圧 V_{AK} (V)とアノード電流密度 J_A (A/cm^2)を示している。実線L84および破線L85は比較例の V_{AK} および J_A をそれぞれ示し、実線L86および破線L87は第2構造の V_{AK} および J_A をそれぞれ示している。第2構造において、第2バッファ層15bsの実効トータルドーズ量 $Dose_b$ は $1.0 \times 10^{10} \text{ cm}^{-2}$ から $1.0 \times 10^{12} \text{ cm}^{-2}$ に設定されている。

【0180】

図56から図68は、図55に示す6つの解析ポイントP1 - P6におけるデバイス内

10

20

30

40

50

部状態の解析結果を示している。図56は、比較例のRFCダイオードと第2構造を有するRFCダイオードの夫々について、PINダイオード領域31とPNPトランジスタ領域32における電流密度分布を示している。

【0181】

図57、図58および図59は、比較例のRFCダイオードについて、PINダイオード領域31の電子濃度分布、ホール濃度分布および電界強度分布をそれぞれ示している。図57において、線L88-L93はポイントP1-P6における電子濃度分布をそれぞれ示している。図58において、線L94-L99はポイントP1-P6のホール濃度分布をそれぞれ示している。図59において、線L100-L105はポイントP1-P6における電界強度分布をそれぞれ示している。

10

【0182】

図60、図61および図62は、比較例のRFCダイオードについて、PNPトランジスタ領域32の電子濃度分布、ホール濃度分布および電界強度分布をそれぞれ示している。図60において、線L106-L111はポイントP1-P6における電子濃度分布をそれぞれ示している。図61において、線L112-L117はポイントP1-P6のホール濃度分布をそれぞれ示している。図62において、線L118-L123はポイントP1-P6における電界強度分布をそれぞれ示している。

【0183】

図63、図64および図65は、第2構造を有するRFCダイオードについて、PINダイオード領域31の電子濃度分布、ホール濃度分布および電界強度分布をそれぞれ示している。図63において、線L124-L129はポイントP1-P6における電子濃度分布をそれぞれ示している。図64において、線L130-L135はポイントP1-P6のホール濃度分布をそれぞれ示している。図65において、線L136-L141はポイントP1-P6における電界強度分布をそれぞれ示している。

20

【0184】

図66、図67および図68は、第2構造を有するRFCダイオードについて、PNPトランジスタ領域32の電子濃度分布、ホール濃度分布および電界強度分布をそれぞれ示している。図66において、線L142-L193はポイントP1-P6における電子濃度分布をそれぞれ示している。図67において、線L148-L153はポイントP1-P6のホール濃度分布をそれぞれ示している。図68において、線L154-L159はポイントP1-P6における電界強度分布をそれぞれ示している。図57-68の横軸に示すA、Bは、図32に示すA、Bの位置に対応している。

30

【0185】

図55の破線L85に示すように、Nバッファ層15が第1バッファ層15aのみで構成される比較例のRFCダイオードでは、リカバリーの後半に巨大なテール電流が発生し、デバイス破壊に至る。この現象は、以下のステップを経る。

【0186】

ステップ1：PINダイオード領域31とPNPトランジスタ領域32のそれぞれが律速する動作時間が存在する。PINダイオード領域31の動作が収束するJRRポイント（図55のポイントP1）を過ぎたあたりから、PNPトランジスタ領域32の動作が律速する動作モードとなる。

40

【0187】

ステップ2：カソード側は、ホール注入を促進するためキャリア濃度が上昇し、電界が緩和する。一方、Pアノード層10とN-ドリフト層14の主接合部の電界強度は上昇し、インパクトイオン化を促進する。

【0188】

ステップ3：主接合部にて促進されたインパクトイオン化により発生する電子がN-ドリフト層14へ注入され、PNPトランジスタ領域32のベース電流が増加し、リカバリー波形上に巨大なテール電流を発生する。

【0189】

50

ステップ４：巨大なテール電流が発生すると同時に、PNPトランジスタ領域３２が動作しはじめ、制御できなくなり、デバイス破壊に至る。

【０１９０】

一方、第２構造のNバッファ層１５を有するRFCダイオードでは、上記のステップ３の動作が発生せず、Pアノード層１０とN⁻ドリフト層１４との主接合部の電界強度の上昇が生じることなくリカバリ動作を終了する。その結果、図５６の第２構造の電流密度分布のように、PNPトランジスタ領域３２の動作が最小に抑制され、巨大なテール電流が発生しない。この結果、第２構造のNバッファ層１５を有するRFCダイオードでは、第２バッファ層１５b sの実効トータルドーズ量 $Dose_b$ を $1.0 \times 10^{10} \text{ cm}^{-2}$ より大きくすることにより、低温でのリカバリ動作時に巨大なテール電流が発生せず、リカバリ動作を保証する安全動作温度範囲を低温側へ拡大する。但し、実効トータルドーズ量 $Dose_b$ を $1.0 \times 10^{10} \text{ cm}^{-2}$ より低濃度にする場合は、比較例のRFCダイオードと同じ動作が起こり、デバイス破壊に至る。

【０１９１】

図５４に示したように、RFCダイオードにおいて、第２バッファ層１５b sの実効ドーズ量 $Dose_b$ を $1.0 \times 10^{12} \text{ cm}^{-2}$ より高濃度とした場合、特徴的な破壊挙動が発生する。この破壊挙動のメカニズムを説明するため、図６９および図７０に、図５４の解析ポイントAP１におけるデバイス内部状態のシミュレーション結果を示す。図６９は、 $Dose_b$ が $1.0 \times 10^{10} \text{ cm}^{-2}$ から $1.0 \times 10^{12} \text{ cm}^{-2}$ の場合のシミュレーション結果を示し、図７０は、 $Dose_b$ が 1.0×10^{12} より高い場合のシミュレーション結果を示している。図６９および図７０において、横軸は正規化した深さであり、横軸の０ポイントは図３２のAの位置に対応し、横軸の１．０ポイントは図３２のBの位置に対応する。図６９および図７０において、縦軸はキャリア濃度(cm^{-3})と電界強度($\times 10^3 \text{ V/cm}$)を示している。

【０１９２】

図６９および図７０の横軸は正規化した深さを示している。横軸の０は図３２のA、すなわちPアノード層１０の最表面に相当し、横軸の１．０は図３２のB、すなわちPカソード層１８の表面に相当する。縦軸は、キャリア濃度(cm^{-3})および電界強度($\times 10^3 \text{ V/cm}$)を示している。図６９および図７０において、PINダイオード領域３１における特性を破線で示し、そのうち電子濃度を細い破線L１５９、ホール濃度を中程度の太さの破線L１６０、電界強度を太い破線L１６１で示している。また、PNPトランジスタ領域３２における特性を実線で示し、そのうち電子濃度を細い実線L１６２、ホール濃度を中程度の太さの実線L１６３、電界強度を太い実線L１６４で示している。

【０１９３】

第２バッファ層１５b sの実効ドーズ量 $Dose_b$ が $1.0 \times 10^{10} \text{ cm}^{-2}$ から $1.0 \times 10^{12} \text{ cm}^{-2}$ の範囲に設定されたRFCダイオードでは、図６９に示すように、PINダイオード領域３１およびPNPトランジスタ領域３２とも、カソード側残留キャリアプラズマ層を制御しながらそれぞれ主接合付近で最大となる三角形および台形に近い電界強度分布を示す。このようなダイオード内部状態では、ダイオード動作は安定的な動作を行い、破壊耐量への悪影響は無いと考えられる。ただし、図７０に示すように、第２バッファ層１５b sの実効ドーズ量 $Dose_b$ が $1.0 \times 10^{12} \text{ cm}^{-2}$ より高濃度に設定されたRFCダイオードでは、PINダイオード領域３１にて、残留キャリアプラズマ層が第２バッファ層１５b s中の第nサブバッファ層１５b nとN⁻ドリフト層１４との間の接合部付近に局所的に分布する結果となる。そのため、当該接合部付近の電界強度が上昇し、電界強度のアンバランス化が発生する。

【０１９４】

ダイオードの動作中に発生した電界強度のアンバランス化は、破壊耐量の低下を招く。つまり、第２バッファ層１５b sの実効トータルドーズ量 $Dose_b$ を $1.0 \times 10^{12} \text{ cm}^{-2}$ より高くすることにより、破壊耐量が劇的に低下する挙動について図５３で説明したが、この挙動は、図７０に示すようなリカバリ動作中のダイオード内部にて、電界

強度のアンバランス化が起きていることがトリガとなっていると考えられる。

【0195】

また、図69および図70のカソード領域を比較すると、第2バッファ層15b sの実効トータルドーズ量 $Dose_b$ が $1.0 \times 10^{12} \text{ cm}^{-2}$ より高くなると、目標とするNバッファ層15の役割の1つである図29中のA12領域に示す動的動作時に、第2バッファ層15b sの残留キャリアプラズマ層領域が狭くなり、PINダイオード領域31およびPNPトランジスタ領域32のいずれも第2バッファ層15b s領域で枯渇している。つまり、第2バッファ層15b sの実効トータルドーズ量 $Dose_b$ が $1.0 \times 10^{12} \text{ cm}^{-2}$ より高くなると、動的動作時に第2バッファ層15b sの残留キャリアプラズマ層領域が狭くなって枯渇する結果、ダイオードの破壊耐量が低下する。

10

【0196】

以上から、第2構造によりIGBTおよびダイオードの性能を向上させるには、以下の条件a) - d)を満足する第1バッファ層15aおよび第2バッファ層15b sを形成する必要がある。

【0197】

a) 濃度プロファイル： δ_a 、 δ_{b1} 、 $\delta_{b(n-1)}$ 、 δ_{bn} 、 $C_{a,p}$ 、 $C_{b1,p}$ 、 $C_{b(n-1),p}$ 、 $C_{bn,p}$

b) 実効トータルドーズ量： $1.0 \times 10^{10} \text{ cm}^{-2}$ 、 $Dose_b$ 、 $1.0 \times 10^{12} \text{ cm}^{-2}$

c) 第2バッファ層15b sを構成する各サブバッファ層15b1 - 15b nの不純物プロファイルは、IGBTであればPコレクタ層16、PINダイオードであればN⁺カソード層17、RFCダイオードであればN⁺カソード層17またはカソード層18の方向へ裾を引く不純物プロファイルとする。

20

【0198】

d) 条件c)は、少なくとも第2サブバッファ層15b2以降の主接合側に位置する2つ以上のサブバッファ層の不純物プロファイルに適用する。

【0199】

図71 - 78は、本発明の実施の形態1 - 3の内容に沿って構成され上記の条件a) - c)を満足する第2構造を有するRFCダイオードと、Nバッファ層15が第1バッファ層15aのみで構成された比較例のRFCダイオードとで性能を比較した結果を示している。評価デバイスは、耐圧1200VクラスのRFCダイオードである。

30

【0200】

図71は、動作温度をパラメータとしたRFCダイオードの出力特性を示している。図71の横軸はアノード - カソード間電圧 V_{AK} (V)を示しており、縦軸はアノード電流密度 J_A (cm^{-2})を示している。図71において、実線L166 - L172は、それぞれ動作温度213K, 233K, 253K, 298K, 398K, 423K, 448Kのときの出力特性を示している。いずれの動作温度においても、RFCダイオードはスナップバック特性を示さず正常なオン動作をしていることがわかる。

【0201】

図72は、RFCダイオードのオフ状態のリーク電流 J_R と動作温度との関係を示している。逆方向電圧 V_R は1200Vである。図72の横軸は動作温度を、縦軸はリーク電流 J_R をそれぞれ示している。図72において、実線L173は比較例のRFCダイオードの特性を示し、実線L174は第2構造を有するRFCダイオードの特性を示している。図72より、第2構造を有するRFCダイオードは、第2バッファ層15b s中に格子欠陥を有するものの、比較例と比べてリーク電流 J_R が小さく、かつ478Kという高温でも熱暴走せずに低オフロス特性にて電圧保持可能であることがわかる。

40

【0202】

図73は、リカバリ動作の比較結果である。スイッチング条件は、 $V_{CC} = 600 \text{ V}$ 、 $J_F = 326 \text{ A/cm}^2$ 、 $dj/dt = 6200 \text{ A/cm}^2 \mu\text{s}$ 、 $L_s = 200 \text{ nH}$ 、298Kである。図73の横軸は時間 ($\times 10^{-6}$ 秒)を示し、縦軸はアノード - カソ

50

ド間電圧 V_{AK} (V) とアノード電流密度 J_A (cm^{-2}) を示している。図 73 において、実線 L175 と破線 L176 は比較例の RFC ダイオードの V_{AK} と J_A をそれぞれ示し、実線 L177 と破線 L178 は第 2 構造を有する RFC ダイオードの V_{AK} と J_A をそれぞれ示している。第 2 構造を有する RFC ダイオードでは、比較例の RFC ダイオードにみられる snap-off 挙動やその後の発振現象が見られず、正常なリカバリ動作を実現している。

【0203】

図 74 から図 76 は、低温でのリカバリ動作の比較結果であり、第 2 構造の第 2 パッファ層 15bs が低温でのリカバリ動作時の安全動作温度を低温側へ拡大させることを示している。

【0204】

図 74 は、253 K におけるリカバリ波形を示しており、横軸は時間 ($\times 10^{-6}$ 秒)、縦軸はアノード - カソード間電圧 V_{AK} (V) とアノード電流密度 J_A (cm^{-2}) を示している。その他のスイッチング条件は、 $V_{CC} = 1000 \text{ V}$ 、 $J_F = 0.1 \text{ J}_A$ 、 $dj/dt = 1000 \text{ A/cm}^2 \mu\text{s}$ 、 $dV/dt = 12500 \text{ V}/\mu\text{s}$ 、 $L_s = 2.0 \mu\text{H}$ である。比較例の V_{AK} を細い実線 L179 で、 J_A を細い破線 L180 でそれぞれ示している。また、第 1 構造の V_{AK} を中程度の太さの実線 L181 で、 J_A を中程度の太さの破線 L182 で、それぞれ示している。また、第 2 構造の V_{AK} を太い実線 L183 で、 J_A を太い破線 L184 で、それぞれ示している。図 74 において、波形中のバツ印は、デバイスが破壊したポイントを示している。

【0205】

図 74 から、比較例ではリカバリ動作の後半に巨大なテール電流が発生し、デバイスの破壊が生じているが、第 1 構造および第 2 構造では、テール電流を抑制しながら遮断し、253 K という低温でも十分な遮断能力を有していることが分かる。巨大なテール電流の抑制効果の指標として、図 75 に蓄積電荷量 Q_{RR} と動作温度の関係を、図 76 に蓄積電荷量 Q_{RR} と電源電圧 V_{CC} の関係を示す。

【0206】

図 75 の横軸は動作温度を示し、縦軸は Q_{RR} ($\times 10^{-6} \text{ C/cm}^2$) を示している。図 75 において、破線 L185 は、比較例の特性を示し、実線 L186 および L187 は、第 1 構造および第 2 構造の特性をそれぞれ示している。図 75 から、第 1 構造および第 2 構造では、低温下でも Q_{RR} の増加が抑制されることが分かる。

【0207】

図 76 の横軸は電源電圧 V_{CC} を示し、縦軸は Q_{RR} ($\times 10^{-6} \text{ C/cm}^2$) を示している。図 76 において、破線 L188 は、比較例の特性を示し、実線 L189 および L190 は、第 1 構造および第 2 構造の特性をそれぞれ示している。図 76 から、第 1 構造および第 2 構造では、高 V_{CC} 下でも Q_{RR} の増加が抑制されることが分かる。

【0208】

図 77 は、高 V_{CC} 、大電流密度、かつ高温 (423 - 468 K) でのリカバリ波形を示している。図 77 の横軸は時間 ($\times 10^{-6}$ 秒) を示し、縦軸はアノード - カソード間電圧 V_{AK} (V) とアノード電流密度 J_A (cm^{-2}) を示している。図 77 において、細い実線 L191 および破線 L192 は、423 K での V_{AK} および J_A をそれぞれ示し、中程度の太さの実線 L193 および破線 L194 は、448 K での V_{AK} および J_A をそれぞれ示し、太い実線 L195 および破線 L196 は、468 K での V_{AK} および J_A をそれぞれ示している。図 77 より、第 2 構造を有する RFC ダイオードは、900 V の高 V_{CC} かつ 468 K の高温下でも、 3000 A/cm^2 以上の高電流密度を遮断することが可能である。つまり、図 72 および図 77 から、第 2 構造は高温動作も実現することが分かる。

【0209】

図 78 は、ダイオード性能の大きな指標であるトータルロス性能、すなわちオン状態のロス (オン電圧: V_F) とターンオフ動作時のロス (リカバリロス: E_{REC}) とのト

10

20

30

40

50

リードオフ特性を示している。図 7 8 の横軸は V_F を示し、縦軸は E_{REC} を示している。なお、電源電圧 $V_{CC} = 600 \text{ V}$ 、 $J_F = 326 \text{ A/cm}^2$ 、 $L_S = 200 \text{ nH}$ とし、動作温度は 423 K である。図 7 8 において、実線 L 197 は比較例の特性を示し、実線 L 198 は第 2 構造の特性を示している。図 7 8 から、第 2 構造を有する R F C ダイオードは、比較例に比べてトータルロス性能が向上していることが分かる。

【0210】

図 7 1 から図 7 8 により、第 2 構造によれば、第 2 バッファ層 15 b s 中に格子欠陥または複合欠陥が存在するものの、上記の条件 a) - c) を満たすように第 2 バッファ層 15 b s を制御することにより、ダイオードの動作への悪影響なく、その性能を向上し、 473 K という高温での動作を実現することが分かる。なお、第 1 構造についても、第 2 バッファ層 15 b s の各種条件を制御することにより、第 2 構造と類似の性能が保証される。

【0211】

<実施の形態 4>

耐圧 4500 V クラスの P I N ダイオードの N バッファ層 15 に、実施の形態 1 から 3 で示した活性化アニール条件、種々の構造パラメータ、および条件 a) - c) を適用したときのダイオード性能の結果を、図 7 9 から図 8 1 に示す。図中のバツ印は、対象デバイスが破壊したポイントを示している。また、これらの図において、スイッチング条件は $V_{CC} = 3600 \text{ V}$ 、 $J_F = 0.1 \text{ J}_A$ 、 $dj/dt = 280 \text{ A/cm}^2 \mu\text{s}$ 、 $dV/dt = 23000 \text{ V}/\mu\text{s}$ 、 $L_S = 2.0 \mu\text{H}$ 、 298 K とする。また、これらの図では、N バッファ層 15 が第 1 バッファ層 15 a のみで構成された P I N ダイオードの特性を、比較例として示している。

【0212】

図 7 9 はスナッピーリカバリー波形を示している。図 7 9 の横軸は時間 ($\times 10^{-6}$ 秒) を、縦軸はアノード - カソード間電圧 V_{AK} (V) およびアノード電流密度 J_A (A/cm^2) をそれぞれ示している。実線 L 199, L 200 は、比較例の V_{AK} , J_A をそれぞれ示している。また、実線 L 201, L 202 は、第 2 構造の V_{AK} , J_A をそれぞれ示している。

【0213】

P I N ダイオードは R F C ダイオードに比べ、リカバリー動作の後半で N バッファ層 15 のカソード側に残留キャリアプラズマ層が枯渇しやすいため、リカバリー動作時の s n a p - o f f 現象の抑制効果が小さい。その結果、図 7 9 に示すように、比較例では s n a p - o f f 現象が発生し、s n a p - o f f 現象後にデバイス破壊に至る。ただし、第 2 構造を用いる P I N ダイオードでは、N ドリフト層 14 と第 n サブバッファ層 15 b n との接合部付近の残留キャリアプラズマ層の影響により、リカバリー動作時に主接合から伸びる空乏層の伸長スピードが第 2 バッファ層 15 b 内で低下し、比較例に比べて s n a p - o f f 現象が発生したとしても $V_{s n a p - o f f}$ が小さくなる。すなわち、図 2 7 の領域 A 11 および図 2 8 の領域 A 12 に示すように、第 2 構造では第 2 バッファ層 15 b にオン状態から存在するキャリアプラズマ層がリカバリー動作時にも残留しており、これにより電界強度分布が制御されて s n a p - o f f ポイントが遅延され、結果としてデバイス破壊を回避できる。

【0214】

図 8 0 は、25 での $V_{s n a p - o f f}$ と V_{CC} との関係を示している。図 8 0 の横軸は V_{CC} (V) を示し、縦軸は $V_{s n a p - o f f}$ (V) を示している。図 8 1 は、25 での Q_{RR} と V_{CC} との関係を示している。図 8 1 の横軸は V_{CC} (V) を示し、縦軸は Q_{RR} ($\times 10^{-6} / \text{cm}^2$) を示している。図 8 0 および図 8 1 において、比較例の特性を白丸と実線 L 203 で、第 2 構造の特性を黒丸と実線 L 204 で、それぞれ示している。

【0215】

図 8 0 より、P I N ダイオードにおいても第 2 構造を採用することにより、比較例では

デバイス破壊が生じる電圧でもデバイス破壊を回避し、スナッピーリカバリー動作時の破壊耐量が向上することが分かる。その上、第2構造のNバッファ層15は、比較例と比較して $V_{snap-off}$ の V_{CC} 依存性が低く、高 V_{CC} 側での高破壊耐量化に対し最も効果的であることが分かる。

【0216】

図81より、第2構造は比較例よりも Q_{RR} の V_{CC} 依存性が小さいことが分かる。したがって、第2構造ではPINダイオードのスナッピーリカバリー動作時の破壊耐量が向上する。以上のように、第2構造はPINダイオードにおいても破壊耐量を向上させる効果を示す。

【0217】

<実施の形態5>

実施の形態5の半導体装置は、図4に示すパワー半導体の構成要素と実施の形態1から実施の形態4に示す特徴的なNバッファ層15との関係により、IGBTおよびダイオードのターンオフ時の遮断能力のさらなる向上を図っている。

【0218】

図82から図91は、実施の形態5の半導体装置における第1から第10の態様を示す断面図である。これらの断面は図4のA1-A1断面に相当する。第1、第2および第9の態様はIGBT(図1、図30)の改良であり、第3の態様はPINダイオード(図2、図31)の改良であり、第4から第8および第10の態様はRFCダイオード(図3、図32)の改良である。

【0219】

以下、図1から図3および図30から図32と同一の構成部分に適宜、同一符号を付して説明を省略するとともに、特徴部分を中心に説明する。

【0220】

図82で示す第1の態様では、図1および図30に示すIGBTと比較して、活性セル領域R1の周辺領域である中間領域R2および終端領域R3にPコレクタ層16を形成せず、Pコレクタ層16が形成されない領域にNバッファ層15を延長して形成していることを特徴としている。すなわち、中間領域R2および終端領域R3において、コレクタ電極23CはNバッファ層15と接合してNバッファ層15上に設けられる。

【0221】

図83に示す第2の態様では、図1および図30に示すIGBTと比較して、活性セル領域R1の周辺領域である中間領域R2および終端領域R3にPコレクタ層16を形成することなく、Pコレクタ層16eを形成していることを特徴としている。なお、Pコレクタ層16eはPコレクタ層16よりも表面濃度が低濃度に設定される。

【0222】

図84に示す第3の態様では、図2および図31に示すPINダイオードと比較して、活性セル領域R1の周辺領域である中間領域R2および終端領域R3にN⁺カソード層17を形成せず、Pコレクタ層16が形成されない領域にNバッファ層15を延長して形成していることを特徴としている。すなわち、中間領域R2および終端領域R3において、カソード電極23KはNバッファ層15と接合してNバッファ層15上に設けられる。

【0223】

図85に示す第4の態様では、図3および図32に示すRFCダイオードと比較して、活性セル領域R1の周辺領域である中間領域R2および終端領域R3にはN⁺カソード層17(第1部分活性層)を形成せず、Pカソード層18(第2部分活性層)を形成していることを特徴としている。

【0224】

図86に示す第5の態様では、図3および図32に示すRFCダイオードと比較して、活性セル領域R1の周辺領域である中間領域R2および終端領域R3にPカソード層18を形成せず、Pカソード層18が形成されない領域にNバッファ層15を延長して形成していることを特徴としている。すなわち、中間領域R2および終端領域R3において、カ

10

20

30

40

50

ソード電極 2 3 K は N バッファ層 1 5 と接合して N バッファ層 1 5 上に設けられる。

【 0 2 2 5 】

図 8 7 に示す第 6 の態様では、図 3 および図 3 2 に示す R F C ダイオードと比較して、活性セル領域 R 1 の周辺領域である中間領域 R 2 および終端領域 R 3 では、P カソード層 1 8 (第 2 部分活性層) を形成せず N ⁺ カソード層 1 7 (第 1 部分活性層) を形成していることを特徴としている。

【 0 2 2 6 】

図 8 8 に示す第 7 の態様では、図 8 5 に示す第 4 の態様の R F C ダイオードと比較して、中間領域 R 2 の P カソード層 1 8 に代えて N ⁺ カソード層 1 7 (第 1 部分活性層) を形成していることを特徴としている。

10

【 0 2 2 7 】

図 8 9 に示す第 8 の態様では、図 2 および図 3 1 に示す P I N ダイオードと比較して、中間領域 R 2 および終端領域 R 3 にかけて P カソード層 1 8 (第 2 部分活性層) を形成していることを特徴としている。

【 0 2 2 8 】

図 9 0 に示す第 9 の態様では、図 8 2 に示す I G B T と比較して、終端領域 R 3 の N ⁻ ドリフト層 1 4 内の一方主面側に、P 領域 2 2 と接続する P 領域 2 2 b と、パッシベーション膜 2 0 とコンタクト状態にある複数の P 領域 2 2 c とを形成していることを特徴としている。

【 0 2 2 9 】

20

図 9 1 で示す第 1 0 の態様では、図 8 5 に示す R F C ダイオードと比較して、終端領域 R 3 の N ⁻ ドリフト層 1 4 の一方主面側に、P 領域 2 2 と接続する P 領域 2 2 b と、パッシベーション膜 2 0 とコンタクト状態にある複数の P 領域 2 2 c とを形成していることを特徴としている。図 9 0 および図 9 1 の終端領域 R 3 の構造の特徴およびその効果は、国際公開第 2 0 1 5 / 1 1 4 7 4 8 号および特願 2 0 1 5 - 2 3 0 2 2 9 号に示されている。

【 0 2 3 0 】

このように、実施の形態 5 の第 1 から第 1 0 の態様は、I G B T、P I N ダイオードおよび R F C ダイオードにおいて、活性セル領域 R 1、中間領域 R 2 および終端領域 R 3 でコレクタ電極 2 3 C またはカソード電極 2 3 K と接する活性層に相当する領域の構造を変えていることを特徴としている。第 1 から第 1 0 の態様は、I G B T、P I N ダイオードおよび R F C ダイオードにおいて、オン状態から、中間領域 R 2 および終端領域 R 3 のコレクタ側またはカソード側からのキャリア注入を抑制するような構造となっている。その結果、実施の形態 3 の第 1 から第 1 0 の態様は、ターンオフ動作時に中間領域 R 2 に存在する主接合である P N 接合部の電界強度を緩和させ、局所的な電界強度の上昇を抑制し、インパクトイオン化による電流集中に起因する局所的な温度上昇による熱破壊を抑制する作用がある。

30

【 0 2 3 1 】

本現象のメカニズムおよび効果の詳細は、I G B T に関しては、特許第 5 7 0 8 8 0 3 号公報、特許第 5 7 0 1 4 4 7 号公報、国際公開第 2 0 1 5 / 1 1 4 7 1 4 号、ダイオードに関しては特開 2 0 1 4 - 2 4 1 4 3 3 号公報に記載されている。

40

【 0 2 3 2 】

図 9 2 は、耐圧 3 3 0 0 V クラスで図 8 3 に示す第 2 の態様の I G B T の逆バイアス安全動作領域 (Reverse Bias Safe Operating Area: R B S O A) を示している。図 9 2 の横軸は電源電圧 V_{CC} (V) を示し、縦軸はターンオフ時の最大遮断電流密度 J_c (b r e a k) (A / c m ²) を示している。なお、 $L_s = 2.47 \mu s$ である。図 9 2 の実線 L 2 0 8 および L 2 0 9 は、図 3 3 に示す不純物プロファイルの N バッファ層 1 5 (第 2 構造) を採用した場合の特性を示し、破線 L 2 0 7 は、N バッファ層 1 5 が第 1 バッファ層 1 5 a のみで構成された比較例の I G B T の特性を示している。なお、実線 L 2 0 8 は 4 2 3 K における第 2 構造の特性を示しており、実線 L 2 0 9 は 4 4 8 K における第 2 構

50

造の特性を示している。図 9 2 に示されたグラフ線の内側が安全動作領域 (Safe Operating Area : S O A) である。

【 0 2 3 3 】

図 9 2 から、第 2 の態様の I G B T において、N バッファ層 1 5 が第 2 構造の場合は、比較例の場合に比べて、R B S O A が高 J_c (b r e a k) かつ高 V_{cc} サイドへ拡大していることが分かる。つまり、第 2 構造により I G B T の R B S O A が格段に向上する。

【 0 2 3 4 】

図 9 3 は、耐圧 6 5 0 0 V クラスで図 8 3 に示す第 4 の態様の R F C ダイオードのリカバリー S O A を示している。図 9 3 の横軸は V_{cc} (V) を示し、縦軸はリカバリー動作時の最大遮断 dj / dt である $max . dj / dt$ および最大パワー密度を示している。なお、スイッチング条件は $J_F = 2 . 0 J_A$, $L_s = 6 , 3 \mu H$, $398 K$ である。白三角は、N バッファ層 1 5 が第 1 バッファ層 1 5 a のみで構成された比較例の $max . dj / dt$ を示しており、黒三角は、同比較例の最大パワー密度を示している。また、実線 L 2 1 0 は N バッファ層 1 5 が第 2 構造である場合の $max . dj / dt$ を示しており、実線 L 2 1 1 は N バッファ層 1 5 が第 2 構造である場合の最大パワー密度を示している。

【 0 2 3 5 】

図 9 3 中のグラフ線の内側が S O A である。図 9 3 から、第 2 構造の N バッファ層 1 5 を有する第 4 の態様の R F C ダイオードは、比較例の R F C ダイオードに比べて、リカバリー S O A が $max . dj / dt$ および最大パワー密度ともに大きくなるサイドへ拡大していることが分かる。つまり、第 2 構造によって R F C ダイオードのリカバリー S O A が

【 0 2 3 6 】

図 9 2 および図 9 3 より、実施の形態 5 の第 2 の態様における I G B T、および第 4 の態様における R F C ダイオードにおいて、N バッファ層 1 5 に第 2 構造を採用することにより、大幅にターンオフ時の S O A が拡大し、本発明の目的の 1 つであるターンオフ遮断能力の大幅な向上を実現することが分かる。実施の形態 5 の他の態様の I G B T およびダイオードにおいても、N バッファ層 1 5 に第 2 構造を採用することによりそれぞれ図 8 2 および図 9 3 に示すのと同様な効果が得られる。また、図 9 0 および図 9 1 に示すような終端領域 R 3 でも、活性セル領域 R 1 と中間領域 R 2 から終端領域 R 3 にてコレクタ電極 2 3 C またはカソード電極 2 3 K と接する縦構造は、図 8 2 または図 8 5 と同じ構造であるため、N バッファ層 1 5 に第 2 構造を用いることで、I G B T またはダイオードへのターンオフ時の S O A に関して、図 9 2 または図 9 3 と同様の効果が得られる。

【 0 2 3 7 】

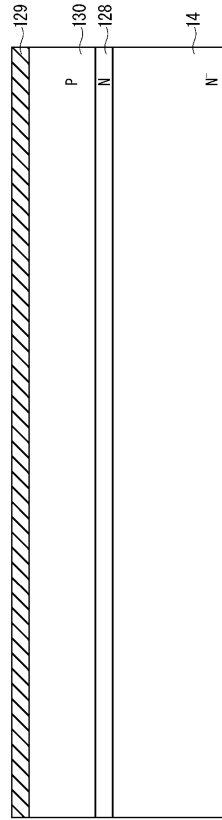
なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 符号の説明 】

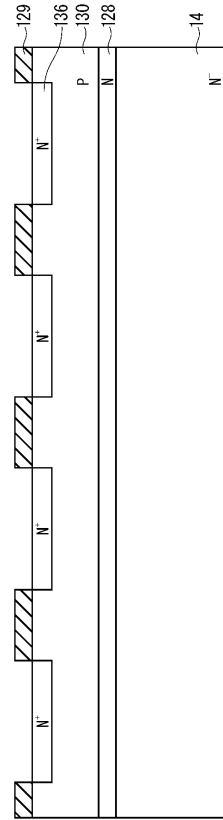
【 0 2 3 8 】

5 アルミ配線、5 A アノード電極、5 E エミッタ電極、5 X , 5 Y , 5 Z 電極、6 , 2 4 層間絶縁膜、9 , 1 3 0 P ベース層、1 0 P アノード層、1 1 , 1 2 8 N 層、1 2 ゲート絶縁膜、1 3 ゲート電極、1 4 N ドリフト層、1 5 N バッファ層、1 5 a 第 1 バッファ層、1 5 b、1 5 b s 第 2 バッファ層、1 6 , 1 6 e P コレクタ層、1 8 P カソード層、2 0 , 2 1 パッシベーション膜、2 2 , 2 2 b , 2 2 c P 領域、2 3 C コレクタ電極、2 3 K カソード電極、2 5 絶縁膜、2 7 , 2 7 D 1 , 2 7 G 縦構造領域、3 1 P I N ダイオード領域、3 2 P N P トランジスタ領域、3 7 結晶欠陥領域、5 0 , 5 2 P 層、5 5 ゲッタリング層、6 2 , 6 8 , 1 3 1 , 1 3 2 a , 1 4 0 , 1 5 0 酸化膜、6 3 T E O S 層、6 4 , 6 5 , 1 3 2 , 1 5 2 , 1 6 0 ポリシリコン層、1 2 9 SiO_2 膜、1 3 4 ゲート酸化膜、1 3 7 トレンチ、1 4 1 , 1 5 4 T E O S 膜、1 4 4 メタル配線層、1 6 4 ゲッタリング層、1 7 0 トレンチ露出部。

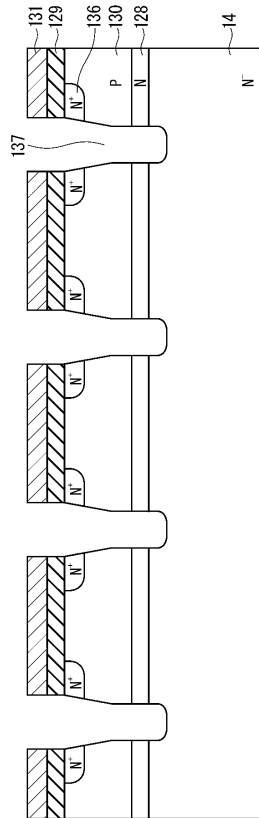
【図 5】



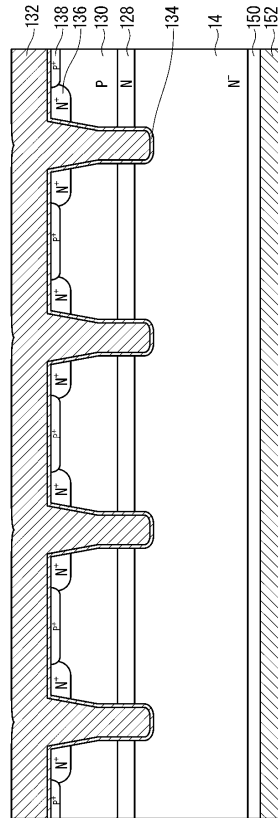
【図 6】



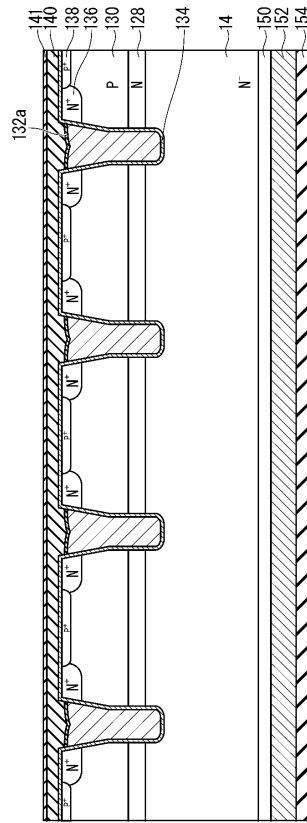
【図 7】



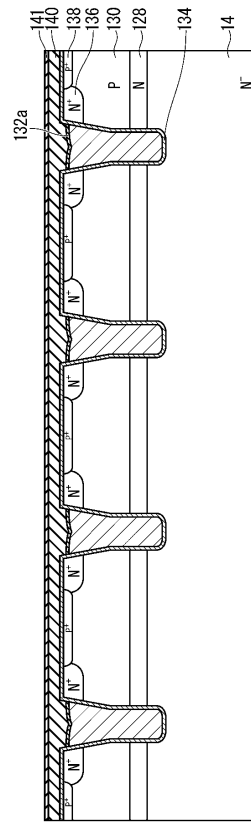
【図 8】



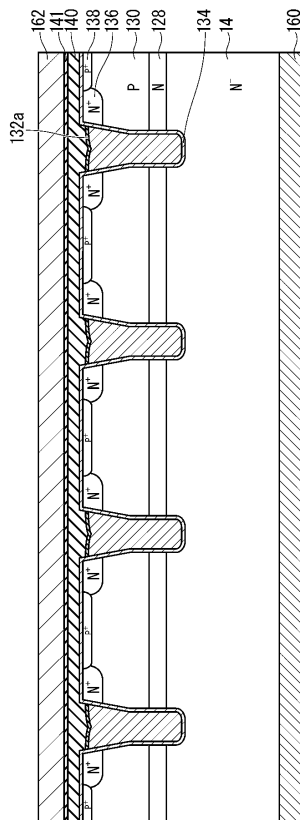
【図 9】



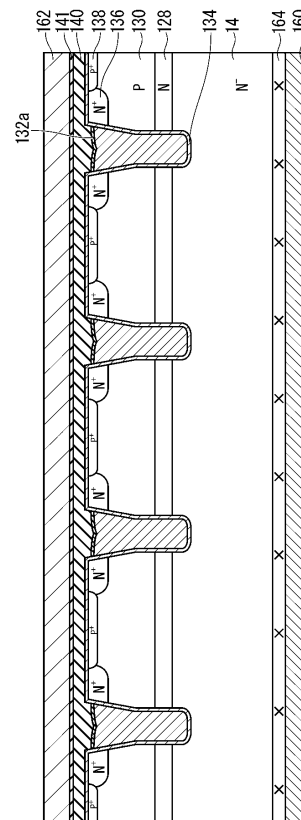
【図 10】



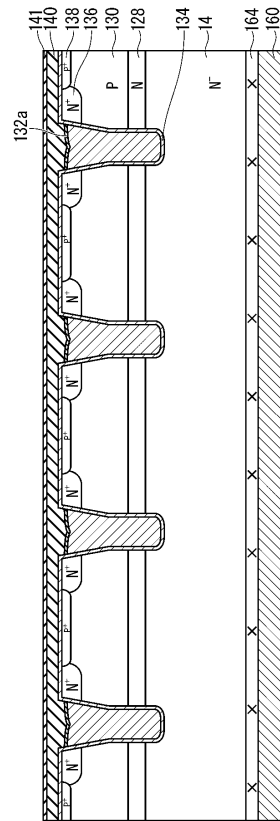
【図 11】



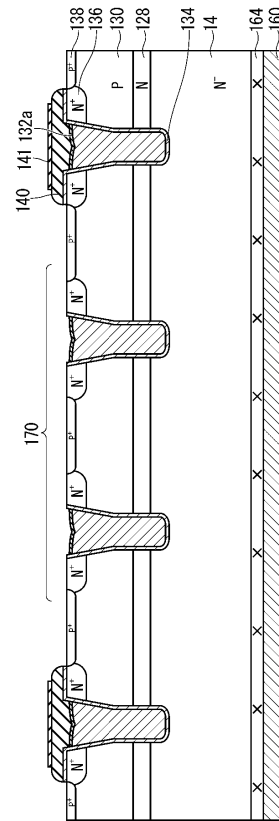
【図 12】



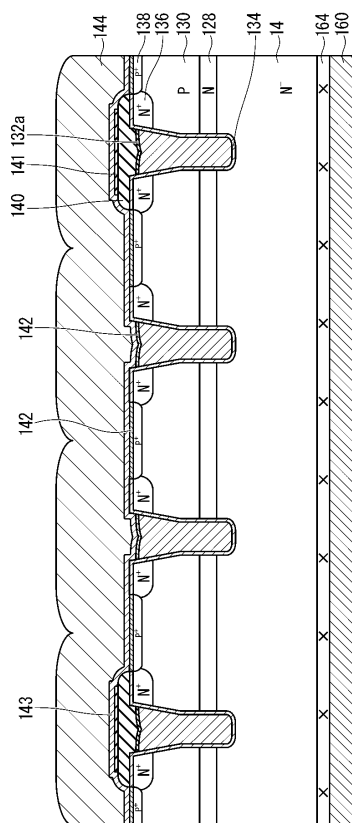
【図 13】



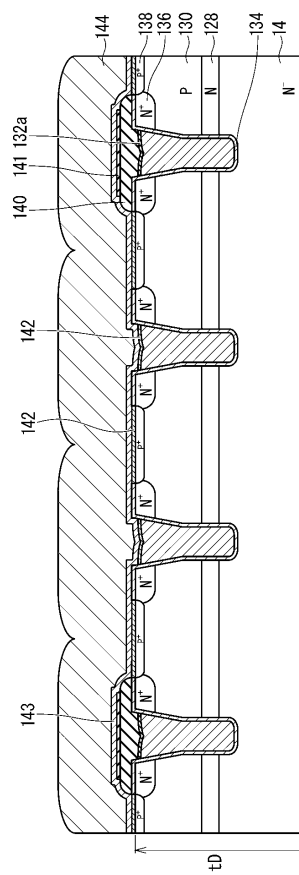
【図 14】



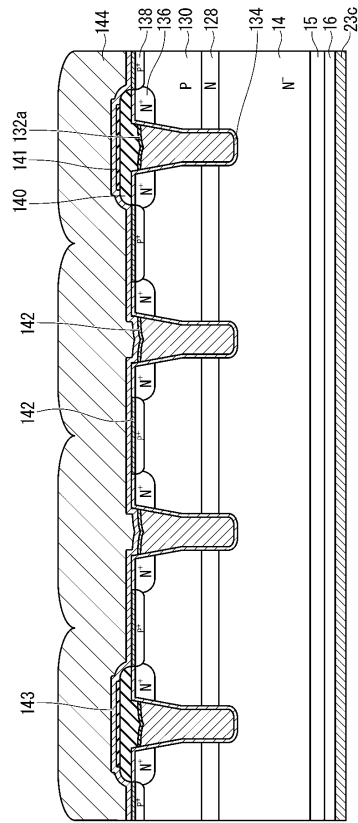
【図 15】



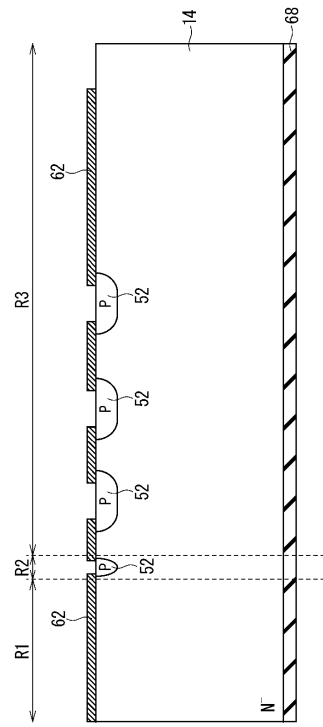
【図 16】



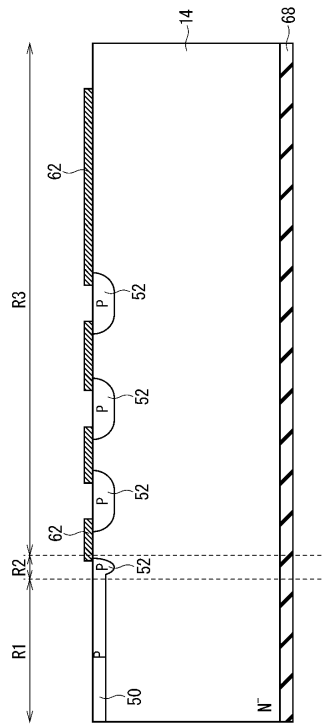
【図 17】



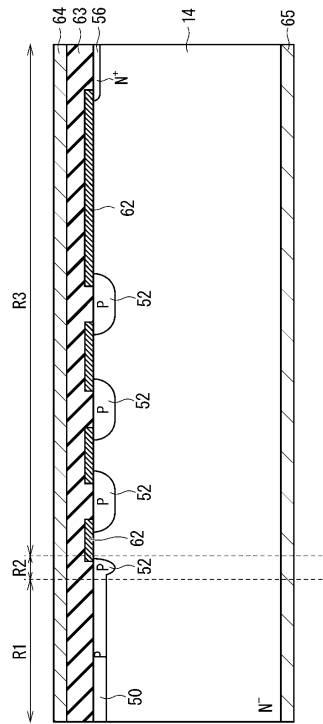
【図 18】



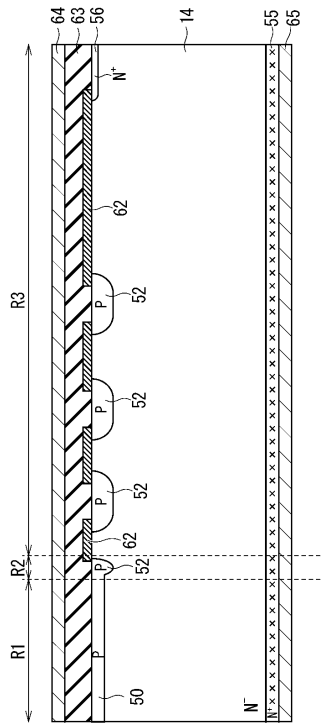
【図 19】



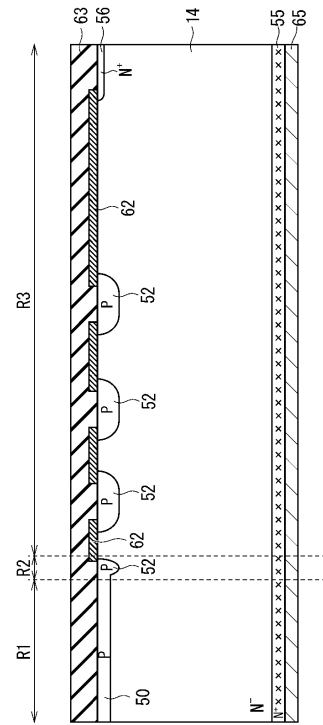
【図 20】



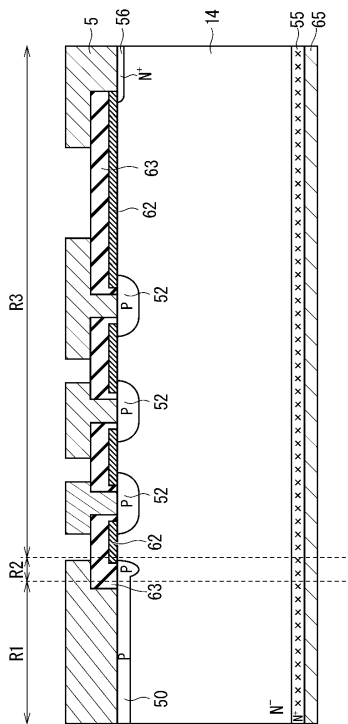
【図 2 1】



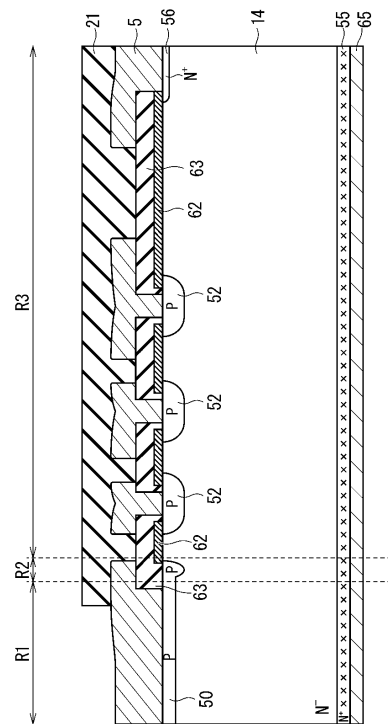
【図 2 2】



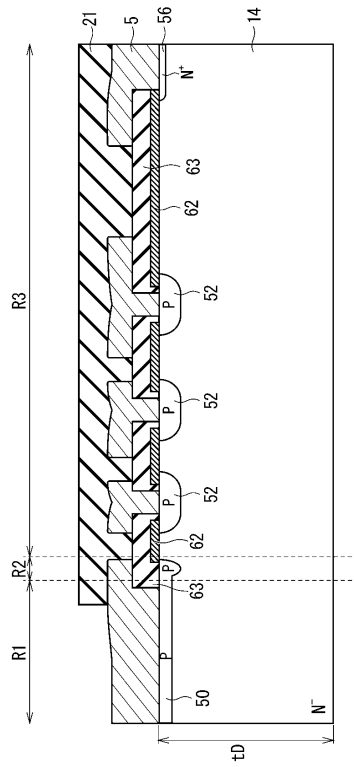
【図 2 3】



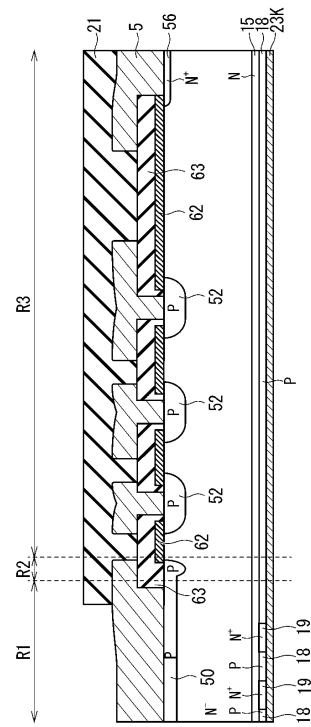
【図 2 4】



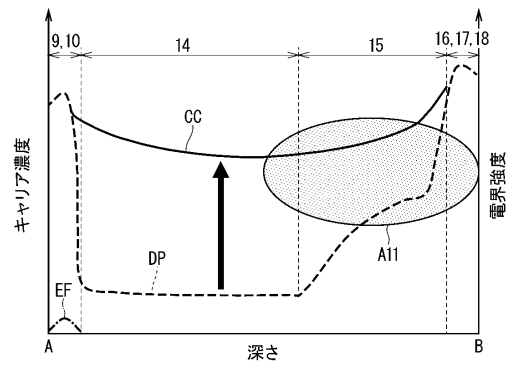
【図 25】



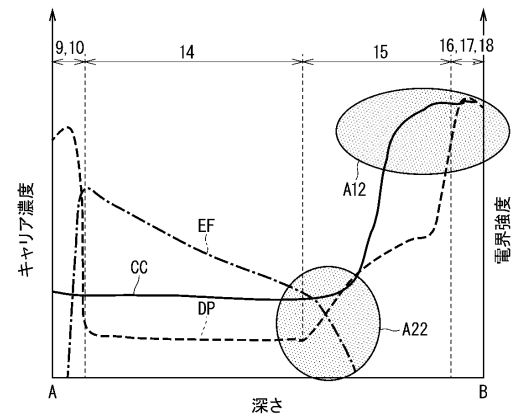
【図 26】



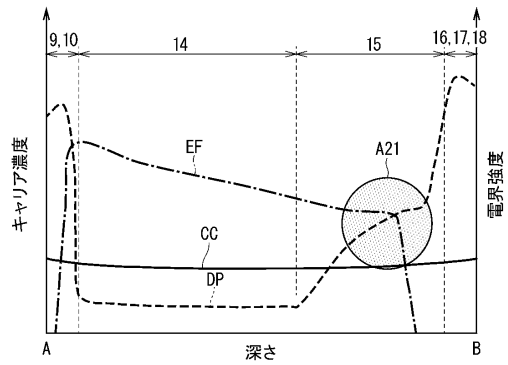
【図 27】



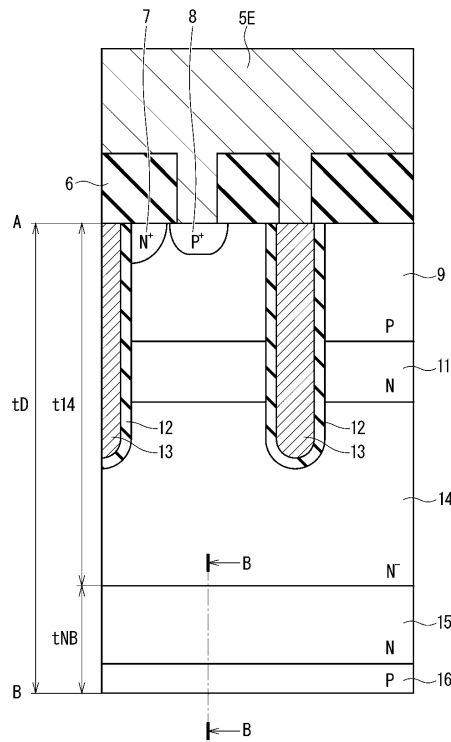
【図 29】



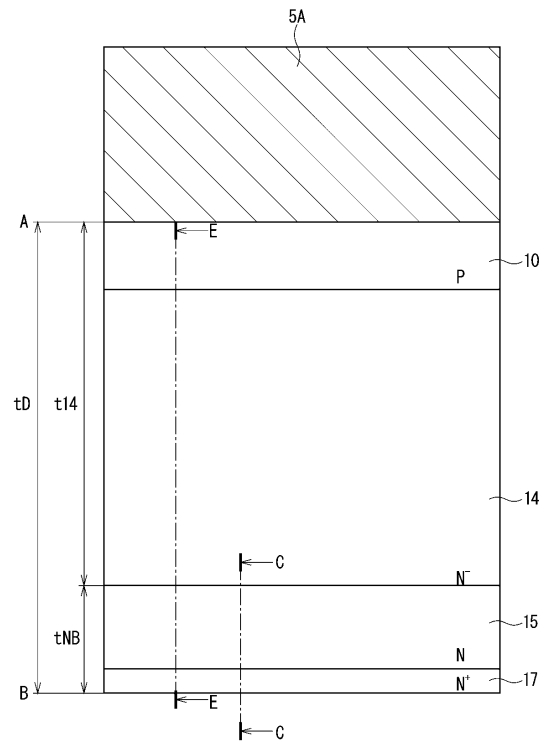
【図 28】



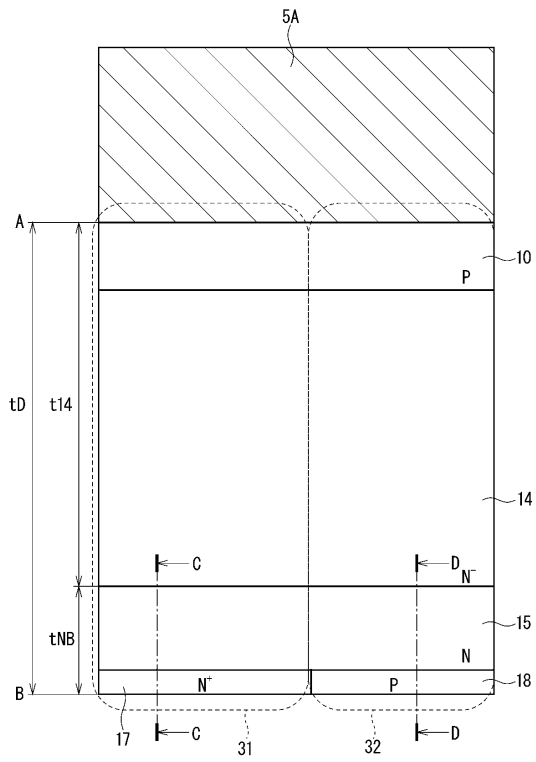
【図 30】



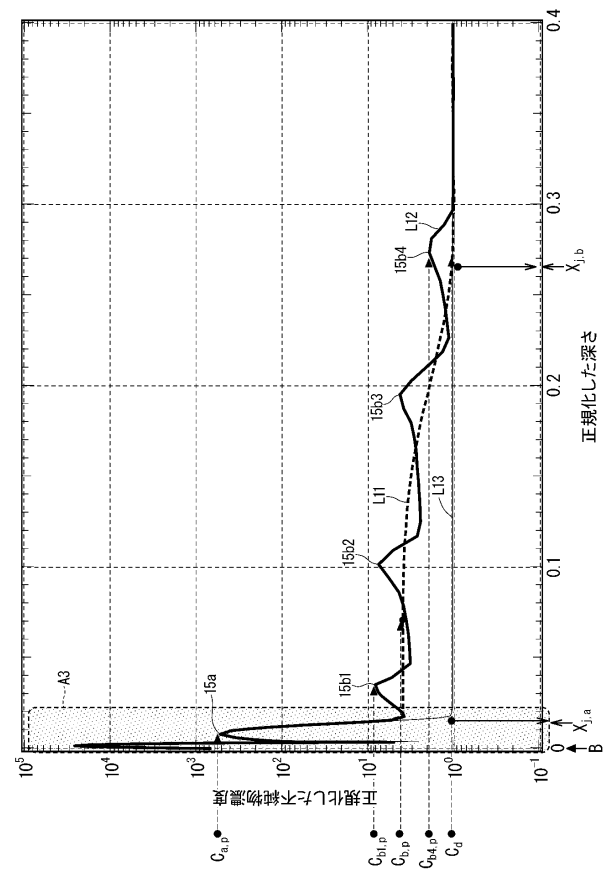
【図 31】



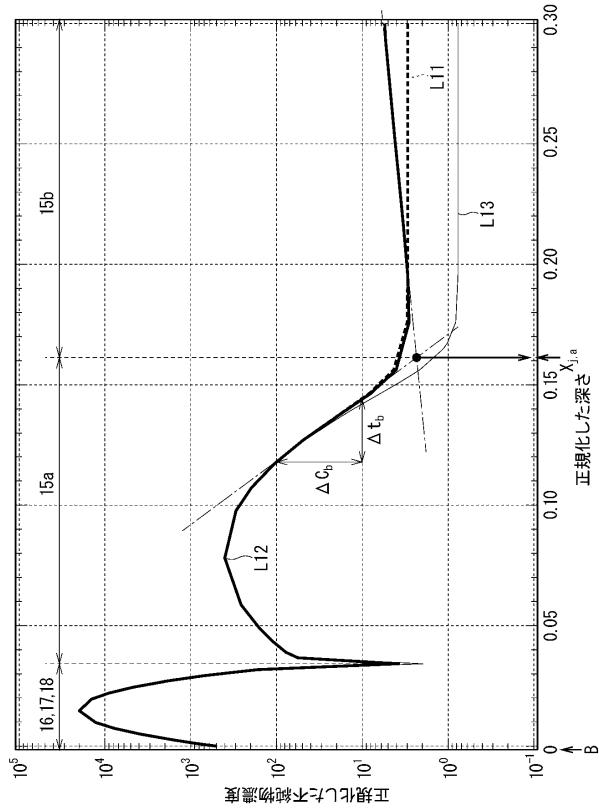
【図 32】



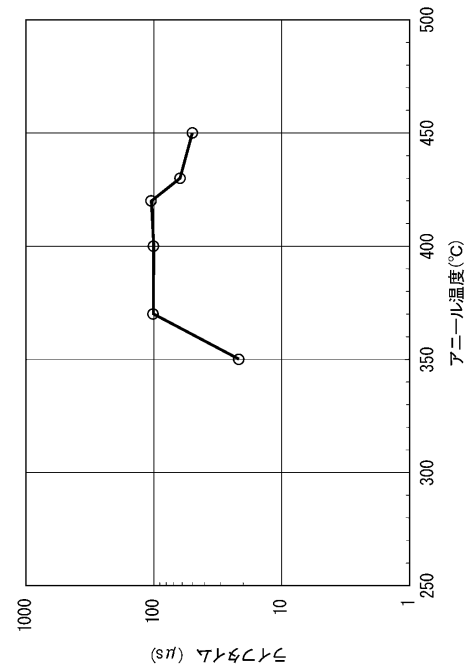
【図 33】



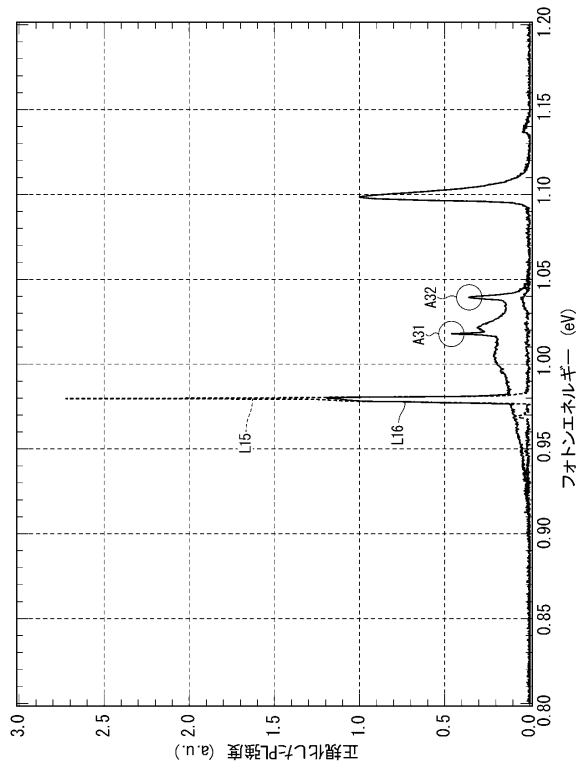
【図 3 4】



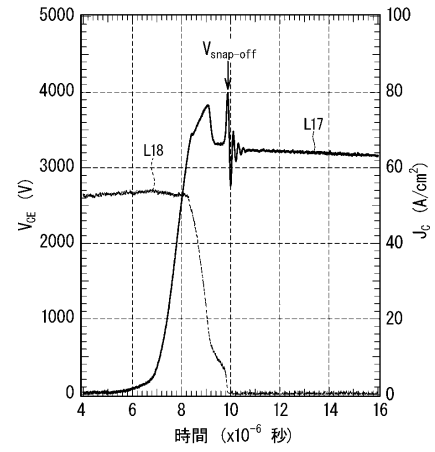
【図 3 5】



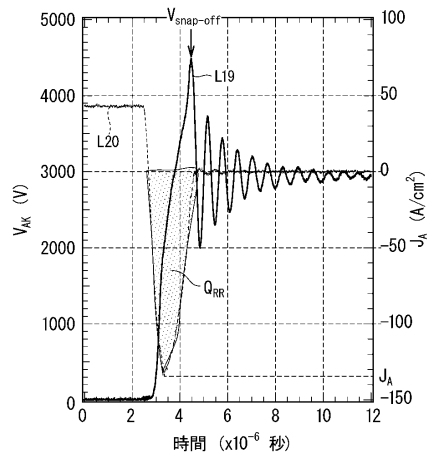
【図 3 6】



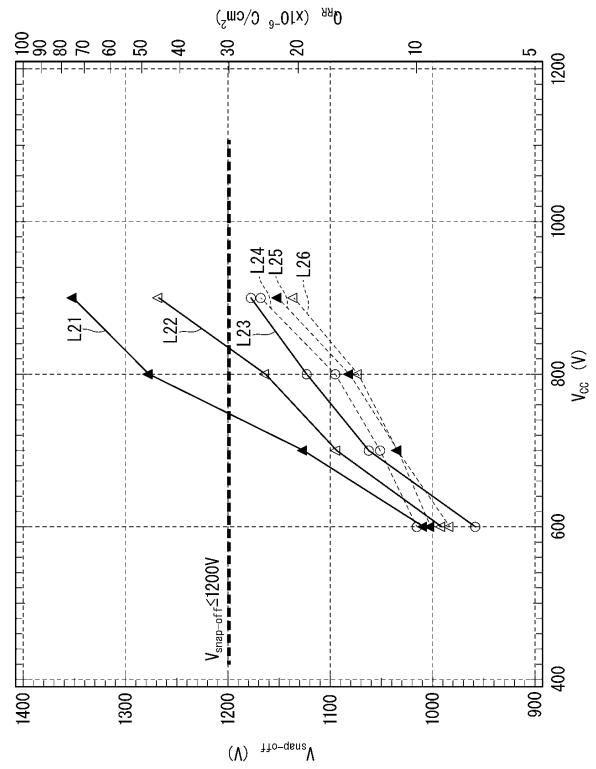
【図 3 7】



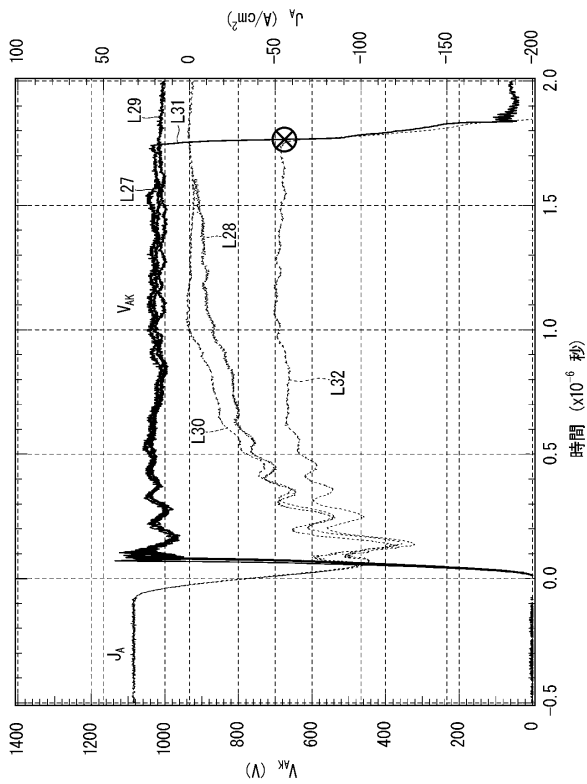
【図 38】



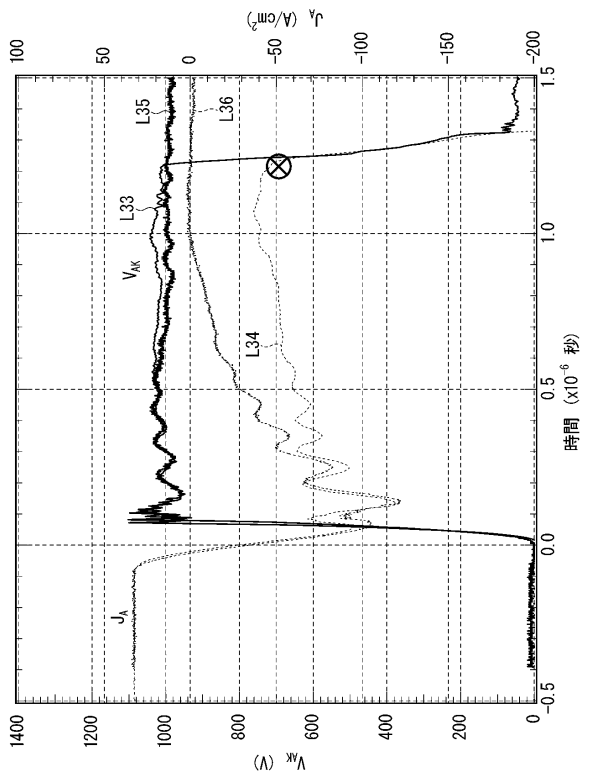
【図 39】



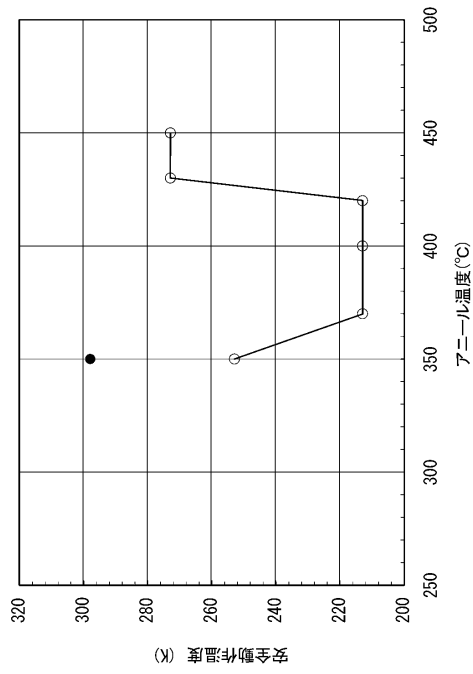
【図 40】



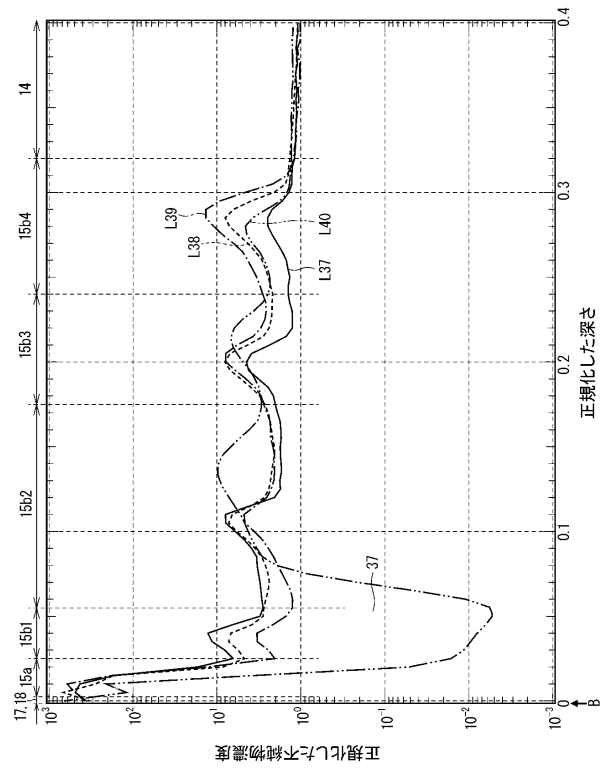
【図 41】



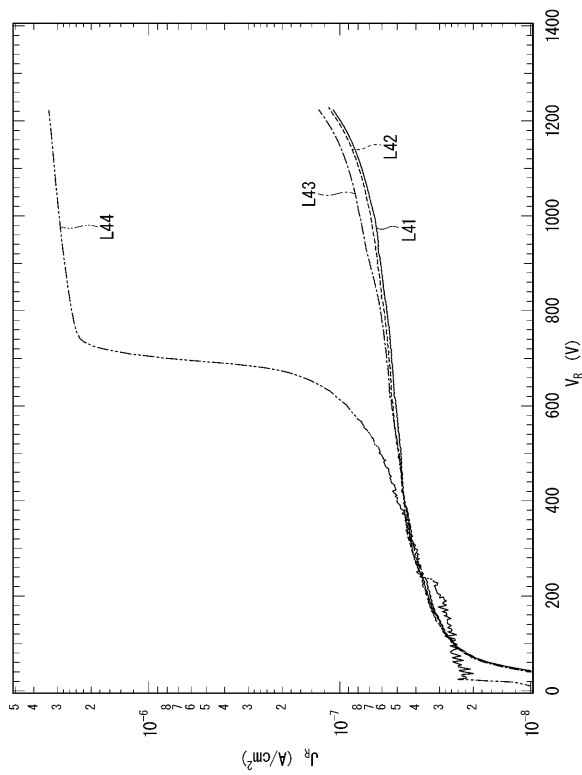
【図 4 2】



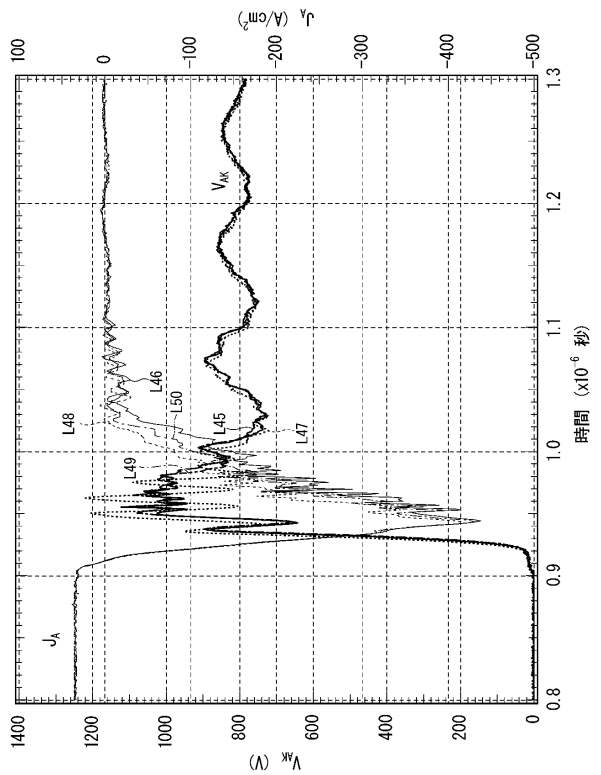
【図 4 3】



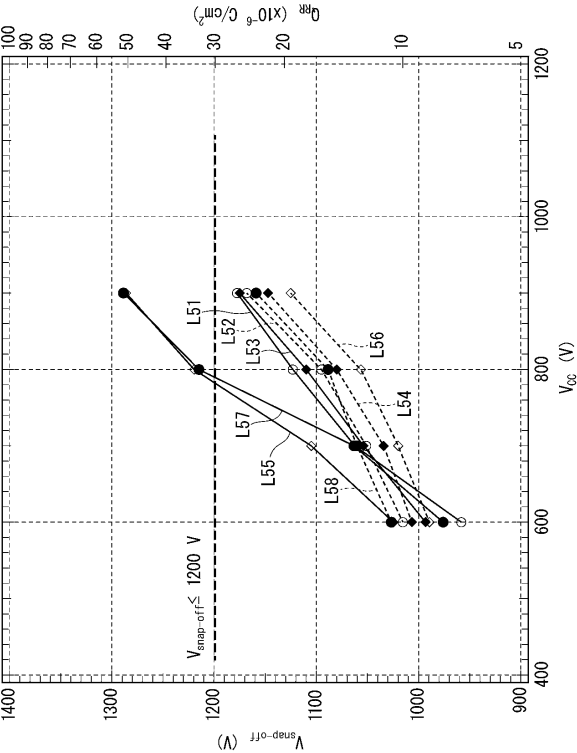
【図 4 4】



【図 4 5】



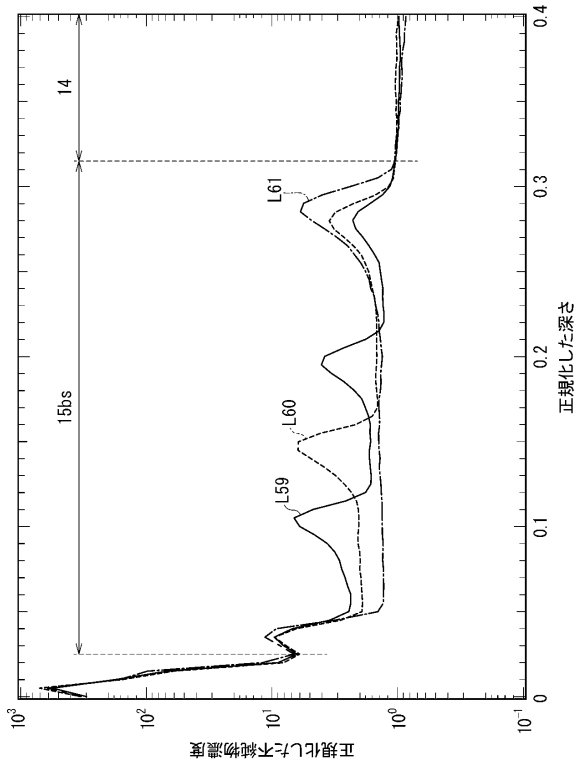
【図 4 6】



【図 4 7】

サンプル 番号	ダイオード性能			
	J_A (A/cm ²)	破壊耐量		
	$@V_T=1200$ V 175 °C	$V_{snap-off}$ $@900$ V, $J_A=x0.1J_A$, $dj/dt=7000A/\mu s$, $dv/dt=56000V/\mu s$, $L_S=200nH$, 298 K	遮断温度 $@950$ V, $J_A=x0.1J_A$, $dj/dt=1000A/\mu s$, $dv/dt=12500V/\mu s$, $L_S=2.0\mu H$	最大遮断電流密度 (J_A (break)) $@900$ V, $dj/dt=30000A/\mu s$, $dv/dt=15000V/\mu s$, $L_S=200nH$, 448 K
1	1.31×10^{-3}	1177 V	213 K	≥3300 A/cm ² ($10J_A$) (非破壊)
2	1.64×10^{-3}	1175 V	213 K	≥3300 A/cm ² ($10J_A$) (非破壊)
3	2.06×10^{-3}	1286 V	213 K	2280 A/cm ² ($7J_A$)

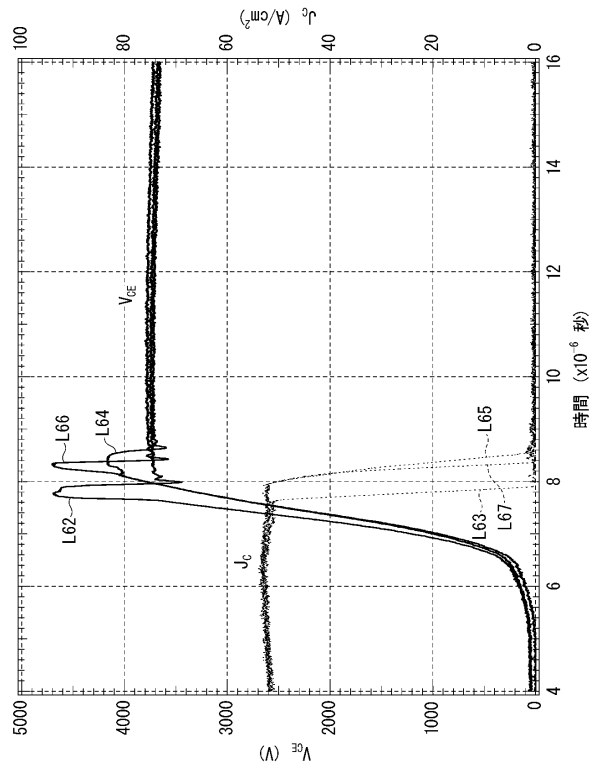
【図 4 8】



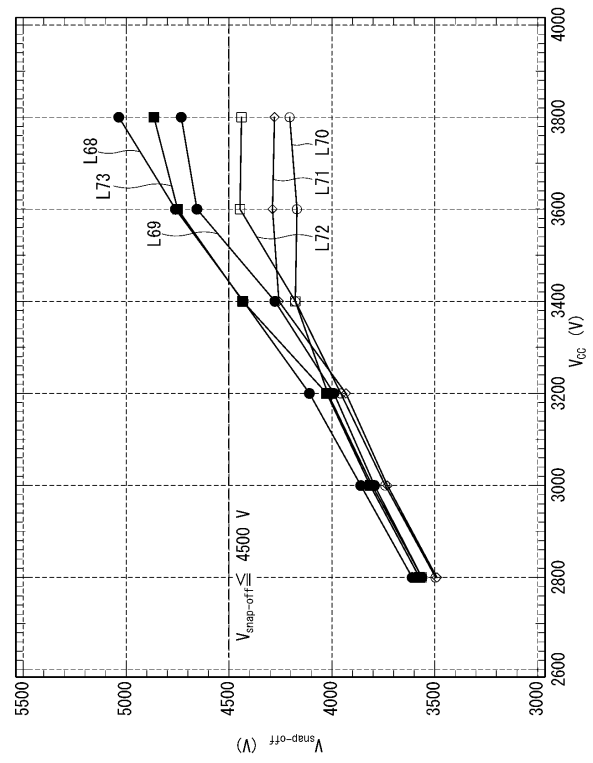
【図 4 9】

サンプル 番号	ダイオード性能			
	J_A (A/cm ²)	破壊耐量		
	$@V_T=1200$ V 175 °C	$V_{snap-off}$ $@900$ V, $dj/dt=7000A/\mu s$, $dv/dt=56000V/\mu s$, $L_S=200nH$, 298 K	遮断温度 $@950$ V, $dj/dt=1000A/\mu s$, $dv/dt=12500V/\mu s$, $L_S=2.0\mu H$	最大遮断電流密度 (J_A (break)) $@900$ V, $dj/dt=30000A/\mu s$, $dv/dt=15000V/\mu s$, $L_S=200nH$, 448 K
1	1.31×10^{-3}	1177 V	213 K	≥3300 A/cm ² ($10J_A$) (非破壊)
5	1.37×10^{-3}	1167 V	213 K	≥3300 A/cm ² ($10J_A$) (非破壊)
6	1.38×10^{-3}	1160 V	213 K	≥3300 A/cm ² ($10J_A$) (非破壊)

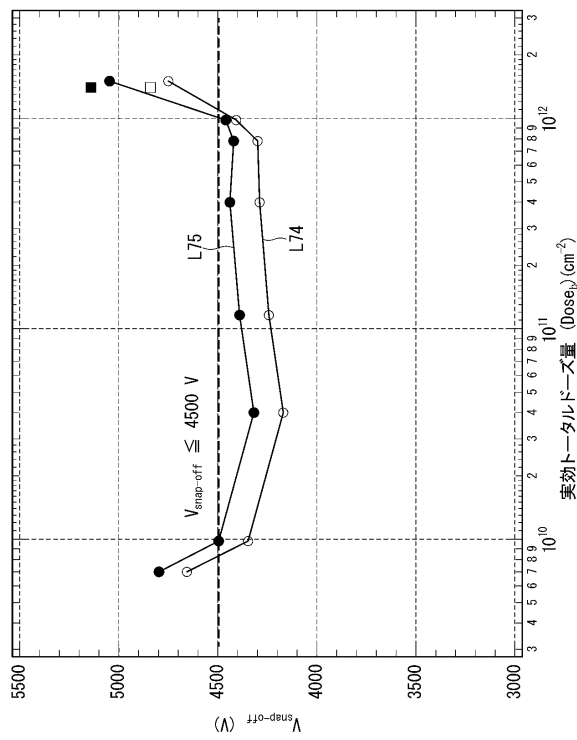
【図 50】



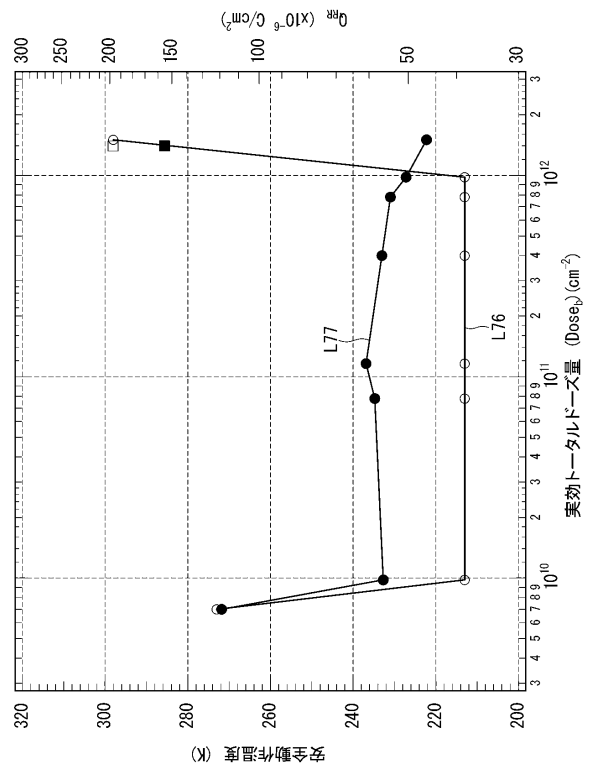
【図 51】



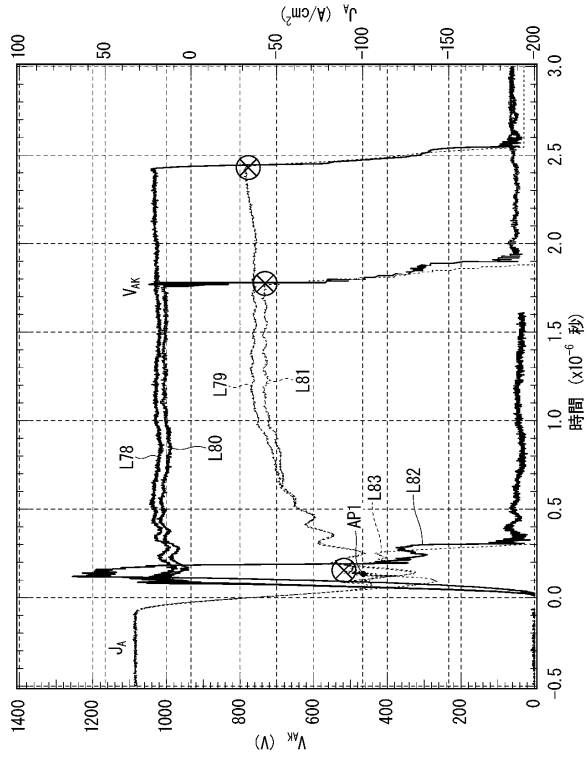
【図 52】



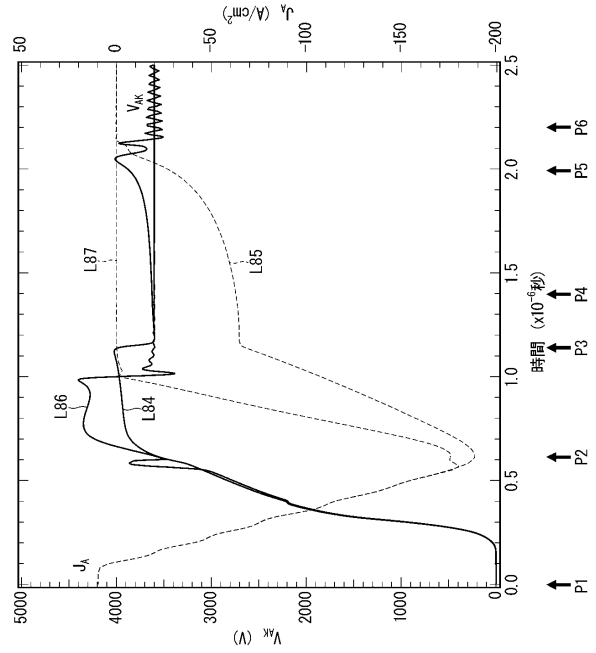
【図 53】



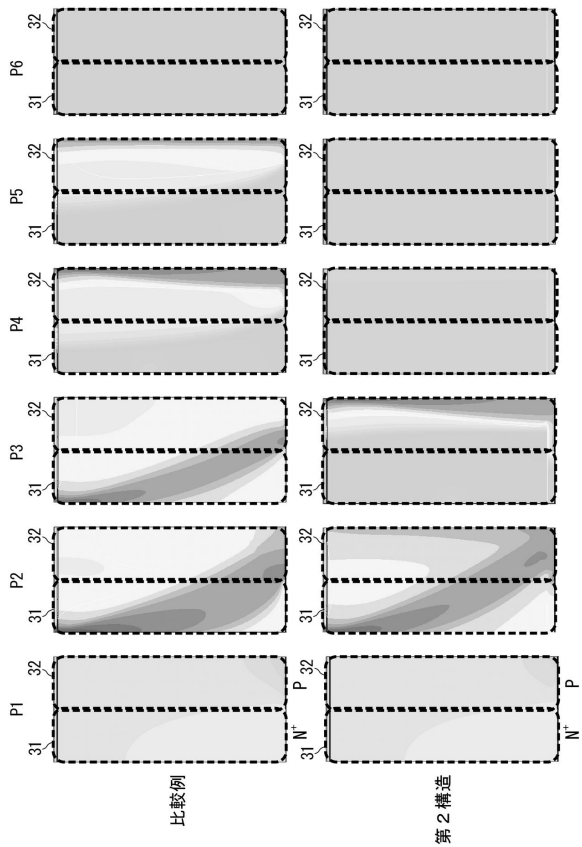
【図 5 4】



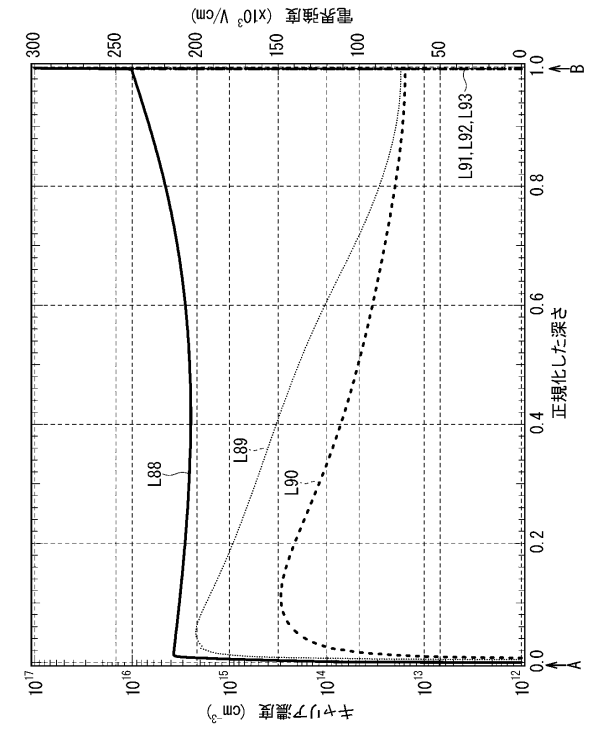
【図 5 5】



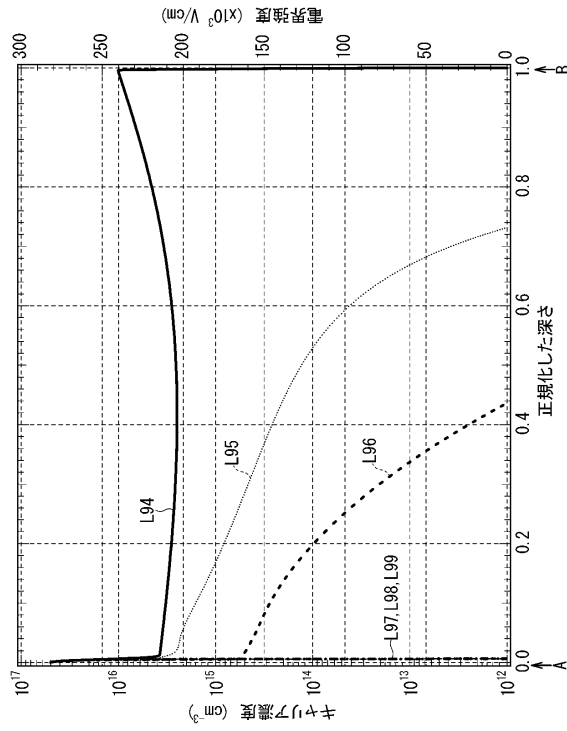
【図 5 6】



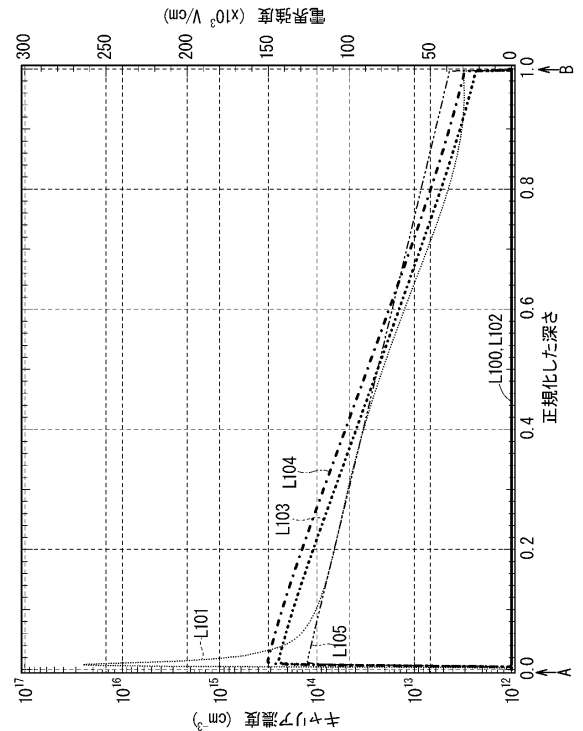
【図 5 7】



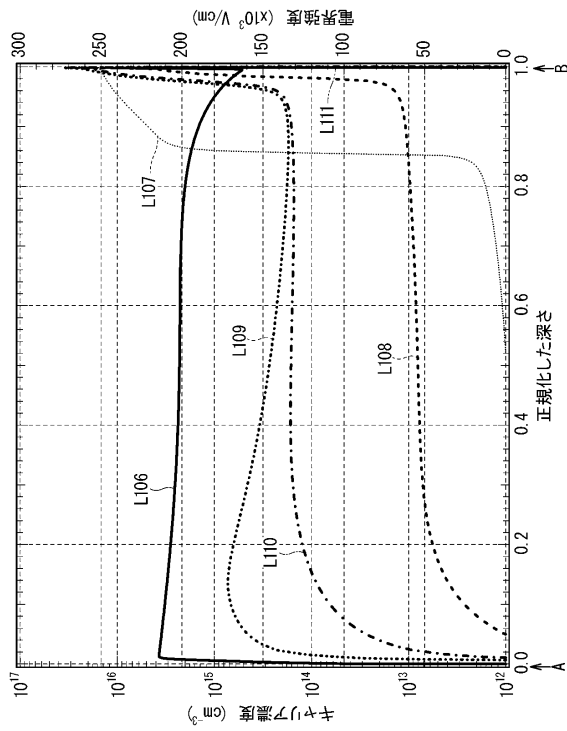
【図 58】



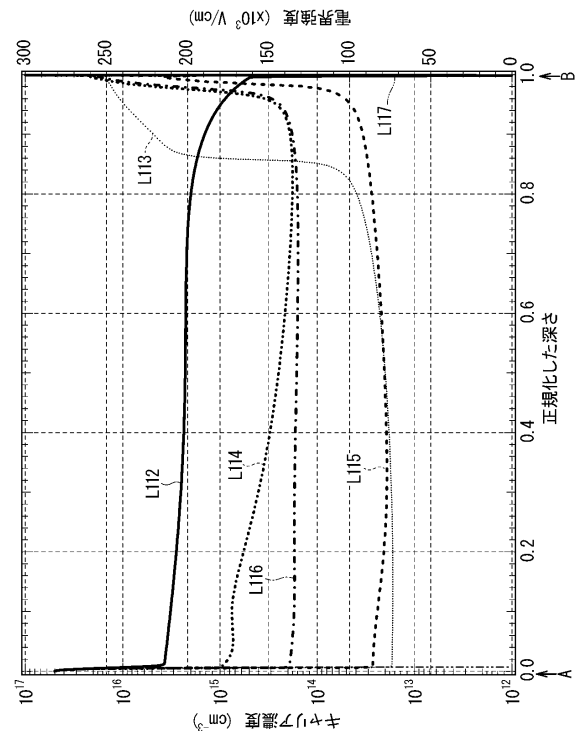
【図 59】



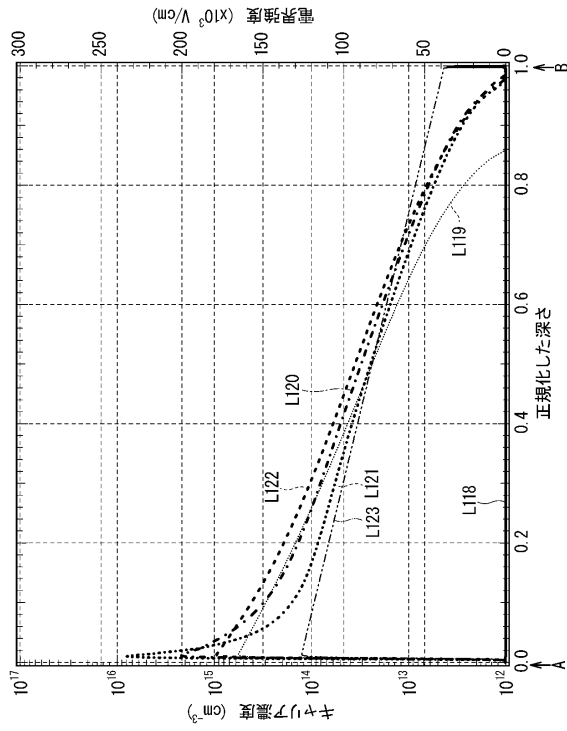
【図 60】



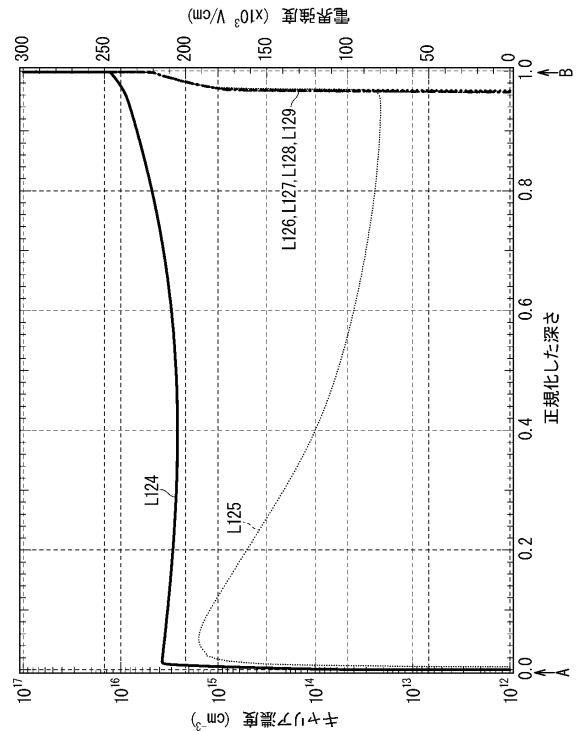
【図 61】



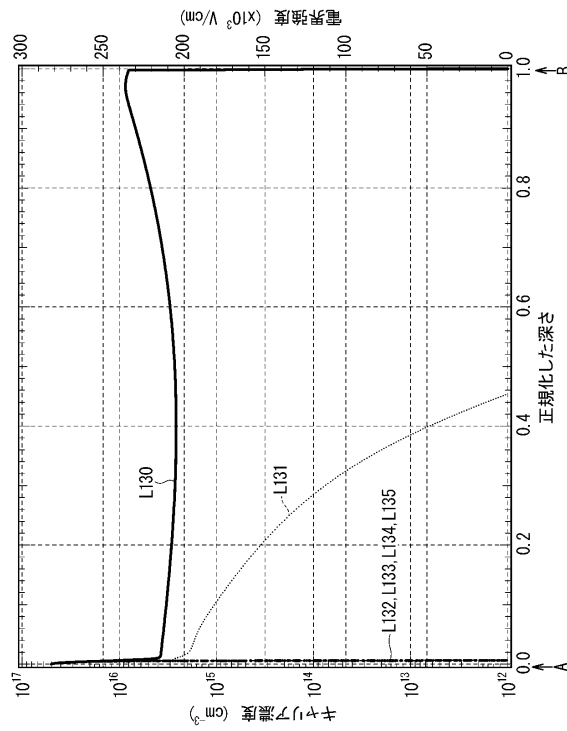
【図 6 2】



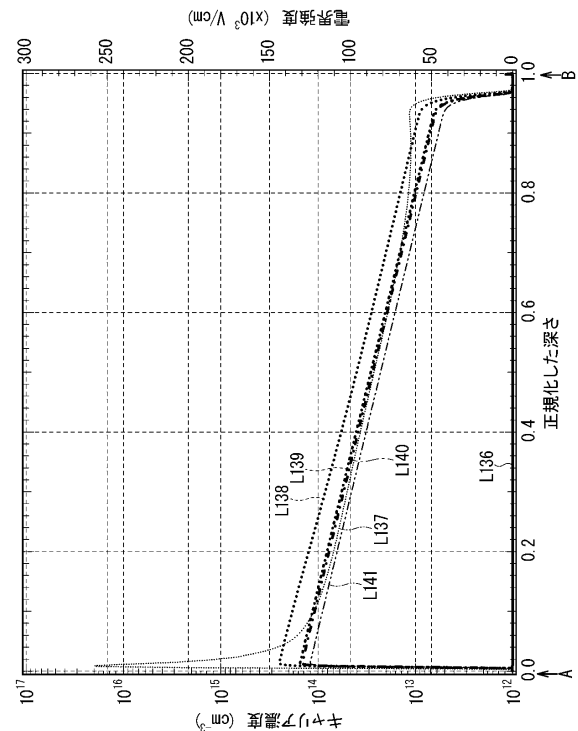
【図 6 3】



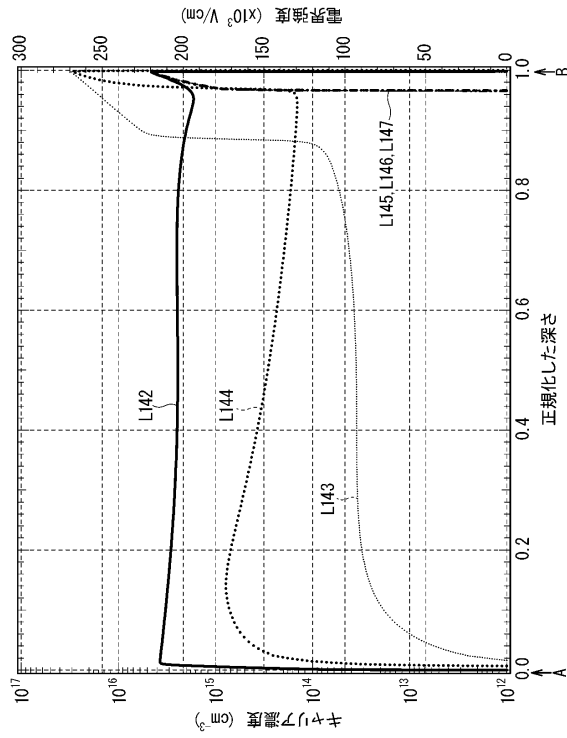
【図 6 4】



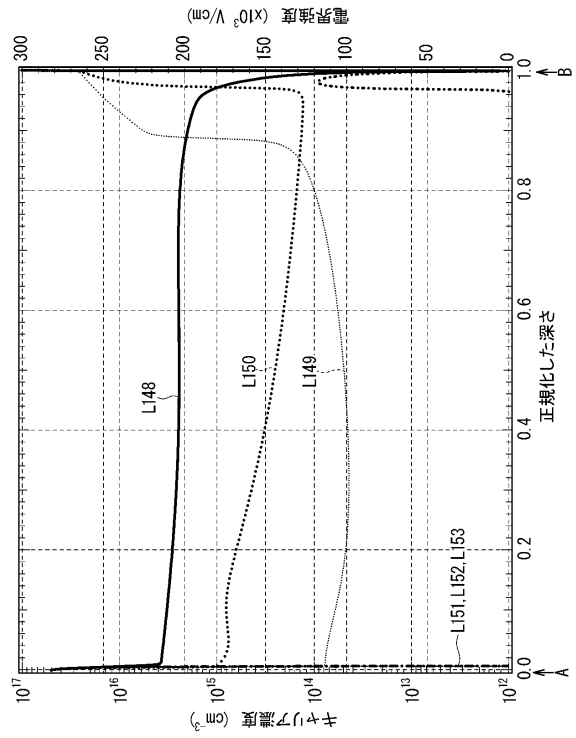
【図 6 5】



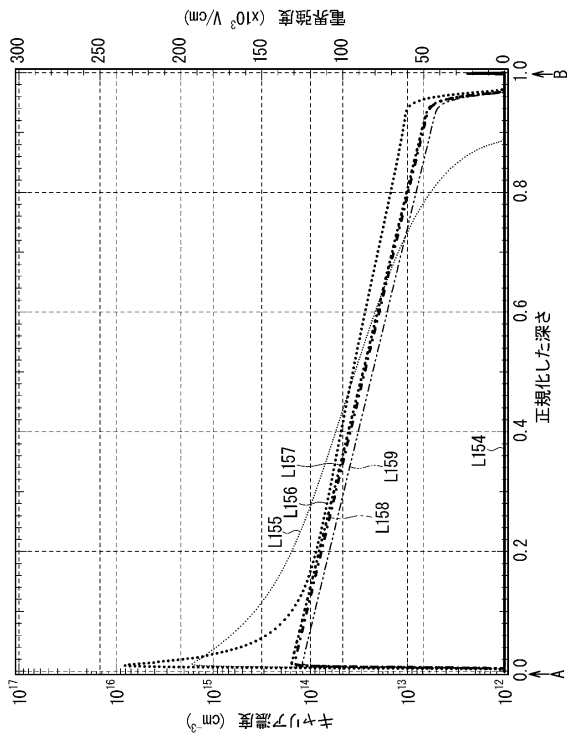
【図 6 6】



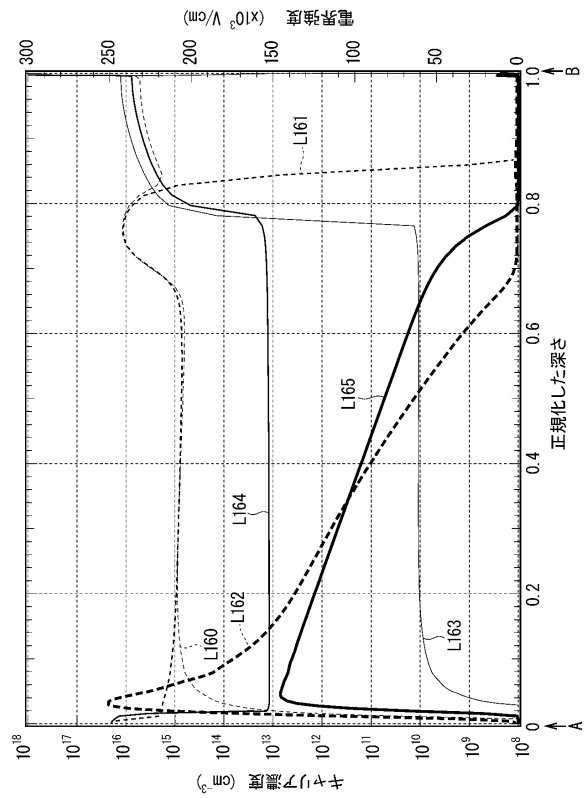
【図 6 7】



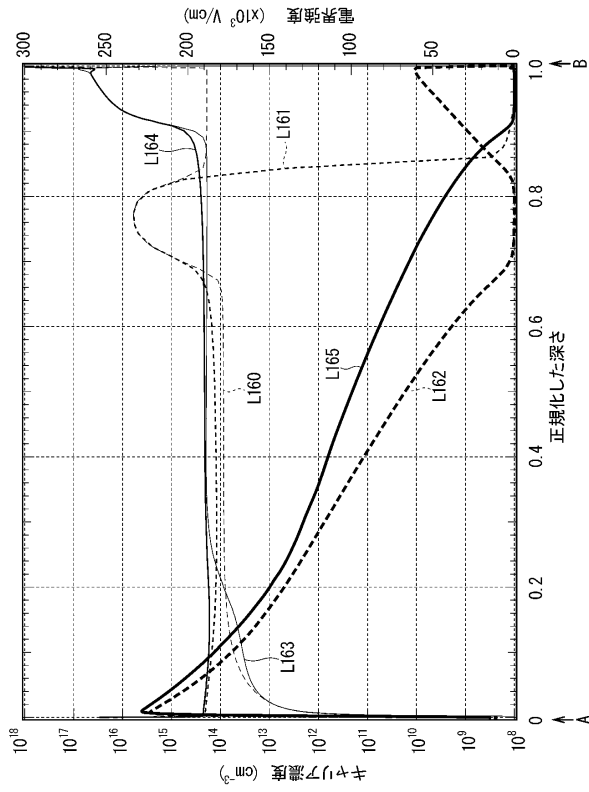
【図 6 8】



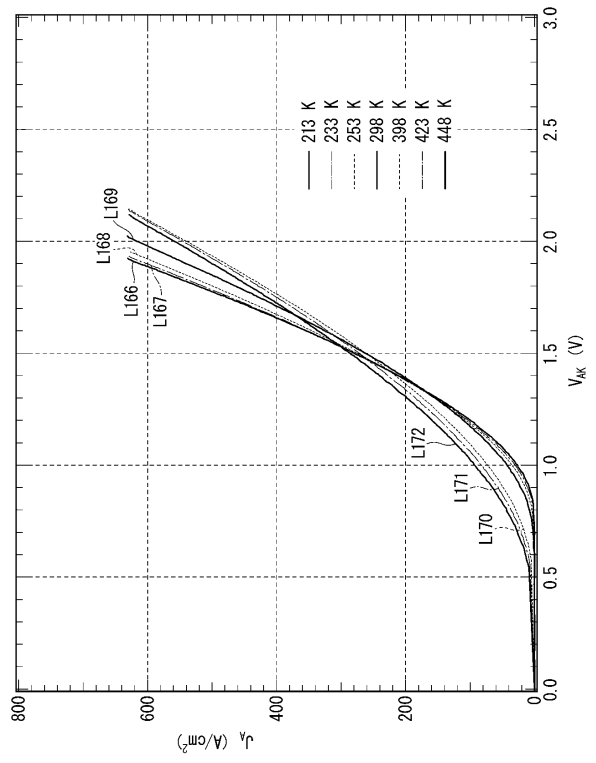
【図 6 9】



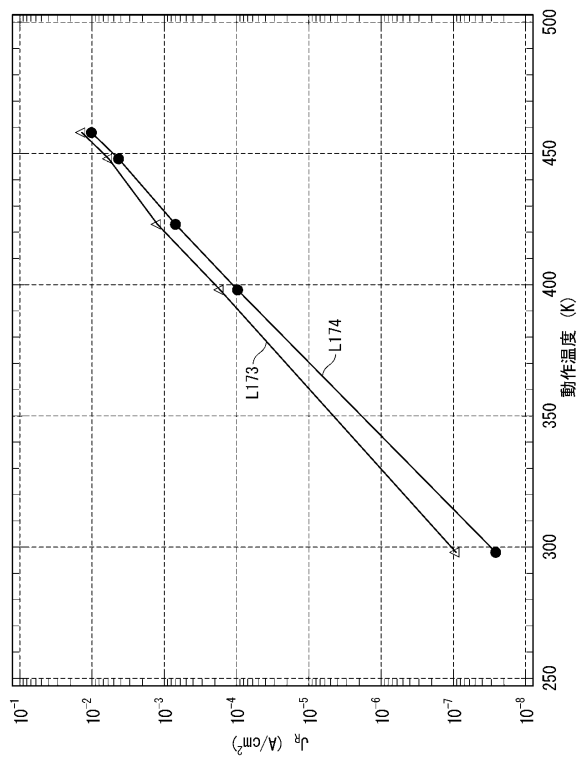
【図 70】



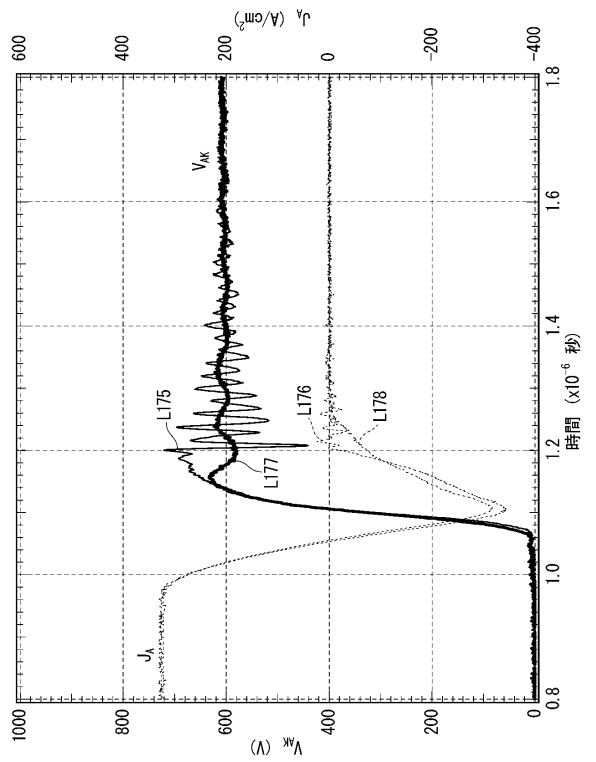
【図 71】



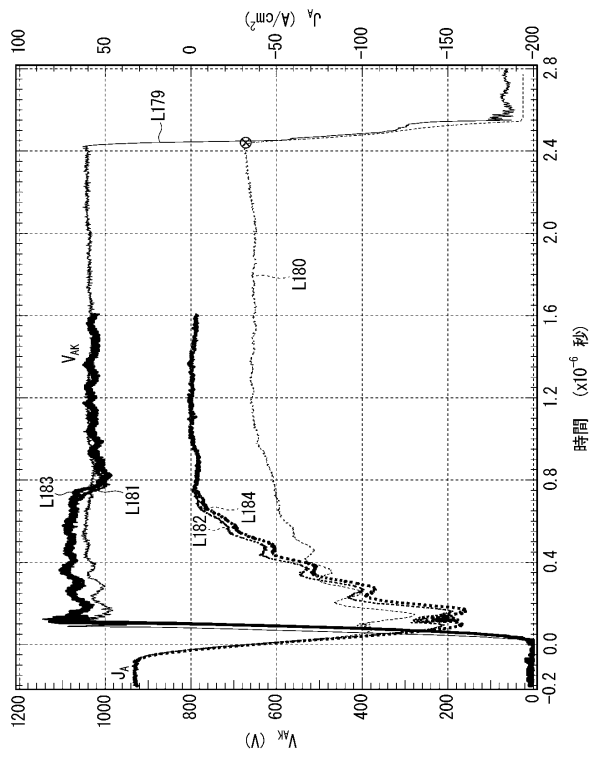
【図 72】



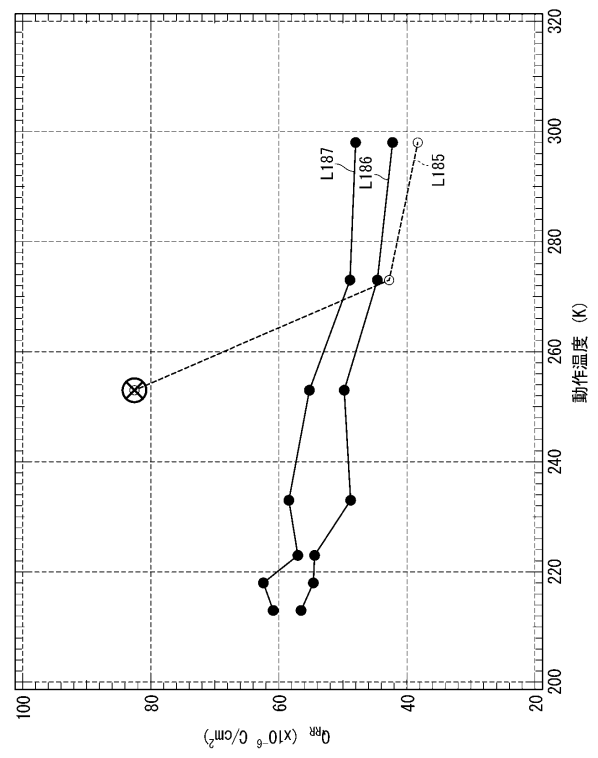
【図 73】



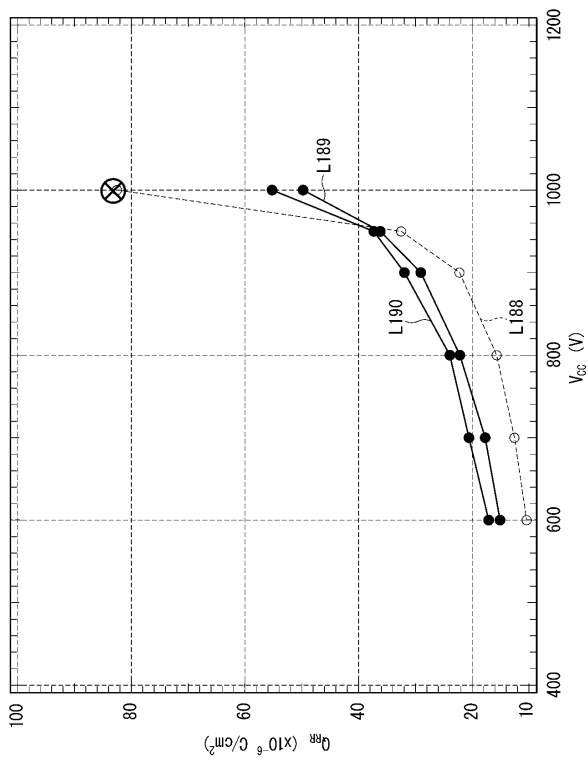
【図 74】



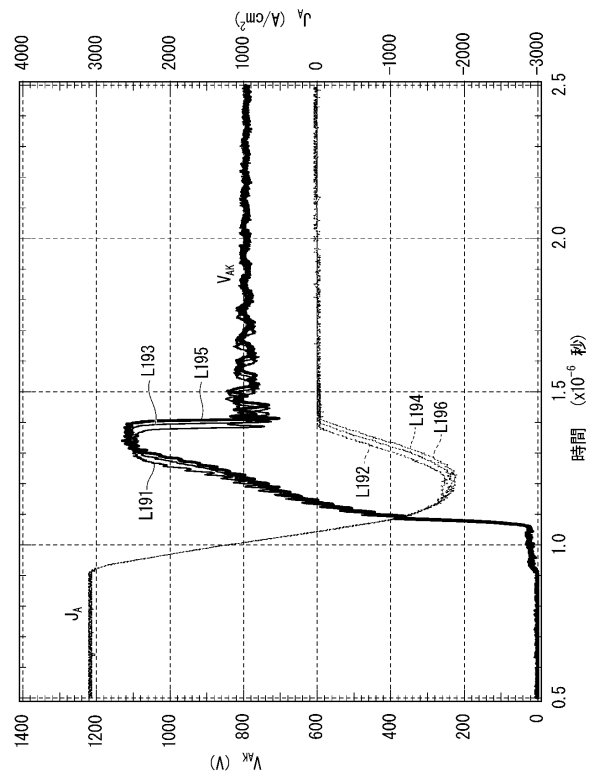
【図 75】



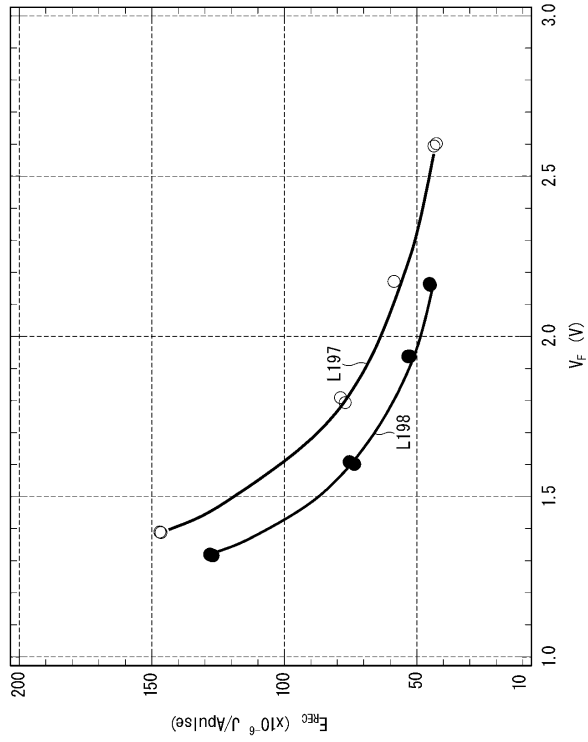
【図 76】



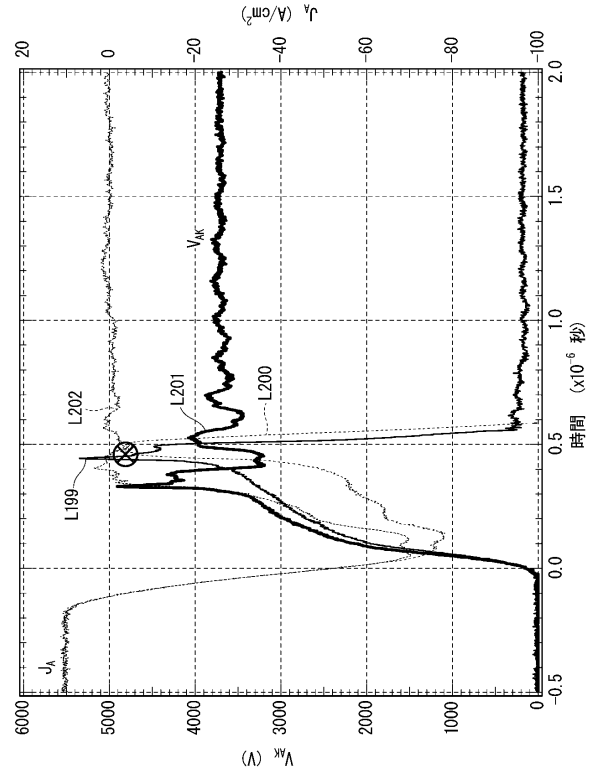
【図 77】



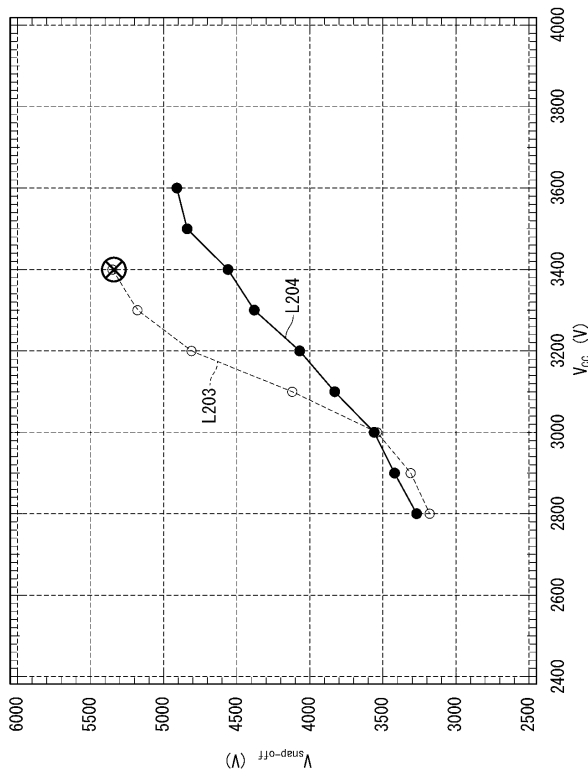
【図 78】



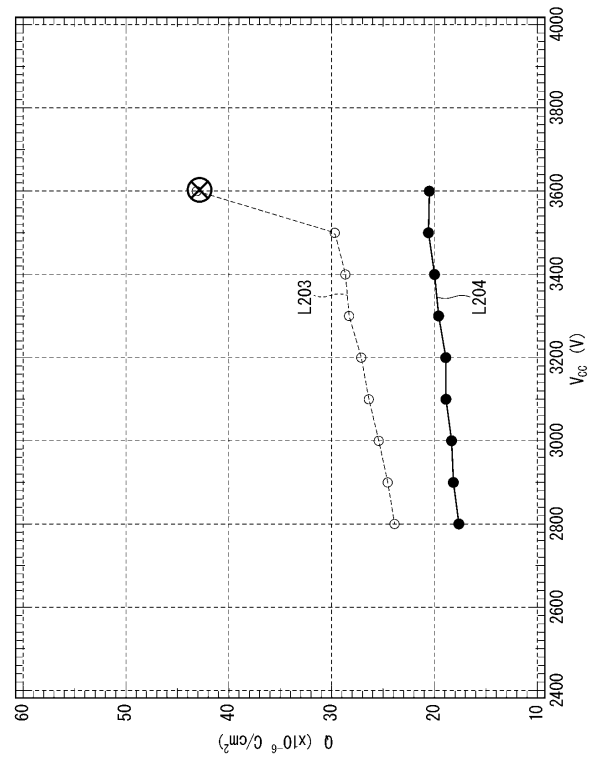
【図 79】



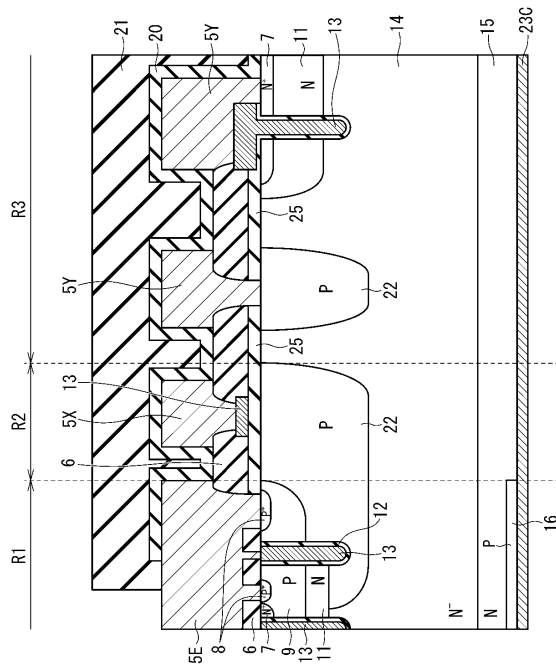
【図 80】



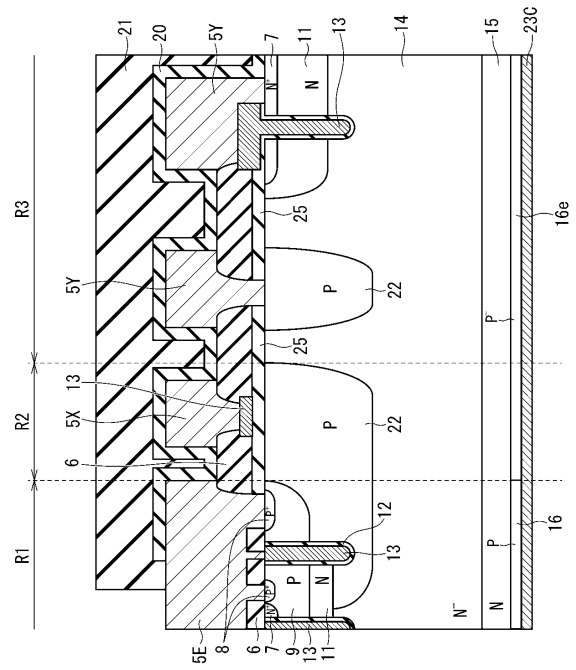
【図 81】



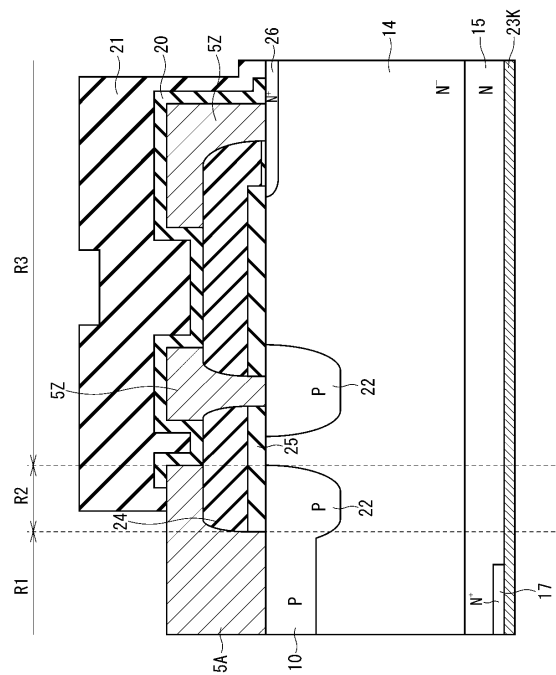
【図 8 2】



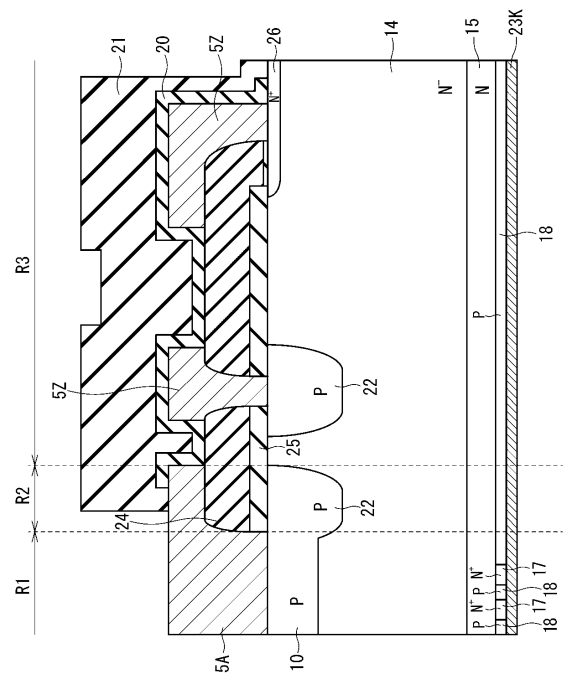
【図 8 3】



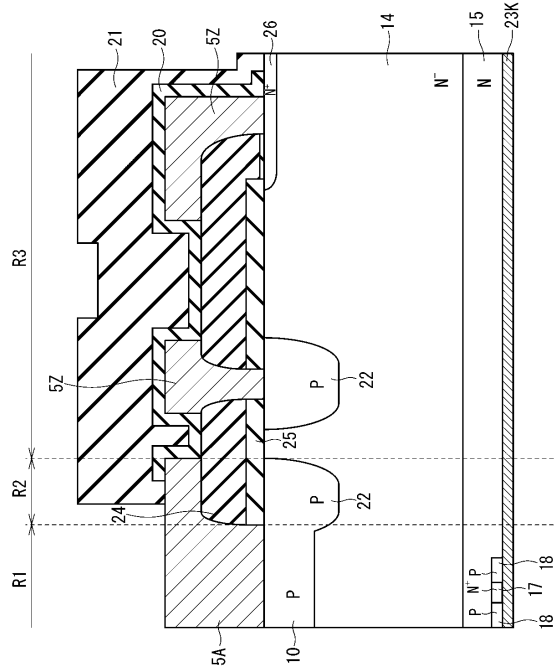
【図 8 4】



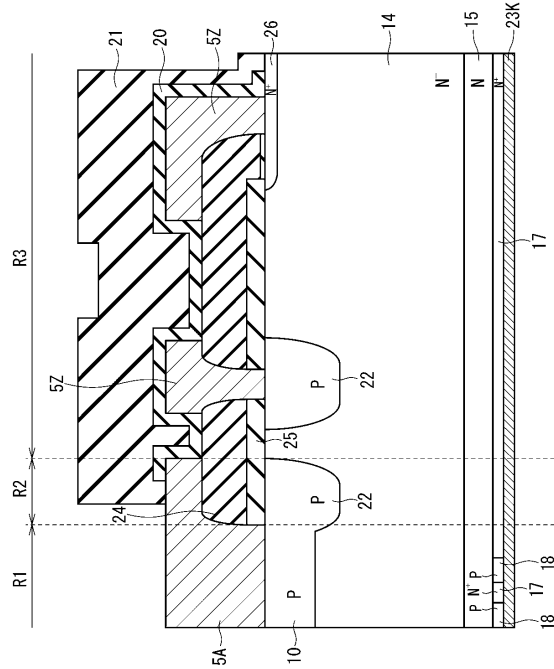
【図 8 5】



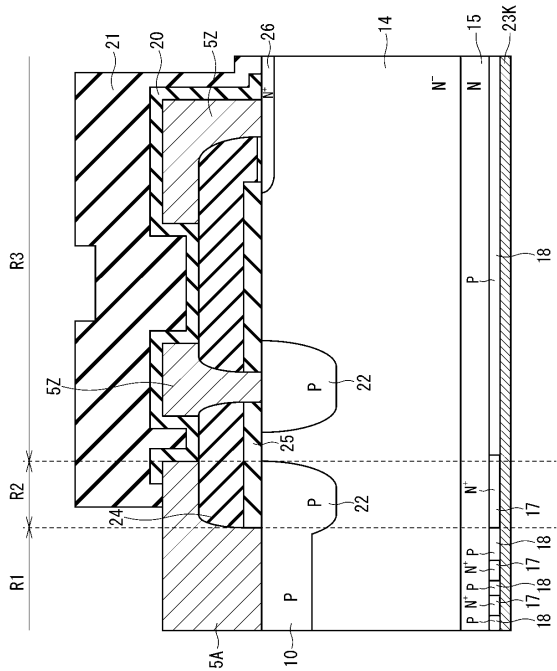
【 図 8 6 】



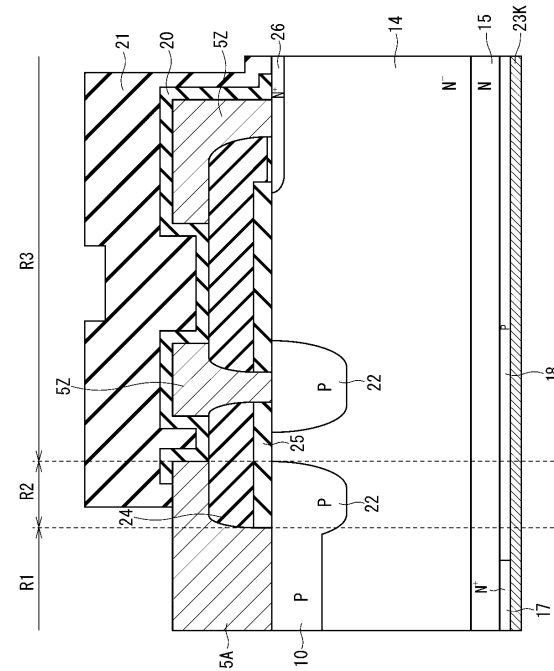
【圖 87】

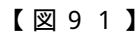


【 ㄨ 8 8 】



【 図 8 9 】





フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/12	(2006.01)	H 0 1 L	29/06	3 0 1 F
H 0 1 L	21/329	(2006.01)	H 0 1 L	29/91	D
H 0 1 L	21/322	(2006.01)	H 0 1 L	29/78	6 5 5 G
H 0 1 L	21/265	(2006.01)	H 0 1 L	29/78	6 5 5 F
			H 0 1 L	29/78	6 5 8 A
			H 0 1 L	29/78	6 5 2 T
			H 0 1 L	29/91	F
			H 0 1 L	29/78	6 5 2 M
			H 0 1 L	29/78	6 5 8 F
			H 0 1 L	29/91	B
			H 0 1 L	21/322	L
			H 0 1 L	21/265	F
			H 0 1 L	29/78	6 5 2 H

(56)参考文献 特開 2 0 1 8 - 1 0 7 3 0 3 (J P , A)
 特開 2 0 1 4 - 0 5 6 9 7 6 (J P , A)
 国際公開第 2 0 1 7 / 0 4 7 2 8 5 (W O , A 1)
 国際公開第 2 0 1 7 / 1 1 5 4 3 4 (W O , A 1)
 国際公開第 2 0 1 3 / 1 4 7 2 7 4 (W O , A 1)
 国際公開第 2 0 1 4 / 0 5 4 1 2 1 (W O , A 1)
 国際公開第 2 0 1 1 / 0 5 2 7 8 7 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 1 2
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 1 / 3 2 2
 H 0 1 L 2 1 / 2 6 5