



(12)发明专利

(10)授权公告号 CN 105280687 B

(45)授权公告日 2018.09.11

(21)申请号 201410280113.1

US 7855457 B2,2010.12.21,

(22)申请日 2014.06.20

Seiichi Aritome et al.Advanced DC-SF Cell Technology for 3-D NAND Flash.《IEEE TRANSACTIONS ON ELECTRON DEVICES》.2013,第60卷(第4期),第1327-1333页.

(65)同一申请的已公布的文献号

申请公布号 CN 105280687 A

(43)申请公布日 2016.01.27

Seiichi Aritome et al.A novel three-dimensional dual control-gate with surrounding floating-gate(DC-SF) NAND flash cell.《Solid-State Electronics》.2013,第79卷第166-171页.

(73)专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路16号

Hiroshi SAKURABA et al.New Three-Dimensional High-Density Stacked-Surrounding Gate Transistor (S-SGT) Flash Memory Architecture Using Self-Aligned Interconnection Fabrication Technology without Photolithography Process for Tera-Bits and Beyond.《Japanese Journal of Applied Physics》.2004,第43卷(第4B期),第2217-2219页.

(72)发明人 赖二琨

(74)专利代理机构 中科专利商标代理有限责任公司 11021

代理人 任岩

审查员 卢振宇

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 23/528(2006.01)

H01L 21/60(2006.01)

权利要求书1页 说明书4页 附图8页

(56)对比文件

US 2013/0334589 A1,2013.12.19,

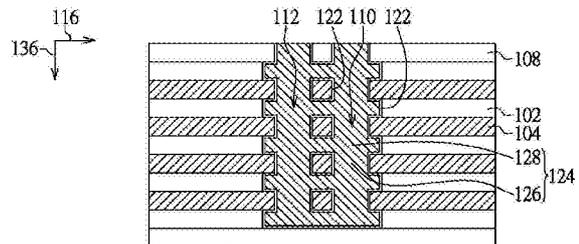
CN 101414631 A,2009.04.22,

(54)发明名称

半导体结构及其制造方法

(57)摘要

本发明公开了一种半导体结构及其制造方法。半导体结构包括一导电层、一导电构造、与一介电层。导电层定义出相邻的多个第一开口。导电构造环绕导电层介于第一开口之间的部分。介电层分开导电层与导电构造。



1. 一种半导体结构,包括:

一导电层,定义出相邻的多个第一开口;

一导电构造,环绕该导电层介于这些第一开口之间的部分;以及

一介电层,分开该导电层与该导电构造;

其中,该导电构造包括:

多个第一导电部分,其填充该导电层的这些第一开口;以及

一第二导电部分,连接这些第一导电部分,并配置在该导电层的上、下方。

2. 根据权利要求1所述的半导体结构,包括:

多个该导电构造;以及

多个绝缘插塞,其电性绝缘这些导电构造。

3. 根据权利要求1所述的半导体结构,更包括多个绝缘插塞,其中该导电构造包括互相分开的多个第一导电部分,

这些绝缘插塞配置在一第一方向上的这些第一导电部分之间,以与该介电层在该导电层中定义出往该第一方向延伸的一导电条纹。

4. 根据权利要求1所述的半导体结构,其中该导电构造环绕在该导电层介于这些第一开口之间的上、下表面与相对侧壁上。

5. 一种半导体结构,包括:

叠层的多个导电条纹;

一导电构造,环绕这些导电条纹;以及

一介电层,分开这些导电条纹与该导电构造;

其中,这些导电条纹的延伸方向是垂直于该导电构造的延伸方向,这些导电条纹是用作位线,该导电构造是用作字线;

该导电构造包括:

多个第一导电部分,该多个第一导电部分互相分开;以及

一第二导电部分,连接这些第一导电部分。

6. 根据权利要求5所述的半导体结构,更包括多个绝缘插塞,这些导电条纹是由这些绝缘插塞与该介电层定义出。

7. 根据权利要求1-6中任一项所述的半导体结构,其为具有环绕式栅极 (Gate-all-around, GAA) 结构的三维叠层存储器阵列。

8. 一种半导体结构的制造方法,包括:

交互叠层多个绝缘层与多个导电层;

形成多个第一开口贯穿这些绝缘层与这些导电层;

移除这些绝缘层被这些第一开口露出的部分,以在这些绝缘层中形成尺寸大于这些第一开口的多个第二开口;

形成一介电层覆盖这些导电层被这些第一开口与这些第二开口露出的部分;以及

形成多个导电构造于该介电层上,其中多个该导电构造填充于介电层的第一开口及绝缘层的第二开口。

半导体结构及其制造方法

技术领域

[0001] 本发明是有关于一种半导体结构及其制造方法,且特别是有关于一种存储器及其制造方法。

背景技术

[0002] 近年来半导体元件的结构不断地改变,且元件的存储器储存容量也不断增加。存储装置是用于许多产品之中,例如MP3播放器、数码相机、计算机档案等等的储存元件中。随着应用的增加,对于存储装置的需求也趋向较小的尺寸、较大的存储容量。因应这种需求,是需要制造高元件密度及具有小尺寸的存储装置。

[0003] 因此,设计者们无不致力于开发一种三维存储装置,不但具有许多叠层平面而达到更高的记忆储存容量,具有更微小的尺寸,同时具备良好的特性与稳定性。

发明内容

[0004] 根据一实施例,公开一种半导体结构,其包括一导电层、一导电构造、与一介电层。导电层定义出相邻的多个第一开口。导电构造环绕导电层介于第一开口之间的部分。介电层分开导电层与导电构造。

[0005] 根据另一实施例,公开一种半导体结构,其包括叠层的多个导电条纹、一导电构造、与一导电构造。导电构造环绕导电条纹。介电层分开导电条纹与导电构造。

[0006] 根据又另一实施例,公开一种半导体结构的制造方法,其包括以下步骤。交互叠层多个绝缘层与多个导电层。形成多个第一开口贯穿绝缘层与导电层。移除绝缘层被第一开口露出的部分,以在绝缘层中形成尺寸大于第一开口的多个第二开口。形成一介电层覆盖导电层被第一开口与第二开口露出的部分。形成多个导电构造于介电层上。

附图说明

[0007] 图1A至图5C绘示根据一实施例的半导体结构的制造方法。

[0008] **【符号说明】**

[0009] 102:绝缘层

[0010] 104:导电层

[0011] 106:半导体基板

[0012] 108:硬掩模

[0013] 110:第一开口

[0014] 112:第二开口

[0015] 114:第一方向

[0016] 116:第二方向

[0017] 118:部份

[0018] 120:绝缘部分

- [0019] 122:介电层
- [0020] 124:导电构造
- [0021] 126:第一导电部分
- [0022] 128:第二导电部分
- [0023] 130:绝缘插塞
- [0024] 132:第三开口
- [0025] 134:导电条纹
- [0026] 136:第三方向
- [0027] 138:导电连接
- [0028] P1、P2:间距

具体实施方式

[0029] 图1A至图5C绘示根据一实施例的半导体结构的制造方法。其中以A标示的为半导体结构的上视图,标示为B与C的为分别为半导体结构沿BB线与CC线的剖面图。

[0030] 请参照图1A至图1C,绝缘层102与导电层104交互叠层地形成在半导体基板106上。半导体基板106可包括硅基板、绝缘层上覆硅(SOI)、或其他合适的材料结构。绝缘层102可包括氧化物、氮化物、氮氧化物,例如氧化硅、氮化硅、氮氧化硅,或其他合适的介电材料。可使用刻蚀工艺,在最顶层的硬掩模108(例如氮化硅)露出的导电层104(例如未掺杂的多晶硅)与绝缘层102(例如氧化硅)中定义出第一开口110。刻蚀工艺包括例如湿法刻蚀、干法刻蚀、或其他合适的方法。

[0031] 请参照图2A至图2C,移除绝缘层102被第一开口110露出的部分,以在绝缘层102中定义出第二开口112,其尺寸大于导电层104的第一开口110,并连通第一开口110。相较于导电层104,使用的刻蚀工艺对于绝缘层102具有较高的刻蚀选择性(亦即此刻蚀工艺对绝缘层102的刻蚀速率高于导电层104,或者实质上不会刻蚀导电层104)。举例来说,可利用氢氟酸稀释溶液(DHF)、缓冲式氧化物刻蚀剂(buffered oxide etchant;BOE)、或其他合适的刻蚀剂移除氧化物绝缘层102。一实施例中,第一开口110在第一方向114上的间距(pitch)P1是大于在第二方向116上的间距P2,且刻蚀工艺是控制(例如控制等向刻蚀工艺的时间)移除绝缘层102特定尺寸的材料,藉此留下绝缘层102在第一方向114上的第一开口110之间的一部份118(图2A与图2C),并连通第二方向116上的第一开口(如图2A与图2B所示),以形成在第一方向114上彼此分开(图2A与图2C),且在第二方向116上呈同时连通不同第一开口110(图2A与图2B)形态的第二开口112。实施例中,在形成第二开口112之后,是留下绝缘层102位于第一开口110其中邻近四个之间的绝缘部分120(图2A),此绝缘部分120能支撑分开上、下方的导电层104,以避免导电层104变形短接或崩垮。

[0032] 请参照图3A至图3C,形成介电层122以覆盖第一开口110与第二开口112露出的所有导电层104与绝缘层102。以导电材料(例如P+型多晶硅、N+型多晶硅、TiN、TaN、W、Ti、Cu、或其他的共形导体(conformal conductors))填充导电层104的第一开口110与绝缘层102的第二开口112,以形成导电构造124在介电层122上,其中导电构造124包括填充在第一开口110的第一导电部分126,以及填充在第二开口112并连接第一导电部分126的第二导电部分128。可利用化学机械研磨工艺,将硬掩模108上方的介电层122与导电材料移除。第二导

电部分128配置在导电层104的上、下方。此外,介电层122电性隔离导电层104与导电构造124,并电性隔离第一方向114上不同位置的导电构造124。

[0033] 请参照图3B,导电构造124环绕在导电层104介于第一开口110之间的上、下表面与相对侧壁上。单一个第二导电部分128是与不同第一开口110中的第一导电部分126重叠。

[0034] 请参照图4A至图4C,形成绝缘插塞130,其穿过导电层104与绝缘层102,以电性绝缘导电构造124。绝缘插塞130的形成方法包括在导电层104与绝缘层102中定义出第三开口132,并以介电材料(例如氧化物)填充第三开口132而形成。可利用化学机械研磨工艺,将硬掩模108上方的介电材料移除。一实施例中,绝缘插塞130是配置在第一方向114上的第一导电部分126之间,并至少邻接第一导电部分126上(或第一开口110中)的介电层122,以与介电层122在导电层104中定义出往第一方向114延伸的导电条纹134(图4D,其仅绘示导电层104单一阶层中的元件配置)。其他实施例中,在不影响导电构造124于第三方向136(垂直方向)上不同阶层电性导通效果为前提下,绝缘插塞130亦可更延伸至接触第一导电部分126。

[0035] 实施例的半导体结构为三维叠层存储器阵列,其中往第一方向114延伸的导电条纹134是用作位线,往第二方向116延伸的导电构造124造是用作字线。举例来说,导电条纹134与导电构造124之间的介电层122可以是ONO结构、ONONO结构、ONONONO结构、或由隧穿材料(tunneling material)/捕捉材料(trapping material)/阻挡材料(blocking material)构成的材料层,应用于与非门(NAND)的储存材料。举例来说,从内往外数的第一层氧化物与氮化物、以及第二层的氧化物(O1N1O2)为隧穿材料,第二层氮化物(N2)为捕捉材料,第三层氧化物(O3)、或第三层氧化物/氮化物或第四层氧化物(O3/N3/O4)为阻挡材料。一实施例中,半导体结构使用钽-铝-氮-氧-硅(tantalum-alumina-nitride-oxide-silicon;TANOS)结构,其包括Si基底、氧化物/氮化硅/氧化铝(OX/SiN/Al₂O₃)介电质、以及TaN栅极。

[0036] 如图4B所示,装置具有导电构造124(栅极)环绕导电条纹134(位线信道)的环绕式栅极(Gate-all-around,GAA)结构。此种结构的栅控制能力佳,且单元电流大,优于双栅式(double gate)或单栅式(single gate)装置。并且,由于位线(导电条纹(134)受到栅极环绕,作用上较不易受其他位线的影响,因此位线之间Z方向的耦合干扰较低。

[0037] 在一些比较例中,位线的形成是通过图案化导电层与绝缘层的叠层,以形成长条状的开口而定义出。换句话说,位线形成过程中会发生整面侧壁露出开口的情况。然而,高深宽比(aspect ratio)的位线,其在两侧皆为开口而未受其他元件支撑的情况下,容易受到其他应力(例如浸液清洗步骤中,充满在开口中的液体,或浸、拉动作中造成的应力)影响而发生弯曲(bending),使得结构受损甚至形成不期望的短路,降低产品良率。

[0038] 在本发明的实施例中,导电条纹134是利用图案化开口(包括第一开口110与第三开口132)的方式形成,过程中用以形成导电条纹134的材料部分是受到支撑,因此(相较于比较例)具有较稳定的结构特征,不容易发生形变的问题,且产品可靠性高。

[0039] 请参照图5A至图5C,一些实施例中,亦可在导电构造124上形成沿第二方向116延伸、且互相分开的多个导电连接138,例如是字线连接。

[0040] 亦可形成其他合适的接触结构与层间介电层(未绘示)。

[0041] 本发明并不限于以上利用图示说明的实施方式,亦可根据实际需求或其他的设计适当地调变。

[0042] 举例来说,在实施例中,导电层104中单一阶层的导电部分126(第一开口110)并不限于以上图示的2x2的4个(之间定义出一个往第一方向114延伸的导电条纹134),而可任意使用其他更多的数量,例如9x8的64个(之间定义出8个往第一方向114延伸且通过介电层122与绝缘插塞130电性隔离的导电条纹134),或9x16的128个等,其中往第二方向116延伸(8或16个中)的单个第二导电部分128是同时与9个第一导电部分126重叠,以形成更多存储单元的阵列装置。

[0043] 一些实施例中,第一开口110(图1A)可设计成在第一方向114上的间距P1是等于在第二方向116上的间距P2,且因此在进行刻蚀工艺之后,

[0044] 形成的第二开口112不但在第二方向116上互相连接(如图2A所示),也在第一方向114上相互连接(未绘示)。虽然这会导致导电构造124同时往第一方向114与第二方向116连接延伸(未绘示),但在形成绝缘插塞130之后,由于导电构造124可透过绝缘插塞130彼此电性绝缘,并定义出沿第二方向116延伸的字线,因此仍可形成出预期电性特征的存储装置。在此例中,用以形成第二开口112的刻蚀工艺是控制留下绝缘层102位于第一开口110其中邻近四个之间的绝缘部分120,此绝缘部分120能支撑分开上、下方的导电层104,以避免导电层104变形短接或崩塌。

[0045] 除了多层结构,介电层122也可使用单一层的结构。实施例的介电元件,其材质可包括氧化物、氮化物、氮氧化物,例如氧化硅、氮化硅、或氮氧化硅,或其他合适的材料。导电元件可包括多晶硅、金属例如氮化钛(TiN)、钛(Ti)、氮化钽(TaN)、钽(Ta)、金、钨等合适的材料。

[0046] 综上所述,虽然本发明已以实施例揭露如上,然其并非用以限定本发明。本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰。因此,本发明的保护范围当视随附的权利要求范围所界定的为准。

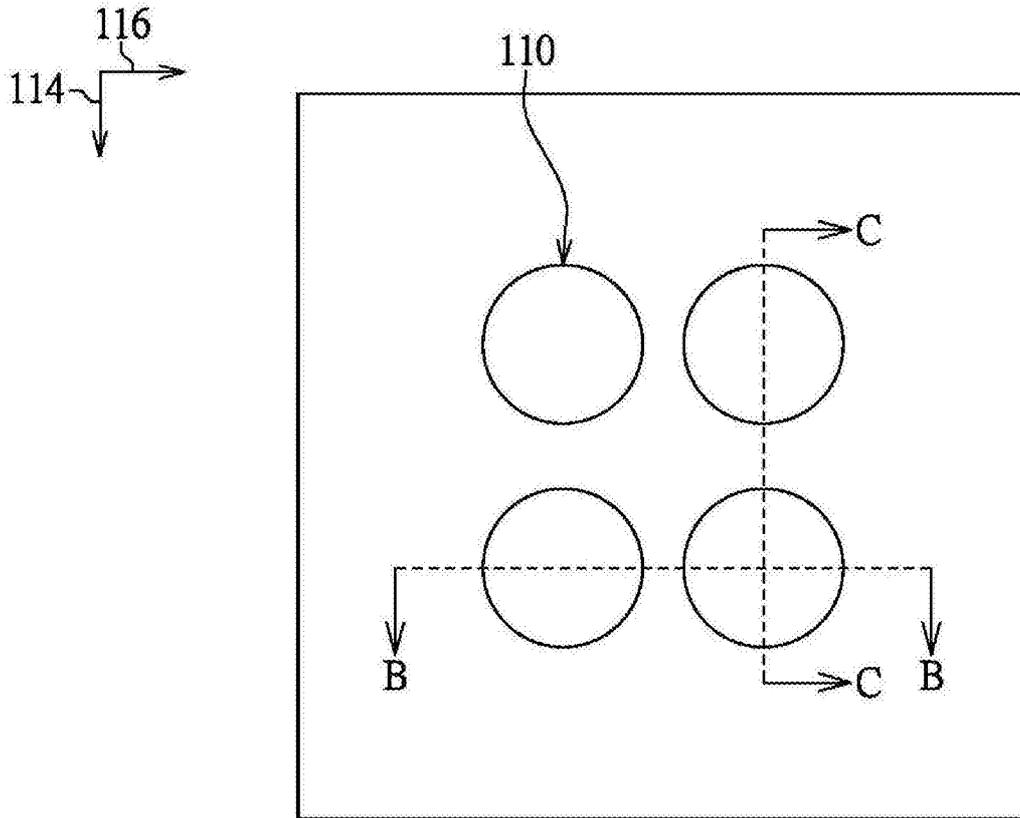


图1A

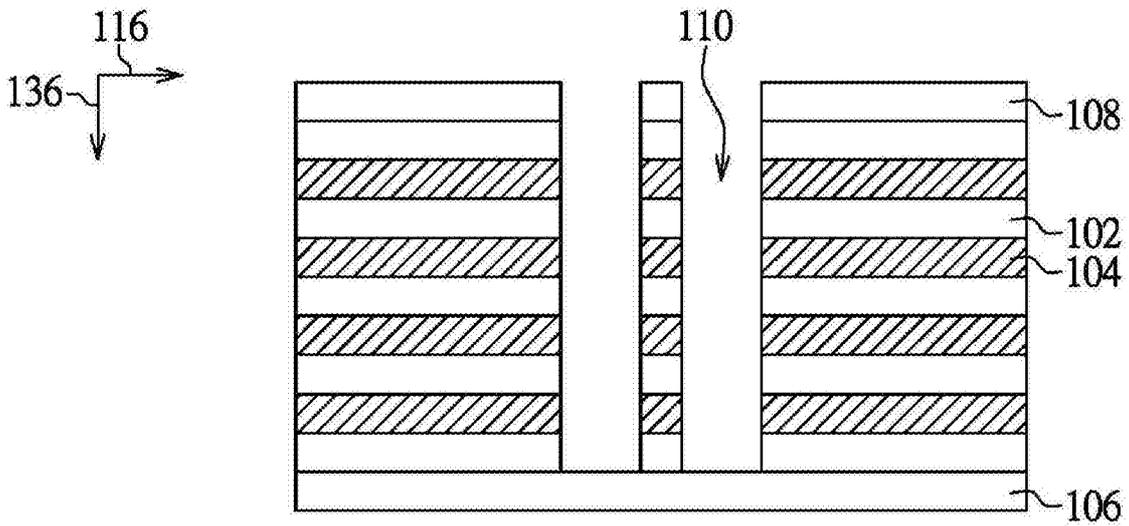


图1B

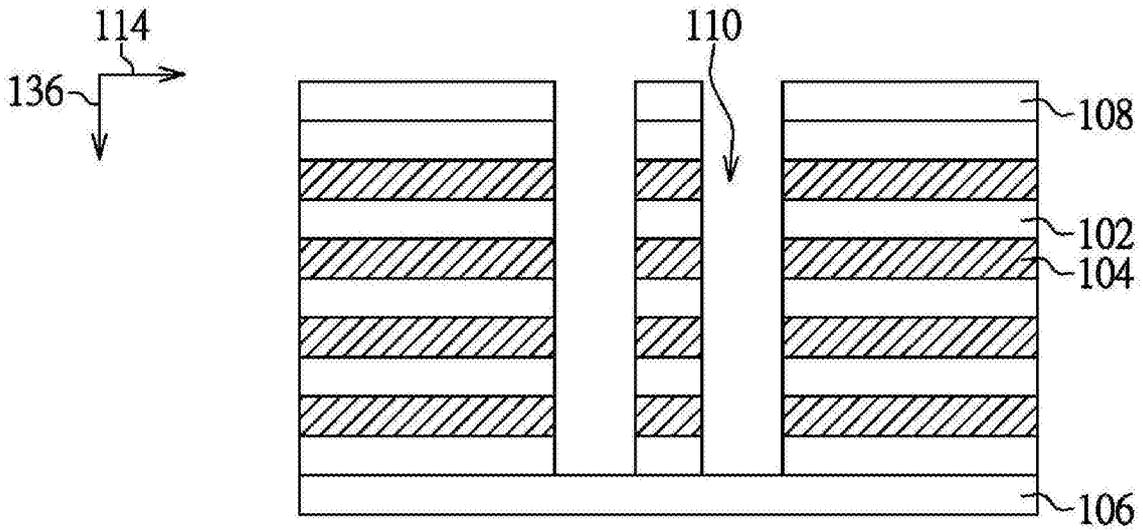


图1C

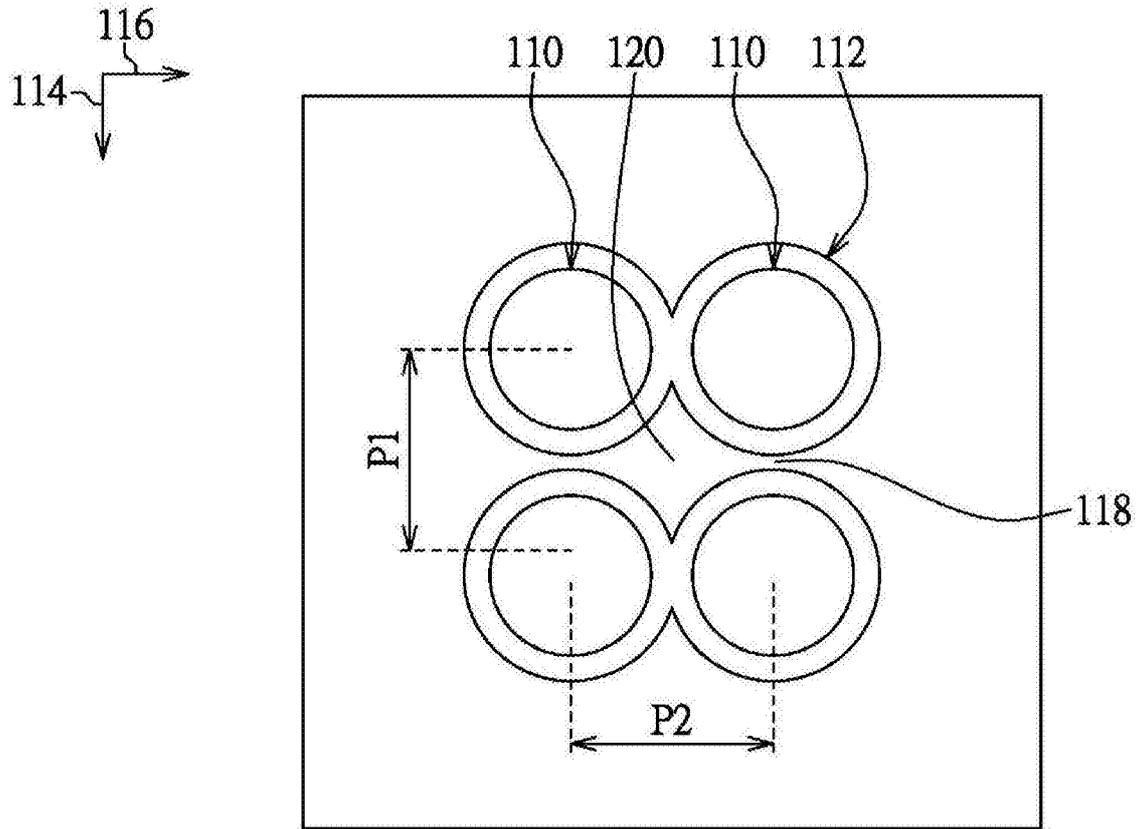


图2A

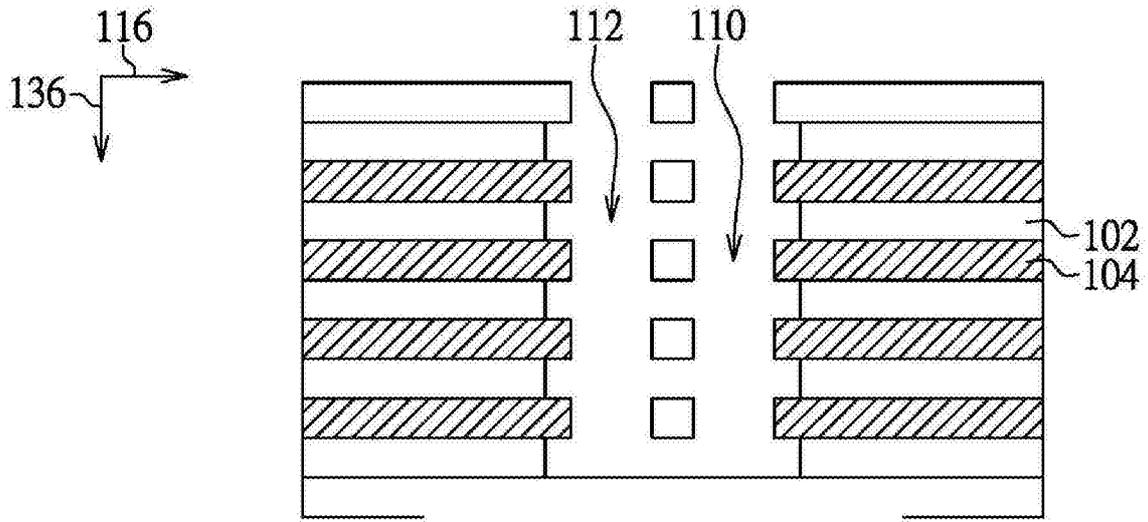


图2B

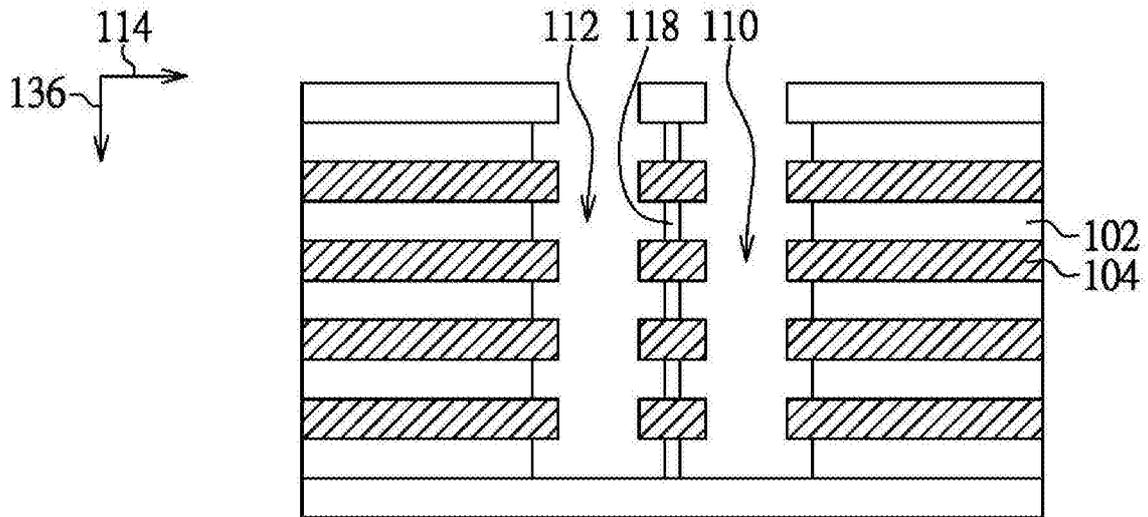


图2C

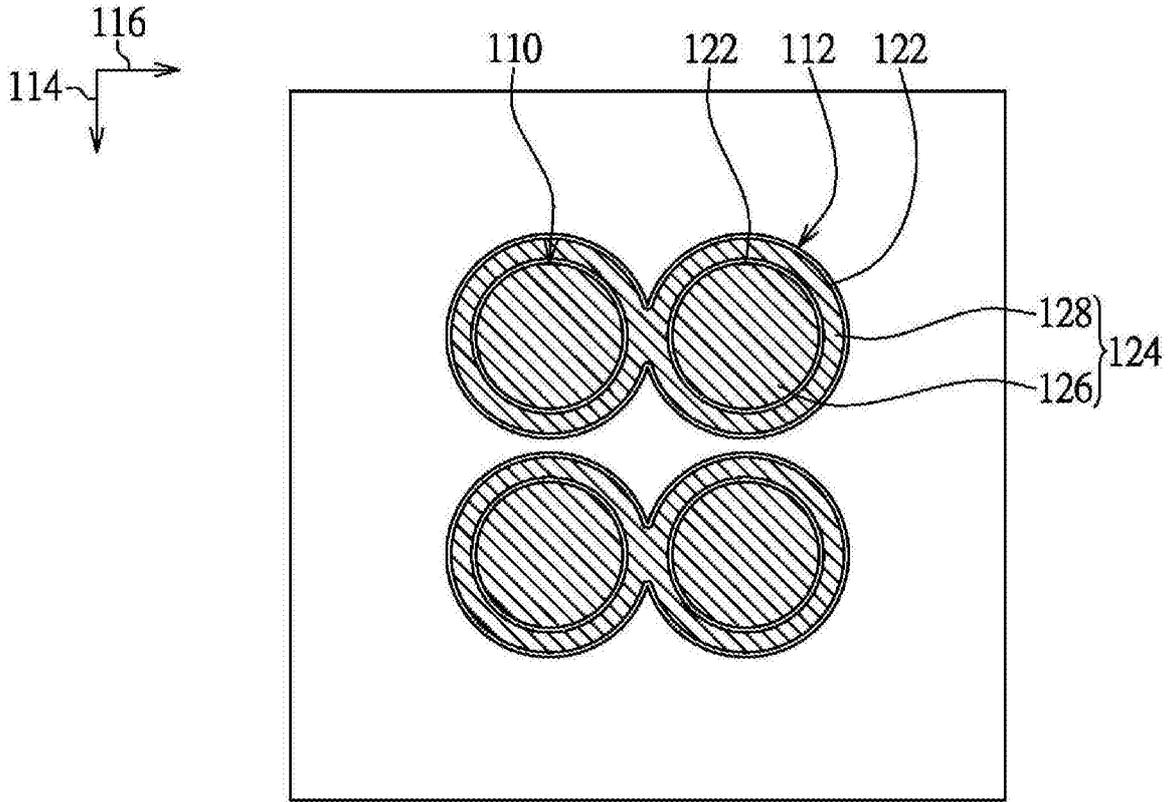


图3A

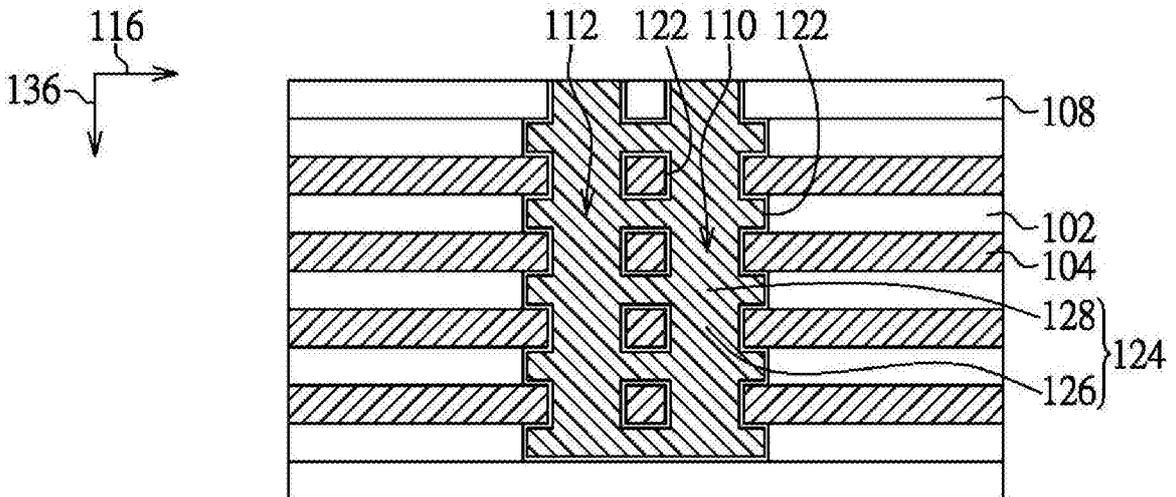


图3B

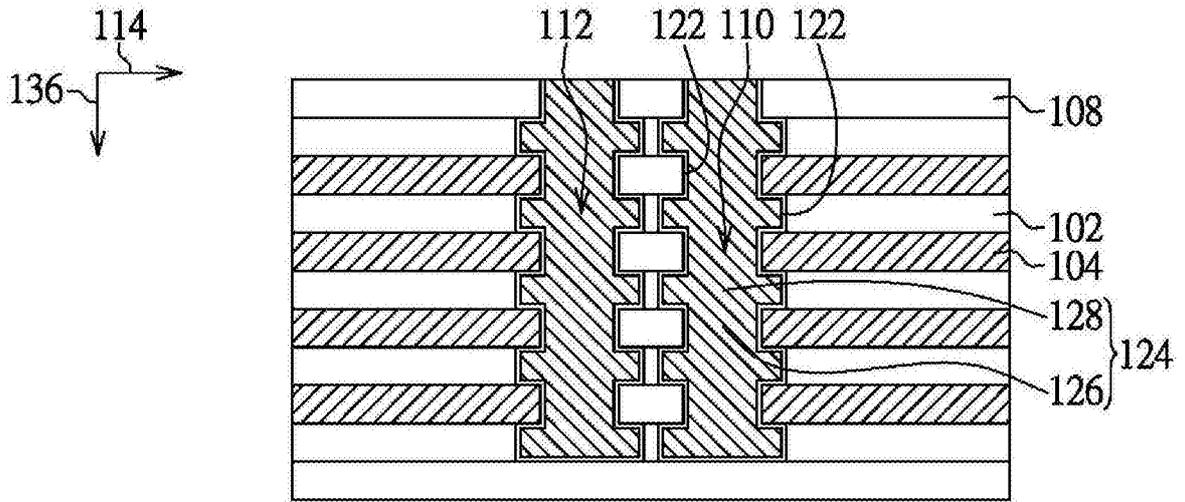


图3C

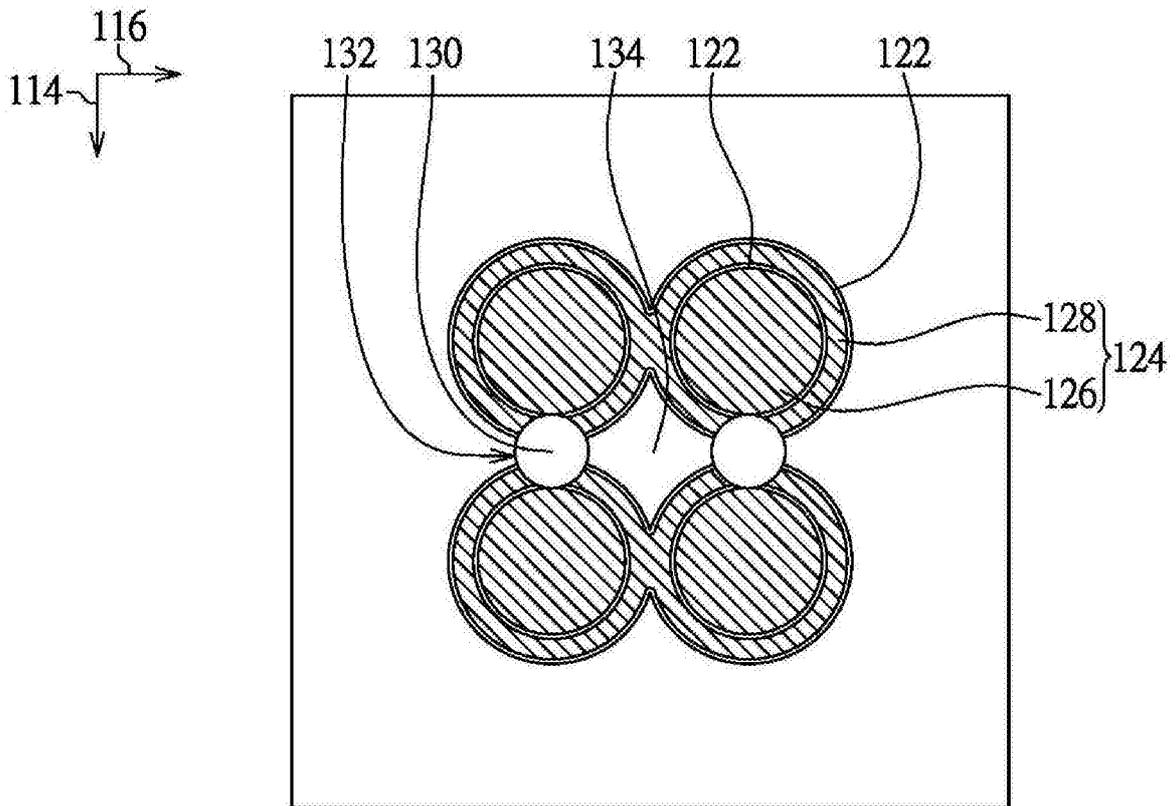


图4A

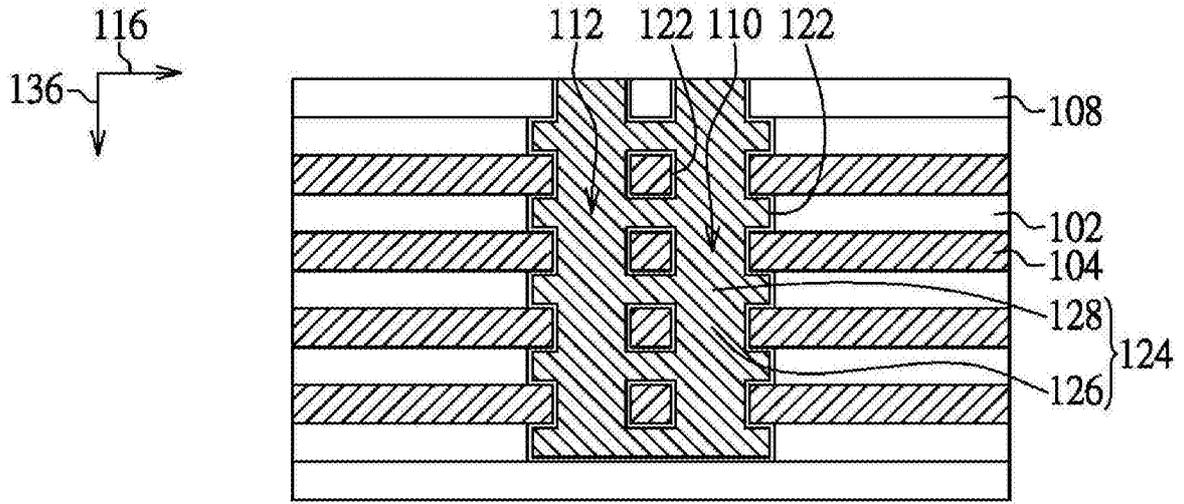


图4B

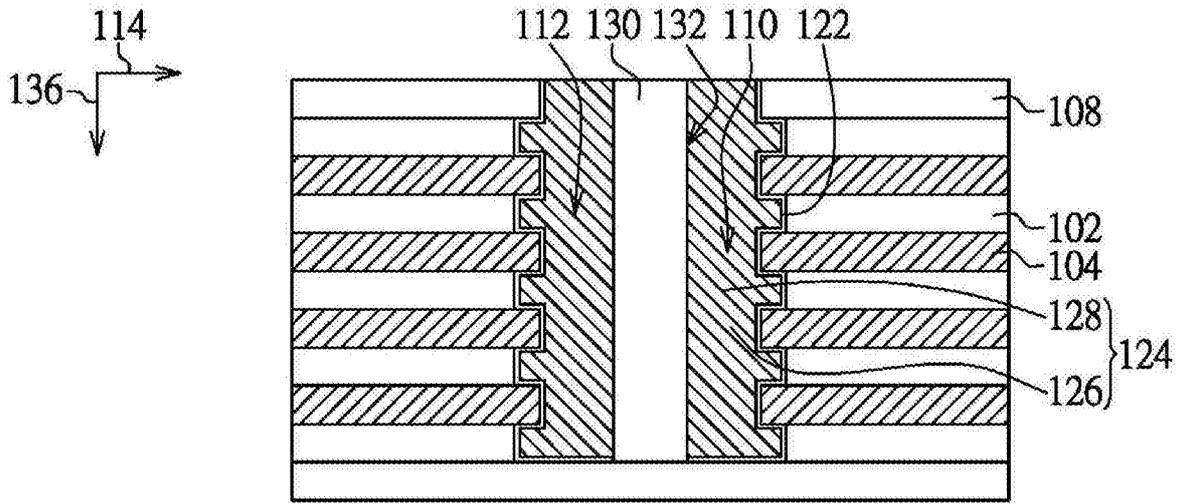


图4C

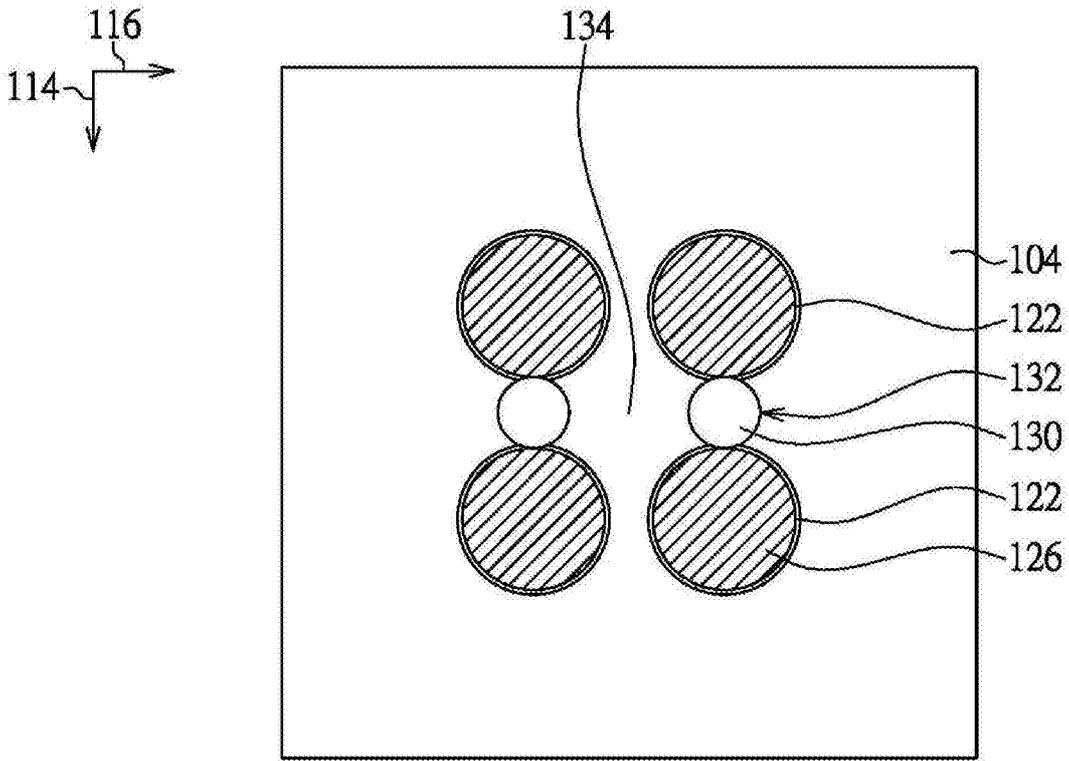


图4D

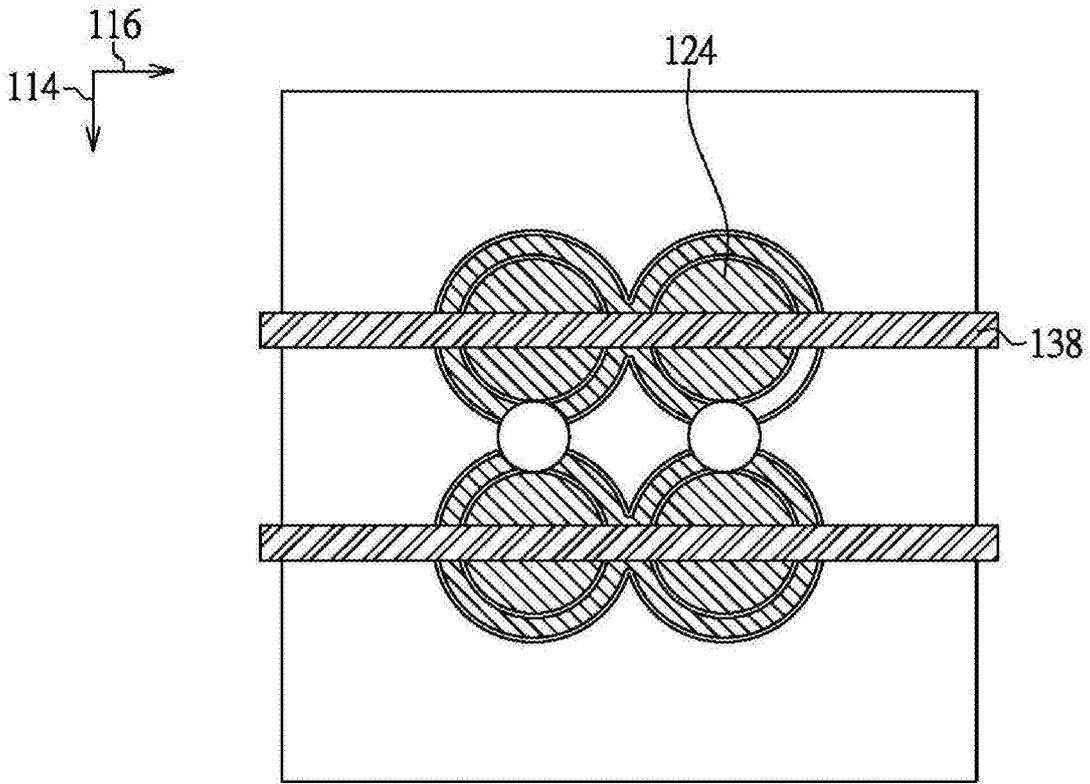


图5A

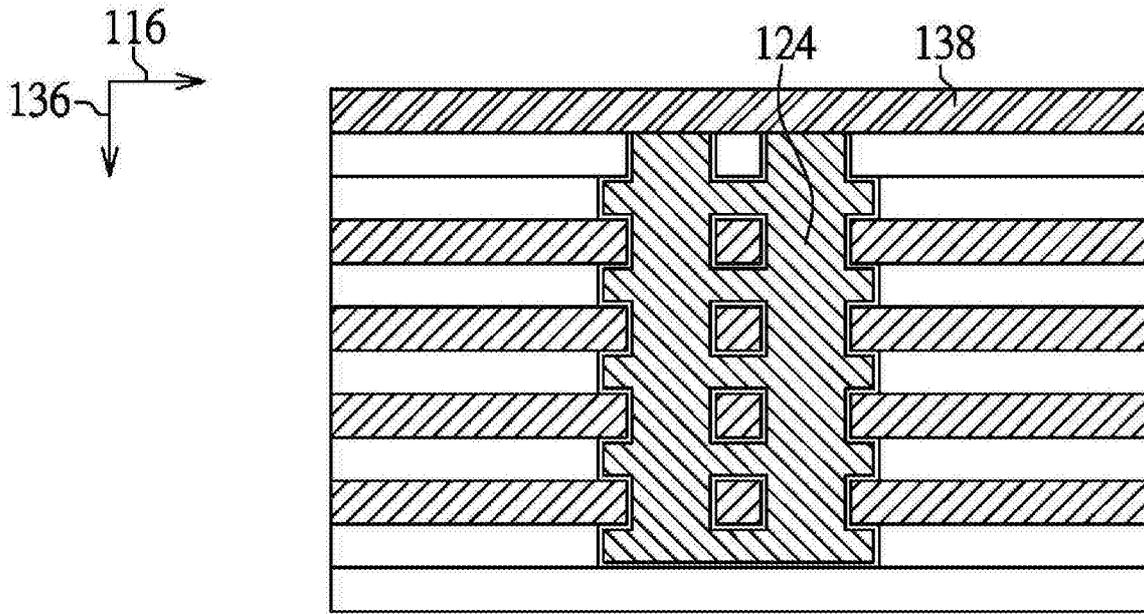


图5B

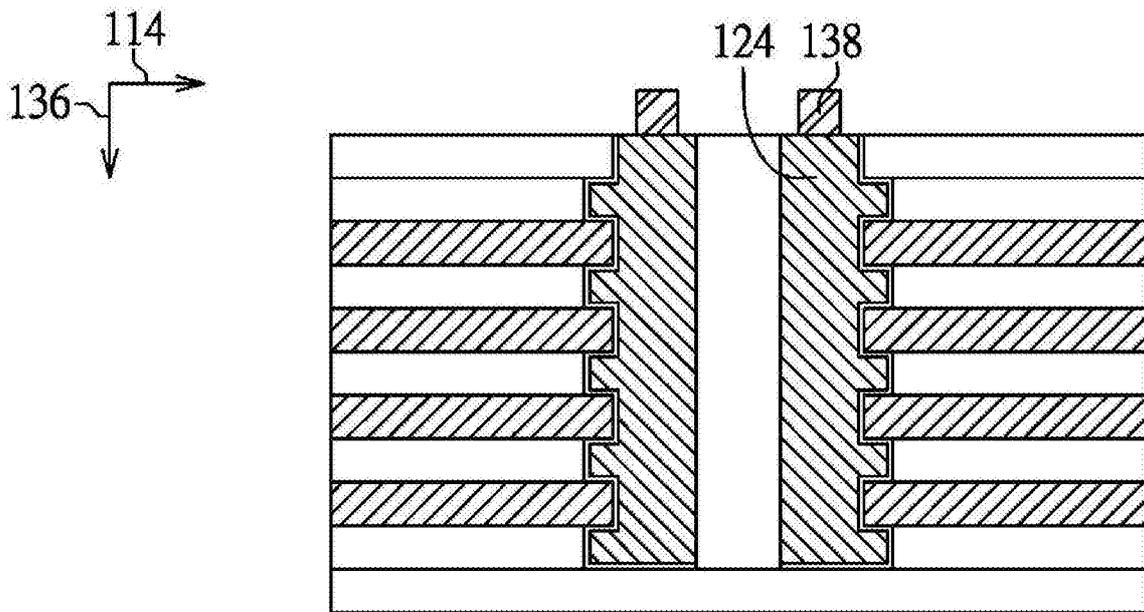


图5C