

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4588163号  
(P4588163)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月17日(2010.9.17)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G02F	1/133 550
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G02F	1/133 575
<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/20 641C
<b>HO4N</b>	<b>5/66</b>	<b>(2006.01)</b>	G09G	3/20 641E

請求項の数 4 (全 45 頁) 最終頁に続く

(21) 出願番号

特願2000-132761 (P2000-132761)

(22) 出願日

平成12年5月1日 (2000.5.1)

(65) 公開番号

特開2001-27891 (P2001-27891A)

(43) 公開日

平成13年1月30日 (2001.1.30)

審査請求日

平成19年4月23日 (2007.4.23)

(31) 優先権主張番号

特願平11-127745

(32) 優先日

平成11年5月7日 (1999.5.7)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 林 佳輔

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

## 【請求項 1】

複数の画素 T F T がマトリクス状に配置された画素部と、  
 前記複数の画素 T F T を駆動するソースドライバおよびゲートドライバと、  
 外部から入力される  $m$  ビットデジタルビデオデータを  $n$  ビットデジタルビデオデータに  
 変換する処理回路と ( $m, n$  は共に 2 以上の整数、 $m > n$ )、  
 前記  $n$  ビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバへ出力する D / A 変換回路と、を有する表示装置であつて、  
 前記処理回路は、前記 D / A 変換回路へ前記  $n$  ビットデジタルビデオデータをランダム  
 な順序で出力し、

前記  $n$  ビットデジタルビデオデータによって形成されるサブフレームによって 1 フレームの映像を形成し、

前記  $n$  ビットデジタルビデオデータは電圧階調による階調表示に用いられ、且つ、前記  $m$  ビットデジタルビデオデータのうち ( $m - n$ ) ビットデジタルビデオデータは時間階調による階調表示に用いられることを特徴とする表示装置。

## 【請求項 2】

処理回路と、D / A 変換回路と、ソースドライバと、画素部と、を有する表示装置であつて、

前記処理回路へ  $m$  ビットデジタルビデオデータを入力し、

前記処理回路により前記  $m$  ビットデジタルビデオデータに基づいて  $n$  ビットデジタルビ

デオデータを作成し (m、n は共に 2 以上の整数、m > n ) 、

前記処理回路から前記 D / A 変換回路へ前記 n ビットデジタルビデオデータをランダムな順序で出力し、

前記 D / A 変換回路により前記 n ビットデジタルビデオデータをアナログビデオデータに変換し、

前記 D / A 変換回路から前記ソースドライバへ前記アナログビデオデータを出力し、

前記ソースドライバから前記画素部へ前記アナログビデオデータを供給し、

前記 n ビットデジタルビデオデータを電圧階調による階調表示に用い、且つ、前記 m ビットデジタルビデオデータのうち (m - n) ビットデジタルビデオデータを時間階調による階調表示に用いることを特徴とする表示装置。

10

**【請求項 3】**

請求項 1 又は請求項 2 において、

前記 n ビットデジタルビデオデータはシリアルであることを特徴とする表示装置。

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一において、

点順次駆動が行われることを特徴とする表示装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

**【0002】**

本発明は、アクティブマトリクス型の表示装置に関する。特に、電圧階調と時間階調との両方によって階調表示を行う表示装置に関する。

20

**【0003】**

**【従来の技術】**

**【0004】**

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (TFT) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

**【0005】**

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素にそれぞれ画素 TFT が配置され、各画素 TFT に接続された画素電極に入り出す電荷を画素 TFT のスイッチング機能により制御するものである。

30

**【0006】**

近年、アクティブマトリクス型液晶表示装置は、従来からよく用いられているノートブック型のパーソナルコンピュータのディスプレイとしてのみならず、デスクトップ型のパーソナルコンピュータのディスプレイとして普及してきている。

**【0007】**

パーソナルコンピュータにおいては、複数の情報（文字情報や画像情報を含む）を一度に表示することが求められており、パーソナルコンピュータの表示能力としての画像の高解像度化、多階調表示化（望ましくはフルカラー表示化）が図られている。

40

**【0008】**

このようなパーソナルコンピュータの表示能力の向上にともない、その表示装置としてのアクティブマトリクス型液晶表示装置の改良が進められている。

**【0009】**

**【発明が解決しようとする課題】**

**【0010】**

パーソナルコンピュータ等からの映像データはデジタルデータであり、アナログドライバのアクティブマトリクス型液晶表示装置にそのようなデジタルデータを直接入力することはできない。よって、パーソナルコンピュータ等からのデジタルデータを D / A 変換回路によってアナログデータに変換した後、アクティブマトリクス型液晶表示装置に入力する

50

ようにしている。

【0011】

一般的に、より多階調の表示を実現するためには、D/A変換回路が処理することのできるデジタルデータのビット数を上げることが必要である。しかし、D/A変換回路は、デジタルデータのビット数が増加するとその素子のレイアウト面積が指数関数的に増加し、また、D/A変換回路の回路構成が複雑になる。よって、D/A変換回路の素子の大きさや価格が問題となっている。

【0012】

しかし、上述した様に、多階調（好ましくはフルカラー）を表示することができるアクティブマトリクス型液晶表示装置が要求されており、低ビット数のデジタルデータを処理するD/A変換回路を用いて多階調表示を実現する液晶表示装置が望まれている。

10

【0013】

【課題を解決するための手段】

【0014】

本発明は上述の問題に鑑みてなされたものであり、高解像度化および多階調化を実現することのできる表示装置を提供するものである。

【0015】

本発明によると、

複数の画素 TFT がマトリクス状に配置された画素部と、

前記複数の TFT を駆動するソースドライバおよびゲートドライバと、

20

外部から入力される  $m$  ビットデジタルビデオデータを  $2^{m-n}$  個の  $n$  ビットデジタルビデオデータに変換する処理回路と（ $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ ）、

前記  $n$  ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力するD/A変換回路と、

を有する表示装置であって、

前記処理回路は、前記D/A変換回路へ前記  $2^{m-n}$  個の  $n$  ビットデジタルデータをランダムに出力し、

前記  $n$  ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成することを特徴とする表示装置が提供される。

【0016】

30

また、本発明によると、

複数の画素 TFT がマトリクス状に配置された画素部と、

前記複数の TFT を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを  $2^{m-n}$  個の  $n$  ビットデジタルビデオデータに変換する処理回路と（ $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ ）、

前記  $n$  ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力するD/A変換回路と、

を有する表示装置であって、

前記処理回路は、前記D/A変換回路へ前記  $2^{m-n}$  個の  $n$  ビットデジタルデータをランダムに出力し、

40

前記  $n$  ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成し、

（ $2^m - (2^{m-n} - 1)$ ）通りの表示階調を得ることを特徴とする表示装置が提供される。

【0017】

また、本発明によると、

複数の画素 TFT がマトリクス状に配置された画素部と、

前記複数の TFT を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを  $2^{m-n}$  個の  $n$  ビットデジタルビデオデータに変換する処理回路と（ $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ ）、

前記  $n$  ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出

50

力する D / A 変換回路と、  
を有する表示装置であって、  
前記  $2^{m-n}$  個の n ビットデジタルデータは、複数の出力パターンからランダムに選択されたパターンによって前記 D / A 変換回路へ出力され、  
前記 n ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成することを特徴とする表示装置が提供される。

## 【 0 0 1 8 】

また、本発明によると、  
複数の画素 TFT がマトリクス状に配置された画素部と、  
前記複数の TFT を駆動するソースドライバおよびゲートドライバと、  
外部から入力される m ビットデジタルビデオデータを  $2^{m-n}$  個の n ビットデジタルビデオデータに変換する処理回路と ( m、n は共に 2 以上の正数、  $m > n$  )、  
前記 n ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力する D / A 変換回路と、  
を有する表示装置であって、

前記  $2^{m-n}$  個の n ビットデジタルデータは、複数の出力パターンからランダムに選択されたパターンによって前記 D / A 変換回路へ出力され、  
前記 n ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成し、  
(  $2^m - ( 2^{m-n} - 1 )$  ) 通りの表示階調を得ることを特徴とする表示装置が提供される。

## 【 0 0 1 9 】

また、本発明によると、  
複数の画素 TFT がマトリクス状に配置された画素部と、  
前記複数の TFT を駆動するソースドライバおよびゲートドライバと、  
外部から入力されるアナログビデオデータを m ビットデジタルビデオデータに変換する A / D 変換回路と、  
前記 m ビットデジタルビデオデータを  $2^{m-n}$  個の n ビットデジタルビデオデータに変換する処理回路と ( m、n は共に 2 以上の正数、  $m > n$  )、  
前記 n ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力する D / A 変換回路と、  
を有する表示装置であって、

前記処理回路は、前記 D / A 変換回路へ前記  $2^{m-n}$  個の n ビットデジタルデータをランダムに出力し、  
前記 n ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成することを特徴とする表示装置が提供される。

## 【 0 0 2 0 】

また、本発明によると、  
複数の画素 TFT がマトリクス状に配置された画素部と、  
前記複数の TFT を駆動するソースドライバおよびゲートドライバと、  
外部から入力されるアナログビデオデータを m ビットデジタルビデオデータに変換する A / D 変換回路と、  
前記 m ビットデジタルビデオデータを  $2^{m-n}$  個の n ビットデジタルビデオデータに変換する処理回路と ( m、n は共に 2 以上の正数、  $m > n$  )、  
前記 n ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力する D / A 変換回路と、  
を有する表示装置であって、  
前記処理回路は、前記 D / A 変換回路へ前記  $2^{m-n}$  個の n ビットデジタルデータをランダムに出力し、  
前記 n ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成し、

10

20

30

40

50

( $2^m - (2^{m-n} - 1)$ )通りの表示階調を得ることを特徴とする表示装置が提供される。

【0021】

また、本発明によると、

複数の画素 TFT がマトリクス状に配置された画素部と、

前記複数の TFT を駆動するソースドライバおよびゲートドライバと、

外部から入力されるアナログビデオデータを m ビットデジタルビデオデータに変換する A / D 変換回路と、

前記 m ビットデジタルビデオデータを  $2^{m-n}$  個の n ビットデジタルビデオデータに変換する処理回路と (m、n は共に 2 以上の正数、 $m > n$ )、

前記 n ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力する D / A 変換回路と、

を有する表示装置であって、

前記  $2^{m-n}$  個の n ビットデジタルデータは、複数の出力パターンからランダムに選択されたパターンによって前記 D / A 変換回路へ出力され、

前記 n ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成することを特徴とする表示装置が提供される。

【0022】

また、本発明によると、

複数の画素 TFT がマトリクス状に配置された画素部と、

前記複数の TFT を駆動するソースドライバおよびゲートドライバと、

外部から入力されるアナログビデオデータを m ビットデジタルビデオデータに変換する A / D 変換回路と、

前記 m ビットデジタルビデオデータを  $2^{m-n}$  個の n ビットデジタルビデオデータに変換する処理回路と (m、n は共に 2 以上の正数、 $m > n$ )、

前記 n ビットデジタルデータをアナログビデオデータに変換し、前記ソースドライバへ出力する D / A 変換回路と、

を有する表示装置であって、

前記  $2^{m-n}$  個の n ビットデジタルデータは、複数の出力パターンからランダムに選択されたパターンによって前記 D / A 変換回路へ出力され、

前記 n ビットデジタルビデオデータによって形成されるサブフレームを  $2^{m-n}$  個表示することによって 1 フレームの映像を形成し、

( $2^m - (2^{m-n} - 1)$ )通りの表示階調を得ることを特徴とする表示装置が提供される。

【0023】

以下の実施の形態をもって本発明を詳しく説明する。

【0024】

【発明の実施の形態】

【0025】

図 1 を参照する。図 1 には、本発明の表示装置の概略構成図が示されている。

101 はアナログドライバを有するアクティブマトリクス型表示装置である。アクティブマトリクス型表示装置 101 は、アクティブマトリクス基板 101-1 および対向基板 101-2 (図示せず) を有している。アクティブマトリクス基板 101-1 は、ソースドライバ 101-1-1、ゲートドライバ 101-1-2 および 101-1-3、および複数の画素 TFT がマトリクス状に配置された画素部 101-1-4 を有している。ソースドライバ 101-1-1 およびゲートドライバ 101-1-2 ならびに 101-1-3 は、画素部の複数の画素 TFT を駆動する。また、対向基板 101-2 は、対向電極 101-2-1 (図示せず) を有している。

【0026】

102 はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路 102 は、外部から入力される m ビットデジタルビデオデータに基づいて電圧階調の為の  $2^{m-n}$  個のシリアルな n ビットデジタルビデオデータを作成する。外部から入力さ

10

20

30

40

50

れる  $m$  ビットデジタルビデオデータが、デジタルビデオデータ時間階調処理回路 102 によって電圧階調の為の  $2^{m-n}$  個のシリアルな  $n$  ビットデジタルビデオデータに変換するわけである。

【0027】

$m$  ビットデジタルビデオデータを  $2^{m-n}$  個のシリアルな  $n$  ビットデジタルビデオデータに変換する場合、 $2^{m-n}$  個の  $n$  ビットデジタルビデオデータの出力順序はランダムに行われる。

【0028】

なお、前記  $m$  ビットのデジタルビデオデータのうち ( $m - n$ ) ビットの階調情報は、時間階調による階調表示に用いられる。本願明細書における、時間階調によって階調表示を行う方法については後で詳述する。 10

【0029】

デジタルビデオデータ時間階調処理回路 102 によって作成された  $2^{m-n}$  個のシリアルな  $n$  ビットデジタルビデオデータは D/A 変換回路 103 に入力され、アナログビデオデータに変換される。

【0030】

D/A 変換回路によって作成されたアナログビデオデータは、アナログドライバを有するアクティブマトリクス型表示装置 101 に入力される。

【0031】

アクティブマトリクス型表示装置 101 に入力されたアナログビデオデータは、ソースドライバ 101-1-1 に入力され、ソースドライバ内のサンプリング回路によって各ソース信号線に供給され、対応する画素 TFT に供給される。 20

【0032】

なお、本願明細書においては、本発明の表示装置は、アナログドライバを有するアクティブマトリクス型表示装置、デジタルビデオデータ時間階調処理回路および D/A 変換回路を有するものとする。また、後述するが、アナログドライバを有するアクティブマトリクス型液晶表示装置とデジタルビデオデータ時間階調処理回路と D/A 変換回路とが同一基板上に一体形成されたものも本発明の表示装置とする。

【0033】

以下に本発明の表示装置を実施例をもって詳しく説明する。ただし、本発明の液晶表示装置は、以下の実施例に限定されるわけではない。 30

【0034】

【実施例】

【0035】

(実施例 1)

【0036】

本実施例においては、説明の簡略のため、外部から 4 ビットデジタルビデオデータが供給される本発明の表示装置として液晶表示装置を例にとっている。

【0037】

図 2 を参照する。図 2 には、本発明の液晶表示装置の概略構成図が示されている。201 はアナログドライバを有するアクティブマトリクス型液晶表示装置である。アクティブマトリクス型液晶表示装置 201 は、アクティブマトリクス基板 201-1 および対向基板 201-2 (図示せず) を有している。アクティブマトリクス基板 201-1 は、ソースドライバ 201-1-1、ゲートドライバ 201-1-2 ならびに 201-1-3、および複数の画素 TFT がマトリクス状に配置された画素部 201-1-4 を有している。ソースドライバ 201-1-1 およびゲートドライバ 201-1-2 ならびに 201-1-3 は、画素部の複数の画素 TFT を駆動する。また、対向基板 201-2 は、対向電極 201-2-1 (図示せず) を有している。 40

【0038】

202 はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調

処理回路 202 は、外部から入力される 4 ビットデジタルビデオデータに基づいて電圧階調の為の 4 個 ( =  $2^{4-2}$  個 ) のシリアルな 2 ビットデジタルビデオデータを作成する。上述したように、4 個の 2 ビットデジタルビデオデータの出力順序はランダムにされる。前記 4 ビットのデジタルビデオデータのうち 2 ビットの階調情報は、時間階調による階調表示に用いられる。

【 0039 】

デジタルビデオデータ時間階調処理回路 202 によって作成された 4 個の 2 ビットデジタルビデオデータは D/A 変換回路 203 にランダムにかつシリアルに入力され、アナログビデオデータに変換される。

【 0040 】

D/A 変換回路によって作成されたアナログビデオデータは、アナログドライバを有するアクティブマトリクス型液晶表示装置 201 に入力される。

10

【 0041 】

アクティブマトリクス型液晶表示装置 201 に入力されたアナログビデオデータは、ソースドライバ 201-1-1 に入力され、ソースドライバ内のサンプリング回路によって各ソース信号線に供給され、対応する画素 TFT に供給される。

【 0042 】

ここで、本実施例の液晶表示装置のアクティブマトリクス型液晶表示装置 201 の回路構成、特に画素部 201-1-4 の構成について、図 3 を用いて説明する。

【 0043 】

本実施例においては、画素部 201-1-4 は、(x × y) 個の画素を有している。それぞれの画素には、説明の便宜上、P1,1、P2,1、…、Py,x 等の符号が付けられている。また、それぞれの画素は、画素 TFT 301、保持容量 303 を有している。アクティブマトリクス基板と対向基板との間には液晶が挟まれており、液晶 302 は各画素に対応する液晶を模式的に示したものである。なお、COM はコモン電圧端子であり、対向電極および保持容量の一端に接続されている。

20

【 0044 】

一般に、表示装置においては、1 画面の表示を 1 フレームと呼ぶが、本実施例においては、4 個のサブフレームを連続的に時分割表示することによって 1 フレームを形成する。そこで、本実施例においては、1 フレームの表示を行うのに要する時間を 1 フレーム期間 (Tf) と呼び、1 フレーム期間 (Tf) を 4 分割した期間をサブフレーム期間 (Tsf) と呼び、さらに、1 画素にアナログ階調電圧を書き込むのに要する時間を 1 サブフレームドット期間 (Tsfld) と呼ぶことにする。

30

【 0045 】

次に、本実施例の液晶表示装置の階調表示について説明する。本実施例の液晶表示装置には 4 ビットデジタルビデオデータが供給され、前記 4 ビットデジタルビデオデータが  $2^4 = 16$  通りの階調情報を有していることは上述の通りである。ここで、図 4 を参照する。図 4 には、本実施例の液晶表示装置に用いられる D/A 変換回路の階調電圧レベルと実際に表示され、観察者が認識する階調（階調表示レベル）とが示されている。電圧レベル VL は D/A 変換回路に入力される最低の電圧レベルであり、また、電圧レベル VH は D/A 変換回路に入力される最高の電圧レベルである。

40

【 0046 】

本実施例においては、2 ビット、つまり 4 階調の電圧レベルを実現するために、電圧レベル VH と電圧レベル VL との間をほぼ等電圧に 4 分割し、その等電圧をとした ( = (VH - VL) / 4 である)。なお、ここでは を電圧レベルのステップと呼ぶ。よって、本実施例の D/A 変換回路が output する階調電圧レベルは、2 ビットデジタルビデオデータのアドレスが (00) の時は VL となり、2 ビットデジタルビデオデータのアドレスが (01) の時は VL+1 となり、2 ビットデジタルビデオデータのアドレスが (10) の時は VL+2 となり、2 ビットデジタルビデオデータのアドレスが (11) の時は VL+3 となる。

50

## 【0047】

本実施例のD/A変換回路が出力できる階調電圧レベルは、上述の様にVL、VL+1、VL+2、およびVL+3の4通りであるが、本発明においては、時間階調表示を組合わせることによって液晶表示装置の階調表示レベルの数を上げることができる。

## 【0048】

つまり、本実施例においては、4ビットデジタルビデオデータのうちの2ビット分の階調情報を時間階調表示の情報として用いることによって、電圧レベルのステップをほぼ4等分した階調電圧レベルに相当する階調表示レベルを実現することができる。すなわち、本実施例の液晶表示装置は、VL、VL+1/4、VL+2/4、VL+3/4、VL+10/4、VL+11/4、VL+3の階調電圧レベルに相当する階調表示レベルを実現することができる。10

## 【0049】

本発明の液晶表示装置は、1フレーム期間Tfを4つのサブフレーム期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に分割して表示を行っている。さらに、本実施例の液晶表示装置は、いわゆる点順次駆動を行うので、1フレーム期間において各画素には1サブフレームドット期間(Tsfd)の間、階調電圧が書き込まれ、サブフレーム期間中画素に階調情報が保持される。よって、各サブフレーム期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に対応する各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に、時間階調処理後の2ビットデジタルビデオデータのアドレスがD/A変換回路に入力され、D/A変換回路からアナログビデオデータ(階調電圧)が出力され、液晶表示装置のソースドライバに入力される。ソースドライバに入力される階調電圧はソースドライバのサンプリング回路によってサンプリングされ、対応する画素に供給される。20

## 【0050】

4つのサブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に書き込まれる階調電圧によって4回のサブフレームの表示が高速に行われ、結果として1フレームの階調表示レベルは、各サブフレームドット期間の階調電圧レベルの総和を時間平均したものになる。

## 【0051】

ここで、図5～図8を参照し、本発明の液晶表示装置における、上記の階調電圧レベルに相当する階調表示レベルの表示方法について説明する。30

## 【0052】

まず、図5を参照する。図5には、外部から入力される4ビットデジタルビデオデータのアドレスが(0000)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。(ただし、階調表示レベルを示す点線は、図5においては、階調電圧レベルを示す実線と重なっている。)

## 【0053】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータを基に4個の2ビットのデジタルビデオデータを作成する。外部から入力される4ビットデジタルビデオデータのアドレスが(0000)の時、デジタルビデオデータ時間階調処理回路は2ビットのデジタルビデオデータ(アドレス(00))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図5に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0000)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)には、階調電圧レベルVL(アドレス(00))がそれぞれ対応する画素に出力される。図5に示されるように、外部から入力される4ビットデジタルビデオデータ4050

のアドレスが(0000)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に供給される階調電圧レベルのパターンは、1通り(Pattern 1)のみである。よって、階調表示レベルはVLとなる。

#### 【0054】

次に、図6を参照する。図6には、外部から入力される4ビットデジタルビデオデータのアドレスが(0001)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【0055】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(0001)の時、2ビットのデジタルビデオデータ(アドレス(00)または(01))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図6に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0001)の時、各サブフレームドット期間には、階調電圧レベルVL(アドレス(00))が3回およびVL+(アドレス(01))が1回、順序をランダムにして対応する画素に供給される。図6から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0001)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、4通り(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)であり、何れの場合においても階調表示レベルはVL+/4となる。

#### 【0056】

このように、本発明の液晶表示装置においては、外部から入力される4ビットデジタルビデオデータのアドレスが(0001)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら4通りのパターン(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)がランダムで供給されるようにする。こうすることによって、VL+/4に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

#### 【0057】

次に、図7を参照する。図7には、外部から入力される4ビットデジタルビデオデータのアドレスが(0010)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【0058】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(0010)の時、2ビットのデジタルビデオデータ(アドレス(00)または(01))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図7に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0010)の時、各サブフレームドット期間には、階調電圧レベルVL(アドレス(00))が2回およびVL+(アドレス(01))が2回、順序をランダムにして対応する画素に供給される。図7から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0010)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、6通り(Pattern 1、Pattern 2、Pattern 3、Pattern 4、Pattern 5、およびPattern 6)であり何れの場合においても、階調表示レベルはVL+2/4となる。

#### 【0059】

このように、外部から入力される4ビットデジタルビデオデータのアドレスが(0010)の時も、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら6

10

20

30

40

50

通りのパターン (Pattern 1、Pattern 2、Pattern 3、Pattern 4、Pattern 5、およびPattern 6) がランダムで出力されるようにする。こうすることによって、 $VL + 2 / 4$  に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

#### 【0060】

次に、図 8 を参照する。図 8 には、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0011) の場合に、各サブフレームドット期間 (1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd) に各画素 (画素 T F T) に供給される D / A 変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

10

#### 【0061】

デジタルビデオデータ時間階調処理回路は、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0011) の時、2 ビットのデジタルビデオデータ (アドレス (00) または (01)) を作成し D / A 変換回路へ出力する。D / A 変換回路は、入力される 2 ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図 8 に示すように、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0011) の時、各サブフレームドット期間には、階調電圧レベル  $VL$  (アドレス (00)) が 1 回および  $VL + 1$  (アドレス (01)) が 3 回、順序をランダムにして対応する画素に供給される。図 8 から理解されるように、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0011) の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、4 通り (Pattern 1、Pattern 2、Pattern 3、および Pattern 4) であり何れの場合においても、階調表示レベルは  $VL + 3 / 4$  となる。

20

#### 【0062】

このように、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0011) の時も、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら 4 通りのパターン (Pattern 1、Pattern 2、Pattern 3、および Pattern 4) がランダムで出力されるようにする。こうすることによって、 $VL + 3 / 4$  に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

30

#### 【0063】

同様に、外部から入力される 4 ビットデジタルビデオデータのアドレスが、(0100)、(0101)、(0110)、および (0111) の場合について以下に説明する。

#### 【0064】

図 9 を参照する。図 9 には、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0100) の場合に、各サブフレームドット期間 (1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd) に各画素 (画素 T F T) に供給される D / A 変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

40

#### 【0065】

デジタルビデオデータ時間階調処理回路は、外部から入力される 4 ビットデジタルビデオデータを基に 2 ビットのデジタルビデオデータを作成する。外部から入力される 4 ビットデジタルビデオデータのアドレスが (0100) の時、デジタルビデオデータ時間階調処理回路は、2 ビットのデジタルビデオデータ (アドレス (01)) を作成し D / A 変換回路へ出力する。D / A 変換回路は、入力される 2 ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図 9 に示されるように、外部から入力される 4 ビットデジタルビデオデータのアドレスが (0100) の時、各サブフレームドット期間 (1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd) には、各階調電圧レベル  $VL + 1$  (アドレス (01)) がそれぞれ対応する画素に供給される。図 9 に示されるように、外部から入力される 4 ビットデジタルビデオデータの

50

アドレスが(0100)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に供給される階調電圧レベルのパターンは、1通り(Pattern 1)のみである。よって、階調表示レベルはVL+となる。

#### 【0066】

次に、図10を参照する。図10には、外部から入力される4ビットデジタルビデオデータのアドレスが(0101)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【0067】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(0101)の時、2ビットのデジタルビデオデータ(アドレス(01)または(10))を作成し、D/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図10に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0101)の時、各サブフレームドット期間には、階調電圧レベルVL+(アドレス(01))が3回およびVL+2(アドレス(10))が1回、順序をランダムにして対応する画素に供給される。図10から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0101)の時、各サブフレームドット期間に供給される階調電圧レベルのパターンは、4通り(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)であり何れの場合においても、階調表示レベルはVL+5/4となる。

#### 【0068】

なお、外部から入力される4ビットデジタルビデオデータのアドレスが(0101)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら4通りのパターン(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)がランダムで出力されるようにする。こうすることによって、VL+5/4に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

#### 【0069】

次に、図11を参照する。図11には、外部から入力される4ビットデジタルビデオデータのアドレスが(0110)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【0070】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(0110)の時、2ビットのデジタルビデオデータ(アドレス(01)または(10))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図11に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0110)の時、各サブフレームドット期間には、階調電圧レベルVL+(アドレス(01))が2回およびVL+2(アドレス(10))が2回、順序をランダムにして対応する画素に供給される。図11から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0110)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、6通り(Pattern 1、Pattern 2、Pattern 3、Pattern 4、Pattern 5、およびPattern 6)であり何れの場合においても、階調表示レベルはVL+6/4となる。

#### 【0071】

なお、外部から入力される4ビットデジタルビデオデータのアドレスが(0110)の時も、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら6通りのパターン(Pattern 1、Pattern 2、Pattern 3、Pattern 4、Pattern 5、およびPattern

10

20

30

40

50

6) がランダムで出力されるようにする。こうすることによって、 $VL+6/4$  に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

【0072】

次に、図12を参照する。図12には、外部から入力される4ビットデジタルビデオデータのアドレスが(0111)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

【0073】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(0111)の時、2ビットのデジタルビデオデータ(アドレス(01)または(10))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図12に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0111)の時、各サブフレームドット期間には、階調電圧レベル $VL+1$ (アドレス(01))が1回および $VL+2$ (アドレス(10))が3回、順序をランダムにして対応する画素に供給される。図12から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(0111)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、4通り(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)であり何れの場合においても、階調表示レベルは $VL+7/4$ となる。

【0074】

このように、外部から入力される4ビットデジタルビデオデータのアドレスが(0111)の時も、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら4通りのパターン(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)がランダムで出力されるようにする。こうすることによって、 $VL+7/4$  に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

【0075】

同様に、外部から入力される4ビットデジタルビデオデータのアドレスが、(1000)、(1001)、(1010)、および(1011)の場合について以下に説明する。

【0076】

図13を参照する。図13には、外部から入力される4ビットデジタルビデオデータのアドレスが(1000)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

【0077】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータを基に2ビットのデジタルビデオデータを作成する。外部から入力される4ビットデジタルビデオデータのアドレスが(1000)の時、デジタルビデオデータ時間階調処理回路は、2ビットのデジタルビデオデータ(アドレス(10))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図13に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1000)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)には、階調電圧レベル $VL+2$ (アドレス(10))がそれぞれ対応する画素に供給される。図13に示されるうように、外部から入力される4ビットデジタルビデオデータのアドレスが(1000)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、

10

20

30

40

50

3rd Tsfd、および4th Tsfd) に供給される階調電圧レベルのパターンは、1通り (Pattern 1) のみである。よって、階調表示レベルは VL+2 となる。

#### 【0078】

次に、図14を参照する。図14には、外部から入力される4ビットデジタルビデオデータのアドレスが(1001)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素 TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【0079】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(1001)の時、2ビットのデジタルビデオデータ(アドレス(10)または(11))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図14に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1001)の時、各サブフレームドット期間には、階調電圧レベル VL+2 (アドレス(10)) が3回および VL+3 (アドレス(11)) が1回、順序をランダムにして対応する画素に供給される。図14から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1001)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、4通り (Pattern 1、Pattern 2、Pattern 3、およびPattern 4) であり何れの場合においても、階調表示レベルは VL+9 / 4 となる。

#### 【0080】

なお、外部から入力される4ビットデジタルビデオデータのアドレスが(1001)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら4通りのパターン (Pattern 1、Pattern 2、Pattern 3、およびPattern 4) がランダムで出力されるようにしている。こうすることによって、VL+9 / 4 に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

#### 【0081】

次に、図15を参照する。図15には、外部から入力される4ビットデジタルビデオデータのアドレスが(1010)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素 TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【0082】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(1010)の時、2ビットのデジタルビデオデータ(アドレス(10)または(11))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図15に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1010)の時、各サブフレームドット期間には、階調電圧レベル VL+2 (アドレス(10)) が2回および VL+3 (アドレス(11)) が2回、順序をランダムにして対応する画素に供給される。図15から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1010)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、6通り (Pattern 1、Pattern 2、Pattern 3、Pattern 4、Pattern 5、およびPattern 6) であり何れの場合においても、階調表示レベルは VL+10 / 4 となる。

#### 【0083】

外部から入力される4ビットデジタルビデオデータのアドレスが(1010)の時も、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら6通りのパターン (Pattern 1、Pattern 2、Pattern 3、Pattern 4、Pattern 5、およびPattern 6) がランダムで出力されるようにする。こうすることによって、VL+10 / 4 に対応する

10

20

30

40

50

階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

#### 【 0 0 8 4 】

次に、図16を参照する。図16には、外部から入力される4ビットデジタルビデオデータのアドレスが(1011)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【 0 0 8 5 】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータのアドレスが(1011)の時、2ビットのデジタルビデオデータ(アドレス(10)または(11))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図16に示される、外部から入力される4ビットデジタルビデオデータのアドレスが(1011)の時、各サブフレームドット期間には、階調電圧レベルVL+2(アドレス(10))が1回およびVL+3(アドレス(11))が3回、順序をランダムにして対応する画素に供給される。図16から理解されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1011)の時、各サブフレームドット期間に各画素に供給される階調電圧レベルのパターンは、4通り(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)であり何れの場合においても、階調表示レベルはVL+11/4となる。

#### 【 0 0 8 6 】

外部から入力される4ビットデジタルビデオデータのアドレスが(1011)の時も、各サブフレームドット期間に各画素に供給される階調電圧レベルを、これら4通りのパターン(Pattern 1、Pattern 2、Pattern 3、およびPattern 4)がランダムで出力されるようとする。こうすることによって、VL+11/4に対応する階調表示レベルを実現でき、かつ、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

#### 【 0 0 8 7 】

次に図17を参照する。図17には、外部から入力される4ビットデジタルビデオデータのアドレスが(1100)～(1111)の場合に、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、または4th Tsfd)に各画素(画素TFT)に供給されるD/A変換回路によって作成された階調電圧レベルが実線で、階調表示レベルが点線で示されている。

#### 【 0 0 8 8 】

デジタルビデオデータ時間階調処理回路は、外部から入力される4ビットデジタルビデオデータを基に2ビットのデジタルビデオデータを作成する。外部から入力される4ビットデジタルビデオデータのアドレスが(1100)～(1111)の時、デジタルビデオデータ時間階調処理回路は、2ビットのデジタルビデオデータ(アドレス(11))を作成しD/A変換回路へ出力する。D/A変換回路は、入力される2ビットのデジタルビデオデータを階調電圧に変換し、アクティブマトリクス型液晶表示装置のソースドライバに供給する。図17に示されるように、外部から入力される4ビットデジタルビデオデータのアドレスが(1100)～(1111)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)には、階調電圧レベルVL(アドレス(11))がそれぞれ対応する画素に供給される。図17に示されるうように、外部から入力される4ビットデジタルビデオデータのアドレスが(1100)～(1111)の時、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、および4th Tsfd)に供給される階調電圧レベルのパターンは、1通り(Pattern 1)のみである。よって、階調表示レベルはVL+3となる。

#### 【 0 0 8 9 】

10

20

30

40

50

ここで、図18および図19を参照する。図18および図19には、本実施例の液晶表示装置の駆動タイミングチャートが示されている。図18および図19には、画素P1,1、画素P1,2、画素P1,3、および画素Py,xが例にとって示されている。なお、図18および図19は時間的に連続したタイミングチャートであるが、図面の都合上、2図に分けて示されている。

【0090】

前述の様に、1フレーム期間(Tf)は、第1サブフレーム期間(1st Tsf)、第2サブフレーム期間(2nd Tsf)、第3サブフレーム期間(3rd Tsf)、および第4サブフレーム期間(4th Tsf)によって構成される。各サブフレーム期間の始まりには、水平帰線期間(Th)がある。

10

【0091】

第1サブフレーム期間(1st Tsf)においては、画素P1,1には、第1サブフレームドット期間(1st Tsfd)に画素P1,1に対応する2ビットのデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され、画素P1,1に書き込まれる。

【0092】

次に、画素P1,2には、第1サブフレームドット期間(1st Tsfd)に画素P1,3に対応する2ビットのデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され、画素P1,2に書き込まれる。

【0093】

このようにして、全ての画素画素P1,1~画素Py,xに画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

20

【0094】

そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間(2nd Tsf)においても、水平帰線期間Thの後、画素P1,1には、第2サブフレームドット期間(1st Tsfd)に画素P1,1に対応する2ビットのデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され、画素P1,1に書き込まれる。次に、画素P1,2には、第1サブフレームドット期間(1st Tsfd)に画素P1,3に対応する2ビットのデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され、画素P1,2に書き込まれる。

【0095】

このようにして、全ての画素画素P1,1~画素Py,xに画像情報を有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

30

【0096】

第3サブフレーム期間(3rd Tsf)および第4サブフレーム期間(4th Tsf)においても同様の動作が行われる。

【0097】

このようにして、第1サブフレーム期間から第4サブフレーム期間が終了する。

【0098】

第1のフレーム期間終了後、第2のフレーム期間が始まる(図19)。本実施例では、フレーム期間ごとに液晶に印加される電界の向きが逆となるフレーム反転を行う。

40

【0099】

ここで、図20を参照する。図20は、ある画素(例えば、画素P1,1)の画素電極にサブフレーム期間ごとに書き込まれるアナログ階調電圧レベルと、フレーム期間における階調表示レベルとの関係を示した例である。

【0100】

始めに1フレーム期間目に着目する。1フレーム期間目には、外部から4ビットのデジタルデータのアドレスが(0110)のデジタルデータが供給されている。この1フレーム目には、上述の4ビットデジタルビデオデータのアドレスが(0110)の場合の、パターン2(Pattern 2)の出力がされている。第1のサブフレームドット期間(1st Tsfd)にはVL+2の階調電圧が書き込まれ第1のサブフレーム期間(1st Tsf)中保持され

50

、階調電圧 VL + 2 に対応した階調表示が行われる。第 2 サブフレームドット期間 (2nd Tsfd) には VL + の階調電圧が書き込まれ、第 2 のサブフレーム期間 (2nd Tsf) には階調電圧 VL + に対応した階調表示が行われる。第 3 のサブフレームドット期間 (3rd Tsfd) には VL + 2 の階調電圧が書き込まれ、第 3 のサブフレーム期間 (3rd Tsf) には階調電圧 VL + 2 に対応した階調表示が行われる。第 4 のサブフレームドット期間 (1st Tsfd) には VL + の階調電圧が書き込まれ、第 4 のサブフレーム期間 (4th Tsf) には階調電圧 VL + に対応した階調表示が行われる。よって、1 フレーム目の階調表示レベルは、VL + 6 / 4 の階調電圧レベルに対応した階調表示となる。

#### 【 0 1 0 1 】

次に 2 フレーム期間目に着目する。2 フレーム期間目には、外部から 4 ビットのデジタルデータのアドレスが (0011) のデジタルデータが供給されている。この 1 フレーム目には、上述の 4 ビットデジタルビデオデータのアドレスが (0011) の場合の、パターン 4 (Pattern 4) の出力がされている。第 1 のサブフレームドット期間 (1st Tsfd) には VL の階調電圧が書き込まれ、第 1 のサブフレーム期間 (1st Tsf) には階調電圧 VL に対応した階調表示が行われる。第 2 サブフレームドット期間 (2nd Tsfd) には VL + の階調電圧が書き込まれ、第 2 のサブフレーム期間 (2nd Tsf) には階調電圧 VL + に対応した階調表示が行われる。第 3 のサブフレームドット期間 (3rd Tsfd) には VL + の階調電圧が書き込まれ、第 3 のサブフレーム期間 (3rd Tsf) には階調電圧 VL + に対応した階調表示が行われる。第 4 のサブフレームドット期間 (1st Tsfd) には VL + の階調電圧が書き込まれ、第 4 のサブフレーム期間 (4th Tsf) には階調電圧 VL + に対応した階調表示が行われる。よって、1 フレーム目の階調表示レベルは、VL + 3 / 4 の階調電圧レベルに対応した階調表示となる。

#### 【 0 1 0 2 】

なお、図 20 に示す表示例は、あくまでも一例であり、入力される 4 ビットデジタルデータに対応したどのパターンの出力がされるかは、ランダムに決定される。

#### 【 0 1 0 3 】

なお、本実施例においては、4 階調の電圧レベルを実現するために、電圧レベル VH と電圧レベル VL との間をほぼ等電圧レベルに分割し、その等電圧をステップをとしたが、電圧レベル VH と電圧レベル VL との間を等電圧レベルに分割せず任意に設定した場合でも、本発明を適用することもできる。

#### 【 0 1 0 4 】

また、本実施例においては、D / A 変換回路に電圧レベル VH と電圧レベル VL を入力し階調電圧レベルを実現できるようにしたが、3 以上の電圧レベルの入力によって階調電圧レベルを実現するようにすることもできる。

#### 【 0 1 0 5 】

また、本実施例においては、外部から入力される 4 ビットデジタルビデオデータに基づいて 2 ビットの電圧階調の為のデジタルビデオデータを作成し、4 ビットのデジタルビデオデータのうち 2 ビットの階調情報は、時間階調によって表現されたようにした。ここで、一般に、外部から m ビットのデジタルビデオデータが時間階調処理回路によって、階調電圧の為の n ビットデジタルビデオデータに変換され、(m - n) ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、n は共に 2 以上の整数であり、m > n とする。

#### 【 0 1 0 6 】

この場合、フレーム期間 (Tf) とサブフレーム期間 (Tsf) との関係は、

$$Tf = 2^{m-n} \cdot Tsf$$

となり、(2<sup>m</sup> - (2<sup>m-n</sup> - 1)) 通りの階調表示を行うことができる。

#### 【 0 1 0 7 】

なお、本実施例においては、m = 4 かつ n = 2 の場合を例にとって説明したが、これらの場合に限定されるわけではないことは、言うまでもない。m = 12 かつ n = 4 であってもよい。また、m = 8 かつ n = 2 であってもよい。また、m = 8 かつ n = 6 であってもよい

10

20

30

40

50

。また、 $m = 10$ かつ $n = 2$ であってもよいし、その他の場合であってもよい。

【0108】

なお、階調電圧レベルは、液晶に実際に印加される電圧であるとしてもよい。つまり、階調電圧レベルは、対向電極に印加されるVCOMを考慮にいれた電圧レベルであるとしてもよい。

【0109】

(実施例2)

【0110】

本実施例においては、上記実施例1における本発明の液晶表示装置の構成において、サブフレームごとにフレーム反転駆動を行った場合について説明する。

10

【0111】

図21を参照する。図21には、本実施例の液晶表示装置の駆動タイミングチャートが示されている。図21は、画素P1,1、画素P2,1、画素P3,1、および画素Py,xが例にとつて示されている。

【0112】

本実施例においても、前述の様に、1フレーム期間( $T_f$ )は、第1サブフレーム期間(1st  $T_{sf}$ )、第2サブフレーム期間(2nd  $T_{sf}$ )、第3サブフレーム期間(3rd  $T_{sf}$ )、および第4サブフレーム期間(4th  $T_{sf}$ )によって構成される。各サブフレーム期間の始まりには、水平帰線期間 $T_h$ がある。

【0113】

20

図21に示される様に、本実施例においては、サブフレーム期間毎に液晶に印加される電界の向きが逆になるサブフレーム反転方式によって表示を行うので、よりちらつきの少ない表示が可能となる。

【0114】

(実施例3)

【0115】

本実施例においては、 $m$ ビットデジタルビデオデータが入力される液晶表示装置について説明する。図22を参照する。図22には、本実施例の液晶表示装置の概略構成図が示されている。液晶表示装置2001は、アクティブマトリクス基板2001-1および対向基板2001-2(図示せず)を有している。アクティブマトリクス基板2001-1には、ソースドライバ2001-1-1、ゲートドライバ2001-1-2ならびに2001-1-3、複数の画素TFTがマトリクス状に配置された画素部2001-1-4、デジタルビデオデータ時間階調処理回路2001-1-5、およびD/A変換回路2001-1-6を有している。また、対向基板2001-2は、対向電極2001-2-1(図示せず)を有している。

30

【0116】

本実施例においては、図22に示すように、画素部、ドライバ、デジタルビデオデータ時間階調処理回路およびD/A変換回路がアクティブマトリクス基板上に一体形成され、液晶表示装置が構成されている。

【0117】

40

本実施例の液晶表示装置の動作については、既述の例を参照することができる。

【0118】

(実施例4)

【0119】

本実施例においては、アナログビデオデータが入力される液晶表示装置について説明する。図23を参照する。図23には、本実施例の液晶表示装置の概略構成図が示されている。液晶表示装置2101は、アクティブマトリクス基板2101-1および対向基板2101-2(図示せず)を有している。アクティブマトリクス基板2101-1には、ソースドライバ2101-1-1、ゲートドライバ2101-1-2ならびに2101-1-3、複数の画素TFTがマトリクス状に配置された画素部2101-1-4、A/D変換

50

回路 2101-1-5、デジタルビデオデータ時間階調処理回路 2101-1-6、および D/A 変換回路 2101-1-7 を有している。また、対向基板 2101-2 は、対向電極 2101-2-1 (図示せず) を有している。

【0120】

本実施例においては、図 23 に示すように、画素部、ドライバ、デジタルビデオデータ時間階調処理回路、D/A 変換回路および A/D 変換回路がアクティブマトリクス基板上に一体形成され、液晶表示装置が構成されている。

【0121】

外部から入力されるアナログビデオデータは、A/D 変換回路 2101-1-5 によって m ビットデジタルビデオデータに変換される。

10

【0122】

本実施例の液晶表示装置の動作については、既述の例を参照することができる。

【0123】

(実施例 5)

【0124】

本実施例では、本発明の液晶表示装置の作製方法の一例について説明する。ここでは、画素部とその周辺に設けられるドライバの TFT を同時に作製する方法について説明する。

【0125】

ここでは画素部の画素 TFT と、画素部の周辺に設けられる駆動回路 (ソースドライバ、ゲートドライバ、D/A 変換回路、A/D 変換回路、デジタルビデオデータ時間階調処理回路等) の TFT を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路ではシフトレジスタ回路、パッファ回路、D/A 変換回路などの基本回路である CMOS 回路と、n チャネル型 TFT とを図示することにする。

20

【0126】

図 24 (A) において、基板 6001 には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 10 ~ 20 程度低い温度であらかじめ熱処理しておいても良い。この基板 6001 の TFT を形成する表面には、基板 6001 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6002 を形成する。例えば、プラズマ CVD 法で SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>O から作製される酸化窒化シリコン膜を 100 nm、同様に SiH<sub>4</sub>、N<sub>2</sub>O から作製される酸化窒化シリコン膜を 200 nm の厚さに積層形成する。

30

【0127】

次に、10 ~ 150 nm (好ましくは 30 ~ 80 nm) の厚さで非晶質構造を有する半導体膜 6003a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 6002 と非晶質シリコン膜 6003a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気に晒さないことでその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。(図 24 (A))

40

【0128】

そして、公知の結晶化技術を使用して非晶質シリコン膜 6003a から結晶質シリコン膜 6003b を形成する。例えば、レーザー結晶化法や熱結晶化法 (固相成長法) を適用すれば良いが、ここでは、特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 6003b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400 ~ 500 で 1 時間程度の熱処理を行い、含有水素量を 5 atom% 以下にしてから結晶化させることが望ましい。非晶質シリ

50

コン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では 55 nm）よりも 1~15% 程度減少した。（図 24 (B)）

【0129】

そして、結晶質シリコン膜 6003b を島状に分割して、島状半導体層 6004~6007 を形成する。その後、プラズマ CVD 法またはスパッタ法により 50~100 nm の厚さの酸化シリコン膜によるマスク層 6008 を形成する。（図 24 (C)）

【0130】

そしてレジストマスク 6009 を設け、n チャネル型 TFT を形成する島状半導体層 6005~6007 の全面にしきい値電圧を制御する目的で  $1 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup> 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加した。ボロン (B) の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでボロン (B) 添加は必ずしも必要でないが、ボロン (B) を添加した半導体層 6010~6012 は n チャネル型 TFT のしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。（図 24 (D)）

【0131】

駆動回路の n チャネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素を島状半導体層 6010、6011 に選択的に添加する。そのため、あらかじめレジストマスク 6013~6016 を形成した。n 型を付与する不純物元素としては、リン (P) や砒素 (As) を用いれば良く、ここではリン (P) を添加すべく、フォスフィン (PH<sub>3</sub>) を用いたイオンドープ法を適用した。形成された不純物領域 6017、6018 のリン (P) 濃度は  $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 6017~6019 に含まれる n 型を付与する不純物元素の濃度を (n<sup>-</sup>) と表す。また、不純物領域 6019 は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン (P) を添加した。（図 25 (A)）

【0132】

次に、マスク層 6008 をフッ酸などにより除去して、図 24 (D) と図 25 (A) で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で 500~600 で 1~4 時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrF エキシマレーザー光（波長 248 nm）を用い、線状ビームを形成して、発振周波数 5~50 Hz、エネルギー密度 100~500 mJ/cm<sup>2</sup> として線状ビームのオーバーラップ割合を 80~98% として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宣決定すれば良い。

【0133】

そして、ゲート絶縁膜 6020 をプラズマ CVD 法またはスパッタ法を用いて 10~150 nm の厚さでシリコンを含む絶縁膜で形成する。例えば、120 nm の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。（図 25 (B)）

【0134】

次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 6021 と金属膜から成る導電層 (B) 6022 とを積層させた。導電層 (B) 6022 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タンゲステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的には Mo-W 合金膜、Mo-Ta 合金膜）で形成すれば良く、導電層 (A) 6021 は窒化タンタル (Ta<sub>N</sub>)、窒化タンゲステン (WN)、窒化チタン (Ti<sub>N</sub>) 膜、窒化モリブデン (Mo<sub>N</sub>) で形成する。また、導電層 (A) 6021 は代替材料として、タンゲステンシリサイド、チタンシリ

10

20

30

40

50

サイド、モリブデンシリサイドを適用しても良い。導電層（B）は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30 ppm以下とすると良かった。例えば、タンゲステン（W）は酸素濃度を30 ppm以下とすることで20  $\mu$  cm以下の比抵抗値を実現することができた。

【0135】

導電層（A）6021は10～50 nm（好ましくは20～30 nm）とし、導電層（B）6022は100～400 nm（好ましくは250～350 nm）とすれば良い。本実施例では、導電層（A）6021に30 nmの厚さの窒化タンタル膜を、導電層（B）6022には350 nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層（A）6021の下に2～20 nm程度の厚さでリン（P）をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層（A）または導電層（B）が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる。（図25（C））

【0136】

次に、レジストマスク6023～6027を形成し、導電層（A）6021と導電層（B）6022とを一括でエッチングしてゲート電極6028～6031と容量配線6032を形成する。ゲート電極6028～6031と容量配線6032は、導電層（A）から成る6028a～6032aと、導電層（B）から成る6028b～6032bとが一体として形成されている。この時、駆動回路に形成するゲート電極6029、6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する。（図25（D））

【0137】

次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法で不純物領域6034を形成した。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm<sup>3</sup>となるようにする。本明細書中では、ここで形成された不純物領域6034に含まれるp型を付与する不純物元素の濃度を（p<sup>+</sup>）と表す。（図26（A））

【0138】

次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035～6037を形成し、n型を付与する不純物元素が添加して不純物領域6038～6042を形成した。これは、フォスフィン（PH<sub>3</sub>）を用いたイオンドープ法で行い、この領域のリン（P）濃度を $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>とした。本明細書中では、ここで形成された不純物領域6038～6042に含まれるn型を付与する不純物元素の濃度を（n<sup>+</sup>）と表す。（図26（B））

【0139】

不純物領域6038～6042には、既に前工程で添加されたリン（P）またはボロン（B）が含まれているが、それに比して十分に高い濃度でリン（P）が添加されるので、前工程で添加されたリン（P）またはボロン（B）の影響は考えなくても良い。また、不純物領域6038に添加されたリン（P）濃度は図26（A）で添加されたボロン（B）濃度の1/2～1/3なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0140】

そして、画素マトリクス回路のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン（P）の濃

10

20

30

40

50

度は  $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms / cm<sup>3</sup> であり、図 25 (A) および図 26 (A) と図 26 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 6043、6044 のみが形成される。本明細書中では、この不純物領域 6043、6044 に含まれる n 型を付与する不純物元素の濃度を (n<sup>+</sup>) と表す。(図 26 (C))

#### 【0141】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下、窒素雰囲気中で 400 ~ 800、代表的には 500 ~ 600 で行うものであり、本実施例では 550 で 4 時間の熱処理を行った。また、基板 6001 に石英基板のような耐熱性を有するものを使用した場合には、800 で 1 時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

#### 【0142】

この熱処理において、ゲート電極 6028 ~ 6031 と容量配線 6032 形成する金属膜 6028b ~ 6032b は、表面から 5 ~ 80 nm の厚さで導電層 (C) 6028c ~ 6032c が形成される。例えば、導電層 (B) 6028b ~ 6032b がタンゲステン (W) の場合には窒化タンゲステン (WN) が形成され、タンタル (Ta) の場合には窒化タンタル (Ta<sub>N</sub>) を形成することができる。また、導電層 (C) 6028c ~ 6032c は、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気にゲート電極 6028 ~ 6031 および容量配線 6032 を晒しても同様に形成することができる。さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

#### 【0143】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でも TFT を完成させることができると、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン (P) の濃度は図 26 (B) で形成した不純物領域 (n<sup>+</sup>) と同程度であり、ここで実施される活性化工程の熱処理により、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をゲッタリングをすることができた。(図 26 (D))

#### 【0144】

活性化および水素化の工程が終了したら、ゲート配線とする第 2 の導電膜を形成する。この第 2 の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、チタン (Ti) やタンタル (Ta)、タンゲステン (W)、モリブデン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を 0.1 ~ 2 重量 % 含むアルミニウム (Al) 膜を導電層 (D) 6045 とし、チタン (Ti) 膜を導電層 (E) 6046 として形成した。導電層 (D) 6045 は 100 ~ 400 nm (好ましくは 250 ~ 350 nm) とすれば良く、導電層 (E) 6046 は 50 ~ 200 (好ましくは 100 ~ 150 nm) で形成すれば良い。(図 27 (A))

#### 【0145】

そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 6046 と導電層 (D) 6045 をエッティング処理して、ゲート配線 6047、6048 と容量配線 6049 を形成した。エッティング処理は最初に SiCl<sub>4</sub> と Cl<sub>2</sub> と BC<sub>1</sub><sub>3</sub> との混合ガスを用いたドライエッティング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、そ

10

20

30

40

50

の後リン酸系のエッチング溶液によるウェットエッチングで導電層（D）を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0146】

第1の層間絶縁膜6050は500～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線6051～6054と、ドレイン配線6055～6058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0147】

次に、パッシベーション膜6059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50～500nm（代表的には100～300nm）の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6059に開口部を形成しておいても良い。（図27（C））

【0148】

その後、有機樹脂からなる第2の層間絶縁膜6060を1.0～1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300で焼成して形成した。そして、第2の層間絶縁膜6060にドレイン配線6058に達するコンタクトホールを形成し、画素電極6061、6062を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置するために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。（図28）

【0149】

こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0150】

駆動回路のpチャネル型TFT6101には、島状半導体層6004にチャネル形成領域6106、ソース領域6107a、6107b、ドレイン領域6108a、6108bを有している。第1のnチャネル型TFT6102には、島状半導体層6005にチャネル形成領域6109、ゲート電極6029と重なるLDD領域6110（以降、このようなLDD領域をLovと記す）、ソース領域6111、ドレイン領域6112を有している。このLov領域のチャネル長方向の長さは0.5～3.0μm、好ましくは1.0～1.5μmとした。第2のnチャネル型TFT6103には、島状半導体層6006にチャネル形成領域6113、LDD領域6114、6115、ソース領域6116、ドレイン領域6117を有している。このLDD領域はLov領域とゲート電極6030と重ならないLDD領域（以降、このようなLDD領域をLoffと記す）とが形成され、このLoff領域のチャネル長方向の長さは0.3～2.0μm、好ましくは0.5～1.5μmである。画素TFT6104には、島状半導体層6007にチャネル形成領域6118、6119、Loff領域6120～6123、ソースまたはドレイン領域6124～6126を有している。Loff領域のチャネル長方向の長さは0.5～3.0μm、好ましくは1.5～2.5μmである。さらに、容量配線6032、6049と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT6104のドレイン領域6126に接続し、n型を付与する不

10

20

30

40

50

純物元素が添加された半導体層 6127 とから保持容量 6105 が形成されている。図 28 では画素 TFT 6104 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

#### 【0151】

以上の様に本実施例では、画素 TFT および駆動回路が要求する仕様に応じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができます。さらにゲート電極を耐熱性を有する導電性材料で形成することにより LDD 領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が 4 インチクラス以上の表示装置にも適用することができる。

10

#### 【0152】

（実施例 6）

#### 【0153】

上述の本発明の液晶表示装置は、図 29 に示すような 3 板式のプロジェクタに用いることができる。

#### 【0154】

図 29 において、2401 は白色光源、2402～2405 はダイクロイックミラー、2406 ならびに 2407 は全反射ミラー、2408～2410 は本発明の液晶表示装置、および 2411 は投影レンズである。

#### 【0155】

20

（実施例 7）

#### 【0156】

また、上述の本発明の液晶表示装置は、図 30 に示すような 3 板式のプロジェクタに用いることもできる。

#### 【0157】

図 30 において、2501 は白色光源、2502 ならびに 2503 はダイクロイックミラー、2504～2506 は全反射ミラー、2507～2509 は本発明の液晶表示装置、および 2510 はダイクロイックプリズム、および 2511 は投影レンズである。

#### 【0158】

30

（実施例 8）

#### 【0159】

また、上述の本発明の液晶表示装置は、図 31 に示すような単板式のプロジェクタに用いることもできる。

#### 【0160】

図 31 において、2601 はランプとリフレクターとから成る白色光源である。2602、2603、および 2604 は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2605 はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2606 は本発明の液晶表示装置である。2607 は集光レンズ、2608 は投射レンズ、2609 はスクリーンである。

40

#### 【0161】

（実施例 9）

#### 【0162】

上記実施例 6～8 のプロジェクターは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。

#### 【0163】

図 32 (A) はフロント型プロジェクタ - であり、本体 10001、本発明の液晶表示装置 10002、光源 10003、光学系 10004、スクリーン 10005 で構成されている。なお、図 32 (A) には、液晶表示装置を 1 つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を 3 個 (R、G、B の光にそれぞれ対応させる) 組み込んことによって、より高解像度・高精細のフロント型プロジェクタを実現することができ

50

る。

【0164】

図32(B)はリア型プロジェクターであり、10006は本体、10007は液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図32(B)には、アクティブマトリクス型半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクタが示されている。

【0165】

(実施例10)

【0166】

本実施例では、本発明のアクティブマトリクス型表示装置をゴーグル型ディスプレイに用いた例を示す。

10

【0167】

図33を参照する。2801はゴーグル型ディスプレイ本体である。2802-Rならびに2802-Lは本発明のアクティブマトリクス型表示装置であり、2803-Rならびに2803-LはLEDバックライトであり、2804-Rならびに2804-Lは光学素子である。

【0168】

(実施例11)

本発明のアクティブマトリクス型表示装置を表示媒体として組み込んだ電子機器を例に挙げる。

20

【0169】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図34に示す。

【0170】

図34(A)はパーソナルコンピュータであり、本体11001、画像入力部11002、本発明のアクティブマトリクス型表示装置11003、キーボード11004で構成される。

30

【0171】

図34(B)はビデオカメラであり、本体12001、本発明のアクティブマトリクス型表示装置12002、音声入力部12003、操作スイッチ12004、バッテリー12005、受像部12006で構成される。

【0172】

図34(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体13001、カメラ部13002、受像部13003、操作スイッチ13004、本発明のアクティブマトリクス型表示装置13005で構成される。

40

【0173】

図34(D)はデジタルカメラであり、本体14001、本発明のアクティブマトリクス型表示装置14002、接眼部14003、操作スイッチ14004、受像部(図示しない)で構成される。

【0174】

図34(E)は携帯書籍(電子書籍)であり、本体15001、本発明のアクティブマトリクス型表示装置15002、15003、記憶媒体15004、操作スイッチ15005、アンテナ15006で構成される。

50

【0175】

図34(F)は映像やプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体16001、アクティブマトリクス型表示装置16002、スピーカ部16003、記録媒体16004、操作スイッチ16005で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、C

50

D等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0176】

以上の様に、本発明のアクティブマトリクス型表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0177】

(実施例12)

【0178】

上述の本発明の液晶表示装置にはTN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

10

【0179】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

20

【0180】

ここで、いわゆるV字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図35に示す。図35に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0181】

図35に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

30

【0182】

このような低電圧駆動の無しきい値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げる事ができ、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0183】

よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LCD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

40

【0184】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0185】

なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0186】

なお、図35に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の

50

液晶表示装置の表示媒体として用いることができる。

【0187】

(実施例13)

【0188】

本実施例では、本発明の表示装置に用いられる駆動方法をEL(エレクトロルミネッセンス)表示装置に用いた例について説明する。

【0189】

図36(A)は本実施例のEL表示装置の上面図である。図36(A)において、24010は基板、24011は画素部、24012はソース側駆動回路、24013はゲート側駆動回路であり、それぞれの駆動回路は配線24014～24016を経てFPC24017に至り、外部機器へと接続される。

【0190】

図36(B)は本実施例のEL表示装置の断面構造である。このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材26000、シール材27000、密封材(第2のシール材)27001が設けられている。

【0191】

また、基板24010、下地膜24021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)24022及び画素部用TFT24023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。

【0192】

駆動回路用TFT24022、画素部用TFT24023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)24026の上に画素部用TFT24023のドレインと電気的に接続する透明導電膜でなる画素電極24027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極24027を形成したら、絶縁膜24028を形成し、画素電極24027上に開口部を形成する。

【0193】

次に、EL層24029を形成する。EL層24029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンドル法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0194】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。

勿論、単色発光のEL表示装置とすることもできる。

【0195】

EL層24029を形成したら、その上に陰極24030を形成する。陰極24030とEL層24029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従つて、真空中でEL層24029と陰極24030を連続成膜するか、EL層24029を不活性雰囲気で形成し、大気開放しないで陰極24030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0196】

なお、本実施例では陰極24030として、LiF(フッ化リチウム)膜とAl(アルミ

10

20

30

40

50

ニウム)膜の積層構造を用いる。具体的にはEL層24029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極24030は24031で示される領域において配線24016に接続される。配線24016は陰極24030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料24032を介してFPC24017に接続される。

#### 【0197】

24031に示された領域において陰極24030と配線24016とを電気的に接続するため、層間絶縁膜24026及び絶縁膜24028にコンタクトホールを形成する必要がある。これらは層間絶縁膜24026のエッティング時(画素電極用コンタクトホールの形成時)や絶縁膜24028のエッティング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜24028をエッティングする際に、層間絶縁膜24026まで一括でエッティングしても良い。この場合、層間絶縁膜24026と絶縁膜24028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができます。

10

#### 【0198】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜26003、充填材26004、カバー材26000が形成される。

#### 【0199】

さらに、EL素子部を囲むようにして、カバー材26000と基板24010の内側にシール材27000が設けられ、さらにシール材27000の外側には密封材(第2のシール材)27001が形成される。

20

#### 【0200】

このとき、この充填材26004は、カバー材26000を接着するための接着剤としても機能する。充填材26004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材26004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

#### 【0201】

また、充填材26004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせててもよい。

30

#### 【0202】

スペーサーを設けた場合、パッシベーション膜26003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてよい。

#### 【0203】

また、カバー材26000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材26004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

40

#### 【0204】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材26000が透光性を有する必要がある。

#### 【0205】

また、配線24016はシール材27000および密封材27001と基板24010との隙間を通ってFPC24017に電気的に接続される。なお、ここでは配線24016について説明したが、他の配線24014、24015も同様にしてシール材27000および密封材27001の下を通ってFPC24017に電気的に接続される。

#### 【0206】

50

## (実施例14)

本実施例では、実施例13とは異なる形態のEL表示装置を作製した例について、図37(A)、37(B)を用いて説明する。図36(A)、36(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

## 【0207】

図37(A)は本実施例のEL表示装置の上面図であり、図37(A)をA-A'で切断した断面図を図37(B)に示す。

## 【0208】

実施例13に従って、EL素子の表面を覆ってパッシベーション膜26003までを形成する。

10

## 【0209】

さらに、EL素子を覆うようにして充填材6004を設ける。この充填材26004は、カバー材26000を接着するための接着剤としても機能する。充填材26004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材26004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

## 【0210】

また、充填材26004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自身に吸湿性をもたせててもよい。

## 【0211】

スペーサーを設けた場合、パッシベーション膜26003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

20

## 【0212】

また、カバー材26000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材26004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

30

## 【0213】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

## 【0214】

次に、充填材26004を用いてカバー材26000を接着した後、充填材26004の側面(露呈面)を覆うようにフレーム材26001を取り付ける。フレーム材26001はシール材(接着剤として機能する)26002によって接着される。このとき、シール材26002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材26002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材26002の内部に乾燥剤を添加しても良い。

40

## 【0215】

また、配線24016はシール材26002と基板24010との隙間を通ってFPC24017に電気的に接続される。なお、ここでは配線24016について説明したが、他の配線24014、24015も同様にしてシール材26002の下を通ってFPC24017に電気的に接続される。

## 【0216】

## (実施例15)

本実形態では、EL表示パネルにおける画素部のさらに詳細な断面構造を図38に、上面構造を図39(A)に、回路図を図39(B)に示す。図38、図39(A)及び図39

50

(B) では共通の符号を用いるので互いに参照すれば良い。

【0217】

図38において、基板23001上に設けられたスイッチング用TFT23002は実施例4のTFT構造を用いてもよいし、公知のTFTの構造を用いてもよい。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0218】

また、電流制御用TFT23003はNTFTを用いて形成される。このとき、スイッチング用TFT23002のドレイン配線23035は配線23036によって電流制御用TFTのゲート電極23037に電気的に接続されている。また、23038で示される配線は、スイッチング用TFT23002のゲート電極23039a、23039bを電気的に接続するゲート配線である。

【0219】

電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本発明の構造は極めて有効である。

【0220】

また、本実施例では電流制御用TFT23003をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0221】

また、図39(A)に示すように、電流制御用TFT23003のゲート電極23037となる配線は23004で示される領域で、電流制御用TFT23003のドレイン配線23040と絶縁膜を介して重なる。このとき、23004で示される領域ではコンデンサが形成される。このコンデンサ23004は電流制御用TFT23003のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線23040は電流供給線(電源線)23006に接続され、常に一定の電圧が加えられている。

【0222】

スイッチング用TFT23002及び電流制御用TFT23003の上には第1パッシベーション膜23041が設けられ、その上に樹脂絶縁膜でなる平坦化膜23042が形成される。平坦化膜23042を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0223】

また、23043は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT23003のドレインに電気的に接続される。画素電極23043としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0224】

また、絶縁膜(好ましくは樹脂)で形成されたバンク23044a、23044bにより形成された溝(画素に相当する)の中に発光層23045が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニル

10

20

30

40

50

カルバゾール( PVK )系、ポリフルオレン系などが挙げられる。

【 0 2 2 5 】

なお、 P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「 H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, " Polymers for Light Emitting Diodes ", Euro Display, Proceedings, 1999, p. 33-37 」や特開平 10 - 92576 号公報に記載されたような材料を用いれば良い。

【 0 2 2 6 】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 nm ( 好ましくは 40 ~ 100 nm ) とすれば良い。

【 0 2 2 7 】

但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【 0 2 2 8 】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【 0 2 2 9 】

本実施例では発光層 23045 の上に P E D O T ( ポリチオフェン ) または P A n i ( ポリアニリン ) でなる正孔注入層 23046 を設けた積層構造の E L 層としている。そして、正孔注入層 23046 の上には透明導電膜でなる陽極 23047 が設けられる。本実施例の場合、発光層 23045 で生成された光は上面側に向かって ( T F T の上方に向かって ) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【 0 2 3 0 】

陽極 23047 まで形成された時点で E L 素子 23005 が完成する。なお、ここでいう E L 素子 23005 は、画素電極(陰極) 23043 、発光層 23045 、正孔注入層 23046 及び陽極 23047 で形成されたコンデンサを指す。図 39 ( A ) に示すように画素電極 23043 は画素の面積にほぼ一致するため、画素全体が E L 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【 0 2 3 1 】

ところで、本実施例では、陽極 23047 の上にさらに第 2 パッシベーション膜 23048 を設けている。第 2 パッシベーション膜 23048 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

【 0 2 3 2 】

以上のように本実施例の E L 表示パネルは図 38 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示パネルが得られる。

【 0 2 3 3 】

( 実施例 16 )

本実施例では、実施例 15 に示した画素部において、 E L 素子 23005 の構造を反転させた構造について説明する。説明には図 40 を用いる。なお、図 38 の構造と異なる点は

10

20

30

40

50

EL 素子の部分と電流制御用 TFT だけであるので、その他の説明は省略することとする。

【 0 2 3 4 】

図 4 0 において、電流制御用 TFT 2 3 1 0 3 は TFT を用いて形成される。

【 0 2 3 5 】

本実施例では、画素電極（陽極）2 3 0 5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【 0 2 3 6 】

そして、絶縁膜でなるバンク 2 3 0 5 1 a、2 3 0 5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 2 3 0 5 2 が形成される。その上にはカリウムアセチルアセトネットでなる電子注入層 2 3 0 5 3、アルミニウム合金でなる陰極 2 3 0 5 4 が形成される。この場合、陰極 2 3 0 5 4 がパッシベーション膜としても機能する。こうして EL 素子 2 3 1 0 1 が形成される。

【 0 2 3 7 】

本実施例の場合、発光層 2 3 0 5 2 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。

【 0 2 3 8 】

（実施例 1 7 ）

本実施例では、図 3 9 ( B ) に示した回路図とは異なる構造の画素とした場合の例について図 4 1 ( A ) ~ ( C ) に示す。なお、本実施例において、2 3 2 0 1 はスイッチング用 TFT 2 3 2 0 2 のソース配線、2 3 2 0 3 はスイッチング用 TFT 2 3 2 0 2 のゲート配線、2 3 2 0 4 は電流制御用 TFT、2 3 2 0 5 はコンデンサ、2 3 2 0 6、2 3 2 0 8 は電流供給線、2 3 2 0 7 は EL 素子とする。

【 0 2 3 9 】

図 4 1 ( A ) は、二つの画素間で電流供給線 2 3 2 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 2 3 2 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 2 4 0 】

また、図 4 1 ( B ) は、電流供給線 2 3 2 0 8 をゲート配線 2 3 2 0 3 と平行に設けた場合の例である。なお、図 4 1 ( B ) では電流供給線 2 3 2 0 8 とゲート配線 2 3 2 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 2 3 2 0 8 とゲート配線 2 3 2 0 3 とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【 0 2 4 1 】

また、図 4 1 ( C ) は、図 4 1 ( B ) の構造と同様に電流供給線 2 3 2 0 8 をゲート配線 2 3 2 0 3 と平行に設け、さらに、二つの画素を電流供給線 2 3 2 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2 3 2 0 8 をゲート配線 2 3 2 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 2 4 2 】

（実施例 1 8 ）

実施例 1 7 に示した図 3 9 ( A )、図 3 9 ( B ) では電流制御用 TFT 2 3 0 0 3 のゲートにかかる電圧を保持するためにコンデンサ 2 3 0 0 4 を設ける構造としているが、コンデンサ 2 3 0 0 4 を省略することも可能である。実施例 1 1 の場合、電流制御用 TFT 2 3 0 0 3 として、ゲート絶縁膜を介してゲート電極に重なるように設けられた LDD 領域を有している TFT を用いている。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 2 3 0 0 4 の代わ

10

20

30

40

50

りとして積極的に用いる点に特徴がある。

【0243】

この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0244】

また、実施例14に示した図41(A), (B), (C)の構造においても同様に、コンデンサ23205を省略することは可能である。

【発明の効果】

【0245】

本発明の表示装置においては、電圧階調と時間階調とによって階調表示を行うことによって多階調の表示が実現される。また、各サブフレームドット期間に各画素に偏りなく階調電圧が書き込まれることになり、フレーム周波数を上げなくてもフリッカの発生を減少させることができる。

【図面の簡単な説明】

【図1】 本発明の表示装置の概略構成図である。

【図2】 本発明の液晶表示装置のある実施例の概略構成図である。

【図3】 本発明の液晶表示装置のある実施例の画素部、ソースドライバおよびゲートドライバの回路構成図である。

【図4】 本発明の液晶表示装置のある実施例の階調表示レベルを示す図である。

【図5】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図6】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図7】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図8】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図9】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図10】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図11】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図12】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図13】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図14】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図15】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図16】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図17】 本発明の液晶表示装置のある実施例における、画素に出力される階調電圧レベルおよび階調表示レベルを示したタイミングチャートである。

【図18】 本発明の液晶表示装置のある実施例の駆動タイミングチャートを示す図である。

【図19】 本発明の液晶表示装置のある実施例の駆動タイミングチャートを示す図である。

10

20

30

40

50

【図20】 本発明の液晶表示装置のある実施例の駆動タイミングチャートを示す図である。

【図21】 本発明の液晶表示装置のある実施例の駆動タイミングチャートを示す図である。

【図22】 本発明の液晶表示装置のある実施例の概略構成図である。

【図23】 本発明の液晶表示装置のある実施例の概略構成図である。

【図24】 本発明の液晶表示装置の作製工程例を示す図である。

【図25】 本発明の液晶表示装置の作製工程例を示す図である。

【図26】 本発明の液晶表示装置の作製工程例を示す図である。

【図27】 本発明の液晶表示装置の作製工程例を示す図である。

【図28】 本発明の液晶表示装置の作製工程例を示す図である。

【図29】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図30】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図31】 本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。

【図32】 本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。

【図33】 本発明のアクティブマトリクス型表示装置を用いたゴーグル型ディスプレイの概略構成図である。

【図34】 本発明のアクティブマトリクス型表示装置を用いた電子機器の例である。

【図35】 反強誘電性混合液晶のV字型の電気光学特性を示すグラフである。

【図36】 実施例13のEL表示装置の構成を示す図である。

【図37】 実施例14のEL表示装置の構成を示す図である。

【図38】 実施例15のEL表示装置の画素部の構成を示す断面図である。

【図39】 実施例16のEL表示装置の画素部の構成を示す上面図及び回路図である。

【図40】 実施例17のEL表示装置の画素部の構成を示す断面図である。

【図41】 実施例18のEL表示装置の画素部の構成を示す回路図である。

【符号の説明】

101 液晶パネル

101-1 アクティブマトリクス基板

101-2 対向基板

101-1-1 ソースドライバ

101-1-2 ゲートドライバ

101-1-3 ゲートドライバ

101-1-4 画素部

102 デジタルビデオデータ時間階調処理回路

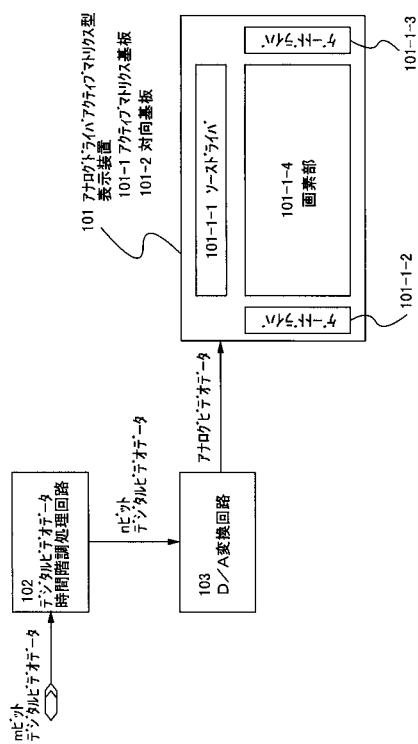
103 D/A変換回路

10

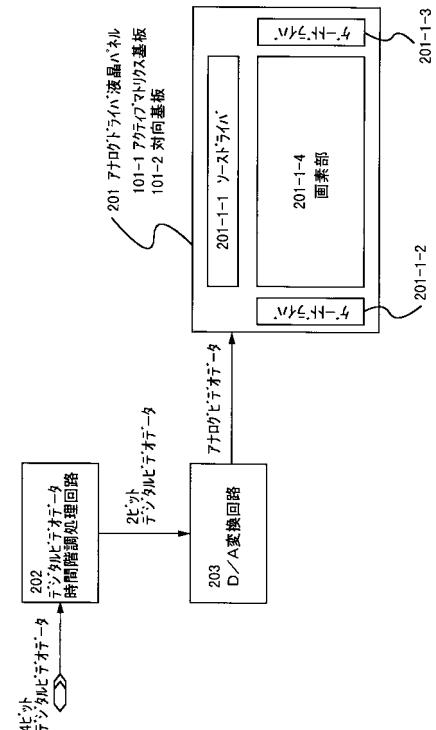
20

30

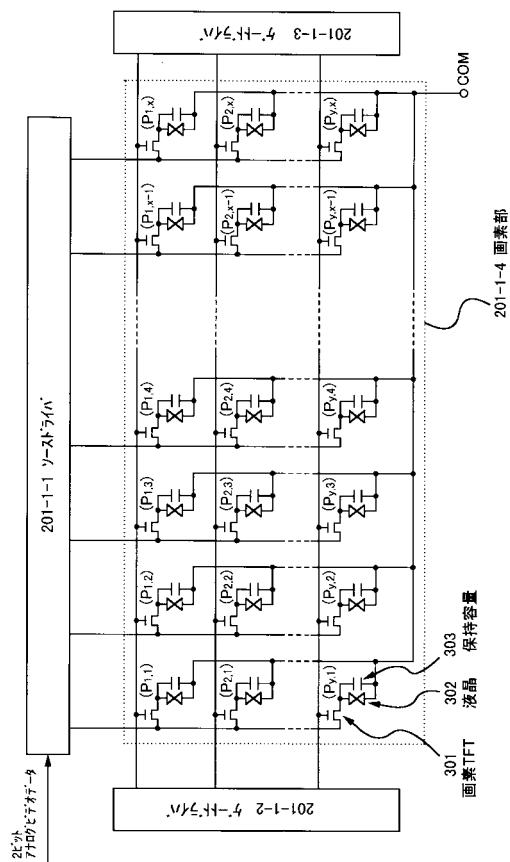
【 図 1 】



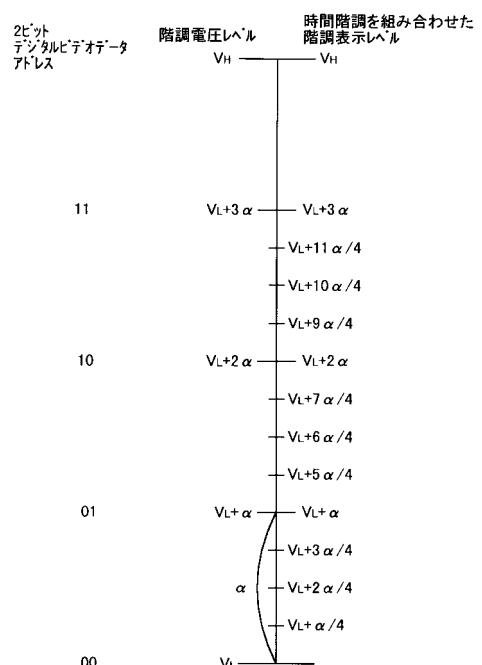
【図2】



( 3 )

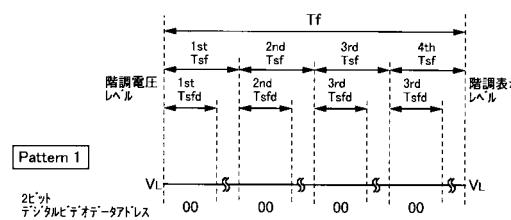


〔 4 〕



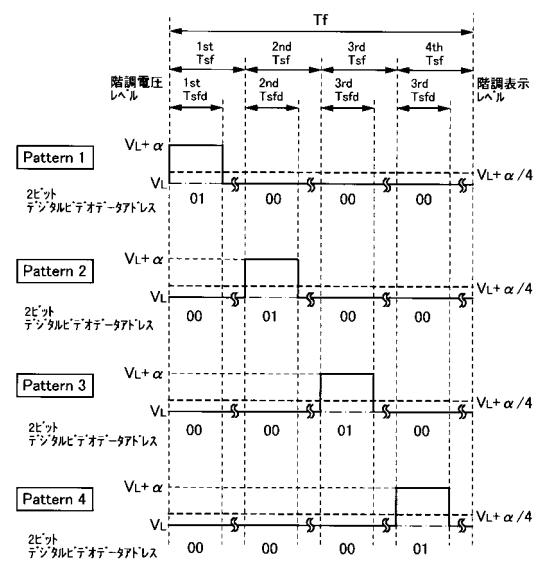
【図5】

4ビットデジタルビデオデータアドレス: 0000



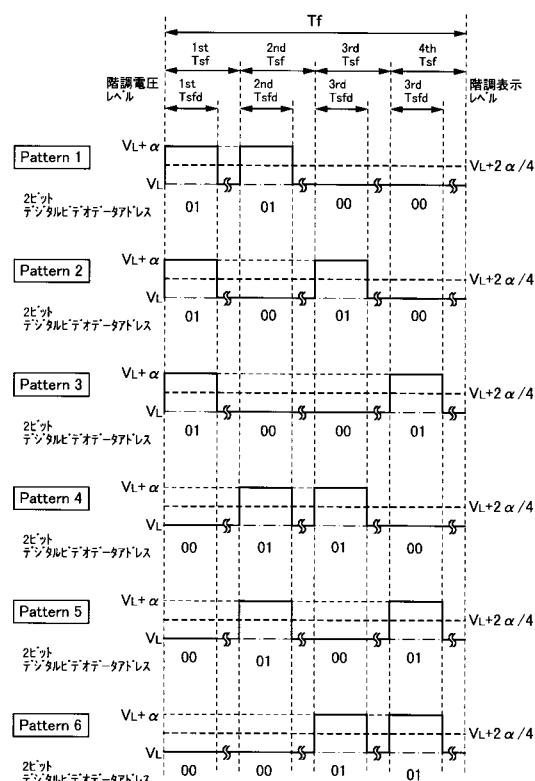
【図6】

4ビットデジタルビデオデータアドレス: 0001



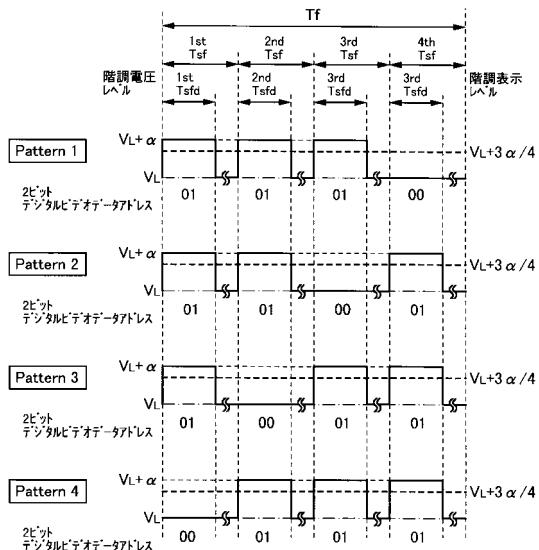
【図7】

4ビットデジタルビデオデータアドレス: 0010

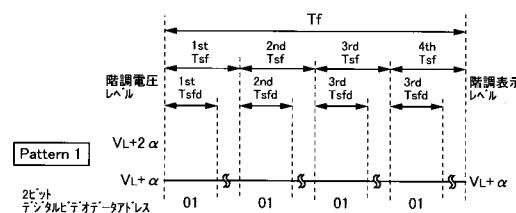
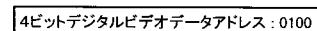


【図8】

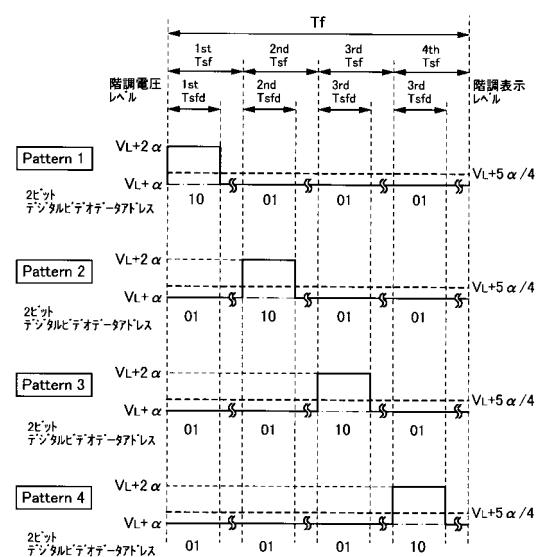
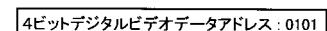
4ビットデジタルビデオデータアドレス: 0011



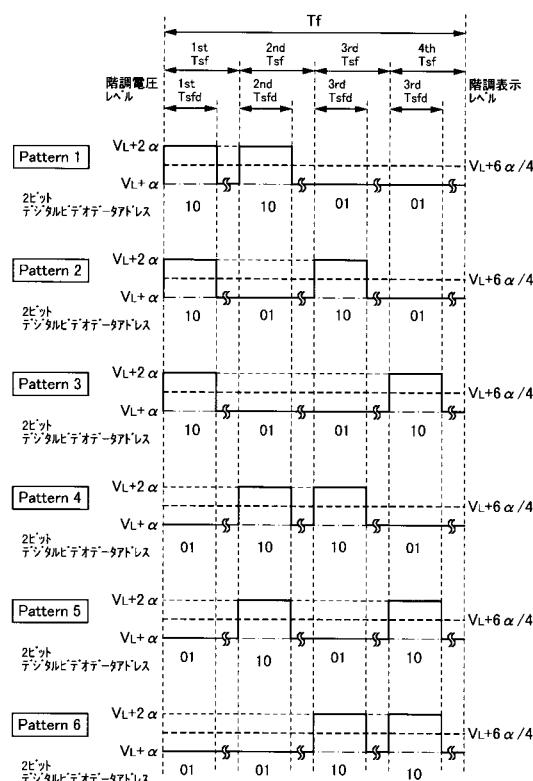
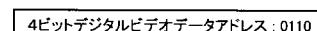
【図9】



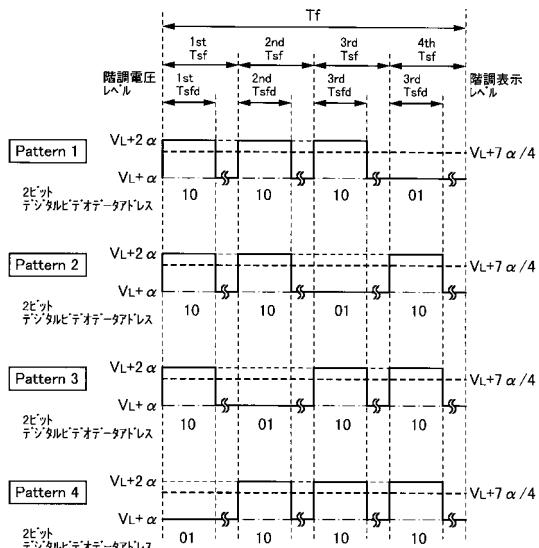
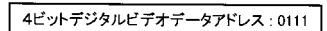
【図10】



【 1 1 】

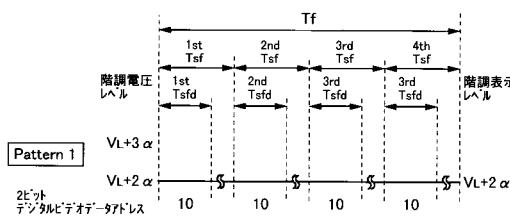


【図 1 2】



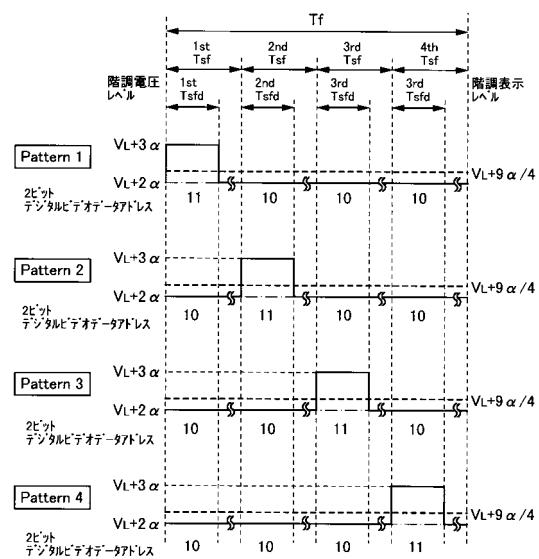
【図13】

4ビットデジタルビデオデータアドレス:1000



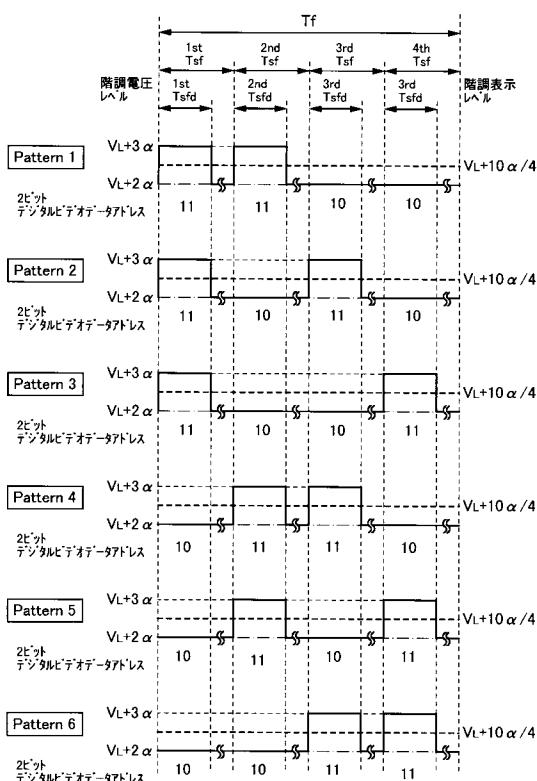
【図14】

4ビットデジタルビデオデータアドレス:1001



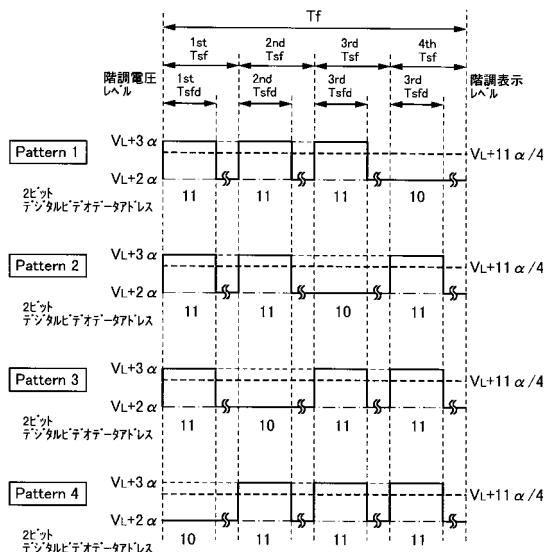
【図15】

4ビットデジタルビデオデータアドレス:1010



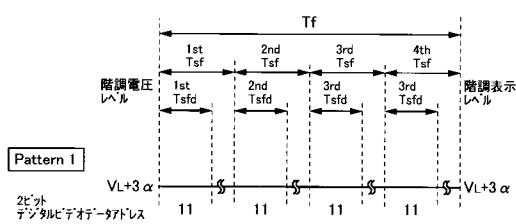
【図16】

4ビットデジタルビデオデータアドレス:1011

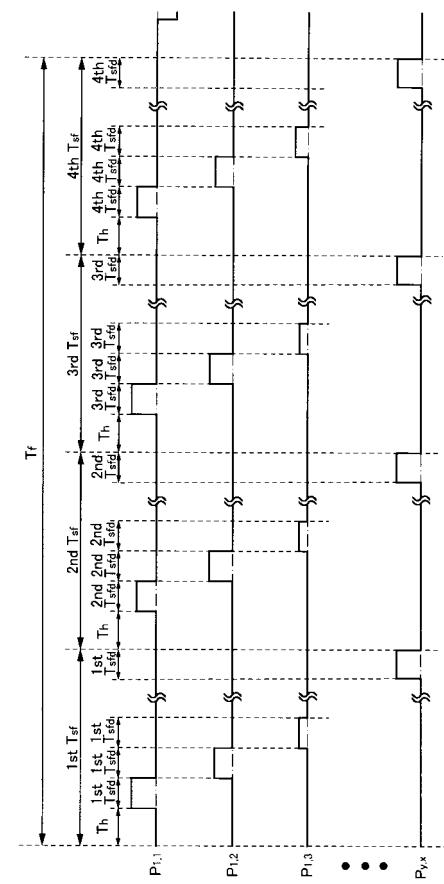


【図17】

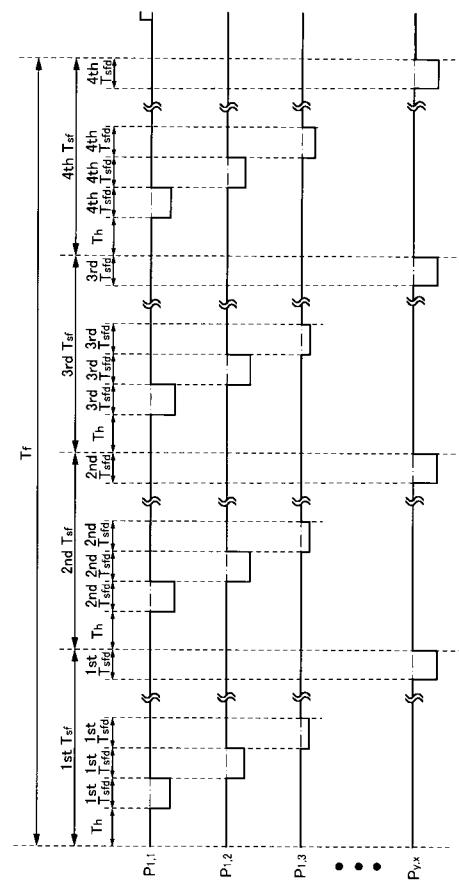
4ビットデジタルビデオデータアドレス: 1100~1111



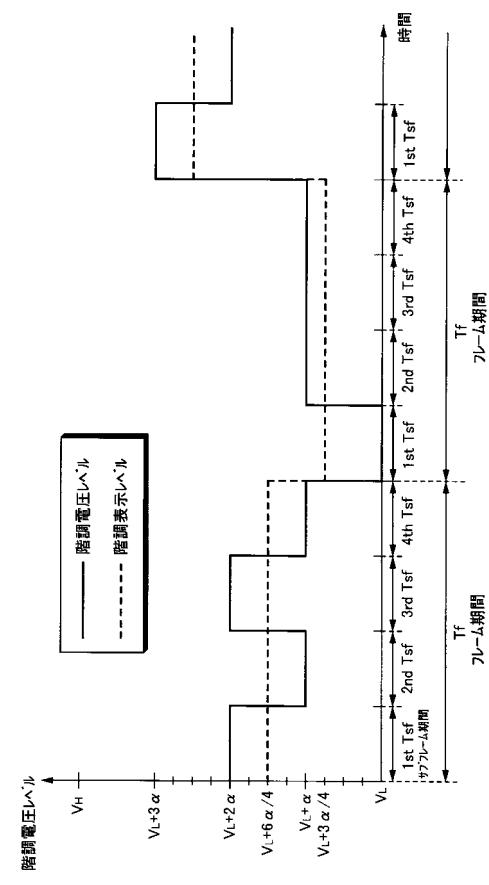
【図18】



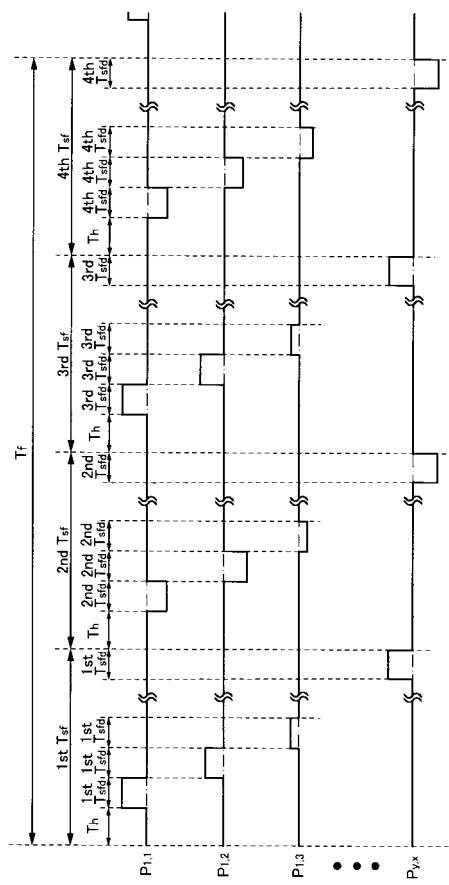
【図19】



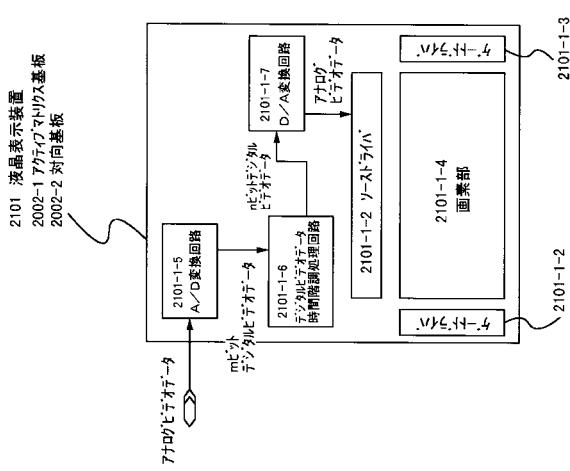
【図20】



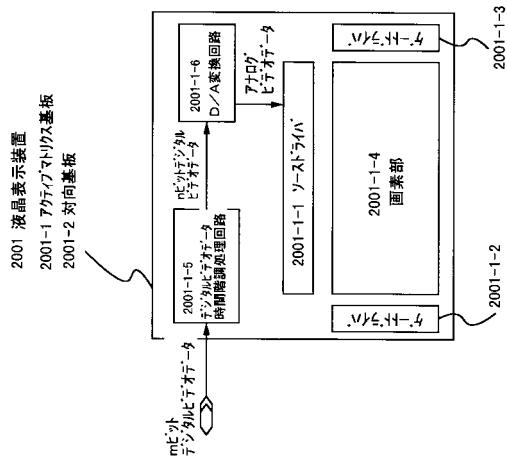
### 【図21】



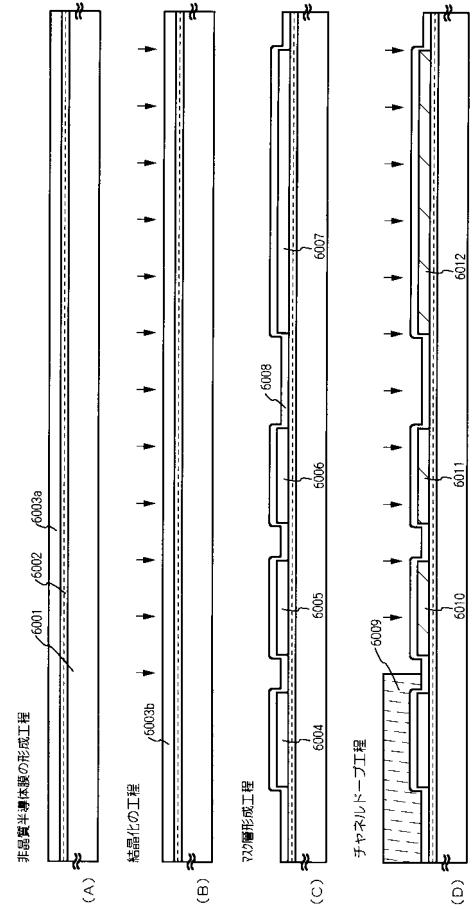
### 【図23】



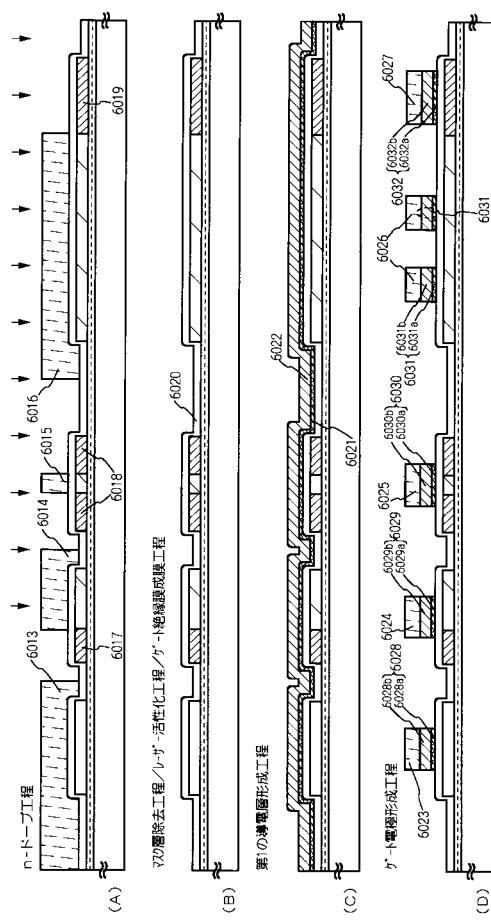
## 【図22】



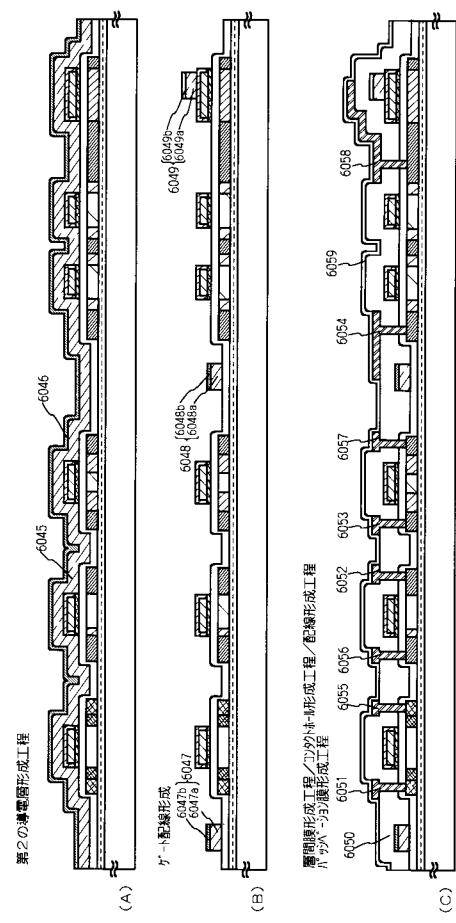
## 【図24】



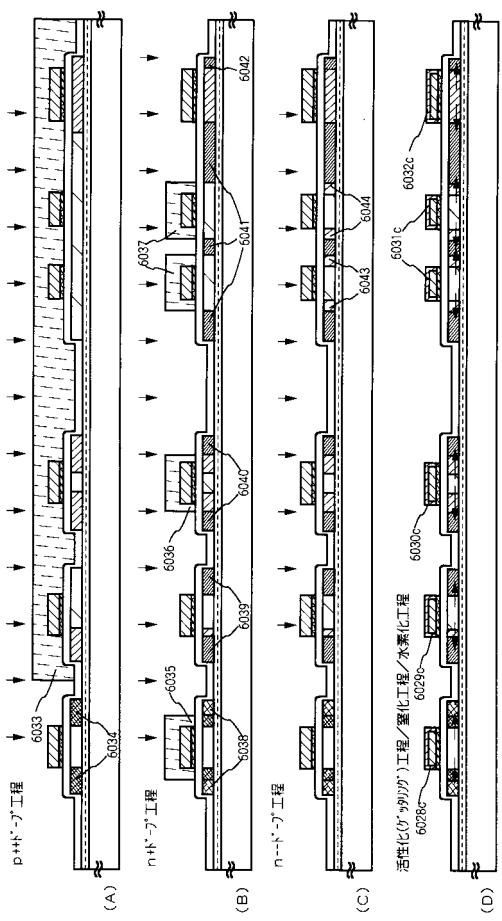
【図25】



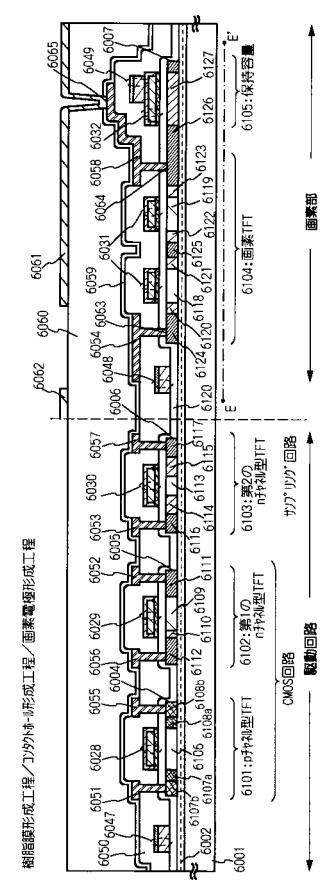
## 【図27】



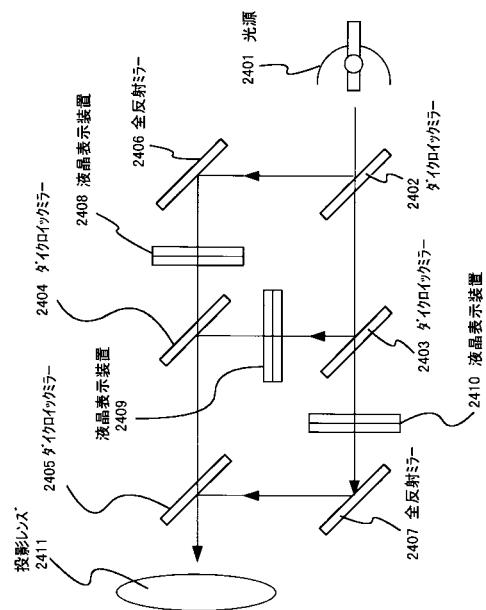
【図26】



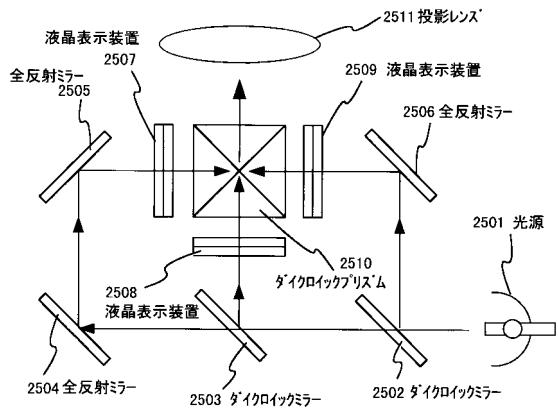
【図28】



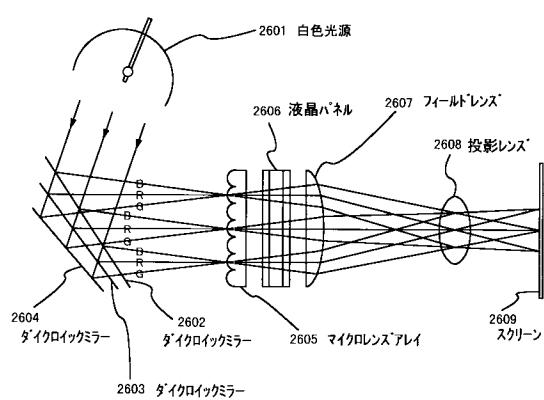
【図29】



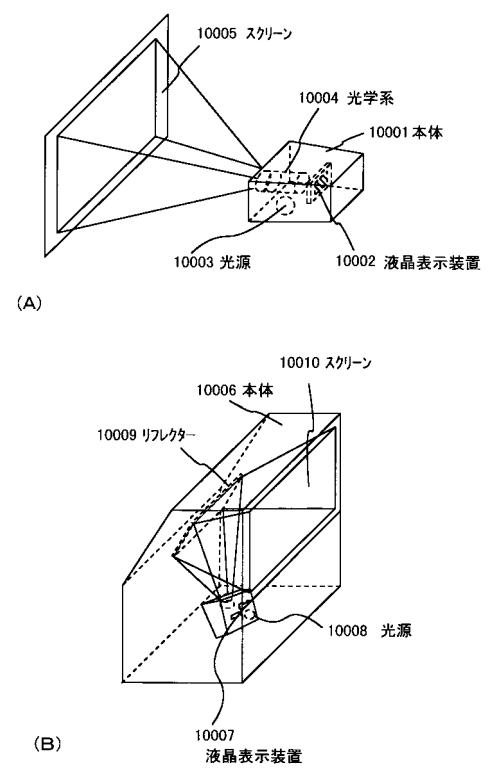
【図30】



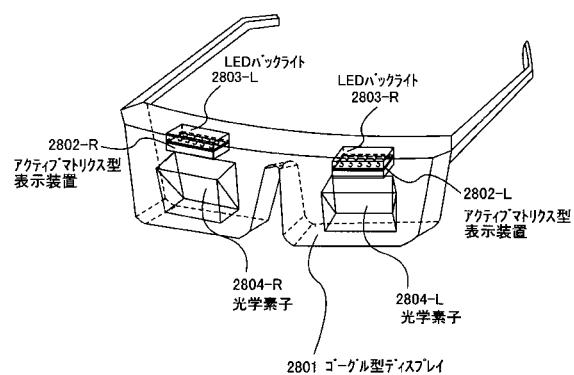
【図31】



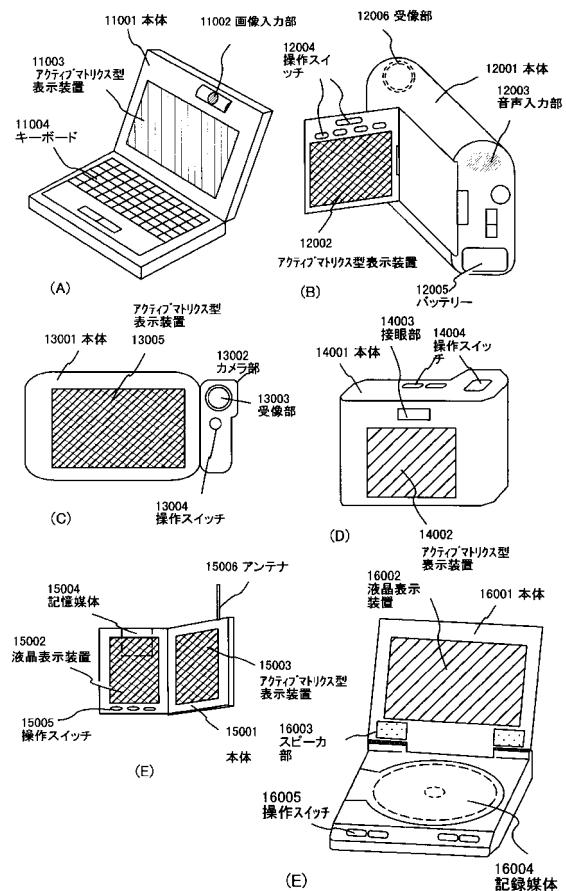
【図32】



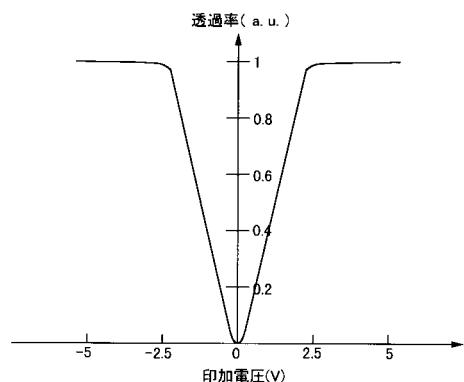
【図33】



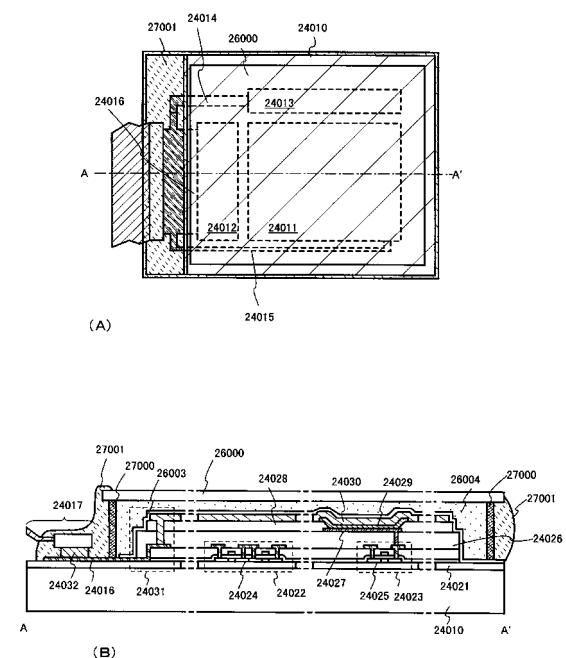
【図34】



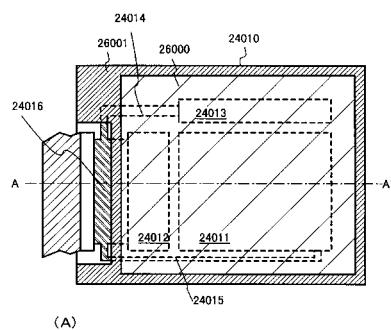
【図35】



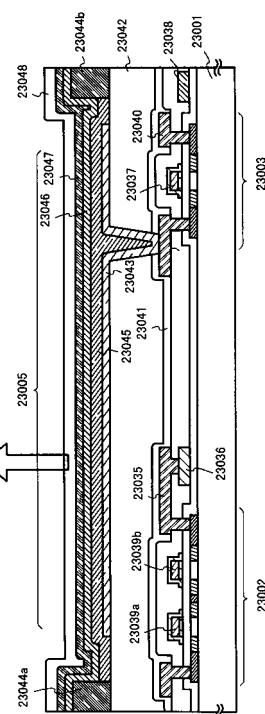
【図36】



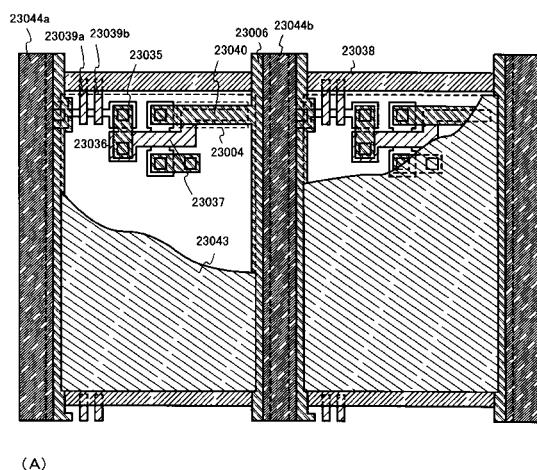
【図37】



【図38】



### 【図39】



【 図 4 0 】

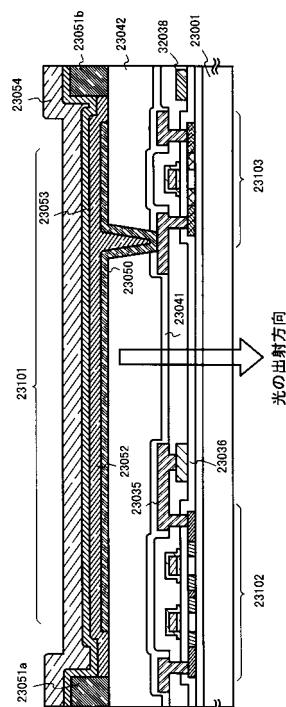
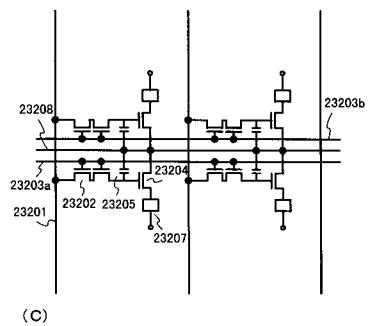
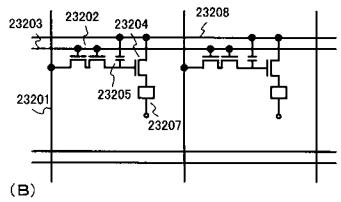
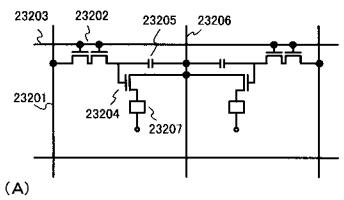


Diagram (B) illustrates a logic circuit with the following components and labels:

- Sources:** A vertical line on the left is labeled "ソース信号線" (Source Signal Line).
- Transistors:** There are four transistors labeled 23003, 23005, 23006, and 23008. Transistor 23003 is an NPN transistor with its collector connected to the source line. Transistor 23005 is an NPN transistor with its collector connected to the base of 23003. Transistor 23006 is an NPN transistor with its collector connected to the base of 23005. Transistor 23008 is an NPN transistor with its collector connected to the base of 23006.
- Diodes:** There are four diodes labeled 23002, 23004, 23007, and 23009. Diode 23002 is a Zener diode connected between the collector of 23003 and ground. Diode 23004 is a Zener diode connected between the collector of 23005 and ground. Diode 23007 is a Zener diode connected between the collector of 23006 and ground. Diode 23009 is a Zener diode connected between the collector of 23008 and ground.
- Resistors:** There are four resistors labeled 23001, 23003, 23005, and 23006. Resistor 23001 is connected between the collector of 23003 and the base of 23005. Resistor 23003 is connected between the collector of 23005 and the base of 23006. Resistor 23005 is connected between the collector of 23006 and the base of 23008. Resistor 23006 is connected between the collector of 23008 and the source line.
- Capacitors:** There are four capacitors labeled 23002, 23004, 23007, and 23009. Capacitor 23002 is connected between the collector of 23003 and ground. Capacitor 23004 is connected between the collector of 23005 and ground. Capacitor 23007 is connected between the collector of 23006 and ground. Capacitor 23009 is connected between the collector of 23008 and ground.

【図41】



---

フロントページの続き

(51)Int.Cl. F I

<i>H 04N</i>	<i>5/74</i>	<i>(2006.01)</i>	<i>G 09G</i>	<i>3/20</i>	<i>6 4 1 K</i>
			<i>G 09G</i>	<i>3/30</i>	<i>K</i>
			<i>H 04N</i>	<i>5/66</i>	<i>1 0 2 B</i>
			<i>H 04N</i>	<i>5/74</i>	<i>K</i>

(56)参考文献 特開平06-118928 (JP, A)

特開昭63-182695 (JP, A)

特開平04-125588 (JP, A)

特開平07-175450 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

*G09G* 3/00 - 3/38

*G02F* 1/133 505-580

*H04N* 5/66 - 5/74