

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5799380号
(P5799380)

(45) 発行日 平成27年10月21日(2015.10.21)

(24) 登録日 平成27年9月4日(2015.9.4)

(51) Int.Cl. F 1
A 6 3 F 7/02 (2006.01)
A 6 3 F 7/02 3 2 6 Z
A 6 3 F 7/02 3 0 4 D

請求項の数 1 (全 75 頁)

(21) 出願番号	特願2013-57721 (P2013-57721)	(73) 特許権者	000132747
(22) 出願日	平成25年3月21日(2013.3.21)		株式会社ソフィア
(62) 分割の表示	特願2009-221418 (P2009-221418) の分割		群馬県桐生市境野町7丁目201番地
原出願日	平成21年9月25日(2009.9.25)	(74) 代理人	100075513 弁理士 後藤 政喜
(65) 公開番号	特開2013-116405 (P2013-116405A)	(74) 代理人	100120260 弁理士 飯田 雅昭
(43) 公開日	平成25年6月13日(2013.6.13)	(74) 代理人	100142468 弁理士 高山 裕志
審査請求日	平成25年4月19日(2013.4.19)	(72) 発明者	田中 雅也 群馬県太田市吉沢町990番地 株式会社 ソフィア内
		(72) 発明者	松橋 光一 群馬県太田市吉沢町990番地 株式会社 ソフィア内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

演算処理手段を有し、遊技の演出を行う複数の演出装置を制御する演出制御手段を備え、

前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、

前記演出制御手段を、グループ単位制御手段を統括的に制御するグループ統括制御手段として構成し、

前記グループ統括制御手段は、

前記演算処理手段からの指令に基づいて、前記グループ単位制御手段との間でデータを伝達するためのデータ線の信号レベルを制御する複数の信号レベル制御手段を備え、

前記グループ単位制御手段には、各グループ単位制御手段の間で共通となる共通アドレスと、各グループ単位制御手段同士で相違する個別アドレスと、が予め割り当てられ、

前記グループ統括制御手段が伝達するデータには、前記共通アドレス又は前記個別アドレスを示す第1アドレス情報と、前記グループ単位制御手段に設けられた記憶領域のうちの所定のアドレスを示す第2アドレス情報と、複数の制御データと、前記記憶領域の範囲内においてアドレスを更新する際の上限アドレスと戻りアドレスを特定可能なアドレス更新情報と、が含まれ、

前記グループ単位制御手段は、

遊技機に備わる可動部材を動作させることにより遊技機の装飾を行う可動装置のグルー

10

20

プを制御する可動グループ単位制御手段と、

発光することにより遊技機の装飾を行う発光装置のグループを制御する発光グループ単位制御手段と、を含み、

前記第 1 アドレス情報が共通アドレスを示す場合に、初期化指示データに基づいて自身を初期化し、

前記第 1 アドレス情報が個別アドレスを示す場合に、前記第 2 アドレス情報が示すアドレスを記憶先の開始アドレスとして、受信した制御データを記憶し、制御データを記憶する毎に記憶先のアドレスを順次更新するとともに、

前記上限アドレスが示す記憶領域に制御データを記憶した場合は、記憶先のアドレスを前記戻りアドレスとなるように更新し、

前記可動グループ単位制御手段は、前記グループ統括制御手段から初期化を指示された場合、当該可動グループ単位制御手段が制御する前記可動部材を初期位置に戻すために前記可動装置に初期位置動作を実行させ、

該可動部材が初期位置に戻される間であっても、当該可動グループ単位制御手段に接続される信号レベル制御手段と異なる信号レベル制御手段は、前記発光グループ単位制御手段に対して発光制御データの伝達を行い、

前記可動グループ単位制御手段に接続される信号レベル制御手段と前記発光グループ単位制御手段に接続される信号レベル制御手段は、互いに異なる周期で接続されているグループ単位制御手段にデータの伝達を行うことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関する。

【背景技術】

【0002】

サブ中継基板と電飾基板との間の配線を簡素化することができる遊技機として、トップ電飾領域の中央部に配置されたトップLED中央基板をサブ中継基板とシリアル接続し、トップ電飾領域の右側部に配置されたトップLED右基板及びトップ電飾領域の左側部に配置されたトップLED左基板をトップLED中央基板から分離して配線により接続した構成の遊技機が知られている。これにより、サブ中継基板からトップ電飾領域への配線数を減らして配線を簡素化することができる（例えば、特許文献1参照）。

【0003】

また、信号線の本数を削減することができると共に不正行為の発見を容易に行うことができる遊技機として、主基板と副基板との間での信号送信をI²Cバス方式により行い、主基板及び副基板にそれぞれ双方向バスバッファを設けたものがある。この双方向バスバッファは、I²Cバスを構成する二つの双方向シリアルライン（SDA、SCL）をそれぞれ二つの片方向シリアルラインに分岐させるためのものであり、主基板に設けられた双方向バスバッファと副基板に設けられた双方向バスバッファとの間を、それらによって分岐された片方向シリアルラインの信号伝送方向が互いに一致するようにして、四つのシリアル線で接続した構成としている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-212271号公報

【特許文献2】特開2006-15036号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に記載された遊技機では、配線を十分に削減することができなかった。

10

20

30

40

50

【 0 0 0 9 】

本発明は、グループ統括制御手段とグループ単位制御手段とを接続する接続線の数削減することのできる遊技機を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明は、演算処理手段を有し、遊技の演出を行う複数の演出装置を制御する演出制御手段を備え、前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、前記演出制御手段を、グループ単位制御手段を統括的に制御するグループ統括制御手段として構成し、前記グループ統括制御手段は、前記演算処理手段からの指令に基づいて、前記グループ単位制御手段との間でデータを伝達するためのデータ線の信号レベルを制御する複数の信号レベル制御手段を備え、前記グループ単位制御手段には、各グループ単位制御手段の間で共通となる共通アドレスと、各グループ単位制御手段同士で相違する個別アドレスと、が予め割り当てられ、前記グループ統括制御手段が伝達するデータには、前記共通アドレス又は前記個別アドレスを示す第1アドレス情報と、前記グループ単位制御手段に設けられた記憶領域のうちの所定のアドレスを示す第2アドレス情報と、複数の制御データと、前記記憶領域の範囲内においてアドレスを更新する際の上限アドレスと戻りアドレスを特定可能なアドレス更新情報と、が含まれ、前記グループ単位制御手段は、遊技機に備わる可動部材を動作させることにより遊技機の装飾を行う可動装置のグループを制御する可動グループ単位制御手段と、発光することにより遊技機の装飾を行う発光装置のグループを制御する発光グループ単位制御手段と、を含み、前記第1アドレス情報が共通アドレスを示す場合に、初期化指示データに基づいて自身を初期化し、前記第1アドレス情報が個別アドレスを示す場合に、前記第2アドレス情報が示すアドレスを記憶先の開始アドレスとして、受信した制御データを記憶し、制御データを記憶する毎に記憶先のアドレスを順次更新するとともに、前記上限アドレスが示す記憶領域に制御データを記憶した場合は、記憶先のアドレスを前記戻りアドレスとなるように更新し、前記可動グループ単位制御手段は、前記グループ統括制御手段から初期化を指示された場合、当該可動グループ単位制御手段が制御する前記可動部材を初期位置に戻すために前記可動装置に初期位置動作を実行させ、該可動部材が初期位置に戻される間であっても、当該可動グループ単位制御手段に接続される信号レベル制御手段と異なる信号レベル制御手段は、前記発光グループ単位制御手段に対して発光制御データの伝達を行い、前記可動グループ単位制御手段に接続される信号レベル制御手段と前記発光グループ単位制御手段に接続される信号レベル制御手段は、互いに異なる周期で接続されているグループ単位制御手段にデータの伝達を行う。

【発明の効果】

【 0 0 1 6 】

本発明によると、グループ統括制御手段とグループ単位制御手段とを接続する接続線の数削減することができる。

【図面の簡単な説明】

【 0 0 2 2 】

【図1】本発明の第1実施形態の遊技機の説明図である。

【図2】本発明の第1実施形態の遊技盤の正面図である。

【図3】本発明の第1実施形態の遊技機の構成を示すブロック図である。

【図4】本発明の第1実施形態の演出制御装置の構成を示すブロック図である。

【図5】本発明の第1実施形態の装飾制御装置の接続の説明図である。

【図6】本発明の第1実施形態の装飾制御装置のブロック図である。

【図7】本発明の第1実施形態のI²C I/Oエクスパンドのブロック図である。

【図8A】本発明の第1実施形態の装飾装置を制御する装飾制御装置のI²C I/Oエクスパンド周辺の回路図である。

【図8B】本発明の第1実施形態の役物駆動MOT及び役物駆動SOLを制御する装飾制御装置のI²C I/Oエクスパンド周辺の回路図である。

【図 9】本発明の第 1 実施形態の中継基板の入出力に関する接続線の回路図である。

【図 10】本発明の第 1 実施形態の装飾制御装置の入出力に関する接続線の回路図である。

。

【図 11】本発明の第 1 実施形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレスの説明図である。

【図 12】本発明の第 1 実施形態の I²C I/O エクスパンダアドレステーブルの説明図である。

【図 13】本発明の第 1 実施形態の I²C I/O エクスパンダに備わる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図 14】本発明の第 1 実施形態のマスタ IC が接続線 SDA 及び接続線 SCL を介して出力するデータのスタート条件及びストップ条件の説明図である。

10

【図 15】本発明の第 1 実施形態のマスタ IC から出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。

【図 16】本発明の第 1 実施形態のマスタ IC が演出制御データを出力する場合の接続線 SDA 及び接続線 SCL の信号レベルのタイミングチャートである。

【図 17】本発明の第 1 実施形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダとの間で授受されるデータのフォーマットを説明する図である。

【図 18】本発明の第 1 実施形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダとの間で授受される演出制御データに具体的な数値を適用したものである。

20

【図 19】本発明の第 1 実施形態の演出制御データの別の形態を説明する図である。

【図 20】本発明の第 1 実施形態のマスタ IC が I²C I/O エクスパンダを初期化するときに、マスタ IC から I²C I/O エクスパンダへ送信される初期化指示データのデータフォーマットを説明する図である。

【図 21】本発明の第 1 実施形態の異常判定テーブルを説明する図である。

【図 22】本発明の第 1 実施形態の演出制御装置による処理のフローチャートである。

【図 23】本発明の第 1 実施形態の I²C 初期リセット処理のフローチャートである。

【図 24】本発明の第 1 実施形態のスレーブリセット処理のフローチャートである。

【図 25】本発明の第 1 実施形態の発光制御スレーブ出力処理のフローチャートである。

30

【図 26】本発明の第 1 実施形態のスレーブ連続処理のフローチャートである。

【図 27】本発明の第 1 実施形態の I²C 随時リセット処理のフローチャートである。

【図 28】本発明の第 1 実施形態のタイマ割込が発生した場合に実行されるタイマ割込処理のフローチャートである。

【図 29】本発明の第 1 実施形態のスレーブ単発出力処理のフローチャートである。

【図 30】本発明の第 1 の実施形態の遊技機全体に設けられる装飾制御装置の接続形態を示す図である。

【図 31】本発明の第 2 実施形態の演出制御装置と装飾制御装置との接続の説明図である。

。

【図 32】本発明の第 2 実施形態の異常判定テーブルの説明図である。

40

【図 33】本発明の第 2 実施形態の I²C 初期リセット処理のフローチャートである。

【図 34】本発明の第 2 実施形態の I²C 随時リセット処理のフローチャートである。

【図 35】本発明の第 2 実施形態の電源投入によるマスタ IC の初期化前後のタイミングチャートである。

【図 36】本発明の第 2 実施形態の異常が発生したマスタ IC の初期化前後のタイミングチャートである。

【発明を実施するための形態】

【0023】

(第 1 実施形態)

以下、本発明の第 1 実施形態について、図 1 ~ 図 32 を参照して説明する。

50

【 0 0 2 4 】

図 1 は、本発明の第 1 実施形態の遊技機 1 の説明図である。

【 0 0 2 5 】

遊技機 1 の前面枠（遊技枠）3 は本体枠（外枠）2 にヒンジ 4 を介して、遊技機 1 の前面に開閉回動可能に組み付けられる。前面枠 3 の表側には、遊技盤 1 0（図 2 参照）が収装される。また、前面枠 3 には、遊技盤 1 0 の前面を覆うカバーガラス（透明部材）を備えたガラス枠 1 8 が取り付けられている。

【 0 0 2 6 】

ガラス枠 1 8 のカバーガラスの周囲には、装飾光が発光される装飾部材 9 が備えられている。この装飾部材 9 の内部にはランプや LED 等からなる装飾装置 6 2 0（図 3 参照）が備えられている。この装飾装置 6 2 0 を所定の発光態様によって発光することによって、装飾部材 9 が所定の発光態様によって発光する。

【 0 0 2 7 】

ガラス枠 1 8 の左右には、音響（例えば、効果音）を発するスピーカ 3 0 が備えられている。また、ガラス枠 1 8 の上方には照明ユニット 1 1 が備えられている。照明ユニット 1 1 の内部には、前述した装飾装置 6 2 0 が備えられている。

【 0 0 2 8 】

照明ユニット 1 1 の右側には、遊技機 1 において異常が発生したことを報知するための異常報知 LED 2 9 が備えられている。

【 0 0 2 9 】

前面枠 3 の下部の開閉パネル 2 0 には図示しない打球発射装置に遊技球を供給する上皿 2 1 が、固定パネル 2 2 には灰皿 1 5、下皿 2 3 及び打球発射装置の操作部 2 4 等が備えられる。下皿 2 3 には、下皿 2 3 に貯まった遊技球を排出するための下皿球抜き機構 1 6 が備えられる。前面枠 3 下部右側には、ガラス枠 1 8 を施錠するための鍵 2 5 が備えられている。

【 0 0 3 0 】

また、遊技者が操作部 2 4 を回動操作することによって、打球発射装置は、上皿 2 1 から供給される遊技球を発射する。

【 0 0 3 1 】

また、上皿 2 1 の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン 1 7 が備えられている。

【 0 0 3 2 】

遊技者が演出ボタン 1 7 を操作することによって、遊技盤 1 0 に設けられた表示装置 5 3（図 2 参照）における特図変動表示ゲームの演出内容を選択して、表示装置 5 3 における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

【 0 0 3 3 】

なお、特図変動表示ゲームは、発射された遊技球が遊技盤 1 0 に備わる第 1 始動入賞口 4 5（図 2 参照）又は普通変動入賞装置 3 6（図 2 参照）の第 2 始動入賞口に入賞した場合に開始される。特図変動表示ゲームでは、表示装置 5 3 において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機 1 の状態が遊技者に有利な状態（特典が付与される状態）である特別遊技状態に遷移する。

【 0 0 3 4 】

上皿 2 1 の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン 2 6、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン 2 7 が設けられている。これらのボタン 2 6、2 7 の間には、プリペイドカードの残高を表示する残高表示部 2 8 が設けられる。

【 0 0 3 5 】

図 2 は、本発明の第 1 実施形態の遊技盤 1 0 の正面図である。

【 0 0 3 6 】

図 1 に示す遊技機 1 は、内部の遊技領域 10 a 内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠 18 のカバーガラスの奥側には、遊技領域 10 a を構成する遊技盤 10 が設置されている。

【0037】

遊技盤 10 は、各種部材の取付ベースとなる平板状の遊技盤本体 10 b（木製又は合成樹脂製）を備え、該遊技盤本体 10 b の前面にガイドレール 32 で囲まれた遊技領域 10 a を有している。また、遊技盤本体 10 b の前面であってガイドレール 32 の外側には、前面構成部材 33、33、... が取り付けられている。そして、このガイドレール 32 で囲まれた遊技領域 10 a 内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行うようになっている。

10

【0038】

遊技領域 10 a の略中央には、特図変動表示ゲームの表示領域となる窓部 52 を形成するセンターケース 51 が取り付けられている。このセンターケース 51 に形成された窓部 52 の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置 53 が配されるようになっている。この表示装置 53 は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 53 a がセンターケース 51 の窓部 52 を介して遊技盤 10 の前面側から視認可能となるように配されている。なお、表示装置 53 は、液晶ディスプレイを備えるものに限らず、EL、CRT 等のディスプレイを備えるものであってもよい。

【0039】

センターケース 51 の窓部 52 の上端付近には、遊技状態に基づいて動作可能な可動役物 60 が取り付けられる。

20

【0040】

また、遊技盤 10 には、普図始動ゲート 34 と、普図変動表示ゲームの未処理回数を表示する普図記憶表示器 47、普図変動表示ゲームを表示する普図表示器 35 が設けられている。また、遊技領域 10 a 内には、第 1 の始動入賞領域をなす第 1 始動入賞口 45 と、第 2 の始動入賞領域をなす第 2 始動入賞口を有する普通変動入賞装置 36 と、が設けられている。そして、遊技球が第 1 始動入賞口 45 に入賞した場合は、補助遊技として第 1 特図変動表示ゲームが実行され、遊技球が普通変動入賞装置 36 に入賞した場合は、補助遊技として第 2 特図変動表示ゲームが実行されるようになっている。

30

【0041】

また、遊技盤 10 には、第 1 特図変動表示ゲームを表示する第 1 特図表示器 38 と、第 2 特図変動表示ゲームを表示する第 2 特図表示器 39 と、が設けられている。また、第 1 特図変動表示ゲームの未処理回数（第 1 特図始動記憶）を表示する第 1 特図記憶表示器 48 と、第 2 特図変動表示ゲームの未処理回数（第 2 特図始動記憶）を表示する第 2 特図記憶表示器 49 が設けられている。なお、普図記憶表示器 47、普図表示器 35、第 1 特図表示器 38、第 2 特図表示器 39、第 1 特図記憶表示器 48、第 2 特図記憶表示器 49 は、遊技状態を表す遊技状態表示 LED（図示略）と併せて、セグメント LED として一体に設けられている。

【0042】

さらに遊技領域 10 a には、上端側が手前側に倒れる方向に回動して開放可能になっているアタッカ形式の開閉扉 42 a を有し、第 1 特図変動表示ゲーム、第 2 特図変動表示ゲームの結果如何によって大入賞口を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する特別変動入賞装置 42、入賞口などに入賞しなかった遊技球を回収するアウト穴 43 が設けられている。この他、遊技領域 10 a には、一般入賞口 44、44、...、打球方向変換部材としての風車 46、多数の障害釘（図示略）などが配設されている。

40

【0043】

普図始動ゲート 34 内には、該普図始動ゲート 34 を通過した遊技球を検出するためのゲート SW 34 a（図 3 参照）が設けられている。そして、遊技領域 10 a 内に打ち込ま

50

れた遊技球が普図始動ゲート 3 4 内を通過すると、普図変動表示ゲームが行われる。

【 0 0 4 4 】

また、普図変動表示ゲームを開始できない状態中に、普図始動ゲート 3 4 を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が 1 加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

【 0 0 4 5 】

普図変動表示ゲームを開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームが当たって普通変動入賞装置 3 6 が開状態に変換されている状態のことをいう。

【 0 0 4 6 】

なお、普図変動表示ゲームの始動記憶数は、LED を備える普図記憶表示器 4 7 にて表示される。

【 0 0 4 7 】

普図変動表示ゲームは、遊技盤 1 0 に設けられた普図表示器 3 5 で実行されるようになっている。なお、表示装置 5 3 の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることにより行うようにする。

【 0 0 4 8 】

この普図変動表示ゲームの停止表示が特別の結果態様となれば、普図変動表示ゲームが当たりとなって、普通変動入賞装置 3 6 の開閉部材 3 6 a、3 6 a が所定時間（例えば、0.5 秒間）開放される。これにより、普通変動入賞装置 3 6 に遊技球が入賞しやすくなり、第 2 特図変動表示ゲームの始動が容易となる。

【 0 0 4 9 】

普通変動入賞装置 3 6 は左右一对の開閉部材 3 6 a、3 6 a を具備し、第 1 始動入賞口 4 5 の下部に配設される。この開閉部材 3 6 a、3 6 a は、常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームが当たりとなった場合）には、駆動装置としてのソレノイド（普電 SOL 3 6 b、図 3 参照）によって、逆「ハ」の字状に開いて普通変動入賞装置 3 6 に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられるようになっている。

【 0 0 5 0 】

また、本実施形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づき、遊技状態として、表示装置 5 3 における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第 2 動作状態）を発生可能となっている。この時短動作状態（第 2 動作状態）は、普通変動入賞装置 3 6 の動作状態が、通常動作状態（第 1 動作状態）に比べて開放状態となりやすい状態である。

【 0 0 5 1 】

この時短動作状態においては、上述の普図変動表示ゲームの実行時間が、通常動作状態における長い実行時間よりも短くなるように制御され（例えば、10 秒が 1 秒）、これにより、単位時間当りの普通変動入賞装置 3 6 の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームが当たり結果となって普通変動入賞装置 3 6 が開放される場合に、開放時間が通常動作状態の短い開放時間より長くされるように制御される（例えば、0.3 秒が 1.8 秒）。また、時短動作状態においては、普図変動表示ゲームの 1 回の当たり結果に対して、普通変動入賞装置 3 6 が 1 回ではなく、複数回（例えば、2 回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当たり結果となる確率が通常動作状態より高くなるように制御される。すなわち、通常動作状態よりも普通変動入賞装置 3 6 の開放回数が増加され、普通変動入賞装置 3 6 に遊技球が入賞しやすくなり、第 2 特図変動表示ゲームの始動が容易となる。

【 0 0 5 2 】

第 1 始動入賞口 4 5 の内部には第 1 始動口 S W 4 5 a (図 3 参照) が備えられ、この第 1 始動口 S W 4 5 a によって遊技球を検出することに基づき、補助遊技としての第 1 特図変動表示ゲームを開始する始動権利が発生するようになっている。また、普通変動入賞装置 3 6 の内部には第 2 始動口 S W 3 6 d (図 3 参照) が備えられ、この第 2 始動口 S W 3 6 d によって遊技球を検出することに基づき、補助遊技としての第 2 特図変動表示ゲームを開始する始動権利が発生するようになっている。

【 0 0 5 3 】

この第 1 特図変動表示ゲームを開始する始動権利は、所定の上限数 (例えば 4) の範囲内で第 1 始動記憶 (特図 1 始動記憶) として記憶される。そして、この第 1 始動記憶数は、第 1 特図記憶表示器 4 8 に表示される。また、第 2 特図変動表示ゲームを開始する始動権利は、所定の上限数 (例えば 4) の範囲内で第 2 始動記憶 (特図 2 始動記憶) として記憶される。そして、この第 2 始動記憶数は、第 2 特図記憶表示器 4 9 にて表示される。

【 0 0 5 4 】

そして、第 1 特図変動表示ゲームが開始可能な状態 (第 1 始動記憶数及び第 2 始動記憶数が 0 の状態) で、第 1 始動入賞口 4 5 に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第 1 始動記憶として記憶されて、第 1 始動記憶数が 1 加算されるとともに、直ちに第 1 始動記憶に基づいて、第 1 特図変動表示ゲームが開始され、この際に第 1 始動記憶数が 1 減算される。

【 0 0 5 5 】

また、第 2 特図変動表示ゲームは第 1 特図変動表示ゲームよりも優先して実行されるため、第 1 始動記憶数が 0 でなくても、第 2 始動記憶数が 0 であれば、第 2 始動入賞口をなす普通変動入賞装置 3 6 に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第 2 始動記憶として記憶されて、第 2 始動記憶数が 1 加算されるとともに、実行中の第 1 特図変動表示ゲームが終了後直ちに第 2 始動記憶に基づいて、第 2 特図変動表示ゲームが開始され、この際に第 2 始動記憶数が 1 減算される。

【 0 0 5 6 】

一方、第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームが直ちに開始できない状態、例えば、既に第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、第 1 始動入賞口 4 5 に遊技球が入賞すると、第 1 始動記憶数が上限数未満 (例えば、4 個未満) ならば、第 1 始動記憶数が 1 加算されて、第 1 始動入賞口 4 5 に遊技球が入賞したタイミングで抽出された乱数が第 1 始動記憶として一つ記憶される。

【 0 0 5 7 】

同様に、この場合に第 2 始動入賞口をなす普通変動入賞装置 3 6 に遊技球が入賞すると、第 2 始動記憶数が上限数未満 (例えば、4 個未満) ならば、第 2 始動記憶数が 1 加算されて、第 2 始動入賞口に遊技球が入賞したタイミングで抽出された乱数が第 2 始動記憶として一つ記憶される。

【 0 0 5 8 】

そして、第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームが開始可能な状態となると、第 1 始動記憶又は第 2 始動記憶に基づき第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームが開始される。このとき、第 1 特図変動表示ゲームと第 2 特図変動表示ゲームは同時に実行されることはなく、第 2 特図変動表示ゲームが第 1 特図変動表示ゲームよりも優先して実行されるようになっている。

【 0 0 5 9 】

すなわち、第 1 始動記憶と第 2 始動記憶がある場合には、第 2 特図変動表示ゲームが実行される。

【 0 0 6 0 】

補助遊技としての第 1 特図変動表示ゲーム、第 2 特図変動表示ゲームは、遊技盤 1 0 に設けられた第 1 特図表示器 3 8、第 2 特図表示器 3 9 で実行されるようになっており、複

10

20

30

40

50

数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置 53 にて各特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）を変動表示させる特図変動表示ゲームが実行される。そして、この特図変動表示ゲームの結果として、第 1 特図表示器 38 又は第 2 特図表示器 39 の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置 53 の表示態様も特別結果態様（例えば、「7, 7, 7」等のゾロ目数字の何れか）となる。なお、遊技機に第 1 特図表示器 38、第 2 特図表示器 39 を備えずに、表示装置 53 のみで特図変動表示ゲームを実行するようにしてもよい。

【0061】

10

また、本実施形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第 2 確率状態）を発生可能となっている。この確変状態（第 2 確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第 1 確率状態）に比べて高い状態である。なお、第 1 特図変動表示ゲームと第 2 特図変動表示ゲームのどちらの特図変動表示ゲームの結果態様に基づき確変状態となっても、第 1 特図変動表示ゲーム及び第 2 特図変動表示ゲームの両方が確変状態となる。また、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

【0062】

図 3 は、本発明の第 1 実施形態の遊技機 1 の構成を示すブロック図である。

20

【0063】

遊技機 1 は、遊技を統括的に制御する遊技制御装置 500、各種演出を行うために表示装置 53 及びスピーカ 30 等を制御する演出制御装置 550、遊技球を払い出すために図示しない払出モータを制御する払出制御装置 580 を備える。

【0064】

まず、遊技制御装置 500 について説明する。図 4 では、演出制御装置 550 について説明する。

【0065】

遊技制御装置 500 は、遊技用マイコン 501、入力 I/F (Interface) 505、出力 I/F (Interface) 506、及び外部通信端子 507 を備える。

30

【0066】

遊技用マイコン 501 は、CPU 502、ROM (Read Only Memory) 503 及び RAM (Random Access Memory) 504 を備える。

【0067】

CPU 502 は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM 503 は、遊技制御のための不変の情報（プログラム、データ等）を記憶している。RAM 504 は、遊技制御時にワークエリアとして利用される。

【0068】

外部通信端子 507 は、遊技制御装置 500 の設定情報等进行检查する検査装置等の外部機器に遊技制御装置 500 を接続する。

40

【0069】

CPU 502 は、入力 I/F 505 を介して各種入力装置（第 1 始動口 SW 45a、第 2 始動口 SW 36d、一般入賞口 SW 44a、ゲート SW 34a、カウント SW 42d、ガラス枠開放 SW 18a、前面枠開放 SW 3a、球切れ SW 54、振動センサ 55、及び磁気センサ 56）からの検出信号を受けて、大当たり抽選等、種々の処理を行う。

【0070】

第 1 始動口 SW 45a は、第 1 始動入賞口 45 に遊技球が入賞したことを検出するスイッチである。第 2 始動口 SW 36d は、普通変動入賞装置 36 の第 2 始動入賞口に遊技球が入賞したことを検出するスイッチである。

【0071】

50

一般入賞口SWa44a~44nは、一般入賞口44に遊技球が入賞したことを検出するスイッチである。ゲートSW34aは、普図始動ゲート34を遊技球が通過したことを検出するスイッチである。

【0072】

カウントSW42dは、特別変動入賞装置42の大入賞口に遊技球が入賞したことを検出するスイッチである。

【0073】

ガラス枠開放SW18aは、ガラス枠18が開放されたことを検出するスイッチである。前面枠開放SW3aは、前面枠3が開放されたことを検出するスイッチである。

【0074】

球切れSW54は、遊技機1の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【0075】

振動センサ55は、遊技機1に与えられた振動を検出するセンサであり、遊技機1に振動を与えて、不当に遊技球を獲得する不正を検出する。磁気センサ56は、第1始動入賞口45、普通変動入賞装置36の第2始動入賞口、一般入賞口44、特別変動入賞装置42の大入賞口、及び普図始動ゲート34付近に設けられ、磁力を検出するセンサである。磁気センサ93は、各入賞口付近に磁石を近づけて、遊技領域10aに発射された遊技球を各入賞口に導く不正を検出する。

【0076】

また、CPU502は、出力I/F506を介して、第1特図表示器38、第1特図記憶表示器48、第2特図表示器39、第2特図記憶表示器49、普図表示器35、普電SOL36b、大入賞口SOL42b、払出制御装置580、及び演出制御装置550に指令信号を送信して、遊技を統括的に制御する。

【0077】

第1特図表示器38には、第1始動入賞口45に遊技球が入賞した場合に補助遊技として実行される第1特図変動表示ゲームが表示される。第1特図記憶表示器48には、所定の上限数の範囲内で記憶される第1特図変動表示ゲームを開始する始動権利である第1始動記憶数が表示される。

【0078】

第2特図表示器39には、普通変動入賞装置36の大入賞口に遊技球が入賞した場合に補助遊技として実行される第2特図変動表示ゲームが表示される。第2特図記憶表示器49には、所定の上限数の範囲内で記憶される第2特図変動表示ゲームを開始する始動権利である第2始動記憶数が表示される。

【0079】

普図表示器35には、遊技球が普図始動ゲート34を通過した場合に行われる普図変動表示ゲームが表示される。

【0080】

普電SOL36bは、普図表示器35で実行される普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材36a、36aを開放し、普通変動入賞装置36の第2始動入賞口を遊技球が入賞しやすい状態にする。

【0081】

大入賞口SOL42bは、第1特図変動表示ゲーム又は第2特図変動表示ゲームの結果が特別の結果態様となり、特別遊技状態となった場合に、特別変動入賞装置42の開閉扉42aを開放して、大入賞口を遊技球が入賞しやすい状態に変換する。

【0082】

また、遊技制御装置500は、遊技機データを、外部情報端子508を介して、図示しない情報収集端末装置を介して、図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機1の遊技データを収集管理する計算機である。

【0083】

10

20

30

40

50

また、払出制御装置 580 は、遊技球が一般入賞口 44 又は大入賞口に入賞した場合に、入賞した入賞口に対応する数の遊技球の払い出し、又は球貸ボタン 26 が操作された場合に、所定数の遊技球の払い出しを行う払出指令を遊技制御装置 500 から受信した場合に、受信した払出指令に基づいて、図示しない払出モータを制御する。なお、払出指令には、払い出す遊技球の数が含まれる。

【0084】

遊技制御装置 500 は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力 I/F 506 を介して、演出制御装置 550 へ送信する。

【0085】

図 4 は、本発明の第 1 の実施形態の演出制御装置 550 の構成を示すブロック図である。

【0086】

演出制御装置 550 は、遊技制御装置 500 から入力される遊技データ（表示制御指令）に基づいて、演出内容を決定して、表示装置 53、及びスピーカ 30 を制御するとともに、装飾制御装置 610 を介して装飾装置 620、役物駆動 SOL 560（ソレノイド）、及び役物駆動 MOT（モータ）561 を制御する。詳細は後述するが、これら装飾装置 620、役物駆動 SOL 560、及び役物駆動 MOT 561（総称して演出装置という）によって、遊技の演出が行われる。また、演出制御装置 550 は、演出ボタン 17 から当該演出ボタン 17 が操作されたことを示す信号が入力される。

【0087】

演出制御装置 550 は、CPU 551、制御 ROM 552、RAM 553、画像 ROM 554、音 ROM 555、VDP 556、音 LSI 557、入出力 I/F 558、電源投入検出回路 559、マスタ IC 570、及び NOR ゲート回路 590 を備える。

【0088】

CPU 551 は、遊技制御装置 500 に接続され、遊技制御装置 500 から指令信号が割込信号（INT）として入力され、入力された指令信号に基づいて、各種演出を制御する主制御装置である。また、CPU 551 には、マスタ IC 570 の後述するコントローラから割込信号が入力されるとともに、VDP 556 から割込信号が入力される。

【0089】

なお、CPU 551 に割込信号が入力されると、CPU 551 は、現在実行中の処理を中断して、入力された割込信号に対応する処理を実行する。

【0090】

制御 ROM 552 には、演出制御のための不変の情報（プログラム、データ等）が格納されている。RAM 553 は、演出制御時にワークエリアとして利用される。

【0091】

画像 ROM 554 には、表示装置 53 に表示される画像データが格納され、画像 ROM 554 は VDP 556 に接続されている。音 ROM 555 には、スピーカ 30 から出力される音データが格納され、音 ROM 555 は音 LSI 557 に接続されている。

【0092】

VDP 556 は、表示装置 53 への画像出力を制御するプロセッサである。音 LSI 557 は、スピーカ 30 からの音声出力を制御する回路である。

【0093】

なお、VDP 556 は、表示装置 53 に表示される画像を更新する周期（33ms 周期）と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号を CPU 551 に割込信号として入力する。

【0094】

入出力 I/F 558 は、演出ボタン 17、モータ位置検出センサ 510、及び NOR ゲート回路 590 に接続されるインタフェースであり、演出ボタン 17 からの操作信号、及

10

20

30

40

50

びモータ位置検出センサ 510 からのモータ位置検出信号を CPU 551 へ伝達するとともに、CPU 551 からのリセット信号を NOR ゲート回路 590 へ伝達する。

【0095】

なお、演出ボタン 17 は、上皿 21 の上縁部に設けられ、表示装置 53 で実行される第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームにおける演出で、遊技者によって操作される。

【0096】

また、モータ位置検出センサ 510 は、役物駆動 MOT 561 の回転軸が初期位置まで回転したことを検出した場合に、モータ位置検出信号を出力するセンサである。

【0097】

なお、NOR ゲート回路 590 は、マスタ IC 570 のコントローラに備わる RESET 端子、及び初期化を必要とする他の回路に接続される。初期化を必要とする他の回路とは、例えば、VDP 556 や音 LSI 557 などである。これらは、演出制御装置 550 に電源が投入されて起動したときに、CPU 551 により初期化されるものである。

【0098】

CPU 551、VDP 556、RAM 553、制御 ROM 552、音 LSI 557、及び入出力 I/F 558 はバス 563 を介してそれぞれ接続されている。

【0099】

電源投入検出回路 559 は、演出制御装置 550 に電源が投入された場合に、マスタ IC 570 の図示しないレジスタをデフォルト状態（すべて 0）に初期化するリセット信号を発生させ、発生させたリセット信号を NOR ゲート回路 590 へ出力する。

【0100】

また、CPU 551 は、所定の条件が成立した場合に、リセット信号をバス 563 を介して入出力 I/F 558 に出力し、入出力 I/F 558 は入力されたリセット信号を NOR ゲート回路 590 へ出力する。

【0101】

なお、電源投入検出回路 559 から NOR ゲート回路 590 へ入力されるリセット信号、及び CPU 551 から入出力 I/F 558 を介して NOR ゲート回路 590 へ入力されるリセット信号は、いずれの場合にもロウレベルの状態である場合にリセットを指令する信号として機能する。そのため、電源投入検出回路 559 及び CPU 551 の少なくとも一方から NOR ゲート回路 590 にリセット信号が出力されていれば、NOR ゲート回路 590 を介してリセット信号がマスタ IC 570 に入力される。

【0102】

上述したように、NOR ゲート回路 590 は、マスタ IC 570 及び初期化を必要とする他の回路に接続されるため、NOR ゲート回路 590 にリセットが入力されると、マスタ IC 570 及び当該 NOR ゲート回路 590 に接続される初期化を必要とする他の回路が初期化される。

【0103】

なお、初期化を必要とする他の回路がない場合には、NOR ゲート回路 590 は、マスタ IC 570 にのみ接続される。

【0104】

次に、マスタ IC 570 について説明する。

【0105】

マスタ IC 570 は、制御対象となる演出装置の装飾制御装置 610 のアドレスを指定して、指定したアドレスの装飾制御装置 610 に演出装置の制御内容を出力する。

【0106】

マスタ IC 570 は、接続線 Vcc、接続線 Vact、接続線 SDA、接続線 SCL、及び接続線 GND（図 5 参照）の 5 本の接続線を介して、中継基板（装飾制御装置）600 に接続される。

【0107】

10

20

30

40

50

接続線 V c c は、中継基板 6 0 0 及び装飾制御装置 6 1 0 に、ロジック用の電源を供給するための接続線である。接続線 V a c t は、演出装置を駆動させるための電源（例えば、LEDを発光させるための電源）を供給するための接続線である。接続線 S D A は、演出制御装置 5 5 0 と装飾制御装置 6 1 0 との間でデータを通信するための接続線であり、本実施形態におけるデータ線として機能する。接続線 S C L は、接続線 S D A でのデータ通信に用いられるクロック信号を入出力するための接続線であり、本実施形態におけるタイミング信号線として機能する。図 5 に示す接続線 G N D は、接続線 V c c 及び接続線 V a c t で供給される電源のグランドである。

【 0 1 0 8 】

中継基板 6 0 0 と装飾制御装置 6 1 0 との間は、マスタ I C 5 7 0 と中継基板 6 0 0 との間と同じく、接続線 V c c 、接続線 V a c t 、接続線 S D A 、接続線 S C L 、及び接続線 G N D を介して接続される。

10

【 0 1 0 9 】

マスタ I C 5 7 0 と装飾制御装置 6 1 0 とは、接続線 S D A 及び接続 S C L によって 2 ライン双方向通信を行う。

【 0 1 1 0 】

マスタ I C 5 7 0 は、中継基板 6 0 0 及び装飾制御装置 6 1 0 にデータを送信する場合には、まず、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることにより、装飾制御装置 6 1 0 へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置 6 1 0 に対してスタートコンディションを発行する）。

20

【 0 1 1 1 】

この後、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを L O W に変更し、接続線 S C L の信号レベルが L O W である間に接続線 S D A の信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線 S C L の信号レベルを L O W から H I G H に変化させる。接続線 S C L の信号レベルが H I G H に変化すると、装飾制御装置 6 1 0 は接続線 S D A の信号レベルを取り込んで、送信データの最初のビットとして認識する。次いで、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを H I G H から L O W に戻す。

【 0 1 1 2 】

この手順を 1 回実行すると、マスタ I C 5 7 0 から装飾制御装置 6 1 0 へ 1 ビットのデータが送信され、最終的にはこの手順が 8 回繰り返されることで、送信データの単位ビットである 8 ビット全てがマスタ I C 5 7 0 から装飾制御装置 6 1 0 へ送信される（1 バイト分のデータが送信される）。

30

【 0 1 1 3 】

そして、マスタ I C 5 7 0 は、最後の 8 ビット目のデータを送信し終えて、接続線 S C L の信号レベルを H I G H から L O W に戻した際に、接続線 S D A を解放して装飾制御装置 6 1 0 からの返答信号を受信することを待機する受信待機状態にする。

【 0 1 1 4 】

受信待機状態になると、装飾制御装置 6 1 0 は、接続線 S D A を介して 1 ビットの返答信号（後述する A C K 又は N A C K ）をマスタ I C 5 7 0 に返す。次いで、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを L O W から H I G H に変化させて返答信号のレベルを取り込み、所定時間後に接続線 S C L の信号レベルを H I G H から L O W に変化させると、装飾制御装置 6 1 0 は接続線 S D A を解放する。

40

【 0 1 1 5 】

マスタ I C 5 7 0 は、このような 1 バイト分のデータ送信と 1 ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置 6 1 0 へ出力すべきデータがすべて出力されるまで継続する。マスタ I C 5 7 0 は、出力すべきデータの出力が終了した場合には、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを L O W から H I G H に変更させることにより、装飾制御装置 6 1 0 へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置 6 1 0 に対してストップコンディションを発行す

50

る)。

【0116】

入力用B U F 5 7 1は、装飾制御装置6 1 0から接続線S D Aを介して入力されたデータが一時的に記憶される記憶装置である。

【0117】

具体的には、マスタI C 5 7 0が入力モードに設定された場合において、装飾制御装置6 1 0からマスタI C 5 7 0に送信されたデータが、フィルタ5 7 5 Aによりノイズが除去されて入力用B U F 5 7 1に一時的に記憶される。

【0118】

出力用B U F 5 7 2は、装飾制御装置6 1 0に接続線S D Aを介して出力するデータが一時的に記憶される。

10

【0119】

リセットR E G 5 7 3は、本実施形態の初期化指示データ記憶領域として機能するもので、バス5 6 3に接続され、C P U 5 5 1からの指令を受けてリセット信号をコントローラに出力する。コントローラは、マスタI C 5 7 0を統括的に制御し、各種処理を実行する。

【0120】

送信モードR E G 5 7 4は、I²C I / Oエクスパンダ6 1 5へデータを送信するモードを、バイトモード又はバッファモードにするかを選択するためのレジスタである。

【0121】

20

バイトモードは、マスタI C 5 7 0が、I²C I / Oエクスパンダ6 1 5へデータを1バイト送信する毎に、I²C I / Oエクスパンダ6 1 5からA C K又はN A C Kを受信し、A C K及びN A C Kの何れを受信した場合でも、マスタI C 5 7 0からC P U 5 5 1に割込信号を出力するモードである。

【0122】

バッファモードは、マスタI C 5 7 0が、出力用B U F 5 7 2に格納された複数バイトのデータを、I²C I / Oエクスパンダ6 1 5へ1バイト毎送信し、その送信の都度、I²C I / Oエクスパンダ6 1 5からA C K又はN A C Kを受信するととともに、N A C Kを受信した場合には、その時点で、割込信号をC P U 5 5 1に出力するモードである。

【0123】

30

但し、バッファモードでは、A C Kを受信した場合には、出力用B U F 5 7 2に格納されたすべてのデータが送信完了となった場合にのみ、割込信号をC P U 5 5 1に出力し、マスタI C 5 7 0は、出力用B U F 5 7 2に未送信のデータが残っている状態でI²C I / Oエクスパンダ6 1 5からA C Kを受信したときには、割込信号をC P U 5 5 1に出力せずに、出力用B U F 5 7 2から次の送信すべきデータを取り出して、I²C I / Oエクスパンダ6 1 5へ出力する制御が繰り返される。

【0124】

なお、バイトモードは、マスタI C 5 7 0が、後述する初期化指示データ及び可動制御データをI²C I / Oエクスパンダ6 1 5へ出力する場合に用いられる。バッファモードは、マスタI C 5 7 0が、後述する発光制御データをI²C I / Oエクスパンダ6 1 5へ出力する場合に用いられる。

40

【0125】

ステータスR E G 5 7 9は、マスタI C 5 7 0がI²C I / Oエクスパンダ6 1 5から受信した返答信号が、A C KであったのかN A C Kであったのかを識別するレジスタである。マスタI C 5 7 0は、C P U 5 5 1に割込信号を出力する際に、I²C I / Oエクスパンダ6 1 5から受信した返答信号に対応して、ステータスR E G 5 7 9の値を設定する。

【0126】

フィルタ5 7 5 Aは、接続線S D Aから入力されたデータのノイズを除去する。ドライバ5 7 6 Aは、接続線S D Aからデータを出力する場合に、トランジスタ5 7 8 Aが動作

50

可能な電圧をトランジスタ 578A に印加する。

【0127】

図9に示すように接続線SDAには、プルアップ抵抗Rによって所定の電圧が印加されて、接続線SDAはフィルタ575A及びトランジスタ578Aに接続されている。

【0128】

トランジスタ578Aは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられており、トランジスタ578Aのゲートはドライバ576Aに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

【0129】

トランジスタ578Aのゲートに印加される電圧がトランジスタ578Aを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SDAに印加された電圧は降下せず、その結果、接続線SDAはHIGHレベルとなる。一方、トランジスタ578Aのゲートに印加される電圧がトランジスタ578Aを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下し、その結果、接続線SDAはLOWレベルとなる。

【0130】

なお、トランジスタ578Aは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線SDAには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0131】

ドライバ576Aは、データを接続線SDAから出力する場合に、トランジスタ578Aにドレインとソースとの間に電流を流すためにトランジスタ578Aのゲートにトランジスタ578Aが動作可能な値の電圧を印加する。そして、ドライバ576Aは、接続線SDAの電圧を、HIGHレベル又はLOWレベルに設定することによって、データを接続線SDAから出力する。

【0132】

また、フィルタ575Bは、接続線SCLから入力されたデータのノイズを除去する。ドライバ576Bは、接続線SCLからデータを出力する場合に、トランジスタ578Bが動作可能な電圧をトランジスタ578Bに印加する。

【0133】

図9に示すように接続線SCLは、プルアップ抵抗Rによって所定の電圧が印加されて、接続線SDAはフィルタ575B及びトランジスタ578Bに接続されている。

【0134】

トランジスタ578Bは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられており、トランジスタ578Bのゲートはドライバ576Bに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SCLに接続され、ソースは接地されている。

【0135】

トランジスタ578Bのゲートに印加される電圧がトランジスタ578Bを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SCLに印加された電圧は降下せず、その結果、接続線SCLはHIGHレベルとなる。一方、トランジスタ578Bのゲートに印加される電圧がトランジスタ578Bを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SCLの電圧が低下し、その結果、接続線SCLはLOWレベルとなる。

【0136】

10

20

30

40

50

なお、トランジスタ 578B は、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。そのため、接続線 SCL には、通常の I²C バス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置 550 と装飾制御装置 610 との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0137】

ドライバ 576B は、クロック信号を接続線 SCL から出力する場合に、トランジスタ 578B にドレインとソースとの間に電流を流すためにトランジスタ 578B のゲートにトランジスタ 578B が動作可能な値の電圧を印加する。そして、ドライバ 576B は、接続線 SCL の電圧を、HIGH レベルと LOW レベルとに繰り返し変化させることによ

10

【0138】

電源投入リセット回路 577 は、マスタ IC 570 に電源が投入されて、電源投入リセット回路 577 内の電圧が所定値に達した場合に、入力用 BUF 571 及び出力用 BUF 572 などの記憶領域をデフォルト状態にするためのリセット信号をコントローラに出力する。

【0139】

次に、中継基板 600 及び装飾制御装置 610 について説明する。

【0140】

なお、中継基板 600 は、装飾制御装置 610 のうちマスタ IC 570 に直接接続され

20

【0141】

装飾装置 620 は、装飾制御装置 610 に設けた I²C I/O エクスパンダ 615 (図 6 で後述) によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えば LED など構成される。役物駆動ソレノイド (SOL) 560 は、電流が流れると往復動作する装置であり、遊技盤 10 に配置される図示しない装飾のための役物を可動させて演出を行う。役物駆動モータ (MOT) 561 は、電流が流れると回転動作する装置であり、可動役物 60 を可動させて演出を行う。役物駆動ソレノイド (SOL) 560 及び役物駆動モータ (MOT) 561 も、装飾制御装置 610 に設けた I²C I/O エクスパンダ 615 によって制御される。

30

【0142】

なお、役物駆動 SOL 560 が可動役物 60 を可動させてもよいし、役物駆動 MOT 561 が図示しない役物を可動させてもよい。

【0143】

演出制御装置 550 と中継基板 600 との接続方法、及び中継基板 600 と中継基板 600 以外の装飾制御装置 610 との接続方法は、図 5 で詳細を説明する。装飾制御装置 610 は、図 6 ~ 図 10 で詳細を説明する。

【0144】

図 5 は、本発明の第 1 の実施形態の装飾制御装置 610A ~ 610F の接続の説明図である。なお、説明の都合上、装飾制御装置 610 として、1個の中継基板 600 と、6個の装飾制御装置 610A ~ 610F を図示しているが、実際には、遊技機の仕様に対応して必要な数の装飾制御装置 610 が接続されている。

40

【0145】

演出制御装置 550 は、接続線 Vcc、接続線 Vact、接続線 SDA、接続線 SCL、及び接続線 GND (以下、この 5 本の接続線を一つのハーネスという) を介して演出制御装置 550 と接続される。

【0146】

中継基板 600 には、二つの装飾制御装置 610A 及び 610D がそれぞれハーネスによって並列に接続される。

【0147】

50

装飾制御装置 610A にはハーネスを介して装飾制御装置 610B が接続され、装飾制御装置 610B にはハーネスを介して装飾制御装置 610C が接続される。

【0148】

一方、装飾制御装置 610D にはハーネスを介して装飾制御装置 610E が接続され、装飾制御装置 610E にはハーネスを介して装飾制御装置 610F が接続される。

【0149】

各装飾制御装置 610 は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置 610 で共通であるので、接続線を接続順の誤配線を防止できる。

【0150】

ここで、装飾制御装置 610 に設けた I²C I/O エクスパンダ 615 (図 6 で後述) が装飾装置 620 を制御する方法について説明する。

【0151】

演出制御装置 550 は、遊技制御装置 500 から入力された遊技データに基づいて、演出装置の出力態様を決定する。そして、演出制御装置 550 は、決定された出力態様となるように、制御対象となる装飾制御装置 610 の個別アドレス (I²C I/O エクスパンダ 615 の個別アドレス) を含む演出制御データ (演出制御情報) を中継基板 600 に出力する。このとき、演出制御データは、中継基板 600 を介して演出制御装置 550 に接続されるすべての装飾制御装置 610 に対して接続線 SDA から出力される。このため、マスタ IC 570 は、マスタ IC 570 に接続されるすべての装飾制御装置 610 を制御可能である。

【0152】

なお、本実施形態では演出装置として LED 等の発光装置を例示しているので、LED の発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、LED の点灯 / 点滅 / 消灯が指示され、同時に、LED の点滅周期や点灯輝度も指示される。

【0153】

各装飾制御装置 610 には、一意な個別アドレスが予め設定されているので、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置 610 の I²C I/O エクスパンダ 615 は、演出制御データを取り込んで、対応する装飾装置 620 の出力態様を制御するとともに、8 ビット目のデータが入力された直後に返答信号をマスタ IC 570 に出力する。

【0154】

なお、各装飾制御装置 610 には、個別アドレス以外にも、装飾制御装置 610 の I²C I/O エクスパンダ 615 を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべての I²C I/O エクスパンダ 615 に対して共通に設けられたアドレスであり、個別アドレスとして使用することは不可能となっている。また、このリセットアドレスの値を変更することもできないようになっている (詳細は後述する)。

【0155】

演出制御装置 550 は、装飾制御装置 610 (正確には、装飾制御装置 610 の I²C I/O エクスパンダ 615) を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板 600 に出力する。このとき、初期化指示データ演出制御データは、中継基板 600 を介して、演出制御装置 550 に接続されるすべての装飾制御装置 610 に対して接続線 SDA から出力される。

【0156】

各装飾制御装置 610 には、リセット用の共通アドレスが予め設定されているので、入力されたデータに含まれるアドレスと、予め設定されているリセット用の共通アドレスとが一致するか否かを判定する。入力されたデータに含まれるアドレスと、予め設定されて

10

20

30

40

50

いるリセット用の共通アドレスとが一致すると判定された場合には、装飾制御装置 610 の I²C I / O エクスパンダ 615 は、返答信号をマスタ IC 570 に出力するとともに、入力されたデータを初期化指示データとして取り込み、I²C I / O エクスパンダ 615 自身を初期化する。

【0157】

なお、I²C I / O エクスパンダ 615 が初期化されると、当該初期化された I²C I / O エクスパンダ 615 によって制御される演出装置はオフ状態となる。

【0158】

このように、装飾制御装置 610 は、演出制御装置 550 からの指令に基づく制御を行うので、演出制御装置 550 と装飾制御装置 610 との関係は、演出制御装置 550 のマスタ IC 570 がマスタであり、装飾制御装置 610 の I²C I / O エクスパンダ 615 がスレーブである。

10

【0159】

図 5 では、装飾制御装置 610 の制御対象が装飾装置 620 である場合について説明したが、装飾制御装置 610 の制御対象が役物駆動 SOL 560 や役物駆動 MOT 561 であってもよい。この場合、演出装置がモータやソレノイドなどの駆動源となることから、これらの駆動源の動作態様が、演出装置の出力態様に相当することになる。この場合、演出制御データによって、駆動源の作動 / 停止が指示され、同時に動作速度も指示される。

【0160】

図 6 は、本発明の第 1 の実施形態の装飾制御装置 610 のブロック図である。

20

【0161】

図 6 では、装飾制御装置 610 の内部に装飾装置 620 である LED を備える装飾制御装置 610 (図 6 の下側の装飾制御装置 610) と、外部の装飾装置 620 に接続される装飾制御装置 610 (図 6 の中央の装飾制御装置 610) と、について説明する。

【0162】

まず、装飾制御装置 610 の内部に LED を備える装飾制御装置 610 について説明する。

【0163】

図 6 の下側の装飾制御装置 610 は、I²C I / O エクスパンダ 615 及び LED (装飾装置 20) を備える。接続線 SDA 及び接続線 SCL は、装飾制御装置 610 内で二つに分岐し、一方は、そのまま次の装飾制御装置 610 に出力される。他方は、I²C I / O エクスパンダ 615 に接続される。

30

【0164】

また、I²C I / O エクスパンダ 615 の出力側には、制御対象となる装飾装置 620 が接続される。I²C I / O エクスパンダ 615 の出力側は、図 7 で説明するポート 0 ~ 15 によって構成される。さらに、装飾制御装置 610 のすべてのポートが、図 8 A で後述する電流制限抵抗 R0 ~ R15 を介して、内部の LED に接続されている。なお、この電流制限抵抗 R0 ~ R15 も、装飾制御装置 610 に備えられている。

【0165】

前述したように、I²C I / O エクスパンダ 615 は、演出制御装置 550 から入力された演出制御データに含まれるアドレスと、当該 I²C I / O エクスパンダ 615 に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I²C I / O エクスパンダ 615 に接続されている装飾装置 620 を制御する。

40

【0166】

なお、図中の電源 Vled は、図 5 で前述した接続線 Vact により供給される電源 (LED を発光させるための電源) に相当するものである。

【0167】

次に、外部の装飾装置 620 に接続される装飾制御装置 610 について説明する。

【0168】

50

図 6 の中央の装飾制御装置 6 1 0 は、 I^2C I/O エクスパンダ 6 1 5 及び LED (装飾装置 2 0) を備え、装飾制御装置 6 1 0 の外部に接続される装飾装置基板 6 2 5 に備わる LED に電流を流すための接続線、装飾装置基板 6 2 5 の LED に電源電圧 V_{led} を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 6 1 0 と装飾装置基板 6 2 5 とが接続される。

【0169】

装飾装置基板 6 2 5 は、 I^2C I/O エクスパンダ 6 1 5 を備えておらず、LED のみを備えた基板である。この場合、装飾装置基板 6 2 5 に備えた LED に接続される電流制限抵抗 (図 8 A) を、装飾装置基板 6 2 5 に設けることになるが、 I^2C I/O エクスパンダ 6 1 5 が備えられた装飾制御装置 6 1 0 に設けてもよい。

10

【0170】

なお、装飾装置基板 6 2 5 に設けた LED の数に対応して、装飾制御装置 6 1 0 から装飾装置基板 6 2 5 へ渡されることになる、これらの LED に電流を流すための接続線の数決定される。例えば、装飾装置基板 6 2 5 に二つの LED を備えた場合には、 I^2C I/O エクスパンダ 6 1 5 のポートと対応する LED とを接続するための 2 本の制御線と、 V_{led} を供給する電源線が 1 本とが、少なくとも必要となる。

【0171】

そして、中央の装飾制御装置 6 1 0 に設けられた I^2C I/O エクスパンダ 6 1 5 も、演出制御装置 5 5 0 から入力された演出制御データに含まれるアドレスと、当該 I^2C I/O エクスパンダ 6 1 5 に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 I^2C I/O エクスパンダ 6 1 5 に接続されている装飾装置 6 2 0 を制御する。この場合、中央の装飾制御装置 6 1 0 に設けられた装飾装置 6 2 0 と、装飾装置基板 6 2 5 に設けられた装飾装置 6 2 0 の両方が、 I^2C I/O エクスパンダ 6 1 5 によって制御される。

20

【0172】

このように、装飾装置基板 6 2 5 を設けて、装飾制御装置 6 1 0 から一部の装飾装置 (LED) を分離させることで、離れた箇所に配置された LED であっても、共通の I^2C I/O エクスパンダ 6 1 5 により制御することができる。

【0173】

なお、装飾制御装置 6 1 0 は、装飾装置 6 2 0 の代わりに、役物駆動 SOL 5 6 0 や役物駆動 MOT 5 6 1 を接続し、これらを制御してもよいが、詳細は、図 8 B で後述する。

30

【0174】

図 7 は、本発明の第 1 の実施形態の I^2C I/O エクスパンダ 6 1 5 のブロック図である。

【0175】

I^2C I/O エクスパンダ 6 1 5 は、接続線 SDA に接続されるトランジスタ 6 3 0、接続線 SDA に接続されるフィルタ 6 3 1、接続線 SDA に接続されるドライバ 6 3 2、接続線 SCL に接続されるフィルタ 6 3 3、バスコントローラ 6 3 4、出力設定レジスタ 6 3 5、出力コントローラ 6 3 6、 I^2C I/O エクスパンダ 6 1 5 の出力側の各ポート 0 ~ 15 に接続されるドライバ 6 3 7、各ポート 0 ~ 15 に接続されるトランジスタ 6 3 8 A ~ 6 3 8 P、及びリセット信号発生回路 6 3 9 を備える。

40

【0176】

フィルタ 6 3 1 は、接続線 SDA に接続され、接続線 SDA から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。ドライバ 6 3 2 は、返答信号を接続線 SDA から出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【0177】

ドライバ 6 3 2 は、接続線 SDA からデータ (返答信号) を出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【0178】

50

トランジスタ 630 は、電力消費を抑えるために電界効果トランジスタ (FET) が用いられており、トランジスタ 630 のゲートはドライバ 632 に接続され、ドレインはプルアップ抵抗 R (図 4 参照) により所定の電圧が印加された接続線 SDA に接続され、ソースは接地されている。

【0179】

トランジスタ 630 のゲートに印加される電圧がトランジスタ 630 を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ 630 のゲートに印加される電圧がトランジスタ 630 を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 SDA の電圧が低下する。なお、トランジスタ 630 は、10 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。

10

【0180】

ドライバ 632 は、データ (返答信号) を接続線 SDA から出力する場合に、トランジスタ 630 にドレインとソースとの間に電流を流すためにトランジスタ 630 のゲートにトランジスタ 630 が動作可能な値の電圧を印加する。そして、ドライバ 632 は、接続線 SDA の電圧を HIGH から LOW へ繰り返し変化させることによって、データを接続線 SDA から出力する。

【0181】

フィルタ 633 は、接続線 SCL に接続され、接続線 SCL から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 634 に出力する。

20

【0182】

また、I²C I/O エクスパンダ 615 には、当該 I²C I/O エクスパンダ 615 に備わるアドレス設定用端子 A0 ~ A3 によって固有のアドレスが設定されており、バスコントローラ 634 に入力されている。さらに、I²C I/O エクスパンダ 615 をリセットするためのアドレスも、予め設定されている。

【0183】

バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

【0184】

30

また、バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に予め設定されたりセット用のアドレスと一致するか否かを判定し、入力されたデータのアドレスと I²C I/O エクスパンダ 615 に予め設定されたりセット用のアドレスとが一致している場合に当該データを初期化指示データとして取り込み、当該 I²C I/O エクスパンダ 615 を初期化する。

【0185】

また、バスコントローラ 634 は、SCL 接続線の信号レベルの LOW から HIGH への変化回数が 8 回に達し 8 ビット目のデータを取り込んだ後、SCL 接続線の信号レベルが HIGH から LOW へ変化すると、返答信号を接続線 SDA からマスタ IC 570 に出力する。さらに、SCL 接続線の信号レベルが LOW から HIGH へ変化することが確認され、再度 SCL 接続線の信号レベルが HIGH から LOW へ変化すると、接続線 SDA を開放する。つまり、SCL 接続線の信号レベルの LOW から HIGH への変化回数が 9 回になるタイミングで返答信号を出力する。

40

【0186】

出力設定レジスタ 635 には、当該 I²C I/O エクスパンダ 615 の動作モードやポート 0 ~ 15 の出力状態が設定される。バスコントローラ 634 が接続線 SDA から初期化指示データを取り込んで、当該 I²C I/O エクスパンダ 615 が初期化された場合には、出力設定レジスタ 635 は、すべてのポート 0 ~ 15 に電流が流れないように初期状態に設定される。

【0187】

50

出力コントローラ 636 は、出力設定レジスタ 635 に設定されたデータに基づいて、ポートドライバ 637 を介して、各ポート 0 ~ 15 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ 634 が接続線 SDA から演出制御データを取り込むと、取り込んだ演出制御データに指定されている内容に更新される。

【0188】

ドライバ 637 は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ 638A ~ 638P が動作可能な電圧を当該トランジスタに印加する。

【0189】

トランジスタ 638A ~ 638P のゲートはドライバ 637 に接続され、ドレインは図 8A 及び図 8B に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【0190】

トランジスタ 638A ~ 638P のゲートに印加される電圧がトランジスタ 638A ~ 638P を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、638A ~ 638P のゲートに印加される電圧がトランジスタ 638 を動作させる所定値以上であれば、図 8A に示す電源 V_{led} 、又は図 8B に示す電源 V_{mot} や電源 V_{sol} からゲートに印加されている所定の電圧が、トランジスタ 638 のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

【0191】

また、装飾制御装置 610 の I^2C I/O エクスパンダ 615 は、 I^2C I/O エクスパンダ 615 のポート端子に接続された全ての演出装置を同時期に制御することが可能であるので、 I^2C I/O エクスパンダ 615 のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

【0192】

そして、各装飾制御装置 610 に備わる I^2C I/O エクスパンダ 615 同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。即ち、各装飾制御装置 610 に備わる I^2C I/O エクスパンダ 615 は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【0193】

従って、装飾制御装置 610 を統括する演出制御装置 550 は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

【0194】

リセット信号発生回路 639 には、 I^2C I/O エクスパンダ 615 に電源を供給する接続線 V_{cc} と接続される V_{cc} 端子、及び外部からのリセット信号を受け付ける RESET 端子が接続されている。

【0195】

リセット信号発生回路 639 は、 I^2C I/O エクスパンダ 615 に電源が投入され、電圧が所定値まで立ち上がった場合、リセット信号を発生させ、発生させたりセット信号をバスコントローラ 634、出力設定レジスタ 635、及び出力コントローラ 636 に入力する。

【0196】

なお、外部から LOW レベルのリセット信号が入力された場合には、リセット信号発生回路 639 はリセット信号を出力するので、演出制御装置 550 の CPU 551 から、NOR ゲート回路 590 を経由して、RESET 端子からリセット信号を入力するようにしてもよい。RESET 端子を使用しない場合は、図 8A 及び図 8B に示すように RESET 端子は HIGH にプルアップされていてもよい。

【0197】

図 8 A は、本発明の第 1 の実施形態の装飾装置 6 2 0 を制御する装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 周辺の回路図である。

【 0 1 9 8 】

I²C I / O エクスパンダ 6 1 5 は、入力端子として N C 端子、R E S E T 端子、S C L 端子、S D A 端子、V c c 端子、A 0 ~ A 3 端子、及び G N D 端子を備え、出力端子として、P O R T 0 ~ P O R T 1 5 を備える。

【 0 1 9 9 】

R E S E T 端子には、プルアップ抵抗 R を介して I²C I / O エクスパンダ 6 1 5 に供給される電源が接続されている。このため、リセット端子に印加される電圧は常に H I G H に維持されている。

10

【 0 2 0 0 】

S C L 端子は接続線 S C L に接続され、S D A 端子は接続線 S D A に接続される。

【 0 2 0 1 】

V c c 端子には、I²C I / O エクスパンダ 6 1 5 に供給される電源が接続される。また、V c c 端子には、電源ノイズを除去するコンデンサ C P が接続される。

【 0 2 0 2 】

A 0 端子 ~ A 3 端子は、I²C I / O エクスパンダ 6 1 5 に固有のアドレスを設定するための端子である。なお、通常 I²C I / O エクスパンダ 6 1 5 のアドレスは、4 ビットで表現され、この端子に I²C I / O エクスパンダ 6 1 5 の電源が印加されている場合にはバスコントローラ 6 3 4 に「 1 」が設定され、この端子がグランドに接続されている場合にはバスコントローラ 6 3 4 に「 0 」が設定される。

20

【 0 2 0 3 】

したがって、図 8 A に示す I²C I / O エクスパンダ 6 1 5 のアドレスは「 0 1 0 0 」であり、図 8 B に示す I²C I / O エクスパンダ 6 1 5 のアドレスは「 0 1 1 0 」である。G N D 端子は、電圧をグランドするための端子である。

【 0 2 0 4 】

各 P O R T 0 端子 ~ P O R T 1 5 端子は、電流制限抵抗 R 0 ~ R 1 5 を介して各 L E D 0 ~ L E D 1 5 からなる装飾装置 6 2 0 に接続される。なお、P O R T 0 のように、ポート 1 個に対して 1 個の L E D を接続してもよいが、P O R T 1 ~ 1 5 のように、ポート 1 個に対して複数個の L E D を接続してもよい。

30

【 0 2 0 5 】

全てのポートに L E D を 1 個ずつ設ける場合は、1 個の I²C I / O エクスパンダ 6 1 5 によって、最大で 1 6 個の L E D を制御できることになる。また、各ポートに接続される L E D の個数が異なる場合は、1 個のポートに直列に接続された全ての L E D を 1 種類の L E D ということにすれば、1 個の I²C I / O エクスパンダ 6 1 5 によって、最大で 1 6 種類の L E D を制御できることになる。

【 0 2 0 6 】

P O R T 0 端子 ~ P O R T 1 5 端子に接続されるトランジスタ 6 3 8 A ~ 6 3 8 P (図 7 参照) のゲートに対してドライバ 6 3 7 から電圧が印加されると、電圧が印加されたトランジスタ 6 3 8 A ~ 6 3 8 P のドレインからソースへ電流が流れることが可能になり、P O R T 0 端子 ~ P O R T 1 5 端子に接続される L E D 0 ~ L E D 1 5 に電流が流れ、各 L E D 0 ~ L E D 1 5 は点灯する。

40

【 0 2 0 7 】

一方、ドライバ 6 3 7 がトランジスタ 6 3 8 A ~ 6 3 8 P のゲートに電圧を印加しなければ、各 L E D 0 ~ L E D 1 5 に電流が流れない状態になり、各 L E D 0 ~ L E D 1 5 は点灯しない。

【 0 2 0 8 】

なお、I²C I / O エクスパンダ 6 1 5 の P O R T 0 端子 ~ P O R T 1 5 端子には、L E D の代わりに、モーターやソレノイドを接続することも可能であるので、I²C I / O エクスパンダ 6 1 5 を用いて、モーターやソレノイドを駆動する場合について説明する。

50

【 0 2 0 9 】

図 8 B は、本発明の第 1 の実施形態の役物駆動 M O T 5 6 1 及び役物駆動 S O L 5 6 0 を制御する装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 周辺の回路図である。

【 0 2 1 0 】

役物駆動 M O T 5 6 1 はステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回動する。本実施形態では、役物駆動 M O T 5 6 1 の各相の信号端子が、P O R T 0 端子 ~ P O R T 3 端子に接続される。

【 0 2 1 1 】

役物駆動 M O T 5 6 1 に接続されている P O R T 0 端子 ~ P O R T 3 端子に接続されるトランジスタ 6 3 8 A ~ 6 3 8 D のいずれかのゲートに対してドライバ 6 3 7 から電圧が印加されると、電圧が印加されたトランジスタ 6 3 8 A ~ 6 3 8 D のドレインからソースへ電流が流れることが可能になり、P O R T 0 端子 ~ P O R T 3 端子に接続される役物駆動 M O T 5 6 1 に電流が流れ、役物駆動 M O T 5 6 1 が駆動する。

【 0 2 1 2 】

なお、各 P O R T 0 端子 ~ P O R T 3 端子と役物駆動 M O T 5 6 1 とを接続する接続線は分岐し、分岐した一方の接続線は、役物駆動 M O T 5 6 1 に供給される電源にダイオード D 及びツェナダイオード Z D を介して接続される。

【 0 2 1 3 】

また、P O R T 端子 1 5 は、役物駆動 S O L 5 6 0 に接続される。役物駆動 S O L 5 6 0 に接続されている P O R T 1 5 端子に接続されるトランジスタ 6 3 8 P のゲートに対してドライバ 6 3 7 から電圧が印加されると、電圧が印加されたトランジスタ 6 3 8 P のドレインからソースへ電流が流れることが可能になり、P O R T 1 5 端子に接続される役物駆動 S O L 5 6 0 に電流が流れ、役物駆動 S O L 5 6 0 が駆動する。

【 0 2 1 4 】

なお、図 8 B では、I²C I / O エクスパンダ 6 1 5 に役物駆動 M O T 5 6 1 及び役物駆動 S O L 5 6 0 の双方が接続されているが、一つの I²C I / O エクスパンダ 6 1 5 に対して、役物駆動 M O T 5 6 1 及び役物駆動 S O L 5 6 0 の少なくとも一方だけを接続した構成でもよい。

【 0 2 1 5 】

例えば、ステッピングモーターだけを制御するグループとしての I²C I / O エクスパンダ 6 1 5 を専用に設けたり、ソレノイドだけを制御するグループとしての I²C I / O エクスパンダ 6 1 5 を専用に設けるようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

【 0 2 1 6 】

図 9 は、本発明の第 1 実施形態の中継基板 6 0 0 の入出力に関する接続線の回路図である。

【 0 2 1 7 】

中継基板 6 0 0 は、上流コネクタ 6 0 1、二つの下流コネクタ 6 0 2 A、6 0 2 B、及び I²C I / O エクスパンダ 6 1 5 を備える。

【 0 2 1 8 】

上流コネクタ 6 0 1 は中継基板 6 0 0 よりも上流のマスタ I C 5 7 0 に接続されるコネクタであり、コネクタ 6 0 2 A、6 0 2 B は、中継基板 6 0 0 よりも下流の装飾制御装置 6 1 0 に接続される。

【 0 2 1 9 】

二つの下流コネクタ 6 0 2 A、6 0 2 B に接続線 S D A を接続するために、上流コネクタ 6 0 1 から延びる内部接続線 S D A 9 1 1 は分岐 9 0 1 で第 1 接続線 S D A 9 2 1 と第 2 接続線 S D A 9 3 1 とに分岐する。第 1 接続線 S D A 9 2 1 は下流コネクタ 6 0 2 A に接続され、第 2 接続線 S D A 9 3 1 は下流コネクタ 6 0 2 B に接続される。

10

20

30

40

50

【 0 2 2 0 】

同じく、上流コネクタ 6 0 1 から延びる内部接続線 S C L 9 1 2 は分岐 9 0 2 で第 1 接続線 S C L 9 2 2 と第 2 接続線 S C L 9 3 2 とに分岐する。第 1 接続線 S C L 9 2 2 は下流コネクタ 6 0 2 A に接続され、第 2 接続線 S C L 9 3 2 は下流コネクタ 6 0 2 B に接続される。

【 0 2 2 1 】

接続線 S D A を I²C I / O エクスパンダ 6 1 5 に接続するために、第 2 接続線 S D A 9 3 1 は分岐 9 0 3 で分岐し、分岐した第 2 接続線 S D A 9 3 1 は I²C I / O エクスパンダ 6 1 5 の図 8 A 及び図 8 に示す S D A 端子に接続される。また、接続線 S C L を I²C I / O エクスパンダ 6 1 5 に接続するために、第 2 接続線 S C L 9 3 2 は分岐 9 0 4 で分岐し、分岐した第 2 接続線 S C L 9 3 2 は I²C I / O エクスパンダ 6 1 5 の図 8 A 及び図 8 B に示す S C L 端子に接続される。

10

【 0 2 2 2 】

なお、I²C I / O エクスパンダ 6 1 5 には、I²C I / O エクスパンダ 6 1 5 の電源電圧となる電圧 V_{cc} が供給されている。また、図 9 では図示されていないが、I²C I / O エクスパンダ 6 1 5 からは、中継基板 6 0 0 に設けた L E D (装飾装置 2 0 0) を駆動する各ポート 0 ~ 1 5 の信号線 (図 8 A 参照) が出力されている。

【 0 2 2 3 】

また、I²C I / O エクスパンダ 6 1 5 は、第 2 接続線 S D A 9 3 1 及び第 2 接続線 S C L 9 3 2 が接続されるとしたが、第 1 接続線 S D A 9 2 1 及び第 1 接続線 S C L 9 2 2 に接続されてもよい。

20

【 0 2 2 4 】

I²C I / O エクスパンダ 6 1 5 が上流のマスタ I C 5 7 0 に接続線 S D A を介して出力する信号、及び上流のマスタ I C 5 7 0 から中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、内部接続線 S D A 9 1 1 にはツェナダイオード Z D 9 4 1 が接続されている。

【 0 2 2 5 】

具体的には、内部接続線 S D A 9 1 1 は分岐 9 0 5 で分岐し、分岐した内部接続線 S D A 9 1 1 はツェナダイオード Z D 9 4 1 のカソード側に接続され、ツェナダイオード Z D 9 4 1 のアノード側は接地されている。

30

【 0 2 2 6 】

このため、内部接続線 S D A 9 1 1 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード Z D 9 4 1 によって逃がされる。

【 0 2 2 7 】

また、上流のマスタ I C 5 7 0 から中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 9 1 2 にはツェナダイオード Z D 9 4 2 が接続されている。

【 0 2 2 8 】

具体的には、内部接続線 S C L 9 1 2 は分岐 9 0 6 で分岐し、分岐した内部接続線 S C L 9 1 2 はツェナダイオード Z D 9 4 2 のカソード側に接続され、ツェナダイオード Z D 9 4 2 のアノード側は接地されている。

40

【 0 2 2 9 】

このため、内部接続線 S C L 9 1 2 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード Z D 9 4 2 によって逃がされる。

【 0 2 3 0 】

中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 が下流コネクタ 6 0 2 A に接続された装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び下流コネクタ 6 0 2 A に接続された装飾制御装置 6 1 0 から中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、第 1 接続線 S D A 9 2 1 にはツェナダイオード Z D 9 4 3 が接続されている。

50

【 0 2 3 1 】

具体的には、第 1 接続線 S D A 9 2 1 は分岐 9 0 7 で分岐し、分岐した第 1 接続線 S D A 9 2 1 はツェナダイオード Z D 9 4 3 のカソード側に接続され、ツェナダイオード Z D 9 4 3 のアノード側は接地されている。

【 0 2 3 2 】

このため、内部接続線 S D A 9 2 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 9 4 3 によって逃がされる。

【 0 2 3 3 】

また、第 1 接続線 S D A 9 2 1 に接続されるツェナダイオード Z D 9 4 3 と同じく、第 2 接続線 S D A 9 3 1 にもツェナダイオード 9 4 5 が接続される。

10

【 0 2 3 4 】

また、中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 から下流コネクタ 6 0 2 A に接続された装飾制御装置 6 1 0 へ接続線 S C L を介して入力される信号のノイズを除去するために、第 1 接続線 S C L 9 2 2 にはツェナダイオード Z D 9 4 4 が接続されている。

【 0 2 3 5 】

具体的には、第 1 接続線 S C L 9 2 2 は分岐 9 0 8 で分岐し、分岐した第 1 接続線 S C L 9 2 2 はツェナダイオード Z D 9 4 4 のカソード側に接続され、ツェナダイオード Z D 9 4 4 のアノード側は接地されている。

【 0 2 3 6 】

このため、内部接続線 S C L 9 2 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 9 4 4 によって逃がされる。

20

【 0 2 3 7 】

また、第 1 接続線 S C L 9 2 2 に接続されるツェナダイオード Z D 9 4 4 と同じく、第 2 接続線 S C L 9 3 2 にもツェナダイオード Z D 9 4 6 が接続される。

【 0 2 3 8 】

また、マスタ I C 5 7 0 に接続される上流側の接続線 S D A、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S D A の電圧をプルアップするためのプルアップ抵抗 R 9 5 1 が、第 1 接続線 S D A 9 2 1 に接続される。同じく、マスタ I C 5 7 0 に接続される上流側の接続線 S C L、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S C L の電圧をプルアップするためのプルアップ抵抗 R 9 5 2 が、第 1 接続線 S D A 9 2 2 に接続される。

30

【 0 2 3 9 】

具体的には、第 1 接続線 S D A 9 2 1 は分岐 9 0 9 で分岐し、分岐した第 1 接続線 S D A 9 2 1 はプルアップ抵抗 R 9 5 1 に接続される。同じく第 1 接続線 S C L 9 2 2 は分岐 9 1 0 で分岐し、分岐した第 1 接続線 S C L 9 2 2 はプルアップ抵抗 R 9 5 2 に接続される。

【 0 2 4 0 】

なお、接続線 S D A 及び接続線 S C L の電圧をプルアップするプルアップ抵抗 9 5 1、9 5 2 は、中継基板 6 0 0 が備えなくてもよく、マスタ I C 5 7 0 が備えてもよいし、中継基板 6 0 0 以外の装飾制御装置 6 1 0 が備えてもよい。要するに、接続線 S D A 及び接続線 S C L を駆動するトランジスタのドレインの端子に、電圧 V c c を供給できる箇所であれば、どこでもよい。

40

【 0 2 4 1 】

中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 に電源電圧を供給する接続線 V c c に接続される上流コネクタ 6 0 1 の V c c 端子から延びる内部接続線 V c c 9 7 1 と、上流コネクタ 6 0 1 の G N D 端子から延び、接地されている内部接続線 G N D 9 7 2 とは、平滑コンデンサ C 9 6 1 及びバイパスコンデンサ 9 6 2 を介して接続されている。

【 0 2 4 2 】

平滑コンデンサ C 9 6 1 は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサ C P 9 6 2 は、電源の電圧のノイズを除去するためのコンデンサであ

50

る。

【0243】

このため、中継基板600のI²C I/Oエクスパンダ615に供給される電源電圧は、平滑コンデンサC961により電圧が平滑化され、バイパスコンデンサ962によりノイズが除去されて、I²C I/Oエクスパンダ615に供給される。

【0244】

同じく、下流コネクタ602A、602BのVcc端子から延びる内部接続線Vcc973と、GND端子から延びる内部接続線GND974とは、平滑コンデンサC961及びバイパスコンデンサ962を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置610に接続される接続線Vccに印加される。

10

【0245】

図10は、本発明の第1実施形態の装飾制御装置610の入出力に関する接続線の回路図である。

【0246】

装飾制御装置610は、上流コネクタ611、I²C I/Oエクスパンダ615、及び下流コネクタ612を備える。

【0247】

上流コネクタ611には、中継基板600又は上流側の装飾制御装置610からバスが接続される。下流コネクタ612には、下流側の装飾制御装置610に接続するバスが接続される。

20

【0248】

上流コネクタ611のSDA端子と下流コネクタ612のSDA端子とは、内部接続線SDA1011によって接続されている。また、上流コネクタ611のSCL端子と下流コネクタ612のSCL端子とは、内部接続線SCL1012によって接続されている。

【0249】

接続線SDAをI²C I/Oエクスパンダ615に接続するために、内部接続線SDA1011は分岐1001で分岐し、分岐した内部接続線SDA1011はI²C I/Oエクスパンダ615の図8A及び図8に示すSDA端子に接続される。また、接続線SCLをI²C I/Oエクスパンダ615に接続するために、内部接続線SCL1012は分岐1002で分岐し、分岐した内部接続線SCL1012はI²C I/Oエクスパンダ615の図8A及び図8Bに示すSCL端子に接続される。

30

【0250】

なお、I²C I/Oエクスパンダ615には、I²C I/Oエクスパンダ615の電源電圧となる電圧Vccが供給されている。また、図10では図示されていないが、I²C I/Oエクスパンダ615からは、当該装飾制御装置610に係わるLED(装飾装置200)を駆動する各ポート0~15の信号線(図8A参照)が出力されている。

【0251】

図10に示す装飾制御装置610のI²C I/Oエクスパンダ615が上流コネクタ611に接続された上流の装飾制御装置610又は中継基板600に接続線SDAを介して出力する信号、及び上流コネクタ611に接続された上流の装飾制御装置610又は中継基板600から図10に示す装飾制御装置610のI²C I/Oエクスパンダ615へ接続線SDAを介して入力される信号のノイズを除去するために、内部接続線SDA1011にはツェナダイオードZD1041が接続されている。

40

【0252】

具体的には、内部接続線SDA1011は分岐1003で分岐し、分岐した内部接続線SDA1011はツェナダイオードZD1041のカソード側に接続され、ツェナダイオードZD1041のアノード側は接地されている。

【0253】

このため、内部接続線SDA1011に印加された所定以上の電圧(例えば、パルス性

50

のノイズ信号)は、ツェナダイオードZ D 1 0 4 1によって逃がされる。

【 0 2 5 4 】

また、上流コネクタ6 1 1に接続される上流の装飾制御装置6 1 0又は中継基板6 0 0から図1 0に示す装飾制御装置6 1 0のI²C I / Oエキスパンダ6 1 5へ接続線S C Lを介して入力される信号のノイズを除去するために、内部接続線S C L 1 0 1 2にはツェナダイオードZ D 9 4 2が接続されている。

【 0 2 5 5 】

具体的には、内部接続線S C L 1 0 1 2は分岐1 0 0 4で分岐し、分岐した内部接続線S C L 1 0 1 2はツェナダイオードZ D 1 0 4 2のカソード側に接続され、ツェナダイオードZ D 1 0 4 2のアノード側は接地されている。

10

【 0 2 5 6 】

このため、内部接続線S C L 1 0 1 2に印加された所定以上の電圧(例えば、パルス性のノイズ信号)は、ツェナダイオードZ D 1 0 4 2によって逃がされる。

【 0 2 5 7 】

図1 0に示す装飾制御装置6 1 0のI²C I / Oエキスパンダ6 1 5が下流コネクタ6 1 2に接続された下流の装飾制御装置6 1 0に接続線S D Aを介して出力する信号、及び下流コネクタ6 1 2に接続された下流の装飾制御装置6 1 0から図1 0に示す装飾制御装置のI²C I / Oエキスパンダ6 1 5へ接続線S D Aを介して入力される信号のノイズを除去するために、内部接続線S D A 1 0 1 1にはツェナダイオードZ D 1 0 4 3が接続されている。

20

【 0 2 5 8 】

具体的には、内部接続線S D A 1 0 1 1は分岐1 0 0 5で分岐し、分岐した内部接続線S D A 1 0 1 1はツェナダイオードZ D 1 0 4 3のカソード側に接続され、ツェナダイオードZ D 1 0 4 3のアノード側は接地されている。

【 0 2 5 9 】

このため、内部接続線S D A 1 0 1 1に印加された所定以上の電圧(例えば、パルス性のノイズ信号)は、ツェナダイオードZ D 1 0 4 3によって逃がされる。

【 0 2 6 0 】

また、図1 0に示す装飾制御装置6 1 0のI²C I / Oエキスパンダ6 1 5から下流コネクタ6 1 2に接続された下流の装飾制御装置6 1 0へ接続線S C Lを介して入力される信号のノイズを除去するために、内部接続線S C L 1 0 1 2にはツェナダイオードZ D 1 0 4 4が接続されている。

30

【 0 2 6 1 】

具体的には、内部接続線S C L 1 0 1 2は分岐1 0 0 6で分岐し、分岐した内部接続線S C L 1 0 1 2はツェナダイオードZ D 1 0 4 4のカソード側に接続され、ツェナダイオードZ D 1 0 4 4のアノード側は接地されている。

【 0 2 6 2 】

このため、内部接続線S C L 1 0 1 2に印加された所定以上の電圧(例えば、パルス性のノイズ信号)は、ツェナダイオードZ D 1 0 4 4によって逃がされる。

【 0 2 6 3 】

40

装飾制御装置6 1 0のI²C I / Oエキスパンダ6 1 5に電源電圧を供給する接続線V c cに接続される上流コネクタ6 1 1のV c c端子から延びる内部接続線V c c 1 0 7 1と、上流コネクタ6 1 1のG N D端子から延び、接地されている内部接続線G N D 1 0 7 2とは、平滑コンデンサC 1 0 6 1及びバイパスコンデンサ1 0 6 2を介して接続されている。

【 0 2 6 4 】

平滑コンデンサC 1 0 6 1は図9に示す平滑コンデンサC 9 6 1と同じコンデンサであり、バイパスコンデンサC P 1 0 6 2は図9に示すバイパスコンデンサ9 6 2と同じコンデンサである。

【 0 2 6 5 】

50

また、下流コネクタ 6 1 2 の V c c 端子から延びる内部接続線 V c c 1 0 7 3 と、G N D 端子から延びる内部接続線 G N D 1 0 7 4 とは、平滑コンデンサ C 1 0 6 1 及びバイパスコンデンサ C 1 0 6 2 を介して接続されている。

【 0 2 6 6 】

図 1 1 は、本発明の第 1 の実施形態の演出制御装置 5 5 0 から装飾制御装置 6 1 0 に出力されるデータに含まれるスレーブアドレス 1 1 0 0 の説明図である。

【 0 2 6 7 】

スレーブアドレス 1 1 0 0 は、上位 3 ビットからなる固定アドレス部 1 1 0 1 及び下位 5 ビットからなる可変アドレス部 1 1 0 2 を含む。

【 0 2 6 8 】

固定アドレス部 1 1 0 1 は、「 1 1 0 」が予め設定されていて、I²C I / O エクスパンダ 6 1 5 が変更できないアドレスである。

【 0 2 6 9 】

可変アドレス部 1 1 0 2 は、I²C I / O エクスパンダ 6 1 5 に設定可能なアドレスであり、制御対象となる I²C I / O エクスパンダ 6 1 5 の A 0 ~ A 3 の端子に設定されているパターンに対応した 4 ビットの I²C I / O エクスパンダアドレス 1 1 0 3 と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R / W 識別データ 1 1 0 4 と、が含まれる。

【 0 2 7 0 】

演出制御装置 5 5 0 から装飾制御装置 6 1 0 に出力される演出制御データは、書き込み要求であるので、R / W 識別データ 1 1 0 4 には、通常「 0 」が登録される。

【 0 2 7 1 】

図 1 2 は、本発明の第 1 の実施形態の I²C I / O エクスパンダアドレステーブル 1 2 0 0 の説明図である。

【 0 2 7 2 】

I²C I / O エクスパンダアドレステーブル 1 2 0 0 は、マスタ I C 5 7 0 によって管理されるテーブルである。I²C I / O エクスパンダアドレステーブル 1 2 0 0 は、スレーブアドレス 1 2 0 1 と I²C I / O エクスパンダアドレス 1 2 0 2 との対応関係を示している。

【 0 2 7 3 】

スレーブアドレス 1 2 0 1 には、演出制御装置 5 5 0 により送受信の対象として指定される装飾制御装置 6 1 0 のスレーブアドレスが格納されている。スレーブアドレスは、図 1 3 で前述したように、上位 3 ビットからなる固定アドレス部と、4 ビットの I²C I / O エクスパンダアドレスと、1 ビットの R / W 識別データとを組み合わせで構成される。

【 0 2 7 4 】

I²C I / O エクスパンダアドレス 1 2 0 2 には、図 8 A や図 8 B で前述したように、各スレーブアドレスに対応する 4 ビットの I²C I / O エクスパンダアドレスが登録される。

【 0 2 7 5 】

ただし、I²C I / O エクスパンダアドレスのうち、アドレス「 1 0 0 0 」及びアドレス「 1 0 1 1 」は、各 I²C I / O エクスパンダ 6 1 5 を相互に識別するための固有のアドレスとしては使用できない。

【 0 2 7 6 】

「 1 0 0 0 」は、すべての装飾制御装置 6 1 0 に対する指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。「 1 0 1 1 」はソフトウェアによって、マスタ I C 5 7 0 に接続されている全ての装飾制御装置 6 1 0 を無条件にリセットする場合に用いられる共通アドレスである。

【 0 2 7 7 】

このように、装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 に設定可能な固有アドレスは 1 4 個であるために、演出制御装置 5 5 0 は、1 4 個の I²C I / O エクスパ

10

20

30

40

50

ンダ 6 1 5 を制御できる。また、一つの装飾制御装置 6 1 0 は、PORT 0 ~ PORT 1 5 を備えるので、1 6 個（言い換えれば 1 6 種類）の LED を制御できる。よって、演出制御装置 5 5 0 は、2 2 4 個（言い換えれば 2 2 4 種類）の LED を制御できる。

【 0 2 7 8 】

図 1 3 は、本発明の第 1 の実施形態の I²C I / O エクスパンダ 6 1 5 に備わる出力設定レジスタ 6 3 5（図 7 参照）に割り当てられたワークレジスタを説明するための図である。

【 0 2 7 9 】

I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5 には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。ワークレジスタは、I²C I / O エクスパンダ 6 1 5 に対して予め定義されている設定を行うための情報や、I²C I / O エクスパンダ 6 1 5 に接続されている演出装置（例えば、LED）の出力態様を特定するための情報を記憶するものである。また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶するものである。

10

【 0 2 8 0 】

なお、図 1 3 に示すように、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、各記憶領域毎に異なるレジスタ番号が付与されている。

【 0 2 8 1 】

レジスタ番号が「0 0 h」となる記憶領域には、「MODE 1」というレジスタ名が付与されており、また、レジスタ番号が「0 1 h」となる記憶領域には、「MODE 2」というレジスタ名が付与されている。レジスタ番号「0 0 h」及び「0 1 h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I²C I / O エクスパンダ 6 1 5 の初期設定が行われる。

20

【 0 2 8 2 】

レジスタ番号が「0 2 h」～「1 1 h」となる記憶領域には、「PWM 0」～「PWM 1 5」というレジスタ名が付与されている。レジスタ番号「0 2 h」～「1 1 h」の記憶領域のいずれかに値が書き込まれると、I²C I / O エクスパンダ 6 1 5 に接続される発光装置を構成する 1 6 個の LED のうち、値が書き込まれたレジスタ番号に対応する LED の輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「0 2 h」の記憶領域に値が書き込まれた場合には、図 8 A に示すポート 0 に接続された LED 0 の輝度が調整される。

30

【 0 2 8 3 】

なお、I²C I / O エクスパンダ 6 1 5 に役物駆動 SOL 5 6 0 が接続される場合には、役物駆動 SOL 5 6 0 が接続されるポートに対応するレジスタ番号の記憶領域には、役物駆動 SOL 5 6 0 を通電して作動するか、通電せずに未作動状態にするかを示す値が書き込まれる。

【 0 2 8 4 】

また、I²C I / O エクスパンダ 6 1 5 に役物駆動 MOT 5 6 1 が接続される場合には、役物駆動 MOT 5 6 1 が接続されるポートに対応するレジスタ番号の記憶領域には、役物駆動 MOT 5 6 1 の目標回転位置を示す値が書き込まれる。

40

【 0 2 8 5 】

レジスタ番号が「1 2 h」となる記憶領域には、「GRP PWM」というレジスタ名が付与され、レジスタ番号が「1 3 h」となる記憶領域には、「GRP FREQ」というレジスタ名が付与されている。レジスタ番号「1 2 h」及び「1 3 h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、全体の LED（1 6 個の LED）の点滅パターンが設定される。

【 0 2 8 6 】

具体的には、レジスタ番号「1 2 h」の記憶領域に値が書き込まれた場合には、全体の LED のオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「1 3 h」

50

の記憶領域に値が書き込まれた場合には、全体のＬＥＤの点滅周期が設定される。

【０２８７】

レジスタ番号が「１４ｈ」となる記憶領域には、「ＬＥＤＯＵＴ０」というレジスタ名が付与されている。レジスタ番号「１４ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ０～ＬＥＤ３の出力状態が設定される。

【０２８８】

レジスタ番号が「１５ｈ」となる記憶領域には、「ＬＥＤＯＵＴ１」というレジスタ名が付与されている。レジスタ番号「１５ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ４～ＬＥＤ７の出力状態が設定される。

【０２８９】

レジスタ番号が「１６ｈ」となる記憶領域には、「ＬＥＤＯＵＴ２」というレジスタ名が付与されている。レジスタ番号「１６ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ８～ＬＥＤ１１の出力状態が設定される。

【０２９０】

レジスタ番号が「１７ｈ」となる記憶領域には、「ＬＥＤＯＵＴ３」というレジスタ名が付与されている。レジスタ番号「１７ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ１２～ＬＥＤ１５の出力状態が設定される。

【０２９１】

レジスタ番号が「１８ｈ」～「１Ａｈ」となる記憶領域には、「ＳＵＢＡＤＲ１」～「ＳＵＢＡＤＲ３」というレジスタ名が付与されている。レジスタ番号「１８ｈ」～「１Ａｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第１サブアドレス～第３サブアドレスが設定される。

【０２９２】

レジスタ番号が「１Ｂｈ」となる記憶領域には、「ＡＬＬＣＡＬＬＡＤＲ」というレジスタ名が付与されている。レジスタ番号「１Ｂｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、オールコールアドレスが設定される。

【０２９３】

図１４は、本発明の第１の実施形態のマスタＩＣ５７０が接続線ＳＤＡ及び接続線ＳＣＬを介して出力するデータのスタート条件及びストップ条件の説明図である。

【０２９４】

接続線ＳＣＬは、データの非送信時に信号レベルがＨＩＧＨになっており、マスタＩＣ５７０は、装飾制御装置６１０にデータを出力する際に、接続線ＳＣＬの信号レベルをＬＯＷからＨＩＧＨに変化させ、装飾制御装置６１０が接続線ＳＤＡのデータを取り込むためのストローク信号として作用させる。

【０２９５】

接続線ＳＤＡは、データの非送信時に信号レベルがＨＩＧＨになっており、接続線ＳＣＬのクロック信号に合わせて接続線ＳＤＡからデータが出力される。

【０２９６】

マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＨＩＧＨからＬＯＷに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【０２９７】

装飾制御装置６１０のＩ²ＣＩ／Ｏエクスパンダ６１５は、接続線ＳＤＡ及び接続線ＳＣＬからスタート条件となる信号が入力されると、データの出力が開始することを把握する。

【０２９８】

マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＬＯＷからＨＩＧＨに変化させることで、データの出力が終了することを示すストップ条件を示す信号を出力する。

【０２９９】

10

20

30

40

50

装飾制御装置 610 の I²C I / O エクスパンダ 615 は、ストップ条件が入力されると、データの出力が終了することを把握する。

【0300】

図 15 は、本発明の第 1 の実施形態のマスタ IC 570 から出力されたデータが入力された装飾制御装置 610 が返答信号を出力するタイミングチャートである。

【0301】

装飾制御装置 610 は、スタート条件が成立してから接続線 SCL の信号レベルの変化回数を計数し、接続線 SCL のクロック信号に合わせて接続線 SDA から入力されるデータを取り込む。

【0302】

そして、装飾制御装置 610 は、スタート条件が成立してから接続線 SCL の信号レベルの変化回数が 9 回に達する直前に、返答信号をマスタ IC 570 に接続線 SDA を介して出力する。換言すると、装飾制御装置 610 は、接続線 SDA から 8 ビット目のデータを取り込んだ後に、接続線 SCL の信号レベルが HIGH から LOW に変化することを契機に、返答信号を当該接続線 SDA を介して出力する。

【0303】

なお、図に示すように、データの受信に成功したことを示す返答信号 (ACK の返答信号) は LOW レベルによって示され、データの受信に失敗したことを示す返答信号 (NACK の返答信号、図では ACK 出力なしに相当) は HIGH レベルによって示される。

【0304】

また、マスタ IC 570 は、スタート条件が成立してから接続線 SCL の信号レベルが 8 回変化すると、接続線 SDA を解放することによって、装飾制御装置 610 から返答信号の入力を待機する。そして、マスタ IC 570 は、接続線 SDA を解放したまま、接続線 SCL の信号レベルを変化させて、装飾制御装置 610 からの返答信号を取り込む。

【0305】

図 16 は、本発明の第 1 の実施形態のマスタ IC 570 が演出制御データを出力する場合の接続線 SDA 及び接続線 SCL の信号レベルのタイミングチャートである。

【0306】

まず、マスタ IC 570 は、データの出力を開始する場合には、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを HIGH から LOW に変化させることによって、スタート条件を示す信号を出力し、これからデータを出力することを装飾制御装置 610 に通知する。

【0307】

次に、マスタ IC 570 は、合計 7 ビットからなる制御対象となる装飾制御装置 610 のスレーブアドレスを出力する。次に、マスタ IC 570 は、読み出し要求である書き込み要求であるかを示すデータを 8 ビット目に出力する。

【0308】

そして、マスタ IC 570 は、接続線 SCL の信号レベルが 9 回目に HIGH になるときに、装飾制御装置 610 から返答信号が入力されるので、ACK の返答信号であれば接続線 SDA の信号レベルが LOW に変化し、NACK の返答信号であれば接続線 SDA の信号レベルが HIGH に変化する。

【0309】

次に、マスタ IC 570 は、アドレスデータの出力後、データを、8 の倍数となるビット数で出力する。マスタ IC 570 は、データの 8 ビット目を出力した後、ACK の返答信号が入力されるのを待ってデータの 9 ビット目を出力する。以降、8 の倍数番目に相当するビットのデータを出力すると、ACK の返答信号が入力されるのを確認してから、(8 の倍数 + 1) 番目のビットを出力し、全データが出力されるまで繰り返す。

【0310】

なお、マスタ IC 570 は、データの 8 の倍数番目となるビットを出力した後、所定時間経過しても ACK の返答信号が入力されない場合には、データの送信に失敗したものと

10

20

30

40

50

みなして、再度スタート条件を送信する。次いで、接続線 S D A を介して、再度アドレスデータを出力し、A C K の返答信号を確認しながら、もう一度、データを 1 ビット目から出力する。

【 0 3 1 1 】

また、マスタ I C 5 7 0 は、データの最後のビットのデータを出力した後、A C K の返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

【 0 3 1 2 】

なお、図 1 6 では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計 2 4 ビット（スレーブアドレス 8 ビット、データ 1 6 ビット）のデータを出力しているが、2 4 ビット以上であってもよいし、2 4 ビット以下であってもよい。

10

【 0 3 1 3 】

図 1 7 は、本発明の第 1 の実施形態のマスタ I C 5 7 0 が、スレーブの個別アドレスを指定して装飾制御装置 6 1 0 に演出制御データを設定する場合において、マスタ I C 5 7 0 と I²C I / O エクスパンダ 6 1 5 との間で授受されるデータのフォーマットを説明する図である。

【 0 3 1 4 】

はじめに出力される 8 ビットのデータ 1 8 0 1 には、データ送信の対象となる装飾制御装置 6 1 0 のアドレス「A 0 ~ A 6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R / W 識別データとが含まれる。このアドレス「A 0 ~ A 6」のうち、「A 4 ~ A 6」は値「1 1 0」となる固定アドレス部であり、「A 0 ~ A 3」は I²C I / O エクスパンダ 6 1 5 の A 0 ~ A 3 の端子に設定されているアドレスに相当する（図 8 参照）。なお、このデータ 1 8 0 1 は、図 1 6 における「A D R E S S」及び「R / W」に対応するものである。

20

【 0 3 1 5 】

次に、出力される 8 ビットのデータ 1 8 0 2 には、I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5（図 7 参照）に割り当てられているコントロールレジスタへの設定データが含まれる。このデータ 1 8 0 2 は、図 1 6 において 1 番目に送信される「D A T A」に対応するものである。

【 0 3 1 6 】

30

ここで、コントロールレジスタについて説明する。コントロールレジスタは 8 ビットからなり、上位 3 ビット「A I 0 ~ A I 2」が出力設定レジスタ 6 3 5 のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位 5 ビット「D 0 ~ D 4」がワークレジスタにおけるアクセス開始位置（書き込みを開始する先頭位置、又は読み出しを開始する先頭位置）を指定するレジスタアドレスである。

【 0 3 1 7 】

自動書込パラメータは、マスタ I C 5 7 0 によって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス（オートインクリメントを禁止）するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス（オートインクリメントを許可）するのかを指定するパラメータであり、具体的には「0 0 0」、「1 0 0」、「1 0 1」、「1 1 0」、「1 1 1」の何れかの値を設定することができる。

40

【 0 3 1 8 】

自動書込パラメータに「0 0 0」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみにアクセスし、開始位置以外の領域にはアクセスしない。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域のみにアクセスし、他の記憶領域にはアクセスしない。

【 0 3 1 9 】

自動書込パラメータに「1 0 0」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番

50

号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1 B h」となる記憶領域にアクセスした後は、レジスタ番号が「0 0 h」となる記憶領域にアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」「1 6 h」・・・「1 B h」「0 0 h」「0 1 h」・・・となる領域（即ち、全ての領域）に、繰り返しアクセスする。

【0 3 2 0】

自動書込パラメータに「1 0 1」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「1 1 h」となる記憶領域にアクセスした後は、レジスタ番号が「0 2 h」となる記憶領域にアクセスし、以降、レジスタ番号が「0 2 h」～「1 1 h」となる区間の記録領域（LEDの輝度調整に関する領域）に繰り返しアクセスする。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」「1 6 h」・・・「1 B h」「0 0 h」「0 1 h」・・・となる領域に、順にアクセスする。そして、レジスタ番号が「1 1 h」となる記憶領域にアクセスした後は、レジスタ番号が「0 2 h」「0 3 h」・・・「1 1 h」「0 2 h」「0 3 h」・・・となる領域に、繰り返しアクセスする。

【0 3 2 1】

自動書込パラメータに「1 1 0」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「1 3 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 2 h」となる記憶領域にアクセスし、以降、レジスタ番号が「1 2 h」～「1 3 h」となる区間の記録領域（LEDの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」「1 6 h」・・・「1 B h」「0 0 h」「0 1 h」・・・となる領域に、順にアクセスする。そして、レジスタ番号が「1 3 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 2 h」「1 3 h」「1 2 h」「1 3 h」・・・となる領域に、繰り返しアクセスする。

【0 3 2 2】

自動書込パラメータに「1 1 1」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「1 3 h」となる記憶領域にアクセスした後は、レジスタ番号が「0 2 h」となる記憶領域にアクセスし、以降、レジスタ番号が「0 2 h」～「1 3 h」となる区間の記録領域（LEDの輝度及び点滅周期に関する領域）に繰り返しアクセスする。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」「1 6 h」・・・「1 B h」「0 0 h」「0 1 h」・・・となる領域に、順にアクセスする。そして、レジスタ番号が「1 3 h」となる記憶領域にアクセスした後は、レジスタ番号が「0 2 h」「0 3 h」・・・「1 3 h」「0 2 h」「0 3 h」・・・となる領域に、繰り返しアクセスする。

【0 3 2 3】

図17に戻り、コントロールレジスタへの設定データ1802に続いて、ワークレジスタへの設定データ1803が出力される。この設定データ1803は、図16において2番目以降に送信される「DATA」に対応するものである。

【0 3 2 4】

自動書込パラメータを「000」とした場合には、この設定データ1803は、レジスタアドレスが指定する1箇所の記憶領域を更新するために必要な8ビットのデータとなる。自動書込パラメータを「000」以外の値とした場合には、この設定データ1803は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な8の倍数となるビットのデータとなる。

【0325】

図18は、本発明の第1の実施形態のマスタIC570が、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタIC570とI²C I/Oエクスパンダ615との間で授受される演出制御データに具体的な数値を適用したものである。本図では、オートインクリメントを禁止して、ワークレジスタの1箇所の記憶領域だけを更新する演出制御データを例示しており、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を更新する場合を想定している。

10

【0326】

まず、はじめに出力される8ビットのデータ1901には、送信先の装飾制御装置610のI²C I/Oエクスパンダ615のスレーブアドレスを示す「1101100」が割り当てられている。

【0327】

次に出力される8ビットのデータ1902には、自動書込パラメータ、及びLEDの出力データを設定するために割り当てられているI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定される値が含まれる。

20

【0328】

ここでは、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を設定するので、レジスタアドレスにはLEDOUT0（アドレス＝10100）を指定することにする。

【0329】

なお、自動書込パラメータには、オートインクリメントを禁止するために「000」が指定されている。

【0330】

次に、出力される8ビットのデータ1903には、送信先の装飾制御装置610によって制御される装飾装置620の発光態様を設定するデータが含まれる。具体的には、LEDOUT0レジスタに設定されるデータが割り当てられている。これにより、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態（点灯、消灯、点滅など）が指定され、指定された状態でLEDが発光する。

30

【0331】

このようにして、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子のLEDの発光状態が制御されるが、I²C I/Oエクスパンダ615の他のPORT端子（PORT4～PORT15）も、コントロールレジスタに書き込むデータ1902の値を指定して、出力データ1903を設定することで制御可能である。PORT端子に、モーターやソレノイドが接続されていても、同様に制御される。

40

【0332】

図19は、本発明の第1の実施形態の演出制御データの別の形態を説明する図である。本図では、オートインクリメントを許可して、ワークレジスタの全ての記憶領域を更新する場合を想定しており、演出制御データに含まれる各データの送信順序を規定している。

【0333】

まず、マスタIC570は、制御対象となる装飾制御装置610の個別アドレスを特定可能な8ビットのデータ（図18のデータ1901と同一フォーマットのデータ）を送信する。

【0334】

次に、マスタIC570は、制御対象のI²C I/Oエクスパンダ615の出力設定レ

50

ジスタ 6 3 5 のコントロールレジスタに設定されるデータ（図 1 8 のデータ 1 9 0 2 と同一フォーマットのデータ）を送信する。本図においては、オートインクリメントを許可してワークレジスタの全ての記憶領域を更新するため、自動書込パラメータには「1 0 0」が指定され、書き込み先又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「0 0 h」が指定される。

【0 3 3 5】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 においては、レジスタ番号が「0 0 h」の記憶領域（MODE 1 レジスタ）が最初に更新されることになる。

【0 3 3 6】

次いで、マスタ IC 5 7 0 は、コントロールレジスタ設定値の送信後、MODE 1 レジスタに書き込む値（合計 8 ビット）を送信する。I²C I / O エクスパンダ 6 1 5 は、当該書き込み値を受信すると MODE 1 レジスタの値を更新し、レジスタ番号をインクリメントして次の「0 1 h」の記憶領域（MODE 2 レジスタ）を更新するための準備をする。

【0 3 3 7】

次いで、マスタ IC 5 7 0 は、MODE 2 レジスタに書き込む値（合計 8 ビット）を送信し、以降、レジスタ番号が「0 2 h」～「1 B h」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I²C I / O エクスパンダ 6 1 5 は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「0 0 h」～「1 B h」の全てのレジスタの値が更新される。

【0 3 3 8】

なお、I²C I / O エクスパンダ 6 1 5 は、ワークレジスタの最終となる「1 B h」の記憶領域を更新すると、レジスタ番号は「0 0 h」に変更して、MODE 1 レジスタの更新を待つ状態となる。

【0 3 3 9】

図 2 0 は、本発明の第 1 の実施形態のマスタ IC 5 7 0 が I²C I / O エクスパンダ 6 1 5 を初期化するとき、マスタ IC 5 7 0 から I²C I / O エクスパンダ 6 1 5 へ送信される初期化指示データのデータフォーマットを説明する図である。

【0 3 4 0】

演出制御装置 5 5 0 の CPU 5 5 1 がマスタ IC 5 7 0 に対して装飾制御装置 6 1 0 の初期化を行うように指示すると、マスタ IC 5 7 0 は、配下に接続している全ての装飾制御装置 6 1 0 に初期化指示データを送信する。

【0 3 4 1】

はじめに出力される 8 ビットのデータ 2 0 0 1 には、図 1 8 に示す固定アドレス「1 1 0」と、共通アドレスであるリセットアドレス「1 0 1 1」（図 1 2 参照）とが含まれる。なお、このデータ 2 0 0 1 は、図 1 6 における「ADDRESS」に対応するものであり、「R / W」のビットには、書き込みを示す「0」が設定される。

【0 3 4 2】

次に出力される 8 ビットのデータ 2 0 0 2 では、第 1 所定値「1 0 1 0 0 1 0 1」が出力されて、次に出力される 8 ビットのデータ 2 0 0 3 では、第 2 所定値「0 1 0 1 1 0 1 0」が出力される。なお、このデータ 2 0 0 2 は、図 1 6 において 1 番目に送信される「DATA」に対応し、データ 2 0 0 3 は、図 1 6 において 2 番目に送信される「DATA」に対応する。

【0 3 4 3】

マスタ IC 5 7 0 に接続されるすべての I²C I / O エクスパンダ 6 1 5 は、リセットアドレス、第 1 所定値、及び第 2 所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【0 3 4 4】

リセットアドレスの出力後に、第1所定値及び第2所定値を出力するようにしたのは、マスタIC570がリセットアドレス「1011」を送信していないにもかかわらず、ノイズなどの影響で、I²C I/Oエクスパンダ615が誤ってリセットアドレス「1011」を取り込んでしまい、誤ったタイミングで初期化が行われることを防止するためである。

【0345】

また、リセットアドレスは、個別アドレスとは異なって、全て（換言すれば複数）のI²C I/Oエクスパンダ615に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを1回送信するだけで、全て（複数）のI²C I/Oエクスパンダ615を選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

10

【0346】

なお、図20では、第1所定値と第2所定値とを異なる値としたが、同じ値であってもよい。また、第1所定値及び第2所定値のいずれかが1回送信されるようにしてもよい。

【0347】

図21は、本発明の第1の実施形態の異常判定テーブル2100を説明する図である。

【0348】

異常判定テーブル2100は、演出制御装置550のRAM553に格納される。異常判定テーブル2100は、演出制御装置550のマスタIC570と当該マスタIC570に接続されるI²C I/Oエクスパンダ615との接続状態を監視するものであり、接続状態の確認結果に対応して、該当するI²C I/Oエクスパンダ615に対応した後述のエラーフラグ2105が設定される。

20

【0349】

異常判定テーブル2100は、I/Oエクスパンダアドレス2101、スレーブアドレス2102、エラーカウンタ2103、比較値2104、及びエラーフラグ2105を含む。

【0350】

I/Oエクスパンダアドレス2101は、マスタIC570に接続されるI²C I/Oエクスパンダ615のA0～A3の端子に設定されているアドレス（図8参照）に対応している。

30

【0351】

スレーブアドレス2102には、図12に示すI²C I/Oエクスパンダアドレステーブル1200に登録されているスレーブアドレスが登録される。

【0352】

エラーカウンタ2103は、マスタIC570からI²C I/Oエクスパンダ615への演出制御データの送信に対して、I²C I/Oエクスパンダ615からのACKが受信できたか否かを監視した際に、このACKの受信に2回連続して失敗するとインクリメントされるものである。

【0353】

比較値2104には所定値が登録される。エラーフラグ2105には、当該エントリのI²C I/Oエクスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

40

【0354】

具体的には、インクリメントされたエラーカウンタ2103の値が、比較値2104に登録された所定値に達した場合に、エラーフラグ2105にONが設定されて当該エントリのI²C I/Oエクスパンダ615に異常が発生したことが登録される。

【0355】

なお、I/Oエクスパンダアドレス2101に登録された「0110」のI²C I/Oエクスパンダ615は、図8Bに示すように、役物駆動SOL560や役物駆動MOT5

50

61といった可動装置を制御している。そこで、このI²C I/Oエクスパンダ615を備える装飾制御装置610を、可動制御装置（可動グループ単位制御手段）ということにする。

【0356】

一方、I/Oエクスパンダアドレス2101に登録された「0110」以外のI²C I/Oエクスパンダ615は、図8Aに示すように、LED等の発光装置を制御している。そのため、このI²C I/Oエクスパンダ615を備える装飾制御装置610を、前述の可動制御装置と区別するために、発光制御装置（発光グループ単位制御手段）ということにする。

【0357】

図21では、可動制御装置（I/Oエクスパンダアドレス2101に登録された値が「0110」）のエントリが存在せず、発光制御装置のエントリのみが登録されている。

【0358】

可動制御装置に異常が発生している場合には、役物駆動MOT561が回転しすぎて、可動役物60が動作可能な範囲を超えて可動してしまい、可動役物60及び可動役物付近の部材を破損してしまうことを防止するため、発光制御装置よりも短時間で異常判定する必要がある。そのため、可動制御装置の接続監視タイミングと発光制御装置の接続監視タイミングとが異なるので、換言すると、可動制御装置の接続監視の構成と発光制御装置の接続監視の構成とが異なるので、異常判定テーブル2100から可動制御装置のエントリが除外されているのである。

【0359】

具体的には、本実施形態では、後述するように、発光制御装置のデータ出力処理（図22参照）は、VDP割込（約33.3ms周期）に同期して実行されるようし、可動制御装置のデータ出力処理をタイマ割込（2ms周期）に同期して実行されるようにしている。

【0360】

前述したように、マスタIC570から、発光制御装置に備えられるI²C I/Oエクスパンダ615への2回目の演出制御データの送信に対して、当該I²C I/Oエクスパンダ615からのACKが受信できなければ、エラーカウンタ2103がインクリメントされる。

【0361】

したがって、発光制御装置に異常が発生している場合には、データ出力処理の実行周期が33msで、比較値2104が「300」であるので、33.3ms×300=10sで発光制御装置に異常が発生したことを検出する。

【0362】

なお、可動制御装置に異常が発生している場合には、データ出力処理の実行周期が2msであり、後述するように、次の実行周期を待つことなく、異常が発生したことを検出するので、極めて短時間（2ms程度の時間）で可動制御装置に異常が発生したことを検出できる。

【0363】

このため、可動制御装置のエラー判定が発光制御装置のエラー判定よりも頻繁に行われ、可動制御装置に異常が発生したことを発光制御装置に異常が発生したことよりも早く検出することができるので、可動役物60が動作可能な範囲を超えて可動してしまい、可動役物60及び可動役物付近の部材を破損してしまうことを防止できる。

【0364】

これに対して、LED等の発光装置は、誤動作によって破損する恐れが少ないため、発光制御装置に関する異常判定に時間を要しても問題が生じることはない。

【0365】

従って、異常判定を短時間で行う必要がある装飾制御装置610に限定して判定の周期を短縮し、他の装飾制御装置610の異常判定を余裕のある周期で行うので、処理負担の

10

20

30

40

50

バランスを考慮した異常判定処理を実行することが可能となる。

【0366】

図22は、本発明の第1実施形態の演出制御装置550による処理のフローチャートである。

【0367】

図22に示す演出制御装置550の処理は、演出制御装置550のCPU551によって実行される。

【0368】

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ2201～2210の処理を実行した後、VDP556から画像更新周期と同期する同期信号（例えば、33ms秒周期の同期信号）がCPU551に入力されるまで待機する。そして、以降は、VDP556から画像更新周期と同期する同期信号がCPU551に入力される毎に、ステップ2204～2210の処理を繰り返し実行する。

10

【0369】

まず、演出制御装置550は、演出制御装置550のRAM553を初期化する（2201）。このとき、当該演出制御装置550への電源投入時を基点として、CPU551からVDP556や音LSI557に出力される、初回の制御データも生成される。

【0370】

次に、演出制御装置550は、マスタIC570、及びマスタIC570に接続された装飾制御装置610、を初期化するI²C初期リセット処理を実行する（2202）。I²C初期リセット処理は、図23で詳細を説明する。このI²C初期リセット処理が実行されると、役物駆動MOT561、及び役物駆動SOL560の初期化動作も開始される。

20

【0371】

そして、演出制御装置550は、VDP556から画像更新周期と同期する同期信号（VDP割込）、及びタイマ割込の受け入れを許可する（2203）。

【0372】

そして、演出制御装置550は、表示装置53に画像を表示するために、VDP556に画像を表示させる指令となるデータを出力し（2204）、スピーカ30から音を遊技状態に応じて出力させるために、音制御データを音LSI557に出力し、音LSI557に音制御データに基づいてスピーカ30から音を出力させる（2205）。

30

【0373】

次に、演出制御装置550は、発光制御装置に演出制御データをマスタIC570から出力する発光制御スレーブ出力処理を実行する（2206）。発光制御スレーブ出力処理は、図25で詳細を説明する。

【0374】

そして、演出制御装置550は、VDP556に次に出力されるデータを編集し（2207）、音LSI557に次に出力される音制御データを編集し（2208）、各グループの発光制御装置に次に出力される演出制御データを編集する（2209）。

【0375】

次に、演出制御装置550は、異常判定テーブル2100を参照して、すべての発光制御装置のエラーフラグ2105がONになっている場合にリセット条件が成立したとみなし、マスタIC570、役物駆動MOT561、マスタIC570に接続されたすべてのI²C I/Oエクスパンダ615、及び役物駆動SOL560の初期化を指示するI²C随時リセット処理を実行し（2210）、その後、VDP556から同期信号がCPU551に入力されるまで待機する。I²C随時リセット処理は、図27で詳細を説明する。

40

【0376】

図22による処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550のマスタIC570から装飾制御装置610のI²C I/Oエクスパンダ615へ演出制御データを送信し、I²C I/Oエクスパンダ615は受信した演出制御データに基づいて装飾装置620を制御するので、表示装置53における演出と装飾装置620に

50

おける演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【0377】

また、表示装置53の画像を更新する周期と同期してマスタIC570から送信された演出制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエクスパンダ615によってワークレジスタの値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0378】

また、表示装置53の画像を更新する周期と同期して、ステップ2211の処理で実行されるエラー判定処理を実行するので、エラー判定の実行頻度を適切にできる、つまり、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大してしまい、逆に、エラー判定処理の実行頻度が少なすぎると、異常が発生したことを適切に検出できなくなってしまうことになるので、適度な頻度でエラー判定を行うことにより処理の不具合を防止することができる。

【0379】

図23は、本発明の第1実施形態のI²C初期リセット処理のフローチャートである。

【0380】

I²C初期リセット処理は、演出制御装置550への電源投入の直後に、マスタIC570、マスタIC570に接続されたすべてのI²C I/Oエクスパンダ615の初期化を指示する処理であり、図22に示すステップ2202の処理で実行される。なお、当該処理中にて、役物駆動MOT561、及び役物駆動SOL560の初期化動作の開始が指示される

まず、演出制御装置550のCPU551は、初期化中であることを示すリセット要求フラグを設定し(2301)、入出力I/F558とNORゲート回路590とを介してリセットパルスをマスタIC570へ入力し、マスタIC570をハード的に初期化(ハードリセット)する(2302)。

【0381】

ハードリセットとは、マスタIC570の図示しないリセット回路にマスタIC570のRESET端子が接続されており、RESET端子に印加される電圧が所定時間ローレベルに保持されることによって、マスタIC570のリセット回路がマスタIC570自身をリセットすることをいう。なお、このRESET端子は、本実施形態における初期化信号入力指示端子として機能している。

【0382】

本実施形態では、このRESET端子に印加されるリセット信号が、前述したように、演出制御装置550に備わっている他の回路にも接続されている。この他の回路とは、例えば、VDP556や音LSI557などであり、演出制御装置550に電源が投入されて起動したときに、CPU551により初期化されるものである。従って、電源投入時には、ハードリセットによって、マスタIC570とともに、これらの回路もあわせて初期化できるため、処理の高速化が期待できる。

【0383】

次に、演出制御装置550は、マスタIC570に接続されたすべての装飾制御装置610のI²C I/Oエクスパンダ615を初期化するために、マスタIC570から初期化指示データを出力するスレーブリセット処理を実行する(2303)。スレーブリセット処理は、図24で詳細を説明する。

【0384】

次に、演出制御装置550は、ステップ2302の処理、及びステップ2303の処理でマスタIC570及びI²C I/Oエクスパンダ615の初期化が完了したので、リセット要求フラグを解除する(2304)。そして、演出制御装置550は、役物駆動MOT561が初期化中であることを示すモータ初期化フラグを設定する(2305)。なお、役物駆動MOT561の初期化とは、役物駆動MOT561の回転軸を初期位置に戻す

処理であり、図 2 8 に示すタイマ割込処理で行われる。

【 0 3 8 5 】

次に、演出制御装置 5 5 0 は、役物駆動 M O T 5 6 1 を初期化する場合に役物駆動 M O T 5 6 1 に出力されるモータ出力データを R A M 5 5 3 に設定する (2 3 0 6)。そして、演出制御装置 5 5 0 は、役物駆動 S O L 5 6 0 を初期化するために、役物駆動 S O L 5 6 0 の通電状態を非通電状態にするオフデータを役物駆動 S O L 5 6 0 に出力し (2 3 0 7)、図 2 2 に示すステップ 2 2 0 3 の処理に進む。なお、役物駆動 S O L 5 6 0 の初期化とは、役物駆動 S O L 5 6 0 の通電状態を非通電状態にすることである。

【 0 3 8 6 】

なお、C P U 5 5 1 は、入出力 I / F 5 5 8 と N O R ゲート回路 5 9 0 とを介してリセットパルスをマスタ I C 5 7 0 へ入力し、マスタ I C 5 7 0 をハード的にリセットするとしたが、C P U 5 5 1 から、バス 5 6 3 を介してリセットレジスタ 5 7 3 に情報を書き込むことにより、マスタ I C 5 7 0 をソフト的にリセットしてもよい。

【 0 3 8 7 】

図 2 4 は、本発明の第 1 実施形態のスレーブリセット処理のフローチャートである。

【 0 3 8 8 】

スレーブリセット処理は、I²C I / O エクスパンダ 6 1 5 を初期化するための初期化指示データを I²C I / O エクスパンダ 6 1 5 に送信する処理であり、図 2 3 に示すステップ 2 3 0 3 の処理、及び図 2 7 に示すステップ 2 7 0 6 の処理で実行される。

【 0 3 8 9 】

初期化指示データは、マスタ I C 5 7 0 からバイトモードで送信される。バイトモードでは、マスタ I C 5 7 0 は、I²C I / O エクスパンダ 6 1 5 へデータを 1 バイト送信する毎に、I²C I / O エクスパンダ 6 1 5 から A C K 又は N A C K を受信し、A C K 及び N A C K の何れを受信した場合でも、割込信号を C P U 5 5 1 に出力する。つまり、マスタ I C 5 7 0 から I²C I / O エクスパンダ 6 1 5 へ 1 バイトのデータを送信することが完了すれば、A C K / N A C K の受信に拘らず、必ず、マスタ I C 5 7 0 から C P U 5 5 1 へ割込信号が出力される。

【 0 3 9 0 】

まず、マスタ I C 5 7 0 は、接続線 S D A 及び接続線 S C L の信号レベルを、スタート条件を示す信号レベルに変化させる (2 4 0 1)。

【 0 3 9 1 】

次に、C P U 5 5 1 は、リセットアドレス (図 2 0 参照) を示す 1 バイト分のデータを出力用 B U F 5 7 2 に設定する (2 4 0 2)。

【 0 3 9 2 】

そして、C P U 5 5 1 は、マスタ I C 5 7 0 へデータ送信の開始を指示した時点から、マスタ I C 5 7 0 が C P U 5 5 1 へ割込信号を伝達させるまでの時間を監視するために、バイトモード用の監視タイマの起動を開始する (2 4 0 3)。以降、この監視時間をバイトモード監視時間ということにする。

【 0 3 9 3 】

C P U 5 5 1 は、バイトモード時間の監視を開始してから所定時間経過しても、マスタ I C 5 7 0 から割込信号を受け付けていない場合には、タイムアウトが発生したとして、データ送信を中断するために、マスタ I C 5 7 0 にストップ条件を出力させ (2 4 1 5)、その後、ステップ 2 4 0 1 の処理に戻り、再度マスタ I C 5 7 0 にスタート条件を出力させてから、初期化指示データを初めのデータから送信する。

【 0 3 9 4 】

次に、マスタ I C 5 7 0 は、ステップ 2 4 0 2 の処理で出力用バッファ 5 7 2 に設定されたリセットアドレスを I²C I / O エクスパンダ 6 1 5 に出力する (2 4 0 4)。マスタ I C 5 7 0 は、このリセットアドレスを出力する際に、一旦、ドライバ 5 7 6 A をオフさせて接続線 S D A を解放する (ハイレベルに変化させる) 動作を行う。そして、接続線 S D A が解放されていない場合 (ドライバ 5 7 6 A をオフしても、接続線 S D A がハイレ

10

20

30

40

50

ベルにならずロウレベルのまま維持されているとき)には、このリセットアドレスの出力は、接続線 S D A が開放される(接続線 S D A がハイレベルになる)まで待機する。

【0395】

次に、マスタ I C 5 7 0 は、1 バイト分のデータ出力完了から、所定時間(前述したバイトモード監視時間よりも短い監視時間となっている)以内に A C K の返答信号がマスタ I C 5 7 0 に入力されたか否かを確認する(2405)。

【0396】

そして、マスタ I C 5 7 0 は、ステップ 2 4 0 5 の処理の確認結果に基づいて、データが出力されてから所定時間以内に A C K の返答信号が入力されているか否かを判定する(2406)。

10

【0397】

ステップ 2 4 0 6 の処理で、データが出力されてから所定時間以内に A C K の返答信号が入力されていないと判定された場合、マスタ I C 5 7 0 は、ステータス R E G 5 7 9 に返答信号が N A C K であった旨の情報を設定したうえで、割込信号を発生させる。これにより、I²C I / O エクスパンダ 6 1 5 から N A C K の返答信号を受信したことが、C P U 5 5 1 に通知される。このとき、C P U 5 5 1 はバイトモードの時間監視を終了する(2407)。

【0398】

次いで、C P U は、データ送信を中断するために、マスタ I C 5 7 0 にストップ条件を出力させ(2415)、その後、ステップ 2 4 0 1 の処理に戻り、再度マスタ I C 5 7 0 にスタート条件を出力させてから、初期化指示データを再度出力する。

20

【0399】

ステップ 2 4 0 6 の処理で、データが出力されてから所定時間以内に A C K の返答信号が入力されたと判定された場合、マスタ I C 5 7 0 は、ステータス R E G 5 7 9 に返答信号が A C K であった旨の情報を設定したうえで、割込信号を発生させる。これにより、I²C I / O エクスパンダ 6 1 5 から A C K の返答信号を受信したことが、C P U 5 5 1 に通知される。このとき、C P U 5 5 1 はバイトモードの時間監視を終了する(2408)。

【0400】

そして、C P U 5 5 1 は、初期化指示データを構成する3種類のデータ(図20に示す、リセットアドレスを含むデータ2001、第1所定値のデータ2002、及び第2所定値のデータ2003)をすべて出力したか否かを判定する(2409)。なお、これらのデータは出力順序が予め定められているので、ステップ2409の処理では、第2所定値のデータ2003が出力された直後か否かを判定すればよい。

30

【0401】

ステップ2409の処理で、初期化指示データを構成するすべてのデータを出力したと判定された場合、つまり、図20に示す第2所定値を示すデータを出力した場合には、マスタ I C 5 7 0 は、接続線 S D A 及び接続線 S C L の信号レベルを、ストップ条件を示す信号レベルに変化させ(2410)、スレーブリセット処理を終了する。

【0402】

40

ステップ2409の処理で、初期化指示データ構成するすべてのデータ出力していないと判定された場合には、C P U 5 5 1 は、次に送信される1バイトのデータを出力用 B U F 5 7 2 に設定する(2411)。リセットアドレスを出力した直後に実行されるステップ2411の処理では、出力用 B U F 5 7 2 には、図20に示す第1所定値のデータ2002が設定され、第1所定値のデータを出力した直後に実行されるステップ2411の処理では、出力用 B U F 5 7 2 には、図20に示す第2所定値のデータ2002が設定される。

【0403】

そして、C P U 5 5 1 は、マスタ I C 5 7 0 へデータ送信の開始を指示した時点から、マスタ I C 5 7 0 が C P U 5 5 1 へ割込信号を伝達させるまでの時間を監視するために、

50

バイトモード用の監視タイマの起動を開始する(2412)。

【0404】

次に、マスタIC570は、接続線SDAの電圧レベルを監視し、接続線SDAが解放されていることを確認してから(2413)、出力用BUF572に設定された1バイトのデータを出力し(2414)、ステップ2405の処理に進む。ステップ2413の処理は、グループ単位制御手段からの返答信号の出力が終了するまでは、接続線SDAが返答信号により占有されているので、マスタIC570は、グループ単位制御手段からの返答信号の出力が終了し、接続線SDAが解放されるまで待機する処理である。

【0405】

以上より、初期化指示データは、1バイトのデータを出力するごとに(つまり、3バイトの初期化指示データを送信する途中で)、出力した1バイトのデータに対する返答信号が否かを示す割込信号が出力されるか否かを監視するバイトモードで送信される。

【0406】

なお、ステップ2403の処理、及びステップ2412の処理において、1バイトのデータを送信してからマスタIC570から割込信号が出力されるまでの時間の監視は、CPU551が行ったが、マスタIC570自身が、1バイトのデータを送信してからマスタIC570から割込信号を出力するまでの時間を監視してもよい。

【0407】

図25は、本発明の第1実施形態の発光制御スレーブ出力処理のフローチャートである。

【0408】

発光制御スレーブ出力処理は、発光装置に接続されるI²C I/Oエクスパンダ615(発光制御装置)に発行制御データを送信する処理であり、図22に示すステップ2206の処理で実行される。

【0409】

演出制御装置550は、複数の発光制御装置から、一つの発光制御装置を選択し(2501)、ステップ2501の処理で選択された発光制御装置にマスタIC570からデータを出力するスレーブ連続処理を実行する(2502)。スレーブ連続処理は、図26で詳細を説明する。

【0410】

そして、演出制御装置550は、すべての発光制御装置にデータを出力したか否かを判定する(2503)。

【0411】

ステップ2503の処理で、すべての発光制御装置にデータを出力していないと判定された場合、次の発光制御装置を選択し(2504)、ステップ2504の処理で選択された発光制御装置にマスタIC570からデータを出力するスレーブ連続処理を実行する(2502)。

【0412】

一方、ステップ2503の処理で、すべての発光制御装置にデータを出力したと判定された場合、CPU551は、マスタIC570にストップ条件を出力させて発光制御スレーブ出力処理を終了し(2505)、図22に示すステップ2207の処理に進む。

【0413】

図26は、本発明の第1実施形態のスレーブ連続処理のフローチャートである。

【0414】

スレーブ連続処理は、発光装置に接続されるI²C I/Oエクスパンダ615に、演出制御データである発光制御データを送信する処理であり、図25に示すステップ2502の処理で実行される。

【0415】

発光制御データは、マスタIC570からバッファモードで送信される。バッファモードでは、マスタIC570は、出力用BUF572に格納された複数バイトのデータを、

10

20

30

40

50

I²C I/Oエクスパンダ 6 1 5 へ 1 バイト毎送信し、その送信の都度、I²C I/Oエクスパンダ 6 1 5 から A C K 又は N A C K を受信する。そして、N A C K を受信した場合には、その時点で、割込信号を C P U 5 5 1 に出力する。

【 0 4 1 6 】

ただし、A C K を受信した場合には、出力用 B U F 5 7 2 に格納されたすべてのデータが送信完了となった場合にのみ、割込信号を C P U 5 5 1 に出力する。マスタ I C 5 7 0 は、出力用 B U F 5 7 2 に未送信のデータが残っている状態で I²C I/Oエクスパンダ 6 1 5 から A C K を受信したときには、割込信号を C P U 5 5 1 に出力せずに、出力用 B U F 5 7 2 から次の送信すべきデータを取り出して、I²C I/Oエクスパンダ 6 1 5 へ出力する。

10

【 0 4 1 7 】

つまり、バッファモードの場合には、マスタ I C 5 7 0 は、出力用 B U F 5 7 2 に格納されたデータが I²C I/Oエクスパンダ 6 1 5 にすべて送信されるまでの間は、I²C I/Oエクスパンダ 6 1 5 から A C K を受信し続けている限り、C P U 5 5 1 に処理を引き渡すことなく、処理を継続することとなる。

【 0 4 1 8 】

まず、C P U 5 5 1 は、A C K の返答信号の受信に失敗したことを計数する A C K カウンタに 0 を設定する (2 6 0 1)。

【 0 4 1 9 】

次に、C P U 5 5 1 は、選択されている装飾制御装置 6 1 0 に出力するデータを生成する (2 6 0 2)。

20

【 0 4 2 0 】

そして、C P U 5 5 1 は、ステップ 2 6 0 2 の処理で生成されたデータを出力用 B U F 5 7 2 に設定するバッファ設定処理を実行する (2 6 0 3)。設定されるデータは、図 1 9 に示す演出制御データのフォーマットとなっており、図 1 9 に示す送信順序に従って、1 バイト毎に区切られながら、I²C I/Oエクスパンダ 6 1 5 へ送信される。

【 0 4 2 1 】

そして、マスタ I C 5 7 0 は、接続線 S D A 及び接続線 S C L の信号レベルを、スタート条件を示す信号レベルに変化させる (2 6 0 4)。

【 0 4 2 2 】

30

具体的には、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることによってスタート条件を示す信号を出力する。

【 0 4 2 3 】

なお、マスタ I C 5 7 0 は、スタート条件を示す信号を出力後、制御対象となる装飾制御装置 6 1 0 へデータを送るために、接続線 S C L のレベルを L O W に変更する。

【 0 4 2 4 】

次に、C P U 5 5 1 は、マスタ I C 5 7 0 へデータ送信の開始を指示した時点から、マスタ I C 5 7 0 が C P U 5 5 1 へ割込信号を伝達させるまでの時間を監視するために、バッファモード用の監視タイマの起動を開始する (2 6 0 5)。以降、この監視時間をバッファモード監視時間ということにする。

40

【 0 4 2 5 】

そして、マスタ I C 5 7 0 は、出力用 B U F 5 7 2 に設定されているデータの先頭から、制御対象となる装飾制御装置 6 1 0 のスレーブアドレスに相当する 8 ビット分のデータを取得し、このアドレスの値を接続線 S C L の信号レベルを変化させながら、接続線 S D A を介して出力する (2 6 0 6)。

【 0 4 2 6 】

ステップ 2 6 0 6 の処理で出力されるアドレスデータは 8 ビットのデータ列であるため、1 回の出力処理 (接続線 S C L が 8 回 H I G H に変化する間の出力) でアドレスデータが出力される。

50

【 0 4 2 7 】

なお、マスタ I C 5 7 0 は、このスレーブアドレスを出力する際に、一旦、ドライバ 5 7 6 A をオフさせて接続線 S D A を解放する（ハイレベルに変化させる）動作を行う。そして、接続線 S D A が解放されていない場合には、このスレーブアドレスの出力は、接続線 S D A が開放されるまで待機する。

【 0 4 2 8 】

ステップ 2 6 0 6 の処理で出力されたアドレスデータが I²C I / O エクスパンダ 6 1 5 に入力された場合、I²C I / O エクスパンダ 6 1 5 は、入力されたアドレスデータと自身に設定されているアドレスとが一致するか否かを判定する。

【 0 4 2 9 】

入力されたアドレスデータと一致するアドレスが設定されている I²C I / O エクスパンダ 6 1 5 は、接続線 S C L の L O W から H I G H への変更回数が 8 回目になった直後であって、その H I G H レベルとなっている接続線 S C L が L O W レベルへと変化することを契機として、返答信号を接続線 S D A からマスタ I C 5 7 0 に出力する。

【 0 4 3 0 】

次に、マスタ I C 5 7 0 は、ステップ 2 6 0 5 の処理でアドレスデータが出力されてから所定時間以内に A C K の返答信号がマスタ I C 5 7 0 に入力されたか否かを確認する（2 6 0 7）。

【 0 4 3 1 】

次に、マスタ I C 5 7 0 は、ステップ 2 6 0 6 の処理の確認結果に基づいて、ステップ 2 6 0 2 の処理でアドレスデータが出力されてから所定時間以内に A C K の返答信号が入力されているか否かを判定する（2 6 0 8）。

【 0 4 3 2 】

ステップ 2 6 0 5 の処理でアドレスデータが出力されてから所定時間以内に A C K の返答信号が入力されていないと、ステップ 2 6 0 8 の処理で判定された場合には、マスタ I C 5 7 0 は、ステータス R E G 5 7 9 に返答信号が N A C K であった旨の情報を設定したうえで、割込信号を発生させる。これにより、I²C I / O エクスパンダ 6 1 5 から N A C K の返答信号を受信したことが、C P U 5 5 1 に通知される。このとき、C P U 5 5 1 は、バイトモードの時間監視を終了する（2 6 0 9）。

【 0 4 3 3 】

C P U 5 5 1 は、ステップ 2 6 0 9 で割込信号を受けつけると、マスタ I C 5 7 0 に対して、ストップ条件を発行するように指示する。ストップ条件の発行を指示されたマスタ I C 5 7 0 は、接続線 S D A 及び接続線 S C L の信号レベルを制御して、ストップ条件を発行する（2 6 1 0）。その後、A C K カウンタが 0 であるか否かを判定する（2 6 1 1）。

【 0 4 3 4 】

ステップ 2 6 1 1 の処理で、A C K カウンタが 0 であると判定された場合、A C K の返答信号の受信に失敗したことを計数するために A C K カウンタを + 1 更新し（2 6 1 2）、再度同じデータを当該装飾制御装置 6 1 0 に送信するために、ステップ 2 6 0 2 の処理に戻る。

【 0 4 3 5 】

一方、ステップ 2 6 1 1 の処理で、A C K カウンタが 0 でないと判定された場合、C P U 5 5 1 は、異常判定テーブル 2 1 0 0 に登録されたエントリのうち、I / O エクスパンダアドレス 2 1 0 1 が選択された装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 のアドレスと一致するエントリを選択し、選択されたエントリのエラーカウンタ 2 1 0 3 をインクリメントする（2 6 1 3）。

【 0 4 3 6 】

そして、C P U 5 5 1 は、ステップ 2 6 1 3 の処理でインクリメントされたエラーカウンタ 2 1 0 3 の値が比較値 2 1 0 4 に達しているか否かを判定する（2 6 1 4）。

【 0 4 3 7 】

10

20

30

40

50

ステップ2613の処理でインクリメントされたエラーカウンタ2103の値が比較値2104に達していると、ステップ2614の処理で判定された場合、CPU551は、異常判定テーブル2100に登録されたエントリのうち、選択された装飾制御装置610のエントリのエラーフラグをONに設定し(2615)、スレーブ連続出力処理を終了する。

【0438】

一方、ステップ2613の処理でインクリメントされたエラーカウンタ2103の値が比較値2104に達していないと、ステップ2614の処理で判定された場合、スレーブ連続出力処理を終了する。

【0439】

一方、所定時間以内にACKの返答信号が入力されたと、ステップ2608の処理で判定された場合には、マスタIC570は、出力用BUF572に記憶されているすべてのデータを出力したか否かを判定する(2616)。

【0440】

ステップ2616の処理で、出力用BUF572に記憶されているすべてのデータを出力したと判定された場合には、マスタIC570は、ステータスREG579に返答信号がACKであった旨の情報を設定したうえで、割込信号を発生させる。これにより、I²C I/Oエクスパンダ615への全バイトデータの送信を完了したことが、CPU551に通知される。このとき、CPU551は、バッファモードの時間監視を終了する(2619)。

【0441】

そして、CPU551は、ステップ2619の処理の実行後に、異常判定テーブル2100に登録されたエントリのうち、I/Oエクスパンダアドレス2101が選択された装飾制御装置610のI²C I/Oエクスパンダ615のアドレスと一致するエントリを選択し、選択されたエントリのエラーカウンタ2103をゼロに初期化し(2620)、当該エントリのエラーフラグ2105をオフに設定し(2621)、ステップ2615の処理に進み、マスタIC570にストップ条件を示す信号を出力させる。

【0442】

一方、ステップ2616の処理で、出力用BUF572に記憶されているすべてのデータを出力していないと判定された場合には、マスタIC570は、接続線SDAの電圧レベルを監視し、接続線SDAが開放されていることを確認してから(2617)、出力用BUF572に記憶されたデータのうち次に送信すべき1バイトのデータを送信し(2618)、ステップ2607の処理に進む。

【0443】

以上より、発光制御データは、1バイトのデータを出力するごとに(つまり、発光制御データを送信する途中で)、返答信号の受信が監視されるものの、マスタIC570へACKの返答信号が入力されている限り、出力用BUF572に記憶されている全てのデータが送信完了となるまでマスタIC570からCPU551へ処理を引き渡さない構成となっているバッファモードで送信される。

【0444】

ここで、共通アドレスを含む初期化指示データは、バイトモードで送信されており、図24に示すように1バイトのデータの送信を開始するごとに、その都度、マスタIC570からCPU551へ割込信号が返ってくるまでの時間(バイトモード監視時間)が監視されている。

【0445】

一方、個別アドレスとなるスレーブアドレスを含む発光制御データは、バッファモードで送信されており、図26に示すように、出力用BUF572に保存されている、先頭バイトのデータ送信の開始から、最終バイトのデータ送信の終了までの時間(バッファモード監視時間)が監視されている。

【0446】

10

20

30

40

50

本実施形態では、演出制御装置 550 から装飾制御装置 610 へデータを送信する場合に、前述したバイトモード若しくはバッファモードの何れかのモードを選択する。ここで、バイトモード及びバッファモードの特徴について説明する。

【0447】

バイトモードでは、マスタ IC 570 から送信された 1 バイトのデータに対して、装飾制御装置 610 から如何なる返答信号が入力されても (ACK でも NACK でも)、直ちに割込信号がマスタ IC 570 から CPU 551 へ伝達される。このとき、バイトモード監視時間には、1 バイトのデータ送信と返答信号の受信に要する時間に合わせた時間値が設定されている。

【0448】

CPU 551 は、装飾制御装置 610 からマスタ IC 570 へ ACK の返答信号が伝達された場合に、1 バイトのデータ送信が成功したと判断して、次の処理を行う。一方で、CPU 551 は、装飾制御装置 610 からマスタ IC 570 へ NACK の返答信号が伝達された場合に、或いは、バイトモード監視時間がタイムアウトした場合に、データ送信に異常が発生したものと判断して、必要な処理を行う。

【0449】

これに対して、バッファモードでは、マスタ IC 570 から送信された 1 バイトのデータに対して、装飾制御装置 610 から NACK の返答信号が入力された場合に限り、直ちに割込信号がマスタ IC 570 から CPU 551 へ伝達される。しかしながら、装飾制御装置 610 から ACK の返答信号が入力された場合には、出力用 BUF 572 に保存されているデータが全て送信されたタイミングでないと、割込信号がマスタ IC 570 から CPU 551 へ伝達されず、マスタ IC 570 は、出力用 BUF 572 に保存されているデータを次々と送信する処理を行うことになる。

【0450】

そのため、バッファモードによるデータ送信では、バイトモードによるデータ送信と比較して、割込信号がマスタ IC 570 から CPU 551 へ伝達される回数が少なくなるため、マスタ IC 570 から CPU 551 へ処理を引き渡す回数が少なくなり、複数バイトのデータを送信するときの全体的な送信時間を短縮することができる。

【0451】

その一方で、バッファモードでは、装飾制御装置 610 から ACK の返答信号が入力され続ける限り、送信すべきデータの全てが送信完了となるまで、マスタ IC 570 から CPU 551 へ処理が引き渡されない。そのため、データ送信中に、何らかの理由で、接続線 SDA を用いてデータ送信ができない状態が発生すると、その都度、マスタ IC 570 によってデータ送信が中断され、マスタ IC 570 から CPU 551 へ処理が引き渡されるまでの時間が、非常に長くなってしまう恐れもあり得る。

【0452】

なお、マスタ IC 570 から CPU 551 へ処理が引き渡されるまでの時間を監視するために、前述のバッファモード監視時間には、送信する全バイトのデータ送信と返答信号の受信に要する時間に合わせた時間値が設定されている。必然的に、このバッファモード監視時間は、前述のバイトモード監視時間よりも長い時間が設定されることになる。

【0453】

CPU 551 は、装飾制御装置 610 からマスタ IC 570 へ ACK の返答信号が伝達された場合に、送信すべき全バイトのデータ送信が成功したと判断して、次の処理を行う。一方で、CPU 551 は、装飾制御装置 610 からマスタ IC 570 へ NACK の返答信号が伝達された場合に、或いは、バッファモード監視時間がタイムアウトした場合に、データ送信に異常が発生したものと判断して、必要な処理を行う。

【0454】

以上のことから、データ送信に関して全く異常が発生しないという前提であれば、複数バイトのデータ (必然的に送信単位である 8 ビットよりも長いビット数のデータとなる) を送信する場合には、バッファモードを用いたデータ送信の方が、バイトモードを用いた

10

20

30

40

50

データ送信よりも高速な処理を行えるのは確かである。しかしながら、データ送信時に異常が発生する可能性を考慮すると、バイトモードにはデータ送信の完了を1バイト毎に確認しながら処理を行えるという利点を有するので、どちらのモードが優れているのかは単純には比較できない。

【0455】

本実施形態では、初期化指示データをバイトモードで送信し、発光制御データをバッファモードで送信しており、そのような構成により奏する効果について説明する。

【0456】

まず、共通アドレスを含む初期化指示データに対しては、共通アドレスが予め割り当てられたすべての装飾制御装置610からACKの返答信号が出力される。一方、個別アドレスを含む発光制御データに対しては、個別アドレスが予め割り当てられた一つの装飾制御装置610からACKの返答信号が出力される。

10

【0457】

このため、初期化指示データを送信した場合には複数の装飾制御装置610から返答信号が出力されるので、初期化指示データの1バイトのデータを送信した後の接続線SDAが解放されるまでの待機時間は、当該複数の装飾制御装置610の全てが接続線SDAを開放するまでの時間に依存する。これに対して、発光制御データの1バイトのデータを送信した後の接続線SDAが解放されるまでの待機時間は、送信対象の一つの装飾制御装置610のみが接続線SDAを開放するまでの時間に依存する。従って、前者の方が接続線SDAが解放されるまでの待機時間が長くなる。

20

【0458】

なお、初期化指示データは、共通アドレスのデータ2001、第1所定値のデータ2002、及び第2所定値のデータ2003というように3回に分けて送信される。さらに、この3種類の初期化指示データが正確に装飾制御装置610に伝達されない場合には、装飾制御装置610を確実に初期化するために、何度でも初期化指示データの送信を繰り返す処理が行われる。

【0459】

ここで、バッファモードを用いて初期化指示データを送信した場合と、バイトモードを用いて初期化指示データを送信した場合とを比較する。それぞれのモードにおいて、最初の共通アドレスのデータ2001の送信後、又は次の第1所定値のデータ2002の送信後に、何らかの理由によって、接続線SDAが解放されない異常状態が発生した場合を想定するとどうなるかを説明する。

30

【0460】

初期化指示データがバッファモードで送信されると、バッファモード監視時間には、共通アドレスのデータ2001の送信開始から第2所定値のデータ2003の送信によるACKの受信までの、少なくとも3バイト分のデータ送信に必要な時間が設定されなければならない。このため、初期化指示データをバッファモードで送信するようにした場合には、接続線SDAが解放されない異常が発生すると、CPU551は、バッファモード監視時間のタイムアップを待つことになる。

【0461】

40

一方、初期化指示データがバイトモードで送信されると、バイトモード監視時間には、少なくとも1バイト分のデータ送信に必要な時間が設定されなければならない。このため、初期化指示データをバイトモードで送信するようにした場合には、接続線SDAが解放されない異常が発生すると、CPU551は、バイトモード監視時間のタイムアップを待つことになる。

【0462】

このため、初期化指示データをバッファモードで送信するようにした場合には、接続線SDAが解放されない異常が発生すると、CPU551は、長いタイムアップ時間の経過を待ってから異常解除をすることになるので、却って非効率なデータ送信を行うことになってしまう。

50

【0463】

一方、初期化指示データをバイトモードで送信するようにした場合には、接続線SDAが解放されない異常が発生しても、CPU551は、短いタイムアップ時間の経過を待ってから異常解除をするようになるので、無駄な時間を抑制でき、効率的なデータ送信を行うことができる。

【0464】

このため、本実施形態では、初期化指示データをバイトモードで送信するようにしたので、接続線SDAが解放されない異常をいち早く検出できるようにしたので、結果としてデータ送信の時間を短縮できる。

【0465】

特に、前述したように、初期化指示データは複数の装飾制御装置610に送信され、これらの装飾制御装置610から全ての返答信号が出力されることを監視するので、接続線SDAが解放されるまでの待機時間が長くなる傾向にあり、監視時間自体を長めに設定する必要があることから、バイトモードを用いて時間監視を行うことが好ましい。

【0466】

一方で、本実施形態では、発光制御データはバッファモードで送信される。これは、上述したように、バッファモードによるデータ送信では、バイトモードのときと比較して、割込信号がマスタIC570からCPU551へ伝達される回数が少なくなるため、マスタIC570からCPU551へ処理を引き渡す回数が少なくなり、複数バイトのデータを送信するときの全体的な送信時間を短縮することができるからである。

【0467】

なお、発光制御データをバッファモードで送信し、何らかの理由によって、接続線SDAが解放されない異常状態が発生した場合には、バッファモード監視時間のタイムアップを待って異常を解除し、1回だけ装飾制御装置610へ発光制御データを再送する。もし、2回連続して発光制御データの送信異常が発生した場合には、発光制御データの送信を中止する。

【0468】

したがって、発光制御データを送信する場合には、接続線SDAが解放されない異常を検出するまでの無駄な時間を減少させるよりも割込信号が出力される回数を減少させてCPU551にかかる処理負荷を軽減させたほうがデータ送信の時間が短縮できるので、発光制御データは割込信号が出力される回数がバイトモードよりも少ないバッファモードで送信されるようにしている。

【0469】

また、図24に示すように、初期化指示データにおいては、接続線SDAが解放されずタイムアウトが発生した場合、又は、1バイトのデータに対する返答信号がマスタIC570に入力されなかった場合には、初期化指示データの最初のデータ（共通アドレスを含むデータ2001）から再送信を行い、初期化指示データがI²C I/Oエクスパンダ615によって受信されるまで当該再送信が繰り返し行われるので、初期化指示データは正確にI²C I/Oエクスパンダ615に受信されるので、正確にI²C I/Oエクスパンダ615を初期化できる。また、図26に示すように、発光制御データにおいては、接続線SDAが解放されずタイムアウトが発生した場合、又は、1バイトのデータに対する返答信号がマスタIC570に入力されなかった場合には、発光制御データの最初のデータから再送信を1回のみ行うので、高速なデータ送信が可能となる。

【0470】

I²C I/Oエクスパンダ615の初期化は異常発生時において発生した異常を解消するために行う処理であるため、確実に初期化が行われるように、初期化指示データがI²C I/Oエクスパンダ615に確実に受信されるまで再送信を繰り返し行うようにしている。これに対して、発光制御データはI²C I/Oエクスパンダ615に受信されなくとも発光装置の出力態様が前回の出力態様で停止するのみであるので、データ送信の高速性を重視して、1回のみ再送信を行うようにしている。

【 0 4 7 1 】

図 2 7 は、本発明の第 1 実施形態の I²C 随時リセット処理のフローチャートである。

【 0 4 7 2 】

I²C 随時リセット処理は、マスタ IC 5 7 0、役物駆動 MOT 5 6 1、マスタ IC 5 7 0 に接続されたすべての I²C I / O エクスパンダ 6 1 5、及び役物駆動 SOL 5 6 0 の初期化を指示する処理であり、図 2 2 に示すステップ 2 2 1 0 の処理である。

【 0 4 7 3 】

まず、演出制御装置 5 5 0 は、リセット要求フラグがオンであるか否かを判定する (2 7 0 1)。

【 0 4 7 4 】

ステップ 2 7 0 1 の処理でリセット要求フラグがオンでないと判定された場合、演出制御装置 5 5 0 は、リセットを指示する条件が成立しているか否かを判定するために、異常判定テーブル 2 1 0 0 を参照して、マスタ IC 5 7 0 に接続される I²C I / O エクスパンダ 6 1 5 のうち、装飾装置が接続されたすべての I²C I / O エクスパンダ 6 1 5 から所定回数連続して ACK の返答信号を受信できなかったか否かを確認する (2 7 0 2)。

【 0 4 7 5 】

具体的には、演出制御装置 5 5 0 は、異常判定テーブル 2 1 0 0 に登録されたすべてのエントリのエラーフラグ 2 1 0 5 にオンが登録されているか否かを判定する。

【 0 4 7 6 】

次に、演出制御装置 5 5 0 は、ステップ 2 7 0 2 の処理の確認結果に基づいて、リセット条件が成立しているか否かを判定する (2 7 0 3)。

【 0 4 7 7 】

具体的には、ステップ 2 7 0 2 の処理の時点ですべてのエラーフラグ 2 1 0 5 が ON になっている場合 (エラーフラグ 2 1 0 5 が OFF となっている発光制御装置が存在しない場合) には、ステップ 2 7 0 3 の処理でリセット条件が成立しているとみなされる。その他の場合は、ステップ 2 7 0 3 の処理でリセット条件が成立していないとみなされる。

【 0 4 7 8 】

ステップ 2 7 0 3 の処理で、リセット条件が成立しているとみなされた場合、演出制御装置 5 5 0 は、初期化中であることを示すリセット要求フラグを設定する (2 7 0 4)。

【 0 4 7 9 】

そして、演出制御装置 5 5 0 は、マスタ IC 5 7 0 をソフトリセットする (2 7 0 5) 。具体的には、CPU 5 5 1 が、データベースを介してマスタ IC 5 7 0 に備わるリセット REG 5 7 3 に所定の値を書き込む。マスタ IC 5 7 0 に備わるリセット REG 5 7 3 に所定の値が書き込まれると、マスタ IC 5 7 0 のコントローラは、入力用 BUF 5 7 1、出力用 BUF 5 7 2、リセット REG 5 7 3、及び送信モード REG 5 7 4 の値を初期値に設定し、マスタ IC 5 7 0 を初期化する。CPU 5 5 1 がデータベースを介してマスタ IC 5 7 0 に備わるリセット REG 5 7 3 に所定の値を書き込むことによって、マスタ IC 5 7 0 を初期化することをソフトリセットという。

【 0 4 8 0 】

本実施形態では、マスタ IC 5 7 0 をハードリセットすると、前述したように、演出制御装置 5 5 0 に備わっている他の回路 (VDP 5 5 6 や音 LSI 5 5 7 などの電源投入時に初期化される回路) も初期化してしまうが、マスタ IC 5 7 0 に異常が発生したと判定された場合には、このようなソフトリセットを行うことで、異常が発生したマスタ IC のみに対してリセットを行い、マスタ IC 5 7 0 と直接関係のない回路までもリセットしてしまうことを防止する。

【 0 4 8 1 】

次に、演出制御装置 5 5 0 は、マスタ IC 5 7 0 に接続されたすべての装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 を初期化するために、マスタ IC 5 7 0 からリセット信号を出力する図 2 4 に示すスレーブリセット処理を実行する (2 7 0 6)。

【 0 4 8 2 】

このように、マスタIC570が初期化されると、当該マスタIC570に接続されたすべてのI²C I/Oエクスパンダ615に対して初期化指示データを送信するので、確実に遊技機1を初期化することができる。

【0483】

そして、演出制御装置550は、役物駆動MOT561が初期化中であることを示すモータ初期化フラグを設定し(2707)、役物駆動MOT561を初期化する場合に役物駆動MOT561に出力されるモータ出力データをRAM553に設定する(2708)。そして、演出制御装置550は、役物駆動SOL560を初期化するために、役物駆動SOL560の通電状態を非通電状態にするオフデータをRAM553に設定し(2709)、リセット要求フラグを解除して(2710)、I²C随時リセット処理を終了する。

10

【0484】

ステップ2701の処理で、リセット要求フラグが設定されていると判定された場合には、初期化をすぐに実行しなければならないので、リセット条件が成立しているか否かを判定せずに、ステップ2705の処理に進む。

【0485】

また、ステップ2704の処理で、リセット条件が成立していないと判定された場合、初期化を行う必要はないので、ステップ2710の処理に進み、リセット要求フラグを解除し、I²C随時リセット処理を終了する。

【0486】

20

このように、リセット条件が成立したと判定された場合には、ステップ2706の処理で、マスタIC570に接続されるすべてのI²C I/Oエクスパンダ615に対して、同時に初期化を指示するので、言い換えれば、すべてのI²C I/Oエクスパンダ615を同時に選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことができ、I²C I/Oエクスパンダ615を正常な状態へ高速に復帰させることができる。

【0487】

なお、すべてのI²C I/Oエクスパンダ615へ入力されるRESET端子(図7参照)とCPU551とを電氣的に接続し、CPU551から一斉に、全てのI²C I/Oエクスパンダ615のRESET端子へリセット信号を送信する構成としても、全てのI²C I/Oエクスパンダ615を同時に選択して初期化することは可能である。

30

【0488】

なお、ステップ2702の処理でリセット条件成立とみなされた場合は、マスタIC570において異常が発生していることが考えられるので、ステップ2705の処理でマスタIC570も初期化するようにしている。

【0489】

マスタIC570は、CPU551からの指令によって、接続線SDA及び接続線SCLの信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、マスタIC570自身に異常が発生していることも考えられる。

40

【0490】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551(演算処理手段)によりマスタIC570が初期化される。これにより、マスタIC570で異常が発生している場合であっても確実にマスタIC570を制御可能にすることができる。

【0491】

また、図22に示すように、表示装置53の画像を更新する周期と同期して、演出制御装置550のマスタIC570からI²C I/Oエクスパンダ615へ発光制御データを送信し、I²C I/Oエクスパンダ615は受信した発光制御に基づいて発光装置を制御するので、表示装置53における演出と発光装置における演出とが調和し、遊技者に違和

50

感を与えないので、興趣を高めることができる。

【0492】

また、表示装置53の画像を更新する周期と同期してマスタIC570から送信された発光制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエクスパンダ615によってワークレジスタの値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0493】

また、表示装置53の画像を更新する周期と同期して、エラー判定処理を実行するので、エラー判定の実行頻度を適切にできる、つまり、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大してしまい、逆に、エラー判定処理の実行頻度が少なすぎると、異常が発生したことを適切に検出できなくなってしまうことになるので、適度な頻度でエラー判定を行うことにより処理の不具合を防止することができる。

10

【0494】

図28は、本発明の第1実施形態のタイマ割込が発生した場合に実行されるタイマ割込処理のフローチャートである。

【0495】

タイマ割込は、タイマ割込が許可されているという条件の下で、2ms周期で発生するタイマ割込をCPU551が受け付けた場合に、図22に示す処理に割り込む形態で実行される。

20

【0496】

タイマ割込処理は、役物駆動MOT561及び役物駆動SOL560（可動物）に接続されたI²C I/Oエクスパンダ615（可動制御装置）へ制御データを出力し、可動物を制御する処理である。

【0497】

まず、演出制御装置550は、リセット要求フラグが設定されているか否かを判定する（2801）。

【0498】

ステップ2801の処理で、リセット要求フラグが設定されていると判定された場合には、可動制御装置を含む装飾制御装置600のリセット処理を開始するのを待機している状態であるので、タイマ割込処理を終了する。

30

【0499】

一方、ステップ2801の処理で、リセット要求フラグが設定されていないと判定された場合には、制御対象となる可動制御装置を選択し（2802）、ステップ2802の処理で選択された可動制御装置へ、演出制御データである可動制御データを送信するスレーブ単発出力処理を実行する（2803）。スレーブ単発出力処理は、図29で詳細を説明する。

【0500】

次に、演出制御装置550は、ステップ2803の処理で実行されたスレーブ単発出力処理が正常に終了したか否かを判定する（2804）。スレーブ単発出力処理では、ステップ2802の処理で選択された可動制御装置へ1回目のデータ出力が失敗し、さらに2回目のデータ出力も失敗した場合には、異常終了する。

40

【0501】

ステップ2804の処理で、スレーブ単発出力処理が正常に終了していないと判定された場合、つまり、スレーブ単発出力処理が異常終了したと判定された場合、演出制御装置550は、役物駆動MOT561が初期化中であることを示すモータ初期化フラグを設定し（2805）、装飾制御装置600のリセット処理を開始するためにリセット要求フラグを設定する（2806）。

【0502】

50

そして、演出制御装置 550 は、役物駆動 M O T 561 を初期化する場合に可動制御装置に出力されるモータ出力データを R A M 553 に設定し (2807)、役物駆動 S O L 560 を初期化する場合に可動制御装置に出力される、役物駆動 S O L 560 の通電状態を非通電状態にするオフデータを R A M 553 に設定し (2808)、タイマ割込処理を終了する。

【 0503 】

一方、ステップ 2804 の処理で、スレーブ単発出力処理が正常に終了したと判定された場合、役物駆動 M O T 561 の初期化を実行するか否かを判定するために、モータ初期化フラグが設定されているか否かを判定する (2809)。

【 0504 】

ステップ 2809 の処理で、モータ初期化フラグが設定されていると判定された場合には、モータ位置検出センサ 510 が役物駆動 M O T 561 の回転軸が初期位置に戻ったことを検出したか否かを判定する (2810)。

【 0505 】

ステップ 2810 の処理で、モータ位置検出センサ 510 が役物駆動 M O T 561 の回転軸が初期位置に戻ったことを検出していないと判定された場合、ステップ 2807 の処理に進み、役物駆動 M O T 561 を初期化する場合に可動制御装置に出力されるモータ出力データを R A M 553 に設定する。

【 0506 】

一方、ステップ 2810 の処理で、モータ位置検出センサ 510 が役物駆動 M O T 561 の回転軸が初期位置に戻ったことを検出したと判定された場合、役物駆動 M O T 561 の回転を停止させる停止データを可動制御装置に出力するために、R A M 553 に設定し (2811)、役物駆動 M O T 561 の初期化が完了したので、モータ初期化フラグを解除し (2812)、タイマ割込処理を終了する。

【 0507 】

ステップ 2809 の処理で、モータ初期化フラグが設定されていないと判定された場合には、演出制御装置 550 は、役物駆動 M O T 561 で動作異常が検出されたか否かを判定する (2813)。

【 0508 】

ステップ 2813 の処理で、役物駆動 M O T 561 で動作異常が検出されたと判定された場合には、役物駆動 M O T 561 を初期化するために、ステップ 2805 の処理に進む。

【 0509 】

一方、ステップ 2813 の処理で、役物駆動 M O T 561 で動作異常が検出されていないと判定された場合には、演出制御装置 550 は、役物駆動 M O T 561 の回転軸を目標値まで回転させるための制御データを可動制御装置に出力するために、R A M 553 に設定し (2814)、役物駆動 S O L 560 を通電状態にするか非通電状態にするかを示すソレノイド出力データを可動制御装置に出力するために、R A M 553 に設定し (2815)、タイマ割込処理を終了する。

【 0510 】

図 29 は、本発明の第 1 実施形態のスレーブ単発出力処理のフローチャートである。

【 0511 】

スレーブ単発出力処理は、可動制御装置に可動制御データを送信する処理であり、図 28 に示すステップ 2803 の処理で実行される。

【 0512 】

可動制御データは、マスタ I C 570 からバイトモードで送信される。バイトモードでは、マスタ I C 570 は、I²C I / O エクスパンダ 615 へデータを 1 バイト送信する毎に、I²C I / O エクスパンダ 615 から A C K 又は N A C K を受信し、A C K 及び N A C K の何れを受信した場合でも、割込信号を C P U 551 に出力する。つまり、マスタ I C 570 から I²C I / O エクスパンダ 615 へ 1 バイトのデータを送信することが完

10

20

30

40

50

了すれば、ACK/NACKの受信に拘らず、必ず、マスタIC570からCPU551へ割込信号が出力される。

【0513】

まず、CPU551は、ACKの返答信号の受信に失敗したことを計数するACKカウンタに0を設定する(2901)。

【0514】

そして、マスタIC570は、接続線SDA及び接続線SCLの信号レベルを、スタート条件を示す信号レベルに変化させる(2902)。

【0515】

具体的には、マスタIC570は、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることによってスタート条件を示す信号を出力する。

10

【0516】

なお、マスタIC570は、スタート条件を示す信号を出力後、制御対象となる装飾制御装置610へデータを送るために、接続線SCLのレベルをLOWに変更する。

【0517】

次に、CPU551は、送信対象として選択されている可動制御装置のアドレスデータを出力用BUF572に設定する(2903)。

【0518】

そして、CPU551は、マスタIC570へデータ送信の開始を指示した時点から、マスタIC570がCPU551へ割込信号を伝達させるまでの時間を監視するために、バイトモード用の監視タイマの起動を開始する(2904)。

20

【0519】

CPU551は、バイトモード時間の監視を開始してから所定時間経過しても、割込信号を受け付けていない場合には、データ送信を中断するために、マスタIC570にストップ条件を出力させ(2912)、その後、ACKカウンタの値を一つ加算して、ステップ2902の処理に戻り、再度マスタIC570にスタート条件を出力させてから、可動制御データを初めのデータ(可動制御装置のアドレス)から送信する。ただし、ACKカウンタの値がステップ2913の時点で所定値(例えば「1」)となっている場合には、処理を終了する。

30

【0520】

そして、CPU551は、ステップ2902の処理で出力用BUF572に設定されたアドレスデータを送信する指令をマスタIC57に出力し、マスタIC570は、当該指令を受け付けると、ステップ2902の処理で出力用BUF572に設定されたアドレスデータを、接続線SCLの信号レベルを変化させながら、接続線SDAを介してI²CI/Oエクスパンダ615に送信する(2905)。マスタIC570は、このアドレスデータを出力する際に、一旦、ドライバ576Aをオフさせて接続線SDAを解放する(ハイレベルに変化させる)動作を行う。そして、接続線SDAが解放されていない場合(ドライバ576Aをオフしても、接続線SDAがハイレベルにならずロウレベルのままで維持されているとき)には、このアドレスデータの出力は、接続線SDAが開放される(接続線SDAがハイレベルになる)まで待機する。

40

【0521】

ステップ2905の処理で出力されるアドレスデータは8ビットのデータ列であるため、1回の出力処理(接続線SCLが8回HIGHに変化する間の出力)でアドレスデータが出力される。

【0522】

ステップ2905の処理で出力されたアドレスデータがI²CI/Oエクスパンダ615に入力された場合、I²CI/Oエクスパンダ615は、入力されたアドレスデータと自身に設定されているアドレスとが一致するか否かを判定する。

【0523】

50

入力されたアドレスデータと一致するアドレスが設定されている I²C I/O エクスパンダ 615 は、接続線 SCL の LOW から HIGH への変更回数が 8 回目になった直後であって、その HIGH レベルとなっている接続線 SCL が LOW レベルへと変化することを契機として、返答信号を接続線 SDA から マスタ IC 570 に出力する。

【0524】

次に、マスタ IC 570 は、1 バイト分のデータ出力完了から、所定時間（前述したバイトモード監視時間よりも短い監視時間となっている）以内に ACK の返答信号が マスタ IC 570 に入力されたか否かを確認する（2906）。

【0525】

次に、マスタ IC 570 は、ステップ 2906 の処理の確認結果に基づいて、ステップ 2905 の処理でアドレスデータが出力されてから所定時間以内に ACK の返答信号が入力されているか否かを判定する（2907）。

【0526】

ステップ 2905 の処理でアドレスデータが出力されてから所定時間以内に ACK の返答信号が入力されていないと、ステップ 2907 の処理で判定された場合には、マスタ IC 570 は、ステータス REG 579 に返答信号が NACK であった旨の情報を設定したうえで、割込信号を発生させる。これにより、I²C I/O エクスパンダ 615 から NACK の返答信号を受信したことが、CPU 551 に通知される。このとき、CPU 551 はバイトモードの時間監視を終了する（2911）。

【0527】

次いで、CPU 551 は、データ送信を中断するために、マスタ IC 570 にストップ条件を出力させ（2912）、ACK カウンタが所定値であるか否かを判定する（2913）。

【0528】

ステップ 2912 の処理で、ACK カウンタが所定値であると判定された場合、スレーブ単発出力処理を異常終了する。

【0529】

一方、ステップ 2913 の処理で、ACK カウンタが所定値でないと判定された場合、ACK カウンタをインクリメントし、ステップ 2902 の処理に戻り、再度 マスタ IC 570 にスタート条件を出力させてから、再度同じ可動制御データを出力する（可動制御装置のアドレスから再出力する）。

【0530】

一方、ステップ 2905 の処理で、1 バイト分のデータ出力完了から、所定時間以内に ACK の返答信号が入力されたら、ステップ 2907 の処理で判定された場合には、マスタ IC 570 は、ステータス REG 579 に返答信号が ACK であった旨の情報を設定したうえで、割込信号を発生させる。これにより、I²C I/O エクスパンダ 615 から ACK の返答信号を受信したことが、CPU 551 に通知される。このとき、CPU 551 はバイトモードの時間監視を終了する（2908）。

【0531】

次に、CPU 551 は、可動制御装置に出力すべきデータをすべて出力したか否かを判定する（2909）。

【0532】

ステップ 2909 の処理で、可動制御装置に出力すべきデータをすべて出力したと判定された場合、接続線 SDA 及び接続線 SCL の信号レベルを、ストップ条件を示す信号レベルに変化させて（2910）、スレーブ単発出力処理を正常終了する。

【0533】

一方、ステップ 2909 の処理で、可動制御装置に出力すべきデータを未だ出力していないと判定された場合、CPU 551 は、可動制御装置に出力すべき次の 1 バイト分のデータを出力用 BUF 572 に設定する（2915）。

【0534】

10

20

30

40

50

次に、CPU551は、マスタIC570へデータ送信の開始を指示した時点から、マスタIC570がCPU551へ割込信号を伝達させるまでの時間を監視するために、バイトモード用の監視タイマの起動を開始する(2916)。

【0535】

1バイトのデータを送信してからマスタIC570から当該1バイトのデータに対するACKである返答信号が入力されたか否かを通知するための割込が発行されるまでの時間(バイトモード時間)の監視を開始する(2916)。

【0536】

前述したように、CPU551は、バイトモード時間の監視を開始してから所定時間経過しても、割込信号を受け付けていない場合には、データ送信を中断するために、マスタIC570にストップ条件を出力させ(2912)、その後、ACKカウンタの値を1つ加算して、ステップ2902の処理に戻り、再度マスタIC570にスタート条件を出力させてから、可動制御データを初めのデータ(可動制御装置のアドレス)から送信する。ただし、ACKカウンタの値がステップ2913の時点で所定値となっている場合には、処理を終了する。

【0537】

次に、マスタIC570は、接続線SDAの電圧レベルを監視し、接続線SDAが解放されていることを確認してから(2917)、出力用BUF572に設定された1バイトのデータを出力し(2918)、ステップ2906の処理に進む。ステップ2917の処理は、グループ単位制御手段からの返答信号の出力が終了するまでは、接続線SDAが返答信号により占有されているので、マスタIC570は、グループ単位制御手段からの返答信号の出力が終了し、接続線SDAが解放されるまで待機する処理である。

【0538】

以後、可動制御データを順に送信し、全ての可動制御データの送信が完了すると、前述したようにステップ2910の処理を経て、正常終了する。

【0539】

送信される可動制御データの順序は、発光制御データと同様に図19に示すフォーマットとなっているが、可動制御データはバイトモードで送信されるため、図19に示すフォーマットの全データを、一度に出力用BUF572に設定するのではなく、先頭から1バイト毎に区切って、出力用BUF572に設定しながら、データの送信を行う。そのため、図19に示すフォーマットの全データ(モータやソレノイドの制御データを含んでいる)は、RAM553に一時的に記憶されることになる。

【0540】

これにより、可動制御装置が制御する役物駆動MOT561及び役物駆動SOL560は、VDP割込(約33.3ms周期)に同期して可動制御データを出力するのでは、演出に合わせて可動部材を制御できないため、VDP割込よりも周期の短いタイマ割込(2ms周期)に同期して可動制御データが出力されるようにしている。これによって、遊技状態に合わせた可動部材による演出を行うことができる。

【0541】

また、可動制御データは、図29に示すように、バイトモードで送信される。これは、接続線SDAが解放されない異常が発生した場合には可動制御装置が制御できなくなり、役物駆動MOT561が予め設定されている可動部材の可動可能な範囲を超えて可動部材を可動させるおそれがあるので、バイトモード監視時間による短時間のタイムアップ監視を行って、接続線SDAが解放されない異常を即座に検出するためである。

【0542】

図26、及び図29による処理では、マスタIC570は、8ビットのデータを出力後に、装飾制御装置610からの返答信号を取り込むことにより、データ転送の成否を判定し、データ転送が失敗している場合(つまり、NACKの返答信号がマスタIC570に入力された場合)、出力したデータを1回だけ再度出力するので、装飾制御装置610にデータを可能な限り確実に出力することができ、演出装置の誤動作を防止できる。

【 0 5 4 3 】

なお、マスタ IC 570 がスタート条件を送信する際には、接続線 SDA が HIGH になっている必要があるが、ノイズ等の影響によって、接続線 SDA が LOW となったまま変化しない状態が発生する場合がある。

【 0 5 4 4 】

本実施形態では、マスタ IC 570 が装飾制御装置 610 の I²C I/O エクスパンダ 615 に送信するスレーブアドレスには、R/W 識別データが「0」（書き込みを意味する）となっているものだけを用いている（図 11 参照）が、ノイズ等の影響によって、R/W 識別データが「1」（読み出しを意味する）となった状態で、I²C I/O エクスパンダ 615 へ伝わる場合がある。

10

【 0 5 4 5 】

この場合、I²C I/O エクスパンダ 615 は読み出しモードとなり、マスタ IC 570 によって接続線 SCL の信号レベルが変化することに対応して、I²C I/O エクスパンダ 615 からマスタ IC 570 へ、接続線 SDA を介してデータを 1 ビットごと伝送する処理を行う。

【 0 5 4 6 】

このとき、I²C I/O エクスパンダ 615 は、8 ビットのデータを伝送するごとに、マスタ IC 570 から接続線 SDA を介してアクノリッジ信号を受信する処理を行い、アクノリッジ信号を受信するとさらに 8 ビットのデータ伝送を行い、以後、この 8 ビットのデータ伝送とアクノリッジ信号の確認を繰り返すが、この間は、接続線 SDA が I²C I/O エクスパンダ 615 によって専有されている状態となる。

20

【 0 5 4 7 】

一方で、I²C I/O エクスパンダ 615 は、8 ビットのデータ伝送後に、マスタ IC 570 から接続線 SDA を介してアクノリッジ信号を受信できないときは、接続線 SDA を解放してデータ伝送を中止する。なお、I²C I/O エクスパンダ 615 は、マスタ IC 570 から接続線 SDA を介してアクノリッジ信号を受信する際には、接続線 SDA が LOW レベルであればアクノリッジ信号を受信したと解釈し、接続線 SDA が HIGH レベルであればアクノリッジ信号を受信しないと解釈する。

【 0 5 4 8 】

よって、マスタ IC 570 からのデータがノイズ等の影響により変化し、この変化したデータを勝手に受信して読み出しモードとなった I²C I/O エクスパンダ 615 が発生してしまうと、接続線 SDA がいつまでも解放されないことになる。

30

【 0 5 4 9 】

このような場合に、接続線 SDA の信号レベルは LOW に維持されたままになり、マスタ IC 570 と、本来送信を行うことを意図していた装飾制御装置 610 の I²C I/O エクスパンダ 615 との間で接続線 SDA を介した通信が行えなくなる。

【 0 5 5 0 】

そこで、マスタ IC 570 は、スタート条件を示す信号を出力する前に、接続線 SDA からデータが出力できる状態であるか否かを判定するために、接続線 SDA の信号レベルが HIGH であるか否かを判定する。

40

【 0 5 5 1 】

接続線 SDA の信号レベルが HIGH でないと判定された場合、接続線 SDA からデータが出力できないので、ドライバ 576A によりトランジスタ 578A に動作可能な電圧を印加しないことによってトランジスタ 578A をオンさせずに（接続線 SDA を解放した状態で）、接続 SCL の信号レベルを少なくとも 9 回変化させる。

【 0 5 5 2 】

このような処理を行うことで、読み出しモードとなった I²C I/O エクスパンダ 615 は、接続 SCL の信号レベルの変化に合わせて接続線 SDA にデータを出力するが、接続 SCL の信号レベルの変化が少なくとも 9 回行われる途中において、マスタ IC 570 からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線 SDA は解

50

放されているのでHIGHレベルとなり、読み出しモードとなったI²C I/Oエクスパ
ンダ615は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて
接続線SDAを解放することになる。

【0553】

なお、この処理は、スタート条件を示す信号を出力する前だけでなく、マスタIC57
0が装飾制御装置610へ実際のデータを出力する前に行われるようにしてもよい。

【0554】

このようにして、読み出しモードとなった装飾制御装置610のI²C I/Oエクスパ
ンダ615から強制的に接続線SDAを解放させるので、接続線SDAの信号レベルはH
IGHに維持されるようになる。

10

【0555】

図30は、本発明の第1の実施形態の遊技機全体に設けられる装飾制御装置610の接
続形態を示す図であり、特に前面枠3に設けられる装飾制御装置610について説明する
図である。

【0556】

装飾制御装置610は、主に、遊技盤10及び前面枠3に取り付けられている。前面枠
3に取り付けられた装飾制御装置610が制御するLEDは、装飾部材9、照明ユニット
11、及び異常報知LED29を照射するものである。

【0557】

遊技機には複数の仕様があり、通常版遊技機1と廉価版遊技機1とがある。通常版遊技
機1は、標準仕様の装飾部材9を備える前面枠3（通常版前面枠）を備えている。廉価版
遊技機1は、標準仕様の装飾部材9よりも廉価なコストで構成された装飾部材9'を備え
る前面枠3（廉価版前面枠）を備えている。

20

【0558】

通常版前面枠3と廉価版前面枠3とは、装飾部材9を照射するために取り付けられる装
飾制御装置610の数が相違する。具体的には、通常版前面枠3の装飾部材9は四つの装
飾制御装置610により照射され、廉価版前面枠3の装飾部材9'は二つの装飾制御装置
610により照射される。装飾部材9は最大60個のLEDによって照射されるのに対し
て、装飾部材9'は最大30個のLEDによって照射されるので、装飾部材9のほうが装
飾部材9'よりも明るくなる。このため、通常版前面枠3が取り付けられた場合の装飾制
御装置610の制御と、廉価版前面枠3が取り付けられた場合の装飾制御装置610の制
御とが異なる。

30

【0559】

通常版前面枠3に取り付けられる装飾制御装置610のI²C I/Oエクスパンダ61
5のアドレスと廉価版前面枠3に取り付けられる装飾制御装置610のI²C I/Oエク
スパンダ615の固有アドレスとが同じであると、通常版前面枠3が取り付けられた場合
の制御を行う通常版用の演出制御装置550と、廉価版前面枠3が取り付けられた場合の
制御を行う廉価版用の演出制御装置550と、を用意して、取り付けられる前面枠3に対
応して演出制御装置550を取り換えなければならない。したがって、製造メーカーが遊
技機1を出荷する場合に、通常版用の演出制御装置550と廉価版用の演出制御装置55
0とを用意しなければならず、製造コストが高くなってしまう。

40

【0560】

このため、本実施形態では、通常版前面枠3と廉価版前面枠3とで制御が異なる装飾制
御装置610のI²C I/Oエクスパンダ615の個別アドレスには、異なるアドレスを
割り当て、一つの演出制御装置550が通常版用の制御と廉価版用の制御とを行えるよう
にした。これによって、通常版用の演出制御装置550と廉価版用の演出制御装置550
とを用意する必要がなくなり、製造コストを削減できる。

【0561】

具体的には、通常版前面枠3の装飾部材9を照射するLEDに接続される四つの装飾制
御装置610（第1の仕様依存型グループ単位制御手段）のI²C I/Oエクスパンダ6

50

15の固有アドレスには、「1001」、「1010」、「1100」、及び「1101」が割り当てられる。

【0562】

一方、廉価版前面枠3の装飾部材9'を照射するLEDに接続される二つの装飾制御装置610のI²C I/Oエキスパンダ615（第2の仕様依存型グループ単位制御手段）のアドレスには、通常版前面枠3の装飾部材9を照射するLEDに接続される四つの装飾制御装置610のI²C I/Oエキスパンダ615の固有アドレスと異なる「1110」及び「1111」が割り当てられる。

【0563】

そして、通常版前面枠3と廉価版前面枠3の何れに使用される場合であっても、演出制御装置550からは、装飾部材9、9'のI²C I/Oエキスパンダ615に割り当てられた固有アドレスである「1001」、「1010」、「1100」、「1101」、「1110」及び「1111」の全てを含んだ演出制御データが、装飾制御装置610に送信される。

10

【0564】

したがって、通常版用の制御と廉価版用の制御とを行えるようにした一つの演出制御装置550で通常版前面枠3の装飾制御装置610と廉価版用の装飾制御装置610とを制御できるので、製造コストを削減できる。

【0565】

また、通常版前面枠3と廉価版前面枠3とで同じ制御をする照明ユニット11及び異常報知LED29を照射するLEDに接続された装飾制御装置610のI²C I/Oエキスパンダ615には、通常版前面枠3と廉価版前面枠3とで異なるアドレスにする必要はなく、同じアドレスが割り当てられる。

20

【0566】

なお、廉価版前面枠3では、固有アドレスが「1001」、「1010」、「1100」、「1101」となるI²C I/Oエキスパンダ615は使用されず、通常版前面枠3では、固有アドレスが「1110」、「1111」となるI²C I/Oエキスパンダ615は使用されない。そのため、何れの仕様の前面枠3であっても、異常判定テーブル2100（図21）において、接続されないI²C I/Oエキスパンダ615が存在することになるが、前述したように、異常判定テーブル2100に登録されているI²C I/Oエキスパンダ615の一つと、マスタIC570との間でデータ送受信が行われれば、正常な状態として処理されるので問題はない。

30

【0567】

（第2実施形態）

本発明の第2実施形態を図31～図36を用いて説明する。

【0568】

本発明の第2実施形態は、演出制御装置550が複数のマスタIC570を備える場合の実施形態である。

【0569】

図31は、本発明の第2実施形態の演出制御装置550と装飾制御装置610との接続の説明図である。

40

【0570】

第2の実施形態では、演出制御装置550は複数のマスタIC570を備えた構成となっている。

【0571】

図31では、演出制御装置550は、三つのマスタIC570A～570Cを備える。

【0572】

マスタIC570Aは、中継基板600Aと接続され、中継基板600Aは、装飾制御装置610A～610Cと直列に接続されるとともに、装飾制御装置610D～610Fと直列に接続される。

50

【0573】

マスタIC570Bは、中継基板600Bと接続され、中継基板600Bは、装飾制御装置610G～610Iと直列に接続されるとともに、装飾制御装置610J～610Lと直列に接続される。

【0574】

マスタIC570Cは、中継基板600Cと接続され、中継基板600Cは、装飾制御装置610M～610Oと直列に接続されるとともに、役物駆動SOL560及び役物駆動MOT561に接続される装飾制御装置610Pに直列に接続される。

【0575】

ここで、一つのマスタIC570に接続されている装飾制御装置610群を系統という。系統とは、具体的には、マスタIC570Aであれば、中継基板600A、装飾制御装置610A～610Fである。

【0576】

マスタIC570は、接続されている装飾制御装置610にデータを出力可能であるため、マスタIC570は、接続されている装飾制御装置610を制御可能である。

【0577】

このような構成により、1個のマスタIC570で制御できるI²C I/Oエクスパンダ615の数の制限(図12に示すように14個を上限とする)がなくなり、多彩な演出制御を可能とすることが期待できる。

【0578】

本実施形態でも、異常判定テーブル2100(図32参照)に登録されたI²C I/Oエクスパンダ615のうちの一つのI²C I/Oエクスパンダ615とマスタIC570との間でデータ送受信が行われれば、正常な状態として処理が行われるが、異常の判定、並びに、I²C I/Oエクスパンダ615及びマスタIC570の初期化の処理を、各系統毎に独立して行う点が第1の実施形態とは異なっている。

【0579】

本実施形態では、図32に示すように、異常判定テーブル2100が各系統毎に用意されている。換言すると、各マスタIC570に対応する異常判定テーブル2100が演出制御装置550のRAM553に記憶されている。

【0580】

これらの異常判定テーブル2100について具体的に説明する。図32は、本発明の第2実施形態の異常判定テーブル2100の説明図である。

【0581】

マスタIC570Aと装飾制御装置610A～610Fとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第1異常判定テーブル2100Aと、マスタIC570Bと装飾制御装置610G～610Lとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第2異常判定テーブル2100Bと、マスタIC570Cと装飾制御装置610M～610Oとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第3異常判定テーブル2100Cの3種類のテーブルが存在する。

【0582】

なお、マスタIC570と可動制御装置(装飾制御装置610P)とのデータ送受信の異常は、第3異常判定テーブル2100Cに登録されない。マスタIC570と可動制御装置とのデータ送受信の異常は、図29の処理が正常終了か異常終了したかによって判定され、異常終了と判定された場合には、図28の処理で役物駆動MOT561及び役物駆動SOL560を初期化するからである。

【0583】

そして、何れかの異常判定テーブルにて、すべてのI²C I/Oエクスパンダ615に関してデータ送受信異常が発生したと判定された場合には、当該異常判定テーブルに属するすべての装飾制御装置610を初期化し、あわせて対応するマスタIC570も初期化する。但し、他の異常判定テーブルに属する装飾制御装置610やマスタIC570は初

10

20

30

40

50

期化しない。

【0584】

例えば、前述した第1の異常判定テーブルにて、全てのI²C I/Oエクスパンダ615に関してデータ送受信異常が発生したと判定された場合には、マスタIC570A及び装飾制御装置610A～610Fのみを初期化し、他の、マスタIC570B、570C、及び装飾制御装置610G～610Pは初期化しない。

【0585】

このため、データ送信異常が発生したマスタIC570及びデータ送信異常が発生したマスタIC570に接続される装飾制御装置610が初期化中であっても、異常が発生していないマスタIC570と装飾制御装置610との間で、装飾制御データが送受信できるので、遊技の途中で装飾装置620による演出が突然一時停止してしまうことを防止できる。

10

【0586】

なお、各マスタIC570A～570Cを初期化する方法として、ソフトリセットとハードリセットとがある。

【0587】

ソフトリセットでは、CPU551によって各マスタIC570A～570Cのうちの一つが初期化される。

【0588】

具体的には、各マスタIC570A～570Cには、各リセットREG573(図4参照)を備えている。CPU551がバス563を介してこのリセットレジスタに特定値(初期化指示データ)を書き込むと、特定値を書き込まれたリセットREG573を備えるマスタIC570だけが初期化される。

20

【0589】

ハードリセットでは、入出力I/F558及び電源投入検出回路559に接続されるNORゲート回路590に各マスタIC570A～570CのRESET端子が接続されており、NORゲート回路590に印加される電圧が所定時間ローに保持されると、RESET端子に印加される電圧も所定時間ローに保持され、全てのマスタIC570A～570Cが初期化される。

【0590】

NORゲート回路590は、すべてのマスタIC570のRESET端子に接続されており、NORゲート回路590に印加される電圧が所定時間ローに保持されると、すべてのマスタIC570のRESET端子に印加される電圧も所定時間ローになり、すべてのマスタIC570に初期化信号として取り込まれる。

30

【0591】

なお、NORゲート回路590とマスタIC570のRESET端子とを接続する線は、バス563とは別個の線である。

【0592】

本実施形態では、電源投入時には、ハードリセットによって、全てのマスタIC570A～570Cを初期化し、合せて対応する装飾制御装置610を初期化する。そして、何れかの異常判定テーブルにて、全てのI²C I/Oエクスパンダ615に関してデータ送受信異常が発生したと判定された場合には、当該異常判定テーブルに属するマスタICのみをソフトリセットにより初期化し、合わせて対応する装飾制御装置610を初期化するが、他のマスタICや装飾制御装置610はリセットしない。

40

【0593】

このように、演出制御装置550に複数のマスタIC570が備わる場合に、異常が発生したマスタICのみに対してリセットを行うので、遊技機1全体の装飾が一時停止することなく、遊技者に違和感を与えることを抑制できる。また、すべてのマスタIC570を同時に高速にリセットしたい場合には、ハードリセットによりリセットが行えるので、様々な態様のリセット処理を実施することができる。

50

【0594】

第2実施形態では、第1実施形態と同じ処理を実行するが、第1実施形態と異なる処理のみ、図33及び図34で詳細を説明する。

【0595】

図33は、本発明の第2実施形態のI²C初期リセット処理のフローチャートである。図33では、図23に示すI²C初期リセット処理と同じ処理は同じ符号を付与し、説明を省略する。

【0596】

I²C初期リセット処理は電源投入時に実行される処理であり、第2実施形態のI²C初期リセット処理では、各マスタIC570に接続される装飾制御装置610に初期化指示データを送信する。

10

【0597】

具体的には、ステップ2302の処理ですべてのマスタIC570がハードリセットされた後、CPU551は、第1のマスタIC570Aを選択して(3301)、ステップ3301の処理で選択されたマスタIC570Aに接続される装飾制御装置610A~610Fに初期化指示データを送信するスレーブリセット処理を実行し(2303)、マスタIC570Aに接続される装飾制御装置610A~610Fを初期化する。

【0598】

そして、CPU551は、第2のマスタIC570Bを選択して(3302)、ステップ3302の処理で選択されたマスタIC570Bに接続される装飾制御装置610G~610Lに初期化指示データを送信するスレーブリセット処理を実行し(2303)、マスタIC570Bに接続される装飾制御装置610G~610Lを初期化する。

20

【0599】

そして、CPU551は、第3のマスタIC570Cを選択して(3303)、ステップ3303の処理で選択されたマスタIC570Cに接続される装飾制御装置610M~610Pに初期化指示データを送信するスレーブリセット処理を実行し(2303)、マスタIC570Cに接続される装飾制御装置610M~610Pを初期化する。

【0600】

図34は、本発明の第2実施形態のI²C随時リセット処理のフローチャートである。図34では、図27に示すI²C随時リセット処理と同じ処理は同じ符号を付与し、説明を省略する。

30

【0601】

ステップ2701の処理でリセット要求フラグが設定されていると判定された場合、又は、ステップ2703の処理でリセット条件が成立していると判定された場合、CPU551は、リセット条件が成立したマスタIC570を選択し(3401)、ステップ3401の処理でマスタIC570に備わるリセットREG573に所定の値を書き込み、当該マスタIC570をソフトリセットする(3402)。

【0602】

そして、CPU551は、ステップ3401の処理で選択されたマスタIC570に接続されるすべての装飾制御装置610に初期化指示データを送信するスレーブリセット処理を実行する(2706)。

40

【0603】

次に、CPU551は、リセット条件が成立したマスタIC570が可動制御装置に接続されたマスタIC570(図31ではマスタIC570C)であるか否かを判定する(3403)。

【0604】

ステップ3403の処理で、リセット条件が成立したマスタIC570が可動制御装置に接続されたマスタIC570であると判定された場合、可動制御装置が制御する役物駆動MOT561及び役物駆動SOL560を初期位置に戻す初期化処理を実行するので、ステップ2707の処理に進む。

50

【 0 6 0 5 】

一方、ステップ 3 4 0 3 の処理で、リセット条件が成立したマスタ I C 5 7 0 が可動制御装置に接続されたマスタ I C 5 7 0 でないと判定された場合、ステップ 2 7 1 0 の処理に進む。

【 0 6 0 6 】

このように、本実施形態では、異常が検出されたマスタ I C 5 7 0 のみをソフトリセットするので、異常が検出されていないマスタ I C 5 7 0 を初期化しなくてもよいので、遊技中に出力が一時停止する装飾装置の数を最小限に抑えることができ、遊技者に与える違和感を減少させることができる。

【 0 6 0 7 】

また、ハードリセット又はソフトリセットによってマスタ I C 5 7 0 が初期化されると、初期化されるマスタ I C 5 7 0 に接続されるすべての装飾制御装置 6 1 0 も初期化されるので、確実に異常を解消できる。

【 0 6 0 8 】

図 3 5 は、本発明の第 2 実施形態の電源投入によるマスタ I C 5 7 0 の初期化前後のタイミングチャートである。

【 0 6 0 9 】

遊技機 1 に電源が投入されると、C P U 5 5 1 は、図 2 2 の処理を実行して、ステップ 2 2 0 の処理で、図 3 3 に示す I²C 初期リセット処理を実行する。図 3 3 に示すステップ 2 3 0 2 の処理で、演出制御装置 5 5 0 に備わるすべてのマスタ I C 5 7 0 の R E S E T 端子に印加される所定時間ローに保持され、演出制御装置 5 5 0 に備わるすべてのマスタ I C 5 7 0 はハードリセットされる。

【 0 6 1 0 】

そして、ステップ 3 3 0 1 の処理で第 1 マスタ I C 5 7 0 A が選択されて、第 1 マスタ I C 5 7 0 A に接続されるすべての I²C I / O エクスパンダ 6 1 5 に初期化指示データが送信される。

【 0 6 1 1 】

次に、ステップ 3 3 0 2 の処理で第 2 マスタ I C 5 7 0 B が選択されて、第 2 マスタ I C 5 7 0 B に接続されるすべての I²C I / O エクスパンダ 6 1 5 に初期化指示データが送信される。

【 0 6 1 2 】

次に、ステップ 3 3 0 3 の処理で第 3 マスタ I C 5 7 0 C が選択されて、第 3 マスタ I C 5 7 0 C に接続されるすべての I²C I / O エクスパンダ 6 1 5 に初期化指示データが送信される。

【 0 6 1 3 】

そして、可動制御装置（装飾制御装置 6 1 0 P）が第 3 マスタ I C 5 7 0 からの初期化指示データを受信すると、役物駆動 M O T 5 6 1 の回転軸を初期位置に戻すモータ初期化動作を行うので、図 3 3 に示すステップ 2 3 0 5 の処理でモータ初期化フラグが設定されて、ステップ 2 3 0 6 の処理で初期化時のモータの出力データが出力されると、役物駆動 M O T 5 6 1 の回転軸を初期位置に戻すモータ初期化動作が実行される。

【 0 6 1 4 】

そして、図 3 3 に示す I²C 初期リセット処理が終了すると、図 2 2 に示すステップ 2 2 0 3 の処理で、タイマ割込が許可される。以降、図 2 2 に示す V D P 割込が C P U 5 5 1 に入力されるたびに、図 2 2 に示すステップ 2 2 0 4 ~ 2 2 1 0 の処理を繰り返し実行し、タイマ割込が 2 m s 周期で C P U 5 5 1 に入力されると、図 2 8 に示すタイマ割込処理を実行される。

【 0 6 1 5 】

モータ初期化動作中であっても、図 2 2 に示すステップ 2 2 0 6 の処理が実行されて、発光制御装置のみが接続されているマスタ I C 5 7 0 A、5 7 0 B は、発光制御データを発光制御装置に送信する。これにより、マスタ I C 5 7 0 A、5 7 0 B に接続される発光

10

20

30

40

50

制御装置では、通常の装飾演出の制御が行われる。

【0616】

一方、2ms周期で実行される図28に示すタイマ割込処理では、モータ初期化動作中である場合には、ステップ2810の処理で役物駆動MOT561の回転軸が初期位置に戻されたことを検出するまで、モータ初期化動作が実行される。このモータ初期化動作の間は、マスタIC570Cに接続される発光制御装置では、通常の装飾演出を行わずに待機している。この待機期間中は、マスタIC570Cから発光制御装置に発光制御データを送信しないようになっており、マスタIC570Cに接続される発光制御装置に接続された発光装置では、発光が開始されない。

【0617】

なお、ステップ2810の処理で役物駆動MOT561の回転軸が初期位置に戻されたことが検出されて、モータ初期化動作が終了すると、図28に示すステップ2814の処理で通常時のモータ出力データが送信されるので、役物駆動MOT561による装飾演出動作が可能となる。このとき、マスタIC570Cに接続される発光制御装置でも、通常の装飾演出の制御が開始される。

【0618】

以上のように、電源投入により役物駆動MOT561が初期化動作中であっても、初期化動作中である役物駆動MOT561を制御する可動制御装置に接続されたマスタIC570以外のマスタIC570は、装飾制御装置610へ通常の演出制御を行うための装飾制御データを送信するので、電源投入直後から発光装置が装飾表示を開始するので、電源投入から発光装置が点灯するまでの時間を短縮でき、電源投入直後の発光装置の確認作業にかかる時間を短縮できる。

【0619】

これに対し、初期化動作中である役物駆動MOT561を制御する可動制御装置に接続されたマスタIC570では、役物駆動MOT561が初期化動作中に、再度マスタIC570が初期化される可能性があるので、この再度マスタIC570を介して発光制御する発光装置の発光を待機させ、異常な点灯を行わないように制御している。

【0620】

図36は、本発明の第2実施形態の異常が発生したマスタIC570の初期化前後のタイミングチャートである。

【0621】

図36では、可動制御装置に接続される第3マスタIC570Cにリセット条件が成立した場合、つまり、第3マスタIC570Cに異常が検出された場合について説明する。

【0622】

第3マスタIC570に異常が検出されると、図34に示すステップ3401の処理で第3マスタIC570が選択されて、ステップ3402の処理で第3マスタIC570がソフトリセットされる。

【0623】

そして、図34に示すステップ2706の処理で、第3マスタIC570に接続されるすべての装飾装置620に初期化指示データが送信される。そして、可動制御のマスタIC570Cで異常が検出されたので、ステップ2707の処理でモータ初期化フラグが設定され、ステップ2708の処理で、初期化時のモータ出力データが出力される。

【0624】

なお、モータ初期化動作中であっても、図22に示すステップ2206の処理が実行されて、発光制御装置のみが接続されているマスタIC570A、570Bは、発光制御データを発光制御装置に送信する。これにより、マスタIC570A、570Bに接続される発光制御装置では、通常の装飾演出の制御が継続して行われる。

【0625】

一方、2ms周期で実行される図28に示すタイマ割込処理では、モータ初期化動作中である場合には、ステップ2810の処理で役物駆動MOT561の回転軸が初期位置に

10

20

30

40

50

戻されたことを検出するまで、モータ初期化動作が実行される。

【0626】

このモータ初期化動作中の間は、マスタIC570Cに接続される発光制御装置では、通常の装飾演出を行わずに待機している。この待機期間中は、マスタIC570Cから発光制御装置に発光制御データを送信しないようになっており、マスタIC570Cに接続される発光制御装置に接続された発光装置では、発光が開始されない。

【0627】

なお、ステップ2810の処理で役物駆動MOT561の回転軸が初期位置に戻されたことが検出されて、モータ初期化動作が終了すると、図28に示すステップ2814の処理で通常時のモータ出力データが送信されるので、役物駆動MOT561による装飾演出動作が可能となる。このとき、マスタIC570Cに接続される発光制御装置でも、通常の装飾演出の制御が開始される。

10

【0628】

以上のように、異常が発生したことにより役物駆動MOT561が初期化動作中であっても、初期化動作中である役物駆動MOT561を制御する可動制御装置に接続されたマスタIC570以外のマスタIC570は、装飾制御装置610へ通常の演出制御を行うための装飾制御データを継続して送信するので、頻繁に役物駆動MOT561が初期化動作されても、遊技機1の盤面が暗くなることを防止できる。

【0629】

なお、本明細書に開示されている実施の形態は、パチンコ機のみならずパチスロ機等の他の遊技機でも適用可能であることは当然意図されるものである。

20

【0630】

また、実施の形態として、変動表示ゲームの結果に対応して特別遊技状態を発生するパチンコ機が開示されているが、変動表示ゲームに限らず、他の補助遊技の結果に対応して特別遊技状態を発生する遊技機であっても構わないことは当然意図されるものである。

【0631】

例えば、所定条件の成立によって特定の入賞装置の入口が開口し（特定入賞装置の可動部材が作動して入口が開口し）、入賞装置内部へ取り込まれた遊技球が、入賞装置内部に設けられた何れの入賞領域（特定入賞領域と一般入賞領域とがある）に入賞するかを抽選する遊技を補助遊技としてもよい。この場合、入賞装置内部へ取り込まれた遊技球が特定入賞領域に入賞することで、特別遊技状態が発生することになる。

30

【0632】

また、実施の形態として、特図変動表示ゲームの結果に対応して特別遊技状態を発生するパチンコ機が開示されているが、普図変動表示ゲームの結果に対応して（或いは、普図変動表示ゲームの結果に起因して）、特別遊技状態を発生する様なパチンコ機であっても、本発明が適用可能であることは当然意図されるものである。例えば、普図変動表示ゲームの結果により特定の入賞装置の入口が開口し、入賞装置内部へ取り込まれた遊技球が特定入賞領域へ入賞した場合に特別遊技状態を発生するパチンコ機であっても、本発明は適用可能である。

【0633】

40

また、実施の形態として、遊技制御装置と演出制御装置とが分離されている構成が開示されているが、遊技制御装置と演出制御装置とが一体となつて一つの制御装置を構成していても差し支えないものであり、或いは、遊技制御装置自身がグループ統括制御手段として構成されていても差し支えないことは当然意図されることである。

【0634】

なお、今回開示した実施の形態は、全ての点で例示であつて制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲での全ての変更が含まれることが意図される。

【産業上の利用可能性】

【0635】

50

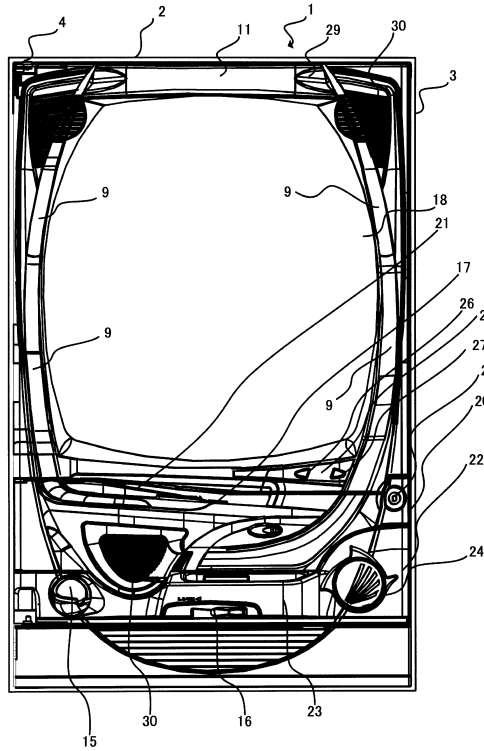
以上のように、本発明は、演出制御装置が装飾制御装置を制御する遊技機に適用可能である。

【符号の説明】

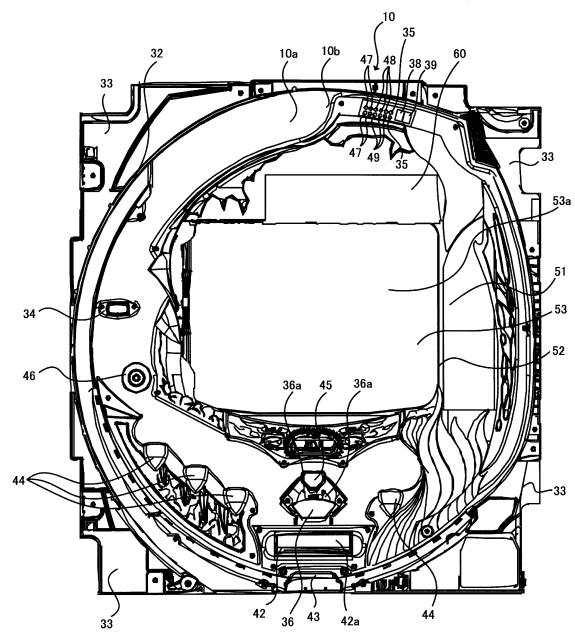
【 0 6 3 6 】

1	遊技機	
2	本体枠（外枠）	
3	前面枠	
4	ヒンジ	
1 0	遊技盤	
1 1	照明ユニット	10
1 7	演出ボタン	
1 8	ガラス枠	
3 4	普図始動ゲート	
3 6	普通変動入賞装置	
4 2	特別変動入賞装置	
4 4	一般入賞口	
4 5	第 1 始動入賞口	
5 1	センターケース	
5 2	窓部	
5 3	表示装置	20
5 5	振動センサ	
6 0	可動役物	
5 0 0	遊技制御装置	
5 5 0	演出制御装置	
5 6 0	役物駆動 S O L	
5 6 1	役物駆動 M O T	
5 7 0	マスタ I C	
5 7 3	リセット R E G	
5 7 4	送信モード R E G	
5 8 0	払出制御装置	30
6 0 0	中継基板（装飾制御装置）	
6 1 0	装飾制御装置	
6 2 0	装飾装置	
2 1 0 0	異常判定テーブル	

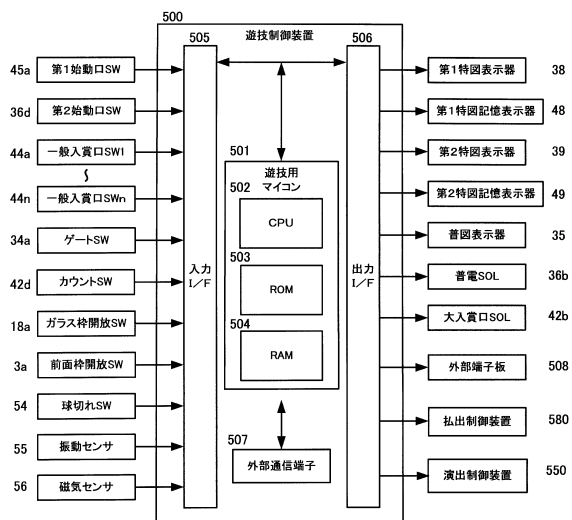
【図 1】



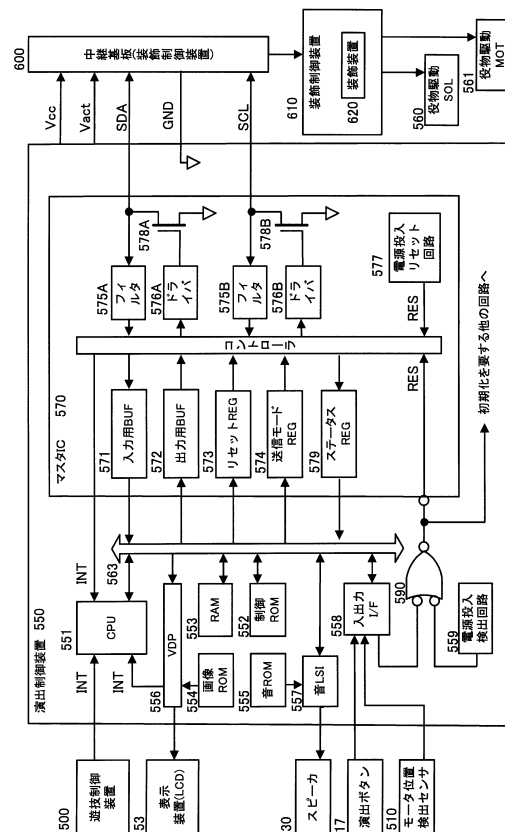
【図 2】



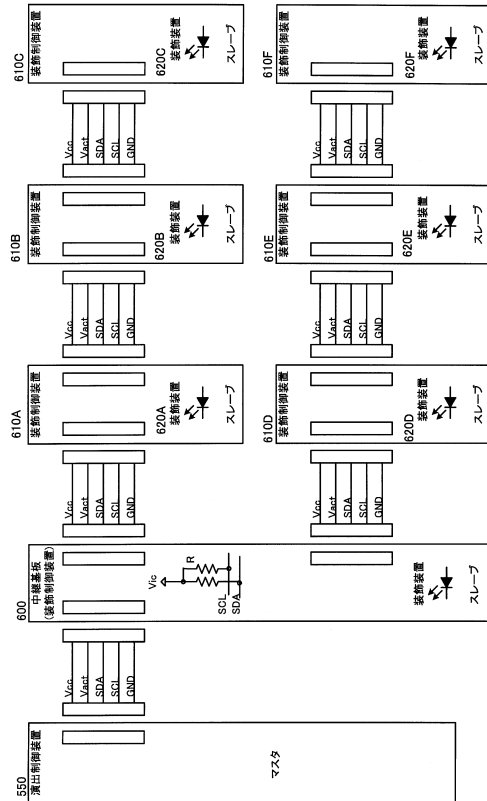
【図 3】



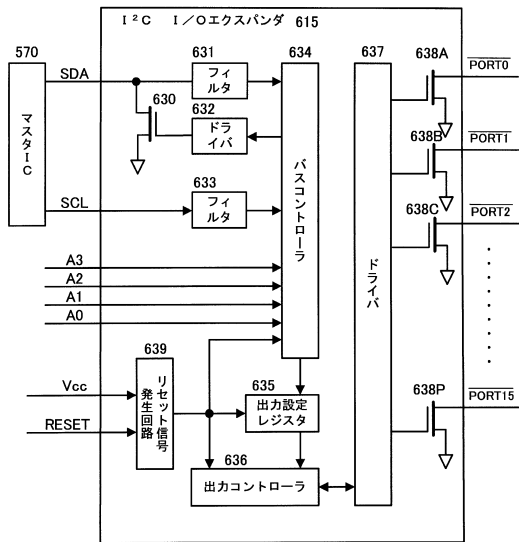
【図 4】



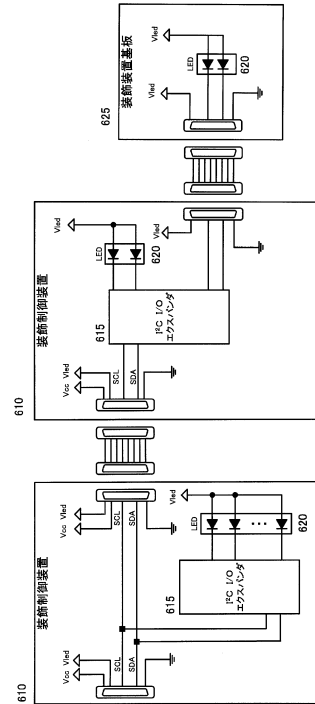
【図 5】



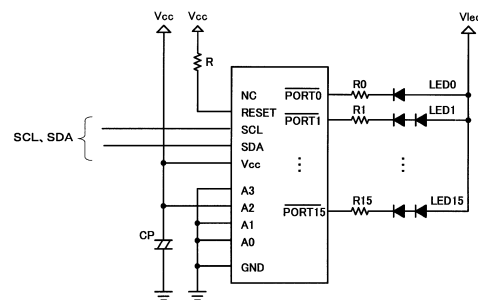
【図 7】



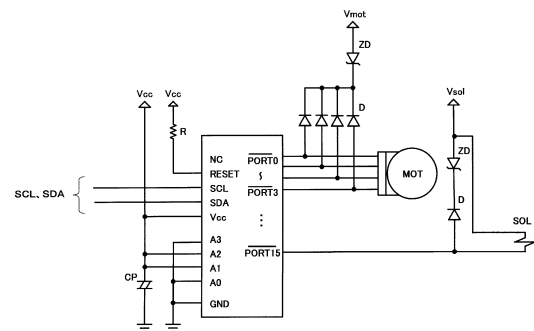
【図 6】



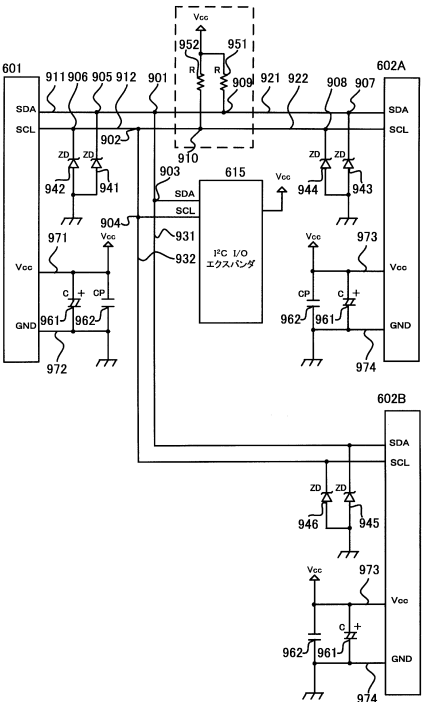
【図 8 A】



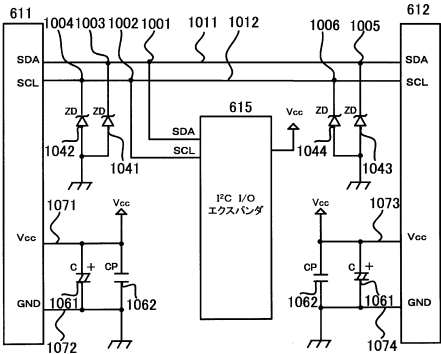
【図 8 B】



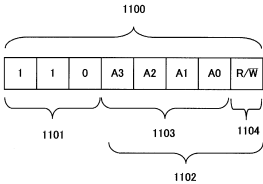
【図 9】



【図 10】



【図 11】



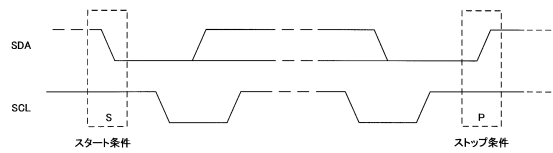
【図 13】

レジスタ番号	レジスタ名	機能
00h	MODE 1	モードレジスタ 1
01h	MODE 2	モードレジスタ 2
02h	PWM 0	LED 0
03h	PWM 1	LED 1
04h	PWM 2	LED 2
05h	PWM 3	LED 3
06h	PWM 4	LED 4
07h	PWM 5	LED 5
08h	PWM 6	LED 6
09h	PWM 7	LED 7
0Ah	PWM 8	LED 8
0Bh	PWM 9	LED 9
0Ch	PWM 10	LED 10
0Dh	PWM 11	LED 11
0Eh	PWM 12	LED 12
0Fh	PWM 13	LED 13
10h	PWM 14	LED 14
11h	PWM 15	LED 15
12h	GRPPWM	グループデューティサイクル制御
13h	GRPFREQ	グループ周波数
14h	LEDOUT 0	LED ドライバ出力状態 LED 0-3
15h	LEDOUT 1	LED ドライバ出力状態 LED 4-7
16h	LEDOUT 2	LED ドライバ出力状態 LED 8-11
17h	LEDOUT 3	LED ドライバ出力状態 LED 12-15
18h	SUBADR 1	サブアドレス設定 1
19h	SUBADR 2	サブアドレス設定 2
1Ah	SUBADR 3	サブアドレス設定 3
1Bh	ALLCALLADR	ALL-CALL アドレス設定

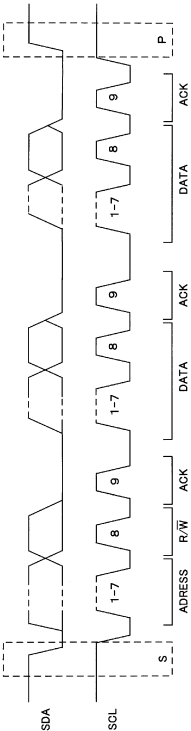
【図 12】

スレーブ アドレス	I ² C/Oエクスパンダアドレス			
	A3	A2	A1	A0
0Bh	0	0	0	0
0Ch	0	0	0	1
0Dh	0	0	1	0
0Eh	0	0	1	1
0Fh	0	1	0	0
10h	0	1	0	1
11h	0	1	1	0
12h	0	1	1	1
13h	1	0	0	0
14h	1	0	0	1
15h	1	0	1	0
16h	1	0	1	1
17h	1	1	0	0
18h	1	1	0	1
19h	1	1	1	0
1Ah	1	1	1	1

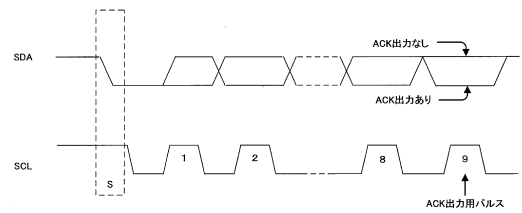
【図 14】



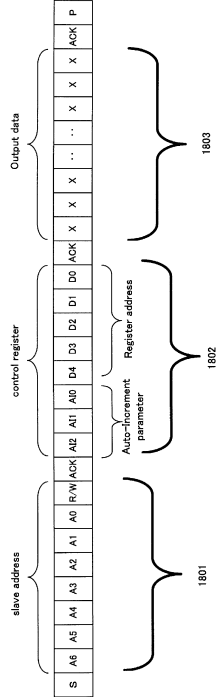
【図 16】



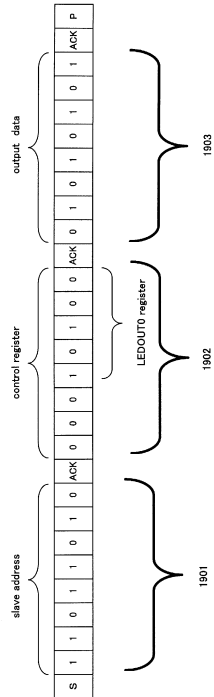
【図 15】



【図 17】



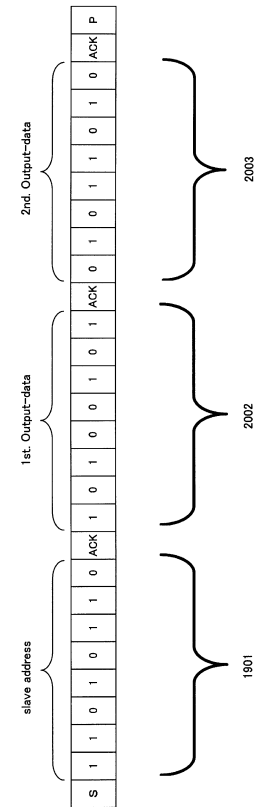
【図 18】



【図 19】

送信 順序	送信データ
1	スレーブアドレス+00h
2	コントロールレジスタ設定値
3	MODE 1 レジスタ値
4	MODE 2 レジスタ値
5	PWM 0 レジスタ値
6	PWM 1 レジスタ値
7	PWM 2 レジスタ値
8	PWM 3 レジスタ値
...	...
18	PWM 14 レジスタ値
19	PWM 15 レジスタ値
20	GRPPWM レジスタ値
21	GRPFREQ レジスタ値
22	LEDOUT 0 レジスタ値
23	LEDOUT 1 レジスタ値
24	LEDOUT 2 レジスタ値
25	LEDOUT 3 レジスタ値
26	SUBADR 1 レジスタ値
27	SUBADR 2 レジスタ値
28	SUBADR 3 レジスタ値
29	ALLCALLADR レジスタ値

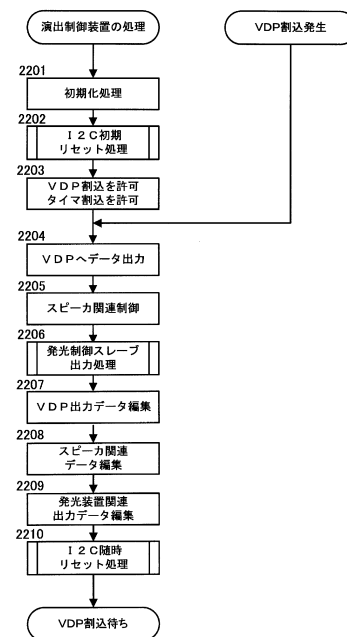
【図 20】



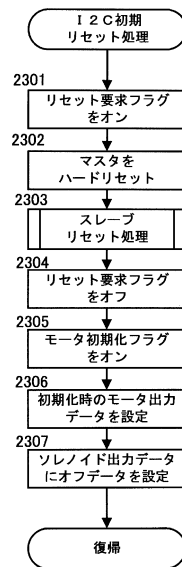
【図 21】

2101 I/Oエクスパンダ アドレス	2102 スレーブ アドレス	2103 エラー カウンタ	2104 比較値	2105 エラー フラグ	2100
0000	C0h	0~N	300	ON/OFF	
0001	C2h	0~N	300	ON/OFF	
0010	C4h	0~N	300	ON/OFF	
0011	C6h	0~N	300	ON/OFF	
0100	C8h	0~N	300	ON/OFF	
0101	CAh	0~N	300	ON/OFF	
0111	CEh	0~N	300	ON/OFF	
1001	D2h	0~N	300	ON/OFF	
1010	D4h	0~N	300	ON/OFF	
1100	D8h	0~N	300	ON/OFF	
1101	DAh	0~N	300	ON/OFF	
1110	DCh	0~N	300	ON/OFF	
1111	DEh	0~N	300	ON/OFF	

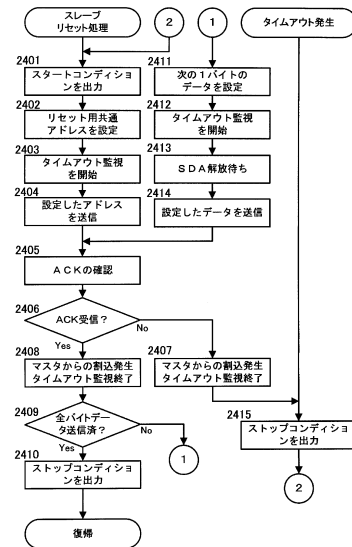
【図 22】



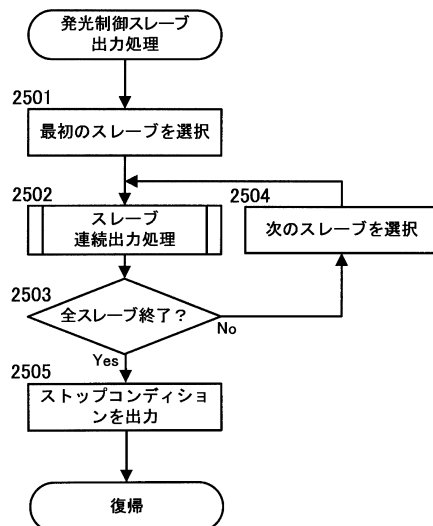
【図 23】



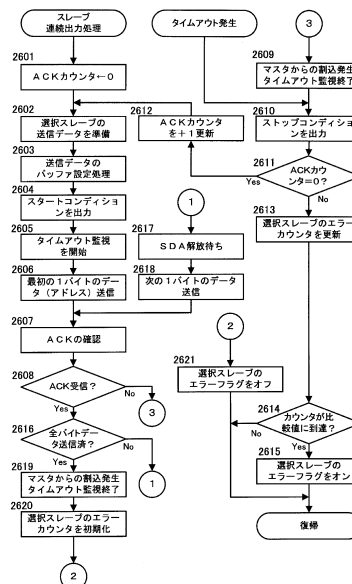
【図 24】



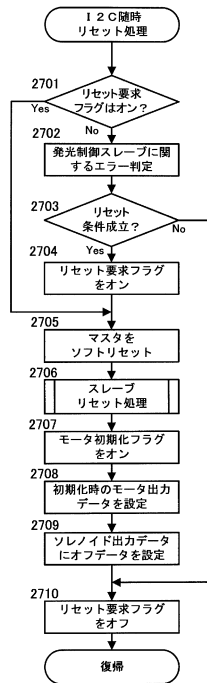
【図 25】



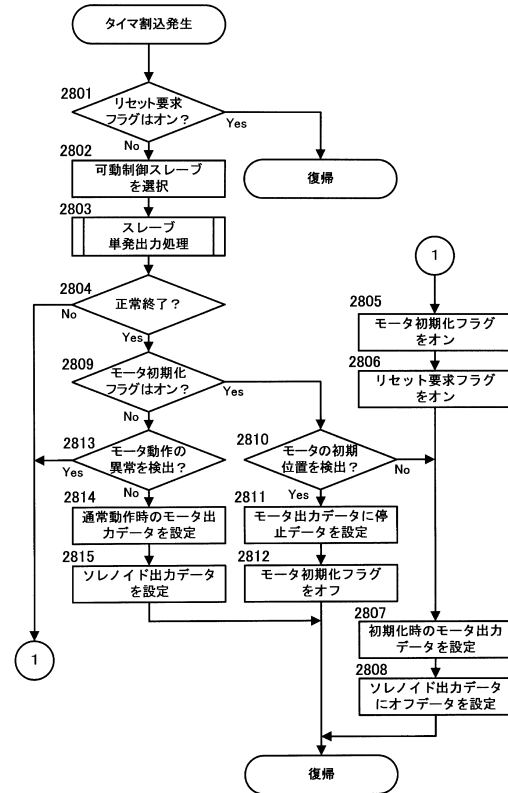
【図 26】



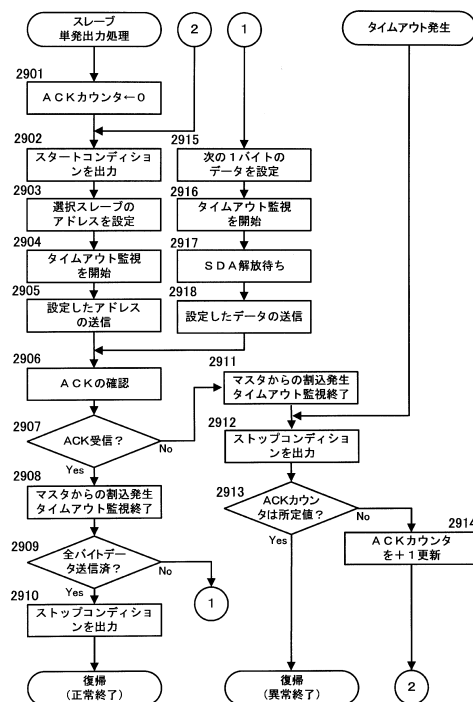
【図 27】



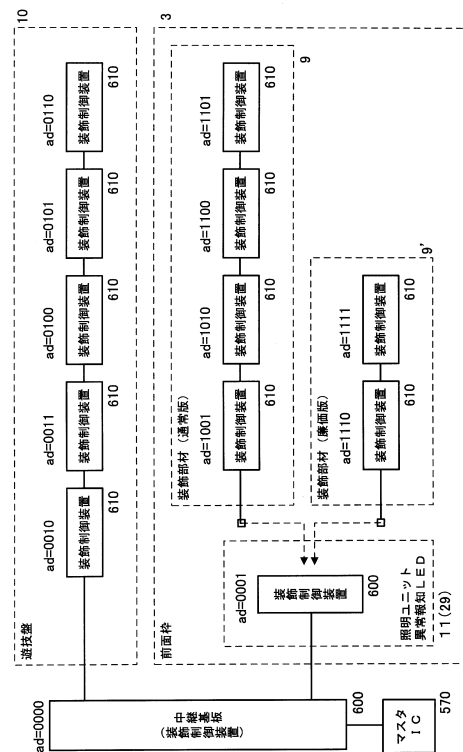
【図 28】



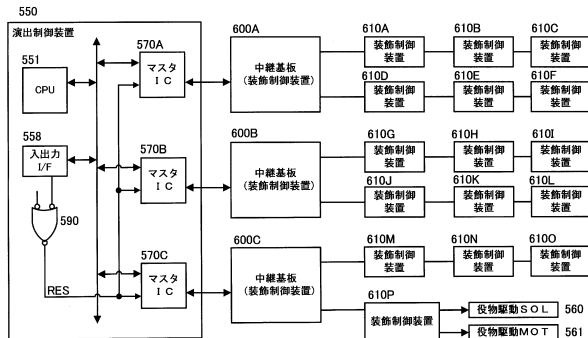
【図 29】



【図 30】



【 図 3 1 】



【 図 3 2 】

第1マスタ関連

1/0エキス パンダ アドレス	スレーブ アドレス	エラー カウンタ	比較値	エラー フラグ
0000	C0h	0~N	300	ON/OFF
0001	C2h	0~N	300	ON/OFF
.....				
1111	DEh	0~N	300	ON/OFF

第2マスタ関連

1/0エキス パンダ アドレス	スレーブ アドレス	エラー カウンタ	比較値	エラー フラグ
0000	C0h	0~N	300	ON/OFF
0001	C2h	0~N	300	ON/OFF
.....				
1111	DEh	0~N	300	ON/OFF

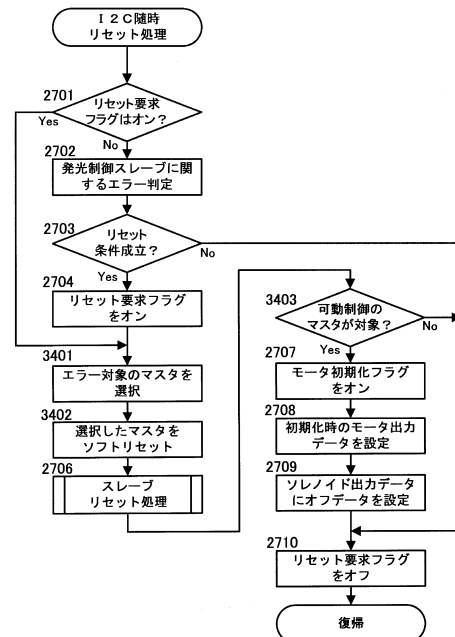
第3マスタ関連

1/0エキスパ ンダ アドレス	スレーブ アドレ ス	エラー カウン タ	比較値	エラー フラグ
0000	C0h	0~N	300	ON/OFF
0001	C2h	0~N	300	ON/OFF
.....				
1111	DEh	0~N	300	ON/OFF

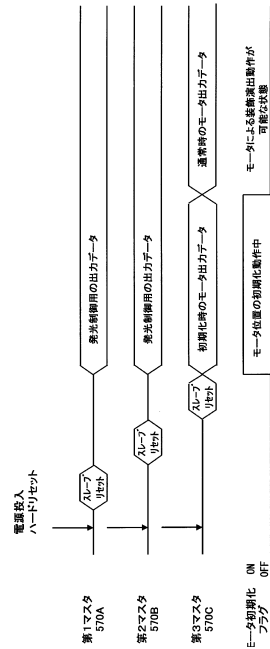
【 図 3 3 】



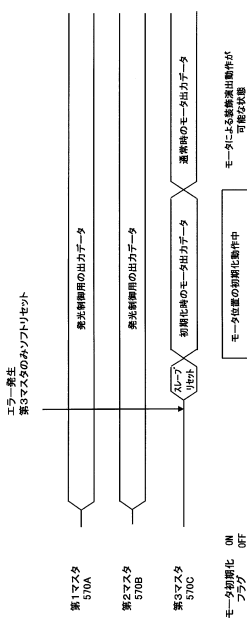
【 図 3 4 】



【図 3 5】



【図 3 6】



フロントページの続き

審査官 河本 明彦

- (56)参考文献 特開2008-220409(JP,A)
特開2008-246241(JP,A)
特開2005-065713(JP,A)
特開2007-319441(JP,A)
特開2007-296117(JP,A)
「I2Cバス仕様書バージョン2.1」, フィリップス株式会社, 2000年 1月, [平成26年1月9日検索], URL, <http://ekousaku.web.fc2.com/doc/I2C.pdf>

- (58)調査した分野(Int.Cl., DB名)
A63F 7/02
A63F 5/04