

(19)中华人民共和国国家知识产权局



(12)发明专利

(10)授权公告号 CN 103490855 B

(45)授权公告日 2017.03.08

(21)申请号 201310406465.2

审查员 金星

(22)申请日 2013.09.09

(65)同一申请的已公布的文献号

申请公布号 CN 103490855 A

(43)申请公布日 2014.01.01

(73)专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 林灏勋 任帆

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51)Int.Cl.

H04L 1/00(2006.01)

H03M 13/27(2006.01)

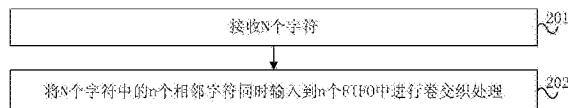
权利要求书2页 说明书11页 附图4页

(54)发明名称

传输信息的方法和装置

(57)摘要

本发明提供一种传输信息的方法和装置,方法包括:接收N个字符,其中N为大于或等于2的整数;将N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中进行卷积交织处理,n为大于或等于2的整数,各n个FIFO的长度不同。根据发明传输信息的方法和装置,通过将多个字符同时输入到多个FIFO中进行卷积交织处理,即将多个端口所对应的整数时延内存合拼,使多个整数时延内存同时对多个字符进行卷积交织处理,这样,能够提高信息传输的速率。



1. 一种传输信息的方法,其特征在于,包括:

获取为卷积交织器分配的M个FIFO,其中M为大于或等于2的整数且M大于或等于n;

按照所述FIFO的长度为各所述FIFO分配队列标识;

根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中;

接收N个字符,其中N为大于或等于2的整数;

将N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中进行卷积交织处理,n为大于或等于2的整数,各所述n个FIFO的长度不同;

所述方法还包括:

为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memory j…Memoryn,其中,j为整数且j小于或等于n;所述按照所述FIFO的长度为各所述FIFO分配队列标识包括:按照各所述FIFO由短到长的顺序依次分配队列标识为1、2、i…M,其中,i为正整数且i小于或等于M;当M是n的倍数时,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为Memory $((n-1) - ((i-1) \% n))$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为Memory $(i-1) \% n$ 的整数时延内存中;

或者,

为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memory j…Memoryn,其中,j为整数且j小于或等于n;所述按照所述FIFO的长度为各所述FIFO分配队列标识包括:按照各所述FIFO由短到长的顺序依次分配队列标识为L₁、L₂、L_i…L_M,其中,i为正整数且i小于或等于M;当M不是n的倍数时,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:选出队列标识小于或等于M-(M%n)的FIFO,当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为 $(n-1) - ((i-1) \% n)$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为 $(i-1) \% n$ 的整数时延内存中;将剩余的M%n个FIFO按照队列标识的顺序依次分配到0、1…(M%n)个整数时延内存中,其中,该剩余的M%n个FIFO所占用的整数时延内存部分是由多个时延内存块组成。

2. 根据权利要求1所述的传输信息的方法,其特征在于,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:

按照所述队列标识的顺序,将M个FIFO依次分配到n个整数时延内存中。

3. 根据权利要求1或2所述的传输信息的方法,其特征在于,还包括:

将经过整数时延内存处理的各字符依次输入到多口的分数时延内存中。

4. 一种传输信息的装置,其特征在于,包括:

获取单元,用于获取为卷积交织器分配的M个FIFO,其中M为大于或等于2的整数且M大于或等于n;

第一分配单元,用于按照所述FIFO的长度为各所述FIFO分配队列标识;

第二分配单元,用于根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中;

接收单元,用于接收N个字符,其中N为大于或等于2的整数;

第一输入单元,用于将N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中

进行卷积交织处理,n为大于或等于2的整数,各所述n个FIFO的长度不同;

所述装置还包括:

第三分配单元,用于为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memoryj…Memoryn,其中,j为整数且j小于或等于n;所述第一分配单元具体用于:按照各所述FIFO由短到长的顺序依次分配队列标识为1、2、i…M,其中,i为正整数且i小于或等于M;当M是n的倍数时,所述第二分配单元具体用于:当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为Memory $((n-1) - ((i-1) \% n))$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为Memory $(i-1) \% n$ 的整数时延内存中;

或者,

第四分配单元,用于为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memoryj…Memoryn,其中,j为整数且j小于或等于n;所述第一分配单元具体用于:按照各所述FIFO由短到长的顺序依次分配队列标识为L₁、L₂、L_i…L_M,其中,i为正整数且i小于或等于M;当M不是n的倍数时,所述第二分配单元具体用于:选出队列标识小于或等于M-(M%n)的FIFO,当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为 $(n-1) - ((i-1) \% n)$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为 $(i-1) \% n$ 的整数时延内存中;将剩余的M%n个FIFO按照队列标识的顺序依次分配到0、1…(M%n)个整数时延内存中,其中,该剩余的M%n个FIFO所占用的整数时延内存部分是由多个时延内存块组成。

5.根据权利要求4所述的传输信息的装置,其特征在于,所述第二分配单元具体用于:

按照所述队列标识的顺序,将M个FIFO依次分配到n个整数时延内存中。

6.根据权利要求4或5所述的传输信息的装置,其特征在于,还包括:

第二输入单元,用于将经过整数时延内存处理的各字符依次输入到多口的分数时延内存中。

传输信息的方法和装置

技术领域

[0001] 本发明涉及卷积交织技术,尤其涉及一种传输信息的方法和装置。

背景技术

[0002] 为了对付信道中的突发噪声的干扰,以及应对移动接收时信道中衰落,并配合信道编码,在传输信息时会经常用到卷积交织(Convolutional Interleaver)处理。

[0003] 卷积交织本身的思路,就是卷积交织器通过把一组“ I ”个字符,在发送时间上打散,如果噪声是脉冲的话,通过向前纠正码,可以增加成功纠正的机会。发送时间的时延具体为从字符进入局端交织器到交织器输出的时间,公式的定义为:发送时间的时延= $n \times (D-1)$,而n从0到 $I-1$ 取值,D为交织深度,D和I互质。

[0004] 如图1所示,卷积交织处理所采用的时延组件都是组在一片内存之中,整数时延组件即图1所示出的所有FIFO(First Input First Output,先入先出队列),队列标识为L1-L6。FIFO采用一组I个“写地址”指针,在每次对卷积交织器输入一组I个字符时,就会对每个写指针加1。如果某一个写指针加1之后相等于其所对应的FIFO的长度,写指针就会被重设到0。发送时间的时延 $\Delta = n \times (D-1)$,时延组件会被分成两部分,分别是整数时延和分数时延。整数时延的公式为 $\lfloor \frac{n(D-1)}{I} \rfloor$,而分数时延的公式为 $(n(D-1)) \% I$ (%表示取模),其中符号

$\lfloor \cdot \rfloor$ 代表向下取整,由此可见, $\Delta = \lfloor \frac{n(D-1)}{I} \rfloor I + (n(D-1)) \% I$, 整数时延会以FIFO方式实现,而分数时延是用分数时延公式计算的值作为写地址,写进一片内存,在集全I个字符之后,以自然顺序输出。

[0005] 其中,设定 $D_div_I = \frac{D-1}{I}$, $D_mod_I = (D-1) \% I$,对于迭代算法,上述整数时延 integer_delay' 和分数时延fractional_delay' 可以分别采用如下迭代公式进行表示:

$$[0006] \quad \text{integer_delay}' = \lfloor \frac{(n+1)(D-1)}{I} \rfloor = \lfloor \frac{n(D-1)}{I} + \frac{D-1}{I} \rfloor,$$

[0007] 当 $(n(D-1)) \% I + (D-1) \% I = \text{fractional_delay} + D_mod_I < I$ 时,则 $\text{integer_delay}' = \text{integer_delay} + D_div_I$, $\text{fractional_delay}' = \text{fractional_delay} + D_mod_I - I$,否则 $\text{integer_delay}' = \text{integer_delay} + D_div_I + 1$, $\text{fractional_delay}' = \text{fractional_delay} + D_mod_I$ 。其中,表示 integer_delay 表示 $\text{integer_delay}'$ 前一个整数时延, fractional_delay 表示 $\text{fractional_delay}'$ 前一个分数时延。即,迭代算法的下一个时延值需要根据上一个时延值算出来。在采用卷积交织的信息传输方法中,传输信息的速率会受到核心时钟频率的限制。具体地,传输信息的最大速率为(核心时钟频率×8bits/总读写操作次数)Mbps,其中该总读写操作次数为上/下行读写操作的总次数。但是由于成本关系,核心时钟频率不可能太高,这样就造成信息传输的速率受到限制,不能满足用户的需求。

发明内容

- [0008] 本发明提供一种传输信息的方法和装置,以解决现有技术中信息传输的速率受到限制的问题。
- [0009] 本发明第一方面提供一种传输信息的方法,包括:
- [0010] 接收N个字符,其中N为大于或等于2的整数;
- [0011] 将N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中进行卷积交织处理,n为大于或等于2的整数,各所述n个FIFO的长度不同。
- [0012] 在第一种可能的实现方式中,根据第一方面,在所述接收N个字符之前,还包括:
- [0013] 获取为所述卷积交织器分配的M个FIFO,其中M为大于或等于2的整数且M大于或等于n;
- [0014] 按照所述FIFO的长度为各所述FIFO分配队列标识;
- [0015] 根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中。
- [0016] 在第二种可能的实现方式中,根据第一种可能的实现方式中,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:
- [0017] 按照所述队列标识的顺序,将M个FIFO依次分配到n个整数时延内存中。
- [0018] 在第三种可能的实现方式中,根据第一种可能的实现方式中,还包括:
- [0019] 为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memory j…Memoryn,其中,j为整数且j小于或等于n;
- [0020] 所述按照所述FIFO的长度为各所述FIFO分配队列标识包括:
- [0021] 按照各所述FIFO由短到长的顺序依次分配队列标识为1、2、i…M,其中,i为正整数且i小于或等于M;
- [0022] 当M是n的倍数时,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:
- [0023] 当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为Memory $((n-1) - ((i-1) \% n))$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为Memory $(i-1) \% n$ 的整数时延内存中。
- [0024] 在第四种可能的实现方式中,根据第一种可能的实现方式中,还包括:
- [0025] 为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memory j…Memoryn,其中,j为整数且j小于或等于n;
- [0026] 所述按照所述FIFO的长度为各所述FIFO分配队列标识包括:
- [0027] 按照各所述FIFO由短到长的顺序依次分配队列标识为L₁、L₂、L_i…L_M,其中,i为正整数且i小于或等于M;
- [0028] 当M不是n的倍数时,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:
- [0029] 选出队列标识小于或等于M-(M%n)的FIFO,当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为 $(n-1) - ((i-1) \% n)$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为 $(i-1) \% n$ 的整数时延内存中;
- [0030] 将剩余的(M%n)个FIFO按照队列标识的顺序依次分配到0、1…(M%n)个整数时延内

存中，其中，该剩余的 $(M \% n)$ 个FIFO所占用的整数时延内存部分是由多个时延内存块组成。

[0031] 在第五种可能的实现方式中，根据第一方面或第一种可能的实现方式至第四种可能的实现方式中，还包括：

[0032] 将经过整数时延内存处理的各字符依次输入到多口的分数时延内存中。

[0033] 本发明第二方面提供一种传输信息的装置，包括：

[0034] 接收单元，用于接收N个字符，其中N为大于或等于2的整数；

[0035] 第一输入单元，用于将N个字符中的n个相邻字符同时输入到n个先进先出队列 FIFO中进行卷积交织处理，n为大于或等于2的整数，各所述n个FIFO的长度不同。

[0036] 在第一种可能的实现方式中，根据第二方面，还包括：

[0037] 获取单元，用于获取为所述卷积交织器分配的M个FIFO，其中M为大于或等于2的整数且M大于或等于n；

[0038] 第一分配单元，用于按照所述FIFO的长度为各所述FIFO分配队列标识；

[0039] 第二分配单元，用于根据预设规则和所述队列标识，将所述M个FIFO分配到n个整数时延内存中。

[0040] 在第二种可能的实现方式中，根据第一种可能的实现方式，所述第二分配单元具体用于：

[0041] 按照所述队列标识的顺序，将M个FIFO依次分配到n个整数时延内存中。

[0042] 在第三种可能的实现方式中，根据第一种可能的实现方式，还包括：

[0043] 第三分配单元，用于为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memory j…Memoryn，其中，j为整数且j小于或等于n；

[0044] 所述第一分配单元具体用于：

[0045] 按照各所述FIFO由短到长的顺序依次分配队列标识为1、2、i…M，其中，i为正整数且i小于或等于M；

[0046] 当M是n的倍数时，所述第二分配单元具体用于：

[0047] 当 $(i-1) \% (2 \times n) \geq n$ 时，则将队列标识为i的FIFO分配到整数时延内存标识为Memory $((n-1) - ((i-1) \% n))$ 的整数时延内存中，否则，将队列标识为i的FIFO分配到整数时延内存标识为Memory $(i-1) \% n$ 的整数时延内存中。

[0048] 在第四种可能的实现方式中，根据第一种可能的实现方式，还包括：

[0049] 第四分配单元，用于为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memory j…Memoryn，其中，j为整数且j小于或等于n；

[0050] 所述第一分配单元具体用于：

[0051] 按照各所述FIFO由短到长的顺序依次分配队列标识为L₁、L₂、L_i…L_M，其中，i为正整数且i小于或等于M。

[0052] 当M不是n的倍数时，所述第二分配单元具体用于：

[0053] 选出队列标识小于或等于M- $(M \% n)$ 的FIFO，当 $(i-1) \% (2 \times n) \geq n$ 时，则将队列标识为i的FIFO分配到整数时延内存标识为 $(n-1) - ((i-1) \% n)$ 的整数时延内存中，否则，将队列标识为i的FIFO分配到整数时延内存标识为 $(i-1) \% n$ 的整数时延内存中；

[0054] 将剩余的 $(M \% n)$ 个FIFO按照队列标识的顺序依次分配到0、1… $(M \% n)$ 个整数时延内存中，其中，该剩余的 $(M \% n)$ 个FIFO所占用的整数时延内存部分是由多个时延内存块组成。

[0055] 在第五种可能的实现方式中,根据第一方面或第一种可能的实现方式至第四种可能的实现方式,还包括:

[0056] 第二输入单元,用于将经过整数时延内存处理的各字符依次输入到多口的分数时延内存中。

[0057] 由上述技术方案可知,本发明提供的传输信息的方法和装置,通过将多个字符同时输入到多个FIFO中进行卷积交织处理,即将多个端口所对应的整数时延内存合拼,使多个整数时延内存同时对多个字符进行卷积交织处理,这样,能够提高信息传输的速率。

附图说明

[0058] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

- [0059] 图1为现有技术中整数时延内存的示意图;
- [0060] 图2为根据本发明一实施例的传输信息的方法的流程示意图;
- [0061] 图3A为根据本发明另一实施例的传输信息的方法的流程示意图;
- [0062] 图3B为根据本发明再一实施例的分配FIFO的示意图;
- [0063] 图3C为根据本发明又一实施例的分配FIFO的示意图;
- [0064] 图4A为根据本发明另一实施例的分配FIFO的示意图;
- [0065] 图4B为根据本发明再一实施例的分配FIFO的示意图;
- [0066] 图5为根据本发明又一实施例的分配FIFO的示意图;
- [0067] 图6为根据本发明另一实施例的时延块构成的整数时延内存的示意图;
- [0068] 图7为本发明一实施例的传输信息的装置的结构示意图;
- [0069] 图8为本发明另一实施例的传输信息的装置的结构示意图;
- [0070] 图9为本发明再一实施例的传输信息的装置的结构示意图。

具体实施方式

[0071] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0072] 实施例一

[0073] 本实施例提供一种传输信息的方法,该传输信息的方法适用于对输入的字符进行卷积交织处理的数字用户线路。本实施例的传输信息的方法的执行主体为传输信息的装置。该传输信息的装置可以集成于卷积交织器中,该卷积交织器中包括至少2个整数时延内存。

[0074] 如图2所示,为根据本实施例的传输信息的方法的流程示意图。

[0075] 步骤201,接收N个字符,其中N为大于或等于2的整数。

[0076] 步骤202,将N个字符中的n个相邻字符同时输入到n个FIFO中进行卷交织处理,n为

大于或等于2的整数,各所述n个FIFO的长度不同。

[0077] 本实施例的FIFO的长度可以指该FIFO占用整数时延内存的长度。具体地,该n个FIFO可以分布在n个不同的整数时延内存中,即该n个相邻字符中的每个字符分别输入到n个整数时延内存的第一个FIFO中进行卷积交织处理,每个整数时延内存的第一个FIFO的长度各不相同。

[0078] 更为具体地,该n可以为次方数。

[0079] 这样传输信息的最大速率为(核心时钟频率×2/整数时延内存的片数)Mbps。

[0080] 可选地,本实施例的整数时延内存可以是由多个时延内存块组成,这样可以为每个FIFO在分配整数时延内存时,尽可能地减少内存的浪费。

[0081] 根据本实施例传输信息的方法,通过将多个字符同时输入到多个FIFO中进行卷积交织处理,即将多个端口所对应的整数时延内存合拼,使多个整数时延内存同时对多个字符进行卷积交织处理,这样,能够提高信息传输的速率。

[0082] 相应地,本实施例中的卷积交织器的分数时延内存可以为多口内存,即本实施例的传输信息的方法还包括:

[0083] 将经过卷积交织处理的各字符依次输入到多口分数时延内存中。

[0084] 其中,多口内存指的是允许同一时间做多次读/写操作的内存,即可以同时读不通地址的内存。本实施例的分数时延内存采用多口内存,可以尽可能在分数时延内存中进行卷积交织处理时,也能够保证处理速度。在集全N个字符之后,从分数时延内存以自然顺序输出。

[0085] 实施例二

[0086] 本实施例基于实施例一提供一种传输信息的方法。

[0087] 如图3A所示,为根据本实施例的传输信息的方法的流程示意图。

[0088] 步骤301,获取为卷积交织器分配的M个FIFO,其中M为大于或等于2的整数且M大于或等于n,并按照FIFO的长度为各FIFO分配队列标识。

[0089] 卷积交织方法中所用到的每个FIFO的长度均不相同,按照各FIFO的长度为各FIFO分配队列标识,例如,为长度最短的FIFO分配队列标识L₁,为长度次短的FIFO分配队列标识L₂,以此类推,为长度最长的FIFO分配队列标识L_M。

[0090] 步骤302,根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中。

[0091] 对于迭代算法,如果当有多片整数时延内存,第一个整数时延的值和下一个整数时延的值是同时计算出来的,这就会出现其它整数时延内存需要等待前面计算出的结果才能计算出所需要的下一个整数时延的值的情况,这会使得某些整数时延内存需要进行等待。本实施例对现有的整数时延和分数时延的计算公式进行改写:

[0092] 由于模的公式的特性NX%Y=((X%Y)+(X%Y)+...+(X%Y))%Y。如果预先计算出

$$D_div_I2 = \frac{2(D-1)}{I} \text{ 和 } D_mod_I2 = (2(D-1)) \% I,$$

[0093] 这样,整数时延可以为:integer_delay"=integer_delay+D_div_I2;

[0094] 相应的分数时延可以为:fractional_delay"=fractional_delay+D_mod_I2;

[0095] 或者整数时延为:integer_delay"=integer_delay+D_div_I2+1;

[0096] 分数时延为: $\text{fractional_delay}'' = \text{fractional_delay} + D_{\text{mod}}/2 - 1$ 。

[0097] 其中, $\text{integer_delay}''$ 为 integer_delay 的下下一个整数时延, $\text{fractional_delay}''$ 为 fractional_delay 的下下一个分数时延,这样,整数时延或分数时延可以不用等待前一个整数时延或分数时延的结果而直接得到。

[0098] 当M为n的倍数时,即M是n的倍数即表示M是除以n得到的商为整数。该步骤主要采用以下两种方式:

[0099] 方式A:按照所述队列标识的顺序,将M个FIFO依次分配到n个整数时延内存中。

[0100] 具体地,当队列标识依次为 $L_1, L_2, L_i \dots, L_M$ 且当整数时延内存的标识为Memory0、Memory1、Memory j…Memoryn时,其中,i为正整数且i小于或等于M,j为整数且j小于或等于n。如图3B所示,可以将队列标识 L_1, \dots, L_n 的FIFO依次分配到Memory1、Memory2、Memory3…Memoryn,作为各整数时延内存的第一个FIFO,如图3C所示,接着将队列标识为 $L_{n+1}, L_{n+2} \dots, L_{2n}$ 将依次分配到各整数时延内存中作为各整数时延中的第二个FIFO,以此类推。

[0101] 方式B:

[0102] 当队列标识依次为 $L_1, L_2, L_i \dots, L_M$ 且当整数时延内存的标识为Memory0、Memory1、Memory j…Memoryn时,其中,i为正整数且i小于或等于M,j为整数且j小于或等于n。当M是n的倍数时,所述根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,包括:

[0103] 当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为Memory $(n - (i-1) \% n)$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为Memory $(i-1) \% n$ 的整数时延内存中。

[0104] 例如,当n为2且M=4时,整数时延内存标识为Memory0和Memory1,则对于队列标识为 L_1 的FIFO,由于 $(1-1) \% (2 \times 2) = 0 < 2$,所以该队列标识为 L_1 的FIFO被分配到整数时延内存标识为Memory0的整数时延内存中;

[0105] 对于队列标识为 L_2 的FIFO,由于 $(2-1) \% (2 \times 2) = 1 < 2$,此时, $(2-1) \% 2$ 则该队列标识 L_2 的FIFO被分配到整数时延内存标识为Memory $(2-1) \% 2$ 的整数时延内存中,即Memory1中;

[0106] 对于队列标识为 L_3 的FIFO,由于 $(3-1) \% (2 \times 2) = 2 \geq 2$,则该队列标识 L_3 的FIFO被分配到整数时延内存标识为Memory $(2-1) - ((3-1) \% 2)$ 的整数时延内存中,即Memory1中;

[0107] 对于队列标识为 L_4 的FIFO,由于 $(4-1) \% (2 \times 2) = 3 \geq 2$,则该队列标识 L_4 的FIFO被分配到整数时延内存标识为 $(2-1) - ((4-1) \% 2)$ 的整数时延内存中,即Memory0中;

[0108] 这样,每n个FIFO就反转一次,即队列标识为 L_1 的FIFO被分配到整数时延内存标识为Memory0的整数时延内存中,队列标识为 L_2 的FIFO被分配到整数时延内存标识为Memory1的整数时延内存中,队列标识为 L_3 的FIFO被分配到整数时延内存标识为Memory1的整数时延内存中,队列标识为 L_4 的FIFO被分配到整数时延内存标识为Memory0的整数时延内存中.

[0109] 再以n=4为例进行具体举例说明:

[0110] $L_1: (1-1) \% (2 \times 4) = 0 < 4$,分配到 $(1-1) \% 4 = \text{Memory0}$

[0111] $L_2: (2-1) \% (2 \times 4) = 1 < 4$,分配到 $(2-1) \% 4 = \text{Memory1}$

[0112] $L_3: (3-1) \% (2 \times 4) = 2 < 4$,分配到 $(3-1) \% 4 = \text{Memory2}$

[0113] $L_4: (4-1) \% (2 \times 4) = 3 < 4$,分配到 $(4-1) \% 4 = \text{Memory3}$

[0114] $L_5: (5-1) \% (2 \times 4) = 4 \geq 4$,分配到 $(5-1) \% 4 = \text{Memory3}$

- [0115] $L_6: (6-1) \% (2*4) = 5 \geq 4$, 分配到 $(4-1) - ((6-1) \% 4) = Memory2$
- [0116] $L_7: (7-1) \% (2*4) = 6 \geq 4$, 分配到 $(4-1) - ((7-1) \% 4) = Memory1$
- [0117] $L_8: (8-1) \% (2*4) = 7 \geq 4$, 分配到 $(4-1) - ((8-1) \% 4) = Memory0$
- [0118] 从以上可以看出,每经过4个FIFO,放入整数时延内存的顺序发生一次反转。
- [0119] 当M不是n的倍数时,也可以采用上述方式A和方式B对队列标识小于或等于M-(M%n)的FIFO进行处理,对于剩余的(M%n)个FIFO按照队列标识的顺序依次分配到0、1…(M%n)个整数时延内存中,其中,该剩余的(M%n)个FIFO所占用的整数时延内存部分是由多个时延内存块组成。具体举例来说,当M为5,n为2时,采用方式A将FIFO分配到各整数时延内存中,对于长度最长的FIFO,可以对该FIFO分配多个时延块,时延块是可以256bytes,当该长度最长的FIFO为4096bytes时,可以为该FIFO分配16个时延块,即尽量为FIFO分配符合其长度的内存,节省内存空间,减少内存的浪费。
- [0120] 步骤303,将N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中进行卷积交织处理。
- [0121] 本实施例的传输信息的方法,通过将n个相邻的字符依次输入n个FIFO中进行卷积交织处理,这样可以在不改变核心时钟频率的情况下,提高信息传输的速度。
- [0122] 当I个字符分别按照整数时延的顺序经过各FIFO之后,输入分数时延内存中,直至集齐I个字符,再从分数时延内存中读出。需要指出的是,对于输入队列标识为 L_i 的FIFO的字符,其将被写到分数时延内存的第 $(i \times (D-1)) \% I$ (即fractional_delay)个字符,其中,D为交织深度,D和I互质。
- [0123] 实施例三
- [0124] 本实施例基于上述实施例,对传输信息的方法做具体举例说明。
- [0125] 对于以方式A形成的卷积交织器具体举例如下:
- [0126] 如图4A所示,以FIFO的队列个数为6个、整数时延内存为2片、分数时延内存为1片为例进行举例说明。
- [0127] 按照FIFO的长度由小达到的顺序为FIFO分配队列序号,分别为 $L_1, L_2, L_3 \dots, L_6$,其中队列序号为 L_1 的FIFO的长度最小,队列序号为 L_6 的FIFO的长度最大。将FIFO依次分配到整数时延内存401和整数时延内存402中。具体地,将队列标识为 L_1 的FIFO分配到整数时延内存401中,将队列标识为 L_2 的FIFO分配到整数时延内存402中,将队列标识为 L_3 的FIFO分配到整数时延内存401中,将队列标识为 L_4 的FIFO分配到整数时延内存402中,以此类推,直至队列标识为 L_6 的FIFO分配到整数时延内存402中。
- [0128] 接下来,N个字符依次输入到整数时延内存401和整数时延内存402中,即第1个字符进入队列标识为 L_1 的FIFO,第2个字符进入队列标识为 L_2 的FIFO,第3个字符进入队列标识为 L_3 的FIFO,以此类推。
- [0129] 当I个字符分别按照整数时延的顺序经过各FIFO之后,输入分数时延内存403中,直至集齐I个字符,再从分数时延内存403中读出。
- [0130] 能够想象到的是,如图4B所示,对于以方式A形成的卷积交织器,当整数时延内存为3片时,FIFO按照如图4B的方式分配到整数时延内存411、整数时延内存412和整数时延内存413中。当I个字符分别按照整数时延的顺序经过各FIFO之后,输入分数时延内存414中,直至集齐I个字符,再从分数时延内存414中读出。

[0131] 对于以方式B形成的卷积交织器具体举例如下：

[0132] 如图5所示,以FIFO的队列个数为6个、整数时延内存为2片、分数时延内存为1片为例进行举例说明。

[0133] 按照FIFO的长度由小达到的顺序为FIFO分配队列序号,分别为L₁,L₂,L₃…,L₆,其中队列序号为L₁的FIFO的长度最小,队列序号为L₆的FIFO的长度最大。将FIFO依次分配到整数时延内存501和整数时延内存502中。

[0134] 具体地,将队列标识为L₁的FIFO分配到整数时延内存501中,将队列标识为L₂和L₃的FIFO分配到整数时延内存502中,将队列标识为L₄和L₅的FIFO分配到整数时延内存501中,将队列标识为L₆的FIFO分配到整数时延内存502中。

[0135] 这样,在将N个字符按照队列序号输入各FIFO时,会出现每隔两个字符,字符的输出顺序出现反转的问题,即经过卷积交织处理的第1个字符和第2个字符的从整数时延内存中读出顺序是正确的,但是第3个和第4个字符的读出顺序是相反的,第5个和第6个字符的读出顺序又是正确的,到了第7个字符和第8个字符的读出顺序又是相反的,以此类推。因此,每隔两个字符,需要将整数时延内存和分数时延内存反转使用。需要指出的是,这里将整数时延内存反转使用指的是,将1个字符和第2个字符分别按顺序同时输入第一个整数时延内存和第二个整数时延内存,而将第3个字符和第4个字符分别输入按顺序同时输入第二个整数时延内存和第一个整数时延内存中,以此类推。

[0136] 当I个字符分别按照整数时延的顺序经过各FIFO之后,输入分数时延内存503中,直至集齐I个字符,再从分数时延内存503中读出。

[0137] 对于以方式C形成的卷积交织器具体举例如下:

[0138] 如图6所示,整数时延内存可以由至少一个时延块组成。每个时延块的长度可以根据实际需要进行设定,这样,可以根据FIFO的长度为其分配尽量贴近各自需占用内存的FIFO。图6中的整数时延内存601由4个时延块602组成。

[0139] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序在执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0140] 实施例四

[0141] 本实施例提供一种传输信息的装置,用于执行实施例一的传输信息的方法。该传输信息的装置可以集成在卷积交织器中。

[0142] 如图7所示,为根据本实施例的传输信息的装置的结构示意图。该传输信息的装置包括接收单元701和第一输入单元702。

[0143] 其中,接收单元701用于接收N个字符,其中N为大于或等于2的整数;第一输入单元702用于将接收单元701接收到的N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中进行卷积交织处理,n为大于或等于2的整数,各所述n个FIFO的长度不同。

[0144] 该传输信息的装置的具体操作方法与实施例一相同,在此不再赘述。

[0145] 根据本实施例的传输信息的装置,通过将多个字符同时输入到多个FIFO中进行卷积交织处理,即将多个端口所对应的整数时延内存合拼,使多个整数时延内存同时对多个字符进行卷积交织处理,这样,能够提高信息传输的速率。

[0146] 可选地,本实施例的传输信息的装置还包括第二输入单元(图中未示出),该第二输入单元用于将经过整数时延内存处理的各字符依次输入到多口的分数时延内存中。

[0147] 实施例五

[0148] 本实施例基于实施例一提供一种传输信息的装置。

[0149] 如图8所示,本实施例的传输信息的装置还包括获取单元801、第一分配单元802和第二分配单元803。

[0150] 其中,获取单元801用于获取为所述卷积交织器分配的M个FIFO,其中M为大于或等于2的整数且M大于或等于n;第一分配单元802用于按照获取单元801获取的所述FIFO的长度为各所述FIFO分配队列标识;第二分配单元803用于根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中。

[0151] 可选地,第二分配单元803具体用于按照所述队列标识的顺序,将M个FIFO依次分配到n个整数时延内存中。

[0152] 可选地,本实施例的传输信息的装置可以包括第三分配单元(图中未示出),该第三分配单元用于为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memoryj…Memoryn,其中,j为整数且j小于或等于n。这样,第一分配单元802具体用于:

[0153] 按照各所述FIFO由短到长的顺序依次分配队列标识为1、2、i…M,其中,i为正整数且i小于或等于M;

[0154] 当M是n的倍数时,所述第二分配单元具体用于:

[0155] 当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为Memory $((n-1) - ((i-1) \% n))$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为Memory $(i-1) \% n$ 的整数时延内存中。

[0156] 可选地,本实施例的传输信息的装置可以包括第四分配单元(图中未示出),该第四分配单元于为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memoryj…Memoryn,其中,j为整数且j小于或等于n。这样,所述第一分配单元802具体用于:

[0157] 按照各所述FIFO由短到长的顺序依次分配队列标识为L₁、L₂、L_i…L_M,其中,i为正整数且i小于或等于M。

[0158] 当M不是n的倍数时,所述第二分配单元803具体用于:

[0159] 选出队列标识小于或等于M-(M%n)的FIFO,当 $(i-1) \% (2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为 $(n-1) - ((i-1) \% n)$ 的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为 $(i-1) \% n$ 的整数时延内存中;

[0160] 将剩余的(M%n)个FIFO按照队列标识的顺序依次分配到0、1…(M%n)个整数时延内存中,其中,该剩余的(M%n)个FIFO所占用的整数时延内存部分是由多个时延内存块组成。

[0161] 本实施例的传输信息的装置的操作方法与实施例二一致,在此不再赘述。

[0162] 本实施例的传输信息的装置,通过将n个相邻的字符依次输入n个FIFO中进行卷积交织处理,这样可以在不改变核心时钟频率的情况下,提高信息传输的速度。

[0163] 实施例六

[0164] 本实施例提供另一种传输信息的装置,用于执行上述传输信息的方法。

[0165] 如图9所示,为根据本实施例的传输信息的装置的结构示意图。该传输信息的装置900包括至少一个处理器901、通信总线902、存储器903以及至少一个通信接口904。

[0166] 其中,通信总线902用于实现上述组件之间的连接并通信,通信接口904用于与网络设备连接并通信。该总线可以是ISA(Industry Standard Architecture,工业标准体系结构)总线、PCI(Peripheral Component,外部设备互连)总线或EISA(Extended Industry Standard Architecture,扩展工业标准体系结构)总线等。总线可以是一条或多条物理线路,当是多条物理线路时可以分为地址总线、数据总线、控制总线等。

[0167] 其中,存储器903用于存储可执行程序代码,其中,处理器901通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于:

[0168] 接收N个字符,其中N为大于或等于2的整数;

[0169] 将N个字符中的n个相邻字符同时输入到n个先进先出队列FIFO中进行卷积交织处理,n为大于或等于2的整数,各所述n个FIFO的长度不同。

[0170] 可选地,处理器901在通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于接收N个字符之前,处理器901还通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于:

[0171] 获取为所述卷积交织器分配的M个FIFO,其中M为大于或等于2的整数且M大于或等于n;

[0172] 按照所述FIFO的长度为各所述FIFO分配队列标识;

[0173] 根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中。

[0174] 可选地,处理器901在通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,具体可以是:

[0175] 按照所述队列标识的顺序,将M个FIFO依次分配到n个整数时延内存中。

[0176] 可选地,处理器901还通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于:

[0177] 为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memoryj…Memoryn,,其中,j为整数且j小于或等于n;

[0178] 这样,处理器901还通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于按照所述FIFO的长度为各所述FIFO分配队列标识,具体可以是:

[0179] 按照各所述FIFO由短到长的顺序依次分配队列标识为1、2、i…M,其中,i为正整数且i小于或等于M;

[0180] 当M是n的倍数时,处理器901还通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,具体可以是:

[0181] 当 $(i-1) \%(2 \times n) \geq n$ 时,则将队列标识为i的FIFO分配到整数时延内存标识为Memory((n-1)-((i-1)%n))的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为Memory(i-1)%n的整数时延内存中。

[0182] 可选地,处理器901还通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于:

[0183] 为n个整数时延内存依次分配整数时延内存标识为Memory0、Memory1、Memoryj…

Memoryn, 其中, j为整数且j小于或等于n;

[0184] 这样,处理器901通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于按照所述FIFO的长度为各所述FIFO分配队列标识,具体可以是:

[0185] 按照各所述FIFO由短到长的顺序依次分配队列标识为L₁、L₂、L_i…L_M,其中,i为正整数且i小于或等于M;

[0186] 当M不是n的倍数时,处理器901通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于根据预设规则和所述队列标识,将所述M个FIFO分配到n个整数时延内存中,具体可以是:

[0187] 选出队列标识小于或等于M-(M%n)的FIFO,当(i-1)%(2×n)≥n时,则将队列标识为i的FIFO分配到整数时延内存标识为(n-1)-((i-1)%n)的整数时延内存中,否则,将队列标识为i的FIFO分配到整数时延内存标识为(i-1)%n的整数时延内存中;

[0188] 将剩余的(M%n)个FIFO按照队列标识的顺序依次分配到0、1…(M%n)个整数时延内存中,其中,该剩余的(M%n)个FIFO所占用的整数时延内存部分是由多个时延内存块组成。

[0189] 可选地,处理器901还通过读取存储器903中存储的可执行程序代码来运行与可执行程序代码对应的程序,以用于:

[0190] 将经过整数时延内存处理的各字符依次输入到多口的分数时延内存中。

[0191] 根据本实施例的处理信息的装置900,通过将多个字符同时输入到多个FIFO中进行卷积交织处理,即将多个端口所对应的整数时延内存合拼,使多个整数时延内存同时对多个字符进行卷积交织处理,这样,能够提高信息传输的速率。

[0192] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

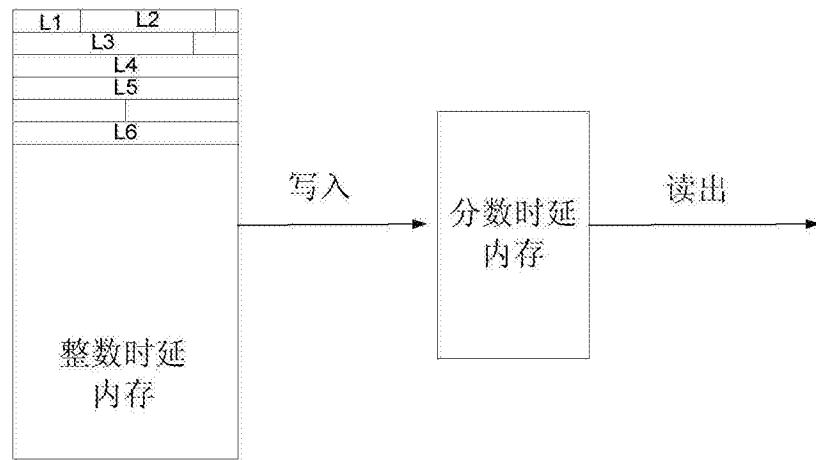


图1

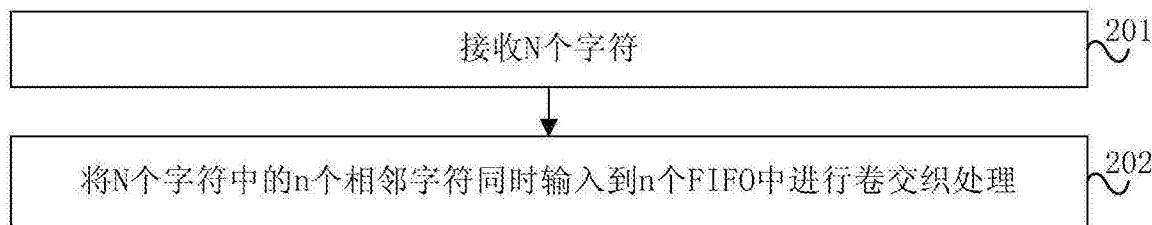


图2

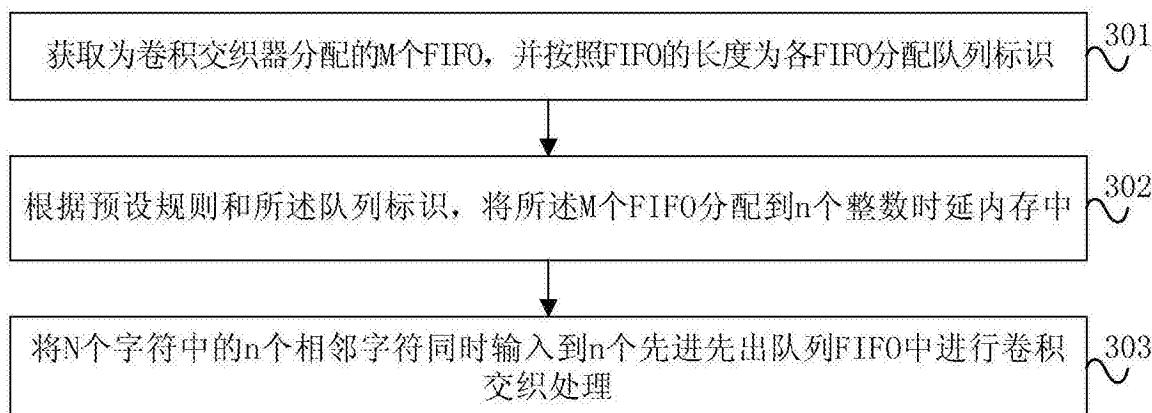


图3A

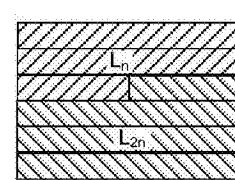
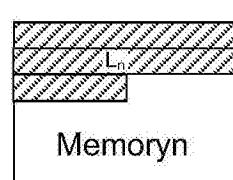
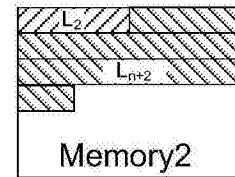
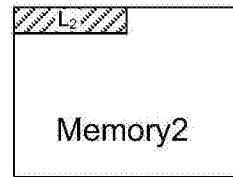
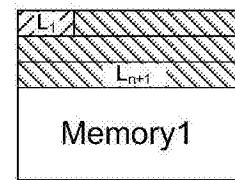
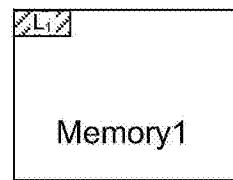


图3B

图3C

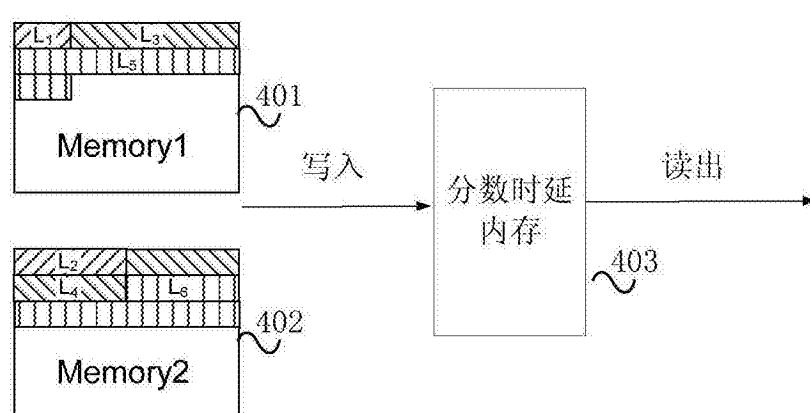


图4A

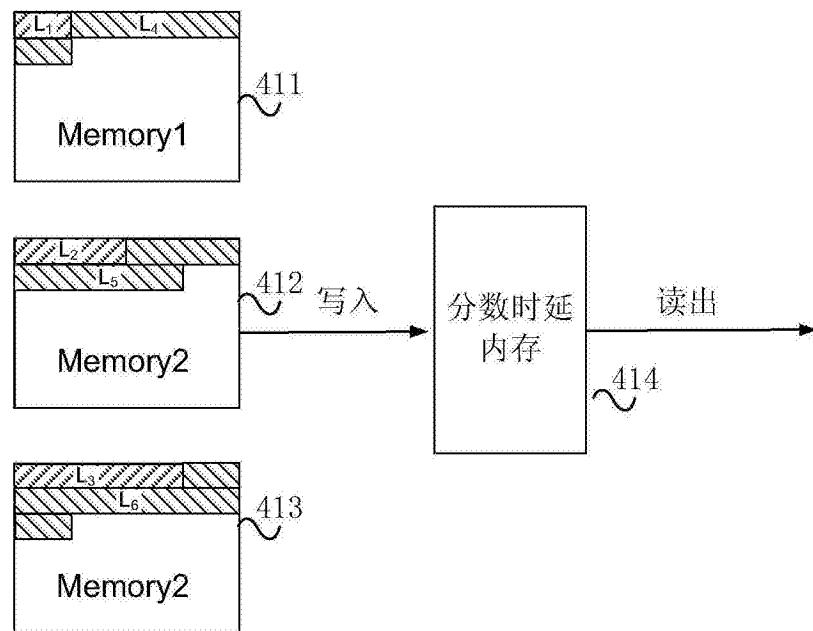


图4B

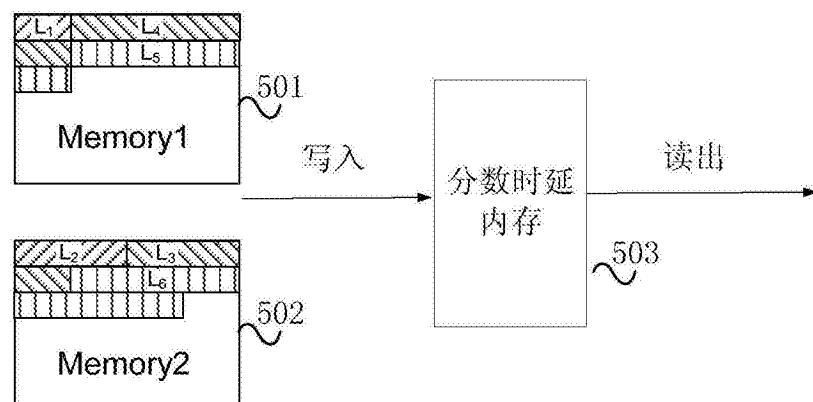


图5

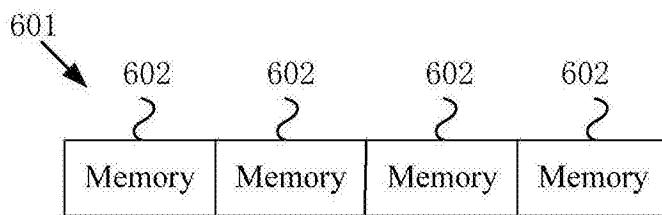


图6



图7

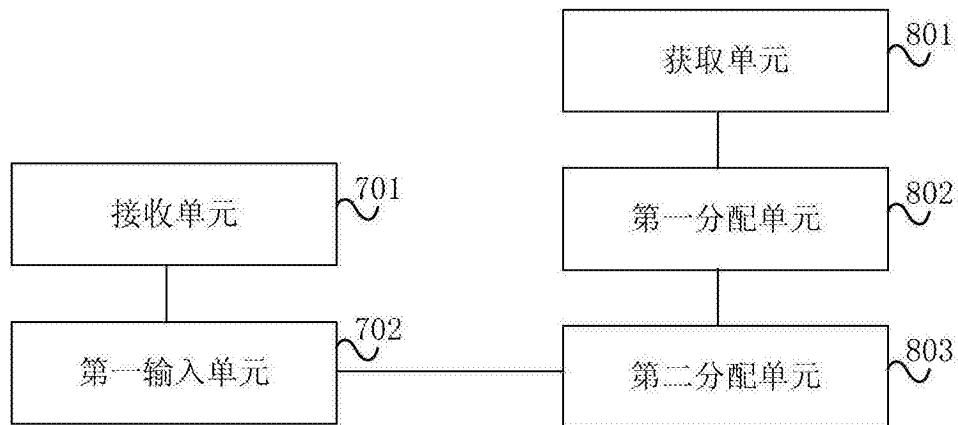


图8

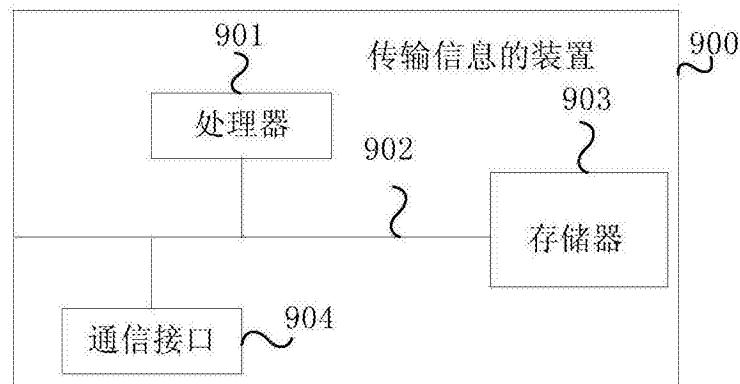


图9