

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 21 年 6 月 4 日 (2009.6.4)

【公開番号】特開 2006-65856 (P2006-65856A)

【公開日】平成 18 年 3 月 9 日 (2006.3.9)

【年通号数】公開・登録公報 2006-010

【出願番号】特願 2005-224989 (P2005-224989)

【国際特許分類】

G 0 6 F 3/06 (2006.01)

G 0 6 F 13/28 (2006.01)

【 F I 】

G 0 6 F 3/06 3 0 1 N

G 0 6 F 3/06 3 0 4 Z

G 0 6 F 13/28 3 1 0 A

【手続補正書】

【提出日】平成 21 年 4 月 17 日 (2009.4.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データ・ペイロードを第 1 のセクタ・フォーマットから第 2 のセクタ・フォーマットに変換する方法であって、

第 1 のセクタ・フォーマットで書き込まれた複数の第 1 のセクタを含む情報と、デバイス・コントローラと、各々が第 2 のセクタ・フォーマットを有する複数の第 2 のセクタを含む情報記憶媒体を備えるデータ記憶装置と、データ・キュー、バッファ、及び不揮発性メモリを備えるセクタ・フォーマット変換装置と、前記セクタ・フォーマット変換装置及び前記デバイス・コントローラを相互接続する通信リンクとを含み、該セクタ・フォーマット変換装置が前記データ記憶装置と相互接続される、情報記憶検索システムを準備するステップと、

複数のインフライト・インジケータであって、各々が第 1 の値又は第 2 の値のいずれかを含み、(i) 番目のインフライト・インジケータが前記 (i) 番目の変換済み D M A データ・ペイロードに関連付けられた、複数のインフライト・インジケータを準備するステップと、

電源異常警告時間間隔を設定するステップと、

各々が複数の第 1 のセクタを含み、各々が開始論理ブロック・アドレス及び終了論理ブロック・アドレスを含む、複数の D M A データ・ペイロードを形成するステップと、

前記複数の D M A データ・ペイロードの 1 つ以上を前記セクタ・フォーマット変換装置に送信するステップと、

前記セクタ・フォーマット変換装置によって、(i) 番目の D M A データ・ペイロードを複数の第 2 のセクタの一部又は全部に上書きして、(i) 番目の変換済み D M A データ・ペイロードを形成するステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記データ・キューに入れるステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記データ記憶装置に伝送するステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記データ記憶装置に伝送するときに、前記 (i) 番目のインフライト・インジケータを前記第 2 の値に設定するステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記情報記憶媒体に書き込むステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記情報記憶媒体に書き込んだ後に、前記データ記憶装置によって (i) 番目の書き込み完了信号を生成するステップと

、前記 (i) 番目の書き込み完了信号を受けて、前記 (i) 番目のインフライト・インジケータを前記第 1 の値にリセットするステップと、

電源異常警告を受信したかどうかを判断するステップと、

電源異常警告を受信した場合には、

前記電源異常警告の時間間隔を開始するステップと、

前記電源異常警告の時間間隔の間に、1 つ以上の変換済み D M A データ・ペイロードを、データ・キューに入れられた (P) 個の変換済み D M A データ・ペイロードを含む前記データ・キューから前記データ記憶装置に与えるステップと、

前記電源異常警告の時間間隔が終了したかどうかを判断するステップを有効にし、前記電源異常警告の時間間隔が終了した場合には、

(j) が 1 より大きいか 1 に等しく、かつ、(P) より小さいか (P) に等しいものとして、(j) 番目の変換済み D M A データ・ペイロードが前記情報記憶媒体に書き込まれたかどうかを判断するステップを有効にし、

前記電源異常警告の時間間隔の終了時に前記 (j) 番目の変換済み D M A データ・ペイロードが前記情報記憶媒体に書き込まれていない場合には、

前記 (j) 番目の変換済み D M A データ・ペイロードを不揮発性メモリに保存するステップと、

前記情報記憶検索システムへの外部電力を失わせるステップと、

前記情報記憶検索システムへの外部電力を回復させるステップと、

(Q) 個の変換済み D M A データ・ペイロードが外部電力喪失時にインフライトのままであることを判断するステップと、

外部電力の喪失前に前記情報記憶媒体に書き込まれなかった各変換済み D M A データ・ペイロードを、前記不揮発性メモリから検索するステップと、

外部電力の喪失前に前記情報記憶媒体に書き込まれなかった各変換済み D M A データ・ペイロードを、前記データ記憶装置に与えるステップを有効にすること、を含む方法。

【請求項 2】

すでに変換済みの D M A データ・ペイロードを前記データ記憶装置に伝送する間に前記電源異常警告を受信したときに、該伝送を完了するステップと、

伝送された前記すでに変換済みの D M A データ・ペイロードについてインフライト・インジケータを設定するステップと、

をさらに含む、請求項 1 に記載の方法。

【請求項 3】

前記情報記憶検索システムへの外部電力の回復の際に、(k) 番目のインフライト・インジケータが前記第 2 の値に設定されているかどうかを判断するステップと、

前記 (k) 番目のインフライト・インジケータが前記第 2 の値に設定されている場合には、前記不揮発性メモリから (k) 番目の変換済み D M A データ・ペイロードを検索するステップが動作可能であること、

をさらに含む、請求項 1 に記載の方法。

【請求項 4】

前記第 1 のセクタ・フォーマットを、520 バイトのセクタ、524 バイトのセクタ、及び 528 バイトのセクタからなる群から選択するステップをさらに含む、請求項 1 に記

載の方法。

【請求項 5】

5 1 2 バイトのセクタを含むように前記第 2 のセクタ・フォーマットを設定するステッ

プをさらに含む、請求項 1 に記載の方法。

【請求項 6】

前記電源異常警告の時間間隔を 3 ミリ秒に等しく設定するステップをさらに含む、請求項 1 に記載の方法。

【請求項 7】

R A I D コントローラを含むデバイス・コントローラを準備するステップをさらに含む、請求項 1 に記載の方法。

【請求項 8】

S - A T A データ記憶装置を準備するステップをさらに含む、請求項 1 に記載の方法。

【請求項 9】

前記電源異常警告を受信した後に、4 ミリ秒以上の間、前記情報記憶検索システムに対して外部電力を供給するステップをさらに含む、請求項 5 に記載の方法。

【請求項 10】

データ・ペイロードを第 1 のセクタ・フォーマットから第 2 のセクタ・フォーマットに変換するコンピュータ可読プログラム・コードが配置されたコンピュータ使用可能媒体を備えるシステムであって、前記システムは、第 1 のセクタ・フォーマットで書き込まれた複数の第 1 のセクタを含む情報と、デバイス・コントローラと、各々が第 2 のセクタ・フォーマットを有する複数の第 2 のセクタを含む情報記憶媒体を備えるデータ記憶装置と、データ・キュー、バッファ、及び不揮発性メモリを備えるセクタ・フォーマット変換装置と、前記セクタ・フォーマット変換装置及び前記デバイス・コントローラを相互接続する通信リンクとを含み、該セクタ・フォーマット変換装置は前記データ記憶装置と相互接続され、前記コンピュータ可読プログラム・コードは、

各々が複数の第 1 のセクタを含み、各々が開始論理ブロック・アドレス及び終了論理ブロック・アドレスを含む、複数の D M A データ・ペイロードを形成するステップと、

前記複数の D M A データ・ペイロードの 1 つ以上を前記セクタ・フォーマット変換装置に送信するステップと、

前記セクタ・フォーマット変換装置によって、(i) 番目の D M A データ・ペイロードを複数の第 2 のセクタの一部又は全部に上書きして、(i) 番目の変換済み D M A データ・ペイロードを形成するステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記データ・キューに入れるステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記データ記憶装置に伝送するステップと、

前記 (i) 番目の変換済み D M A データ・ペイロードを前記情報記憶媒体に書き込むステップと、

電源異常警告を受信したかどうかを判断するステップと、

電源異常警告を受信した場合には、

電源異常警告の時間間隔を取得するステップと、

前記電源異常警告の時間間隔を開始するステップと、

前記電源異常警告の時間間隔の間に、1 つ以上の変換済み D M A データ・ペイロードを、(P) 個の変換済み D M A データ・ペイロードを含む前記データ・キューから前記データ記憶装置に与えるステップと、

前記電源異常警告の時間間隔が終了したかどうかを判断するステップを有効にし、

前記電源異常警告の時間間隔が終了した場合には、

(j) が 1 より大きいか 1 に等しく、かつ、(P) より小さいか (P) に等しいものとして、(j) 番目の変換済み D M A データ・ペイロードが前記情報記憶媒体に書き込まれ

たかどうかを判断するステップを有効にし、

前記電源異常警告の時間間隔の終了時に前記 (j) 番目の変換済み D M A データ・ペイロードが前記情報記憶媒体に書き込まれていない場合には、

前記 (j) 番目の変換済み D M A データ・ペイロードを不揮発性メモリに保存するステップと、

情報記憶検索システムへの外部電力の回復の際に、外部電力の喪失前に前記情報記憶媒体に書き込まれなかった各変換済み D M A データ・ペイロードを、前記不揮発性メモリから検索するステップと、

外部電力の喪失前に前記情報記憶媒体に書き込まれなかった各変換済み D M A データ・ペイロードを、前記データ記憶装置に与えるステップを有効にして、
実行する一連のコンピュータ可読プログラム・ステップを含む、システム。

【請求項 1 1】

前記コンピュータ可読プログラム・コードは、

すでに変換済みの D M A データ・ペイロードを前記データ記憶装置に伝送する間に前記電源異常警告を受信したときに、該伝送を完了するステップと、

伝送された前記すでに変換済みの D M A データ・ペイロードについてインフライト・インジケータを設定するステップと、

を実行する一連のコンピュータ可読プログラム・ステップをさらに含む、請求項 1 0 に記載のシステム。

【請求項 1 2】

前記コンピュータ可読プログラム・コードは、

前記情報記憶検索システムへの外部電力の回復の際に、(k) 番目のインフライト・インジケータが前記第 2 の値に設定されているかどうかを判断するステップと、

前記 (k) 番目のインフライト・インジケータが前記第 2 の値に設定されている場合には、(k) 番目の変換済み D M A データ・ペイロードを検索するステップと、
を実行する一連のコンピュータ可読プログラム・ステップをさらに含む、請求項 1 0 に記載のシステム。

【請求項 1 3】

前記コンピュータ可読プログラム・コードは、前記第 1 のセクタ・フォーマットを、5 2 0 バイトのセクタ、5 2 4 バイトのセクタ、及び 5 2 8 バイトのセクタからなる群から選択するステップを実行する一連のコンピュータ可読プログラム・ステップをさらに含む、請求項 1 0 に記載のシステム。

【請求項 1 4】

前記コンピュータ可読プログラム・コードは、5 1 2 バイトのセクタを含むように前記第 2 のセクタ・フォーマットを設定するステップを実行する一連のコンピュータ可読プログラム・ステップをさらに含む、請求項 1 0 に記載のシステム。

【請求項 1 5】

前記コンピュータ可読プログラム・コードは、前記電源異常警告の時間間隔を約 3 ミリ秒に等しく設定するステップを実行する一連のコンピュータ可読プログラム・ステップをさらに含む、請求項 1 0 に記載のシステム。

【請求項 1 6】

前記デバイス・コントローラは R A I D コントローラを含む、請求項 1 0 に記載のシステム。

【請求項 1 7】

前記データ記憶装置は S - A T A 装置を含む、請求項 1 0 に記載のシステム。

【請求項 1 8】

第 1 のセクタ・フォーマットで書き込まれた複数の第 1 のセクタを含む情報と、デバイス・コントローラと、各々が第 2 のセクタ・フォーマットを有する複数の第 2 のセクタを含む情報記憶媒体を備えるデータ記憶装置と、データ・キュー、バッファ、及び不揮発性メモリを備えるセクタ・フォーマット変換装置と、前記セクタ・フォーマット変換装置及

び前記デバイス・コントローラを相互接続する通信リンクとを含み、該セクタ・フォーマット変換装置が前記データ記憶装置と相互接続される情報記憶検索システムにおいて、データ・ペイロードを第1のセクタ・フォーマットから第2のセクタ・フォーマットに変換するためのコンピュータ・プログラムであって、

各々が複数の第1のセクタを含み、各々が開始論理ブロック・アドレス及び終了論理ブロック・アドレスを含む、複数のDMAデータ・ペイロードを形成するステップと、

前記複数のDMAデータ・ペイロードの1つ以上を前記セクタ・フォーマット変換装置に送信するステップと、

前記セクタ・フォーマット変換装置によって、(i)番目のDMAデータ・ペイロードを複数の第2のセクタの一部又は全部に上書きして、(i)番目の変換済みDMAデータ・ペイロードを形成するステップと、

前記(i)番目の変換済みDMAデータ・ペイロードを前記データ・キューに入れるステップと、

前記(i)番目の変換済みDMAデータ・ペイロードを前記データ記憶装置に伝送するステップと、

前記(i)番目の変換済みDMAデータ・ペイロードを前記情報記憶媒体に書き込むステップと、

電源異常警告を受信したかどうかを判断するステップと、

電源異常警告を受信した場合には、

電源異常警告の時間間隔を取得するステップと、

前記電源異常警告の時間間隔を開始するステップと、

前記電源異常警告の時間間隔の間に、1つ以上の変換済みDMAデータ・ペイロードを、(P)個の変換済みDMAデータ・ペイロードを含む前記データ・キューから前記データ記憶装置に与えるステップと、

前記電源異常警告の時間間隔が終了したかどうかを判断するステップと、

前記電源異常警告の時間間隔が終了した場合には、

(j)が1より大きいか1に等しく、かつ、(P)より小さいか(P)に等しいものとして、(j)番目の変換済みDMAデータ・ペイロードが前記情報記憶媒体に書き込まれたかどうかを判断するステップと、

前記電源異常警告の時間間隔の終了時に前記(j)番目の変換済みDMAデータ・ペイロードが前記情報記憶媒体に書き込まれていない場合には、

前記(j)番目の変換済みDMAデータ・ペイロードを不揮発性メモリに保存するステップと、

外部電力の回復後に、外部電力の喪失前に前記情報記憶媒体に書き込まれなかった各変換済みDMAデータ・ペイロードを、前記不揮発性メモリから検索するステップと、

外部電力の喪失前に前記情報記憶媒体に書き込まれなかった各変換済みDMAデータ・ペイロードを前記データ記憶装置に与えるステップと、
をコンピュータに実行させるためのコンピュータ・プログラム。

【請求項19】

すでに変換済みのDMAデータ・ペイロードを前記データ記憶装置に伝送する間に前記電源異常警告を受信したときに該伝送を完了するステップと、

伝送された前記すでに変換済みのDMAデータ・ペイロードについてインフライト・インジケータを設定するステップと、

をさらにコンピュータに実行させる、請求項18に記載のコンピュータ・プログラム。

【請求項20】

情報記憶検索システムに対する外部電力の回復後に、(k)番目のインフライト・インジケータが前記第2の値に設定されているかどうかを判断するステップと、

前記(k)番目のインフライト・インジケータが前記第2の値に設定されている場合には、(k)番目の変換済みDMAデータ・ペイロードを検索するステップと、

をさらにコンピュータに実行させる、請求項18に記載のコンピュータ・プログラム。