

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-506711

(P2005-506711A)

(43) 公表日 平成17年3月3日(2005.3.3)

(51) Int. Cl.⁷

H01L 29/786

C23C 16/42

G02F 1/1368

H01L 21/316

H01L 21/336

F I

H01L 29/78 619A

C23C 16/42

G02F 1/1368

H01L 21/316 X

H01L 29/78 618E

テーマコード (参考)

2H092

4K030

5F058

5F110

審査請求 有 予備審査請求 未請求 (全 170 頁) 最終頁に続く

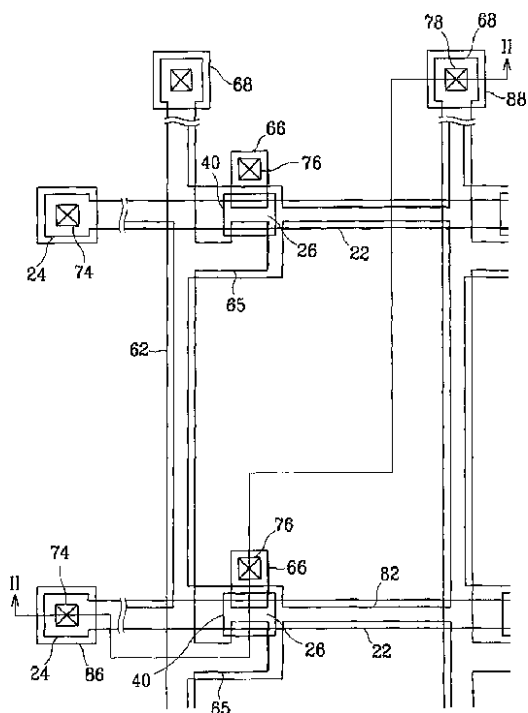
(21) 出願番号 特願2003-538811 (P2003-538811)
 (86) (22) 出願日 平成13年11月7日 (2001.11.7)
 (85) 翻訳文提出日 平成16年3月29日 (2004.3.29)
 (86) 国際出願番号 PCT/KR2001/001896
 (87) 国際公開番号 W02003/036376
 (87) 国際公開日 平成15年5月1日 (2003.5.1)
 (31) 優先権主張番号 2001/60442
 (32) 優先日 平成13年9月28日 (2001.9.28)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591028452
 サムスン エレクトロニクス カンパニー
 リミテッド
 SAMSUNG ELECTRONICS
 COMPANY, LIMITED
 大韓民国 ギョンギード スウォンシ
 ヨントング メタンードン 416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 ホン, ワンシック
 大韓民国, ソウル 137-061, ソチ
 ョーグ, パンペードン, 104-402
 ダイウーヒョウリョン アパート
 最終頁に続く

(54) 【発明の名称】 低誘電率絶縁膜を使用する薄膜トランジスタ基板及びその製造方法

(57) 【要約】

薄膜トランジスタアレイ基板は、絶縁基板、前記基板に形成されたゲート線集合、及び前記ゲート線集合の上を横切ると共に前記ゲート線集合から絶縁されているデータ線集合を備える。薄膜トランジスタは、ゲート線集合及びデータ線集合に接続される。保護膜が a-Si:C:O 又は a-Si:O:F で、前記薄膜トランジスタの上に形成される。画素電極が前記保護膜上に形成されると共に前記薄膜トランジスタ群に接続される。この構造において、寄生容量の問題が解決されつつ、開口比を向上させ、加工時間を低減させる。



【特許請求の範囲】

【請求項 1】

絶縁基板、
前記絶縁基板の上に形成されている第 1 信号線、
前記第 1 信号線上に形成されている第 1 絶縁膜、
前記第 1 絶縁膜の上に形成されていて、前記第 1 信号線と交差している第 2 信号線、
前記第 1 信号線及び前記第 2 信号線と連結されている薄膜トランジスタ、
誘電率が 4.0 以下の CVD 膜であり、前記薄膜トランジスタ上に形成されており、前記
薄膜トランジスタの所定電極を露出させる第 1 接触孔を有する第 2 絶縁膜、
前記第 2 絶縁膜の上に形成されていて、前記第 1 接触孔を通じて前記薄膜トランジスタの
所定電極と連結されている第 1 画素電極
を含むことを特徴とする薄膜トランジスタ基板。 10

【請求項 2】

前記第 1 絶縁膜は低誘電率 CVD 膜である下部膜と窒化シリコン膜である上部膜からなる
ことを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 3】

前記第 1 画素電極は光を反射させる不透明な導電物質から構成されていることを特徴とす
る、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 4】

前記第 2 絶縁膜は表面に凹凸パターンを有することを特徴とする、請求項 3 に記載の薄膜
トランジスタ基板。 20

【請求項 5】

低誘電率 CVD 膜であり、前記第 1 画素電極上に形成されており、前記第 1 画素電極の所
定部分を露出させる第 2 接触孔を有する第 3 絶縁膜、及び
前記第 3 絶縁膜の上に形成されていて、前記第 2 接触孔を通じて前記第 1 画素電極と連結
されており、光を反射させる不透明な導電物質から構成されている第 2 画素電極をさらに
含み、
前記第 1 画素電極は透明な導電物質から構成されており、前記第 2 画素電極は前記第 1 画
素電極を透過した光が通過できる所定の開口部を有することを特徴とする、請求項 1 に記
載の薄膜トランジスタ基板。 30

【請求項 6】

前記低誘電率 CVD 膜は a-Si: C: O で構成されることを特徴とする、請求項 1 に記載
の薄膜トランジスタ基板。

【請求項 7】

前記低誘電率 CVD 膜は a-Si: O: F で構成されることを特徴とする、請求項 1 に記載
の薄膜トランジスタ基板。

【請求項 8】

前記低誘電率 CVD 膜の誘電率は 2 ないし 4 の間の値を有することを特徴とする、請求項
1 に記載の薄膜トランジスタ基板。

【請求項 9】

絶縁基板の上に形成されているデータ線を含むデータ配線、
前記絶縁基板の上に形成されている赤、緑、青色フィルター、
低誘電率 CVD 膜であり、前記データ配線及び前記色フィルター上に形成されていて前記
データ配線の所定部分を露出させる第 1 接触孔を有するバッファ層、
前記バッファ層上に形成されており、前記データ線と交差して画素を定義するゲート線
及び前記ゲート線と連結されているゲート電極を含むゲート配線、
前記ゲート配線上に形成されていて、前記第 1 接触孔の少なくとも一部分を露出させる第
2 接触孔を有するゲート絶縁膜、
前記ゲート電極上部の前記ゲート絶縁膜の上に形成されている半導体層、
前記第 1 接触孔及び前記第 2 接触孔を通じて前記データ線と連結されていて少なくとも一 50

部分が前記半導体層と接しているソース用電極、前記半導体層上で前記ソース用電極と対向しているドレーン用電極及び前記ドレーン用電極と連結されている画素電極を含む画素配線

を含むことを特徴とする薄膜トランジスタ基板。

【請求項 10】

前記半導体層パターンは第 1 非晶質シリコン膜と、前記第 1 非晶質シリコン膜よりバンドギャップが低い第 2 非晶質シリコン膜の二重層構造になっていることを特徴とする、請求項 9 に記載の薄膜トランジスタ基板。

【請求項 11】

前記データ線と同一層、同一物質で形成されており、前記半導体層パターンに対応する部分に位置する光遮断部をさらに含むことを特徴とする、請求項 10 に記載の薄膜トランジスタ基板。 10

【請求項 12】

前記光遮断部は前記ゲート線方向に伸びていることを特徴とする、請求項 11 に記載の薄膜トランジスタ基板。

【請求項 13】

前記バッファ層の誘電率は 2 ないし 4 の間の値を有することを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 14】

絶縁基板、 20

前記基板の上に形成されていてゲート線、ゲート電極及びゲートパッドを含むゲート配線、

前記ゲート配線上に形成されていて少なくとも前記ゲートパッドを露出させる接触孔を有するゲート絶縁膜、

前記ゲート絶縁膜の上に形成されている半導体層パターン、

前記半導体層パターンの上に形成されている接触層パターン、

前記接触層パターンの上に形成されていて、前記接触層パターンと実質的に同じ形態を有し、ソース電極、ドレーン電極、データ線及びデータパッドを含むデータ配線、

前記データ配線上に形成されていて、前記ゲートパッド、前記データパッド及び前記ドレーン電極を露出させる接触孔を有し、低誘電率 CVD 膜からなる保護膜パターン、 30

露出されている前記ゲートパッド、データパッド及びドレーン電極と各々電氣的に連結される透明電極層パターン

を含むことを特徴とする液晶表示装置用薄膜トランジスタ基板。

【請求項 15】

前記絶縁基板上の前記ゲート配線と同一層に形成されている維持容量線、

前記維持容量と重なっていて前記半導体パターンと同一層に形成されている維持蓄電器用半導体パターン、

前記維持蓄電器用半導体パターンの上に形成されていて、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用接触層パターン及び

前記維持蓄電器用接触層パターンの上に形成されていて、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用導電体パターンをさらに含み、 40

前記維持蓄電器用導電体パターンは前記透明電極パターンの一部と連結されていることを特徴とする、請求項 14 に記載の薄膜トランジスタ基板。

【請求項 16】

前記低誘電率 CVD 膜の誘電率は 2 ないし 4 の間の値を有することを特徴とする、請求項 14 に記載の薄膜トランジスタ基板。

【請求項 17】

絶縁基板の上にゲート線、前記ゲート線と連結されているゲート電極及び前記ゲート線と連結されているゲートパッドを含むゲート配線を形成する段階、

ゲート絶縁膜を形成する段階、

半導体層を形成する段階、
導電物質を積層しパターニングして前記ゲート線と交差するデータ線、前記データ線と連結されているデータパッド、前記データ線と連結されていて前記ゲート電極に隣接するソース電極及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレイン電極を含むデータ配線を形成する段階、
低誘電率CVD膜を蒸着して保護膜を形成する段階、
前記ゲート絶縁膜と共に前記保護膜をパターニングして前記ゲートパッド、前記データパッド及び前記ドレイン電極を各々露出する接触孔を形成する段階、
透明導電膜を積層しパターニングして前記接触孔を通じて前記ゲートパッド、前記データパッド及び前記ドレイン電極と各々連結される補助ゲートパッド、補助データパッド及び画素電極を形成する段階
を含むことを特徴とする薄膜トランジスタ基板の製造方法。 10

【請求項18】

前記保護膜を形成する段階は
気体状態の $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ のうちの少なくともいずれか一つを基本ソースとして使用し、 N_2O または O_2 を酸化剤として使用してPECVD法によって蒸着する段階であることを特徴とする、請求項17に記載の薄膜トランジスタ基板の製造方法。

【請求項19】

前記保護膜を形成する段階は 20
気体状態の SiH_4 、 SiF_4 のうちの少なくともいずれか一つと CF_4 及び O_2 を添加した気体を使用してPECVD法によって蒸着する段階であることを特徴とする、請求項17に記載の薄膜トランジスタ基板の製造方法。

【請求項20】

前記データ配線及び前記半導体層は所定の厚さの第1部分、前記第1部分より厚さが厚い第2部分、前記第1厚さより厚さが薄い第3部分を有する感光膜パターンを利用する写真蝕刻工程で共に形成することを特徴とする、請求項17に記載の薄膜トランジスタ基板の製造方法。

【請求項21】

前記写真蝕刻工程において、前記第1部分は前記ソース電極と前記ドレイン電極の間に位置するように形成し、前記第2部分は前記データ配線上部に位置するように形成することを特徴とする、請求項20に記載の薄膜トランジスタ基板の製造方法。 30

【請求項22】

前記ゲート絶縁膜を形成する段階は
低誘電率CVD膜を蒸着する第1段階及び窒化シリコン膜を蒸着する第2段階からなり、前記第1段階と前記第2段階は真空が維持される状態で進められることを特徴とする、請求項17に記載の薄膜トランジスタ基板の製造方法。

【請求項23】

絶縁基板の上にデータ線を含むデータ配線を形成する第1段階、
前記基板上部に赤、緑、青色フィルターを形成する第2段階、 40
低誘電率CVD膜を蒸着して前記データ配線及び前記色フィルターを覆うバッファ層を形成する第3段階、
前記絶縁膜上部にゲート線及びゲート電極を含むゲート配線を形成する第4段階、
前記ゲート配線を覆うゲート絶縁膜を形成する第5段階、
前記ゲート絶縁膜の上に島模様の抵抗性接触層と半導体層パターンを形成すると同時に、前記ゲート絶縁膜と前記バッファ層に前記データ線の一部を露出する第1接触孔を形成する第6段階、
前記島模様の抵抗性接触層パターンの上に互いに分離されて形成されていて同一層で作られたソース用電極及びドレイン用電極と、前記ドレイン用電極と連結された画素電極を含む画素配線を形成する第7段階、 50

前記ソース用電極と前記ドレーン用電極の間に位置する前記抵抗性接触層パターンの露出部分を除去して前記抵抗性接触層パターンを両側に分離する第 8 段階、
を含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 24】

前記第 6 段階は、
前記ゲート絶縁膜の上に非晶質シリコン膜、不純物がドーピングされた非晶質シリコン膜を順次に蒸着する段階、
前記ゲート電極上の所定面積を覆っている第 1 部分、前記第 1 接触孔が形成される部分を除いた残りの部分を覆っていて、前記第 1 部分より薄い第 2 部分からなる感光膜パターンを形成する段階、
前記感光膜の第 1 部分及び第 2 部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜、前記非晶質シリコン膜、前記ゲート絶縁膜及び前記バッファ層を蝕刻して前記第 1 接触孔を形成する段階、
前記感光膜パターンの第 2 部分を除去する段階、
前記感光膜パターンの第 1 部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜及び前記非晶質シリコン膜を蝕刻して前記島模様の半導体層パターンと前記抵抗性接触層パターンを形成する段階、
前記感光膜パターンの第 1 部分を除去する段階
を含むことを特徴とする、請求項 23 に記載の薄膜トランジスタ基板の製造方法。

10

【請求項 25】

前記低誘電率 CVD 膜の誘電率は 2 ないし 4 の間の値を有することを特徴とする、請求項 17 に記載の薄膜トランジスタ基板の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低誘電率絶縁層を有する薄膜トランジスタ基板及びその製造方法に関するものである。

【背景技術】

【0002】

薄膜トランジスタ基板は液晶表示装置や有機 EL (electro luminescence) 表示装置などで各画素を独立的に駆動するための回路基板として用いられる。薄膜トランジスタ基板は走査信号を伝達する走査信号配線またはゲート配線と、画像信号を伝達する画像信号線またはデータ配線とが形成されており、ゲート配線及びデータ配線と連結されている薄膜トランジスタ、薄膜トランジスタと連結されている画素電極、ゲート配線を覆って絶縁するゲート絶縁膜及び薄膜トランジスタとデータ配線を覆って絶縁する保護膜などから構成されている。薄膜トランジスタはゲート配線に接続されたゲート電極とチャンネルを形成する半導体層、データ配線の一部であるソース電極とドレーン電極及びゲート絶縁膜と保護膜などからなる。薄膜トランジスタはゲート配線を通じて伝達される走査信号により、データ配線を通じて伝達される画像信号を画素電極に伝達または遮断するスイッチング素子である。

30

40

【0003】

大型で高精細の液晶表示装置が求められていることに伴い、各種寄生容量の増加による信号歪曲問題が至急解決しなければならない問題として浮上している。また、ノートブックコンピュータでの消費電力減少とテレビ用液晶表示装置での可視聴距離を増加させるための輝度向上が必要となって、開口率の増大要求が大きくなっている。ところが、開口率を増大させるためには画素電極をデータ配線上にまで重なるように形成する必要があるが、このようにすると画素電極とデータ線間の寄生容量が増加してしまう。寄生容量増加による問題を解決するためには画素電極とデータ線間の垂直離隔を十分に確保しなければならない、垂直離隔確保のために従来は主に有機絶縁膜で保護膜を形成していた。しかし、有機絶縁膜を利用する工程は次のような短所を持つ。まず、材料費が高い。特に、スピニコ

50

ーティングの際に失われる量が多いため材料費の増加をもたらす。次に、有機絶縁膜は耐熱性が不足していて後続工程が多く、多くの制約を受ける。また、材料が固まりなどによって不純物粒子が発生する頻度が高い。近接する層との接着力が脆弱である。保護膜上に形成される画素電極の形成時の蝕刻誤差が非常に大きい。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする技術的課題は、高開口率を有して寄生容量問題がない薄膜トランジスタ基板を提供することにある。

【課題を解決するための手段】

【0005】

このような課題を解決するために本発明では低誘電率CVD膜を利用する。

具体的には、絶縁基板、前記絶縁基板上に形成されている第1信号線、

前記第1信号線上に形成されている第1絶縁膜、前記第1絶縁膜上に形成されており、前記第1信号線と交差している第2信号線、前記第1信号線及び前記第2信号線と連結されている薄膜トランジスタ、低誘電率CVD膜であって前記薄膜トランジスタ上に形成されており、前記薄膜トランジスタの所定電極を露出させる第1接触孔を有する第2絶縁膜、前記第2絶縁膜上に形成されており、前記第1接触孔を通じて前記薄膜トランジスタの所定電極と連結されている第1画素電極を含む薄膜トランジスタ基板を備える。

【0006】

この時、前記第1絶縁膜は低誘電率CVD膜である下部膜と窒化シリコン膜である上部膜とで構成でき、前記第1画素電極は光を反射させる不透明な導電物質で構成できて、前記第2絶縁膜は表面に凹凸パターンが有ってもよい。また、低誘電率CVD膜であって前記第1画素電極上に形成されており、前記第1画素電極の所定部分を露出させる第2接触孔を有する第3絶縁膜、及び前記第3絶縁膜の上に形成されており、前記第2接触孔を通じて前記第1画素電極と連結されており、光を反射させる不透明な導電物質から構成されている第2画素電極を更に含み、前記第1画素電極は透明な導電物質から構成されており、前記第2画素電極は前記第1画素電極を透過した光が通過できる所定の開口部を有することができる。前記低誘電率CVD膜はa-Si:Cまたはa-Si:O:Fで構成できる。また、前記低誘電率CVD膜の誘電率は2から4の間の値を有するのが好ましい。

【0007】

一方、絶縁基板上に形成されているデータ線を含むデータ配線、前記絶縁基板上に形成されている赤、緑、青の色フィルター、低誘電率CVD膜であって前記データ配線及び前記色フィルターの上に形成されており、前記データ配線の所定部分を露出させる第1接触孔を有するバッファ層、前記バッファ層上に形成されており、前記データ線と交差して画素を定義するゲート線及び前記ゲート線と連結されているゲート電極を含むゲート配線、前記ゲート配線上に形成されており、前記第1接触孔の少なくとも一部分を露出させる第2接触孔を有するゲート絶縁膜、前記ゲート電極上部の前記ゲート絶縁膜上に形成されている半導体層、前記第1接触孔及び前記第2接触孔を通じて前記データ線と連結されており、少なくとも一部分が前記半導体層と接しているソース用電極、前記半導体層上で前記ソース用電極と対向しているドレーン用電極、及び前記ドレーン用電極と連結されている画素電極を含む画素配線を含む薄膜トランジスタ基板を用意し、色フィルターを薄膜トランジスタアレイの下に形成することもできる。

【0008】

ここで、前記半導体層パターンは第1非晶質シリコン膜と、前記第1非晶質シリコン膜よりバンドギャップの低い第2非晶質シリコン膜の二重層構造として構成できて、前記データ線と同じ層及び同じ物質で形成されており、前記半導体層パターンに対応する部分に位置する光遮断部をさらに含むことができる。

このような薄膜トランジスタ基板は、絶縁基板上にデータ線を含むデータ配線を形成する第1段階、前記基板上部に赤、緑、青の色フィルターを形成する第2段階、低誘電率CVD

10

20

30

40

50

D膜を蒸着して、前記データ配線及び前記色フィルターを覆うバッファ層を形成する第3段階、前記絶縁膜上部にゲート線及びゲート電極を含むゲート配線を形成する第4段階、前記ゲート配線を覆うゲート絶縁膜を形成する第5段階、前記ゲート絶縁膜上に島模様の抵抗性接触層と半導体層パターンを形成する同時に、前記ゲート絶縁膜と前記バッファ層に前記データ線一部を露出する第1接触孔を形成する第6段階、前記島模様の抵抗性接触層パターンの上に互いに分離して形成されており、同じ層で作られたソース用電極及びドレーン用電極と、前記ドレーン用電極と連結された画素電極を含む画素配線を形成する第7段階、前記ソース用電極と前記ドレーン用電極の間に位置する前記抵抗性接触層パターンの露出部分を除去して、前記抵抗性接触層パターンを両側に分離する第8段階を含む方法で製造する。

10

【0009】

ここで、第6段階は、前記ゲート絶縁膜上に非晶質シリコン膜、不純物がドーピングされた非晶質シリコン膜を順次に蒸着する段階、前記ゲート電極上の所定面積を覆っている所定の厚さの第1部分、前記第1接触孔が形成される部分を除いた残り部分を覆っており、前記第1部分より薄い第2部分からなる感光膜パターンを形成する段階、前記感光膜の第1部分及び第2部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜、前記非晶質シリコン膜、前記ゲート絶縁膜及び前記バッファ層を蝕刻して前記第1接触孔を形成する段階、前記感光膜パターンの第2部分を除去する段階、前記感光膜パターンの第1部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜及び前記非晶質シリコン膜を蝕刻して、前記島模様の半導体層パターンと前記抵抗性接触層パターンを形成する段階、前記感光膜パターンの第1部分を除去する段階を含む段階であることができる。

20

【0010】

また、絶縁基板、前記基板上に形成されており、ゲート線、ゲート電極及びゲートパッドを含むゲート配線、前記ゲート配線上に形成されており、少なくとも前記ゲートパッドを露出させる接触孔を有するゲート絶縁膜、前記ゲート絶縁膜上に形成されている半導体層パターン、前記半導体層パターン上に形成されている接触層パターン、前記接触層パターン上に形成されており、前記接触層パターンと実質的に同じ形態を有し、ソース電極、ドレーン電極、データ線及びデータパッドを含むデータ配線、前記データ配線上に形成されており、前記ゲートパッド、前記データパッド及び前記ドレーン電極を露出させる接触孔を有し、低誘電率CVD膜からなる保護膜パターン、前記ゲートパッド、データパッド及びドレーン電極と各々電氣的に連結される透明電極層パターンを含む液晶表示装置用薄膜トランジスタ基板を用意する。

30

【0011】

この時、前記絶縁基板上の前記ゲート配線と同一層に形成されている維持容量線、前記維持容量と重なっており、前記半導体パターンと同一層に形成されている維持蓄電器用半導体パターン、前記維持蓄電器用半導体パターン上に形成されており、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用接触層パターン及び前記維持蓄電器用接触層パターン上に形成されており、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用導電体パターンをさらに含み、前記維持蓄電器用導電体パターンは前記透明電極パターンの一部と連結されていてもよい。

40

【0012】

このような薄膜トランジスタ基板は、絶縁基板上にゲート線、前記ゲート線と連結されているゲート電極及び前記ゲート線と連結されているゲートパッドを含むゲート配線を形成する段階、ゲート絶縁膜を形成する段階、半導体層を形成する段階、導電物質を積層しパターン化して、前記ゲート線と交差するデータ線、前記データ線と連結されているデータパッド、前記データ線と連結されており、前記ゲート電極に隣接するソース電極、及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する段階、低誘電率CVD膜を蒸着して保護膜を形成する段階、前記ゲート絶縁膜と共に前記保護膜をパターン化して、前記ゲートパッド、前記データパッド及び前記ドレ

50

ーン電極を各々露出する接触孔を形成する段階、透明導電膜を積層しパターン化して、前記接触孔を通じて前記ゲートパッド、前記データパッド及び前記ドレーン電極と各々連結される補助ゲートパッド、補助データパッド及び画素電極を形成する段階を含む方法で製造する。

【0013】

この時、前記保護膜を形成する段階は、気体状態の $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ のうちの少なくともいずれか一つを基本ソースとして使用し、 N_2O または O_2 を酸化剤として使用してPECVD法により蒸着したり、気体状態の SiH_4 、 SiF_4 のうちの少なくともいずれか一つと CF_4 と O_2 を添加した気体とを使用し、PECVD法により蒸着する段階であり得る。

10

【0014】

また、前記データ配線及び前記半導体層は、第1部分、前記第1部分より厚さが厚い第2部分、前記第1厚さより厚さが薄い第3部分を有する感光膜パターンを利用する写真蝕刻工程と一緒に形成でき、前記写真蝕刻工程で、前記第1部分は前記ソース電極と前記ドレーン電極の間に位置するように形成し、前記第2部分は前記データ配線上部に位置するように形成するのが好ましい。また、前記ゲート絶縁膜を形成する段階は、低誘電率CVD膜を蒸着する第1段階及び窒化シリコン膜を蒸着する第2段階からなり、前記第1段階と前記第2段階は真空の維持される状態で行う段階であり得る。以上において、前記低誘電率CVD膜の誘電率は2から4までの間の値を有する。

【発明の効果】

20

【0015】

本発明では低誘電率CVD膜を使用して保護膜を形成するので寄生容量問題を解消して高開口率構造を実現でき、工程時間を短縮できて、有機絶縁膜を使用する時に発生する材料費の上昇、耐熱性不足、隣接膜との接着力不足などの問題を解決できる。

【発明を実施するための最良の形態】

【0016】

以下、添付した図面を参照して本発明の実施例について説明する。

図1は本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板であり、図2は図1に示した薄膜トランジスタ基板のII-II線に対する断面図である。

絶縁基板10の上にクロム(Cr)またはモリブデン(Mo)合金などで構成された第1ゲート配線層221、241、261と、アルミニウム(Al)または銀(Ag)合金などで構成された第2ゲート配線層222、242、262の二重層として構成されるゲート配線が形成されている。ゲート配線は横方向に伸びているゲート線22、ゲート線22の端に連結されていて外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド24、及びゲート線22に連結されている薄膜トランジスタのゲート電極26を含む。

30

【0017】

基板10の上には窒化シリコン(SiN_x)などからなるゲート絶縁膜30がゲート配線22、24、26を覆っている。

ゲート電極24のゲート絶縁膜30の上部には非晶質シリコンなどの半導体からなる半導体層40が島模様に形成されており、半導体層40の上部にはシリサイドまたはn形不純物が高濃度でドーピング(活性剤として添加)されているn+水素化非晶質シリコンなどの物質で作られた抵抗性接触層54、56が各々形成されている。

40

【0018】

抵抗性接触層54、56及びゲート絶縁膜30の上にはデータ線アセンブリが2重層構造で形成されている。データ線アセンブリは、Cr合金やMo合金などからなる第1データ配線層621、651、661、681と、AlまたはAg合金などからなる第2データ配線層622、652、662、682の二重層になっている。データ配線62、65、66、68は縦方向に形成され、ゲート線22と交差して画素を定義するデータ線62、データ線62の分枝であり、抵抗性接触層54の上部まで延びているソース電極65、データ線62の一端に連結されており、外部からの画像信号の印加を受けるデータパッド6

50

8、ソース電極65と分離されており、ゲート電極26に対してソース電極65の反対側抵抗性接触層56の上部に形成されているドレーン電極66を含む。

【0019】

データ配線62、65、66、68及びこれらが遮ることのない半導体層40の上部には、PECVD（プラズマ強化CVD）法によって蒸着されたa-Si：C：O膜またはa-Si：O：F膜（低誘電率CVD膜）からなる保護膜70が形成されている。PECVD法によって蒸着されたa-Si：C：O膜とa-Si：O：F膜（低誘電率CVD膜）は誘電定数が4以下（誘電定数は2ないし4の間の値を有する）であって誘電率が非常に低い。従って、厚さが薄くても寄生容量問題が発生しない。さらに、他の膜との接着性及び段差被覆性（step coverage）が優れている。また、無機質CVD膜であるので耐熱性が有機絶縁膜に比べて優れている。同時に、PECVD法によって蒸着されたa-Si：C：O膜とa-Si：O：F膜（低誘電率CVD膜）は蒸着速度や蝕刻速度が窒化シリコン膜に比べて4～10倍速いので、工程時間面からも非常に有利である。

10

【0020】

保護膜70にはドレーン電極66及びデータパッド68を各々露出する接触孔76、78が形成されており、ゲート絶縁膜30と共にゲートパッド24を露出する接触孔74が形成されている。この時、パッド24、68を露出する接触孔74、78は角を有したり円形の多様な模様で形成でき、面積は2mm×60μmを超えず、0.5mm×15μm以上であるのが好ましい。

【0021】

20

保護膜70の上には接触孔76を通じてドレーン電極66と電氣的に連結されており、画素に位置する画素電極82が形成されている。また、保護膜70の上には接触孔74、78を通じて各々ゲートパッド24及びデータパッド68と連結されている補助ゲートパッド86及び補助データパッド88が形成されている。ここで、画素電極82と補助ゲート及びデータパッド86、88はITO（インジウム錫酸化物）またはIZO（インジウム亜鉛酸化物）から構成されている。

【0022】

ここで、画素電極82は図1及び図2のように、ゲート線22と重なって維持蓄電器をなし、維持容量が足りない場合には、ゲート配線22、24、26と同一層に維持容量用配線を追加することもできる。

30

また、画素電極82はデータ線62とも重なるように形成して開口率を極大化している。このように開口率を極大化するために画素電極82をデータ線62と重ねて形成しても、保護膜70の誘電率が低いためにこれらの間で形成される寄生容量は問題にならない程度に小さい。

【0023】

以下、このような本発明の第1実施例による薄膜トランジスタ基板の製造法について、図3a乃至図7bを参照して詳細に説明する。

まず、図3a及び3bに示したように、基板10の上にCrまたはMo合金などを蒸着して第1ゲート配線層221、241、261を積層し、AlまたはAg合金などを蒸着して第2ゲート配線層222、242、262を積層した後にパターニングして、ゲート線22、ゲート電極26及びゲートパッド24を含む横方向に伸びているゲート配線を形成する。

40

【0024】

この時、第1ゲート配線層221、241、261をMo合金で形成し、第2ゲート配線層222、242、262をAg合金で形成した場合には、これら二つの層が全てAg合金蝕刻剤であるリン酸、硝酸、酢酸及び超純水（deionized water）を混合した物質によって蝕刻される。従って、一回の蝕刻工程により二重層のゲート配線22、24、26を形成できる。また、リン酸、硝酸、酢酸及び超純水混合物によるAg合金とMo合金に対する蝕刻比はAg合金に対する蝕刻比がより大きいので、ゲート配線に必要な30°程度の細り（taper）角が得られる。

50

【0025】

次に、図4a及び図4bに示したように、窒化シリコンからなるゲート絶縁膜30、非晶質シリコンからなる半導体層40、ドーピングされた非晶質シリコン層50の3層膜を連続して積層し、半導体層40とドーピングされた非晶質シリコン層50を写真蝕刻して、ゲート電極24上部のゲート絶縁膜30の上に島模様の半導体層40と抵抗性接触層50を形成する。

【0026】

次に、図5a乃至図5bに示したように、CrまたはMo合金などを基板10に蒸着して第1データ配線層651、661、681を積層し、AlまたはAg合金などを蒸着して第2データ配線層652、662、682を積層した後写真蝕刻して、ゲート線22と交差するデータ線62、データ線62と連結されてゲート電極26の上部まで延びているソース電極65、外部から画像信号を受信するデータ線62の一端に連結されているデータパッド68、及びソース電極64と分離されており、ゲート電極26を中心にソース電極65と対向するドレイン電極66を含むデータ配線を形成する。

10

【0027】

次に、データ配線62、65、66、68で遮らないドーピングされた非晶質シリコン層50を蝕刻してゲート電極26を中心に両側に分離させる一方、両側のドーピングされた非晶質シリコン層55、56の間の半導体層40を露出させる。次に、露出された半導体層40の表面を安定化させるために酸素プラズマを実施するのが好ましい。

次に、図6a及び6bのように、a-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着(CVD)法によって成長させて保護膜70を形成する。この時、a-Si:C:O膜の場合には気体状態のSiH(CH₃)₃、SiO₂(CH₃)₄、(SiH)₄O₄(CH₃)₄、Si(C₂H₅O)₄などを基本ソースとして使用し、N₂OまたはO₂などの酸化剤とArまたはHeなどを混合した気体を落としながら蒸着する。また、a-Si:O:F膜の場合にはSiH₄、SiF₄等にO₂を添加した気体を落としながら蒸着する。この時、フッ素の補助ソースとしてCF₄を添加することもできる。

20

【0028】

次に、ゲート絶縁膜30と共に保護膜70をパターニングして、ゲートパッド24、ドレイン電極66及びデータパッド68を露出する接触孔74、76、78を形成する。ここで、接触孔74、76、78は角を有する模様または円形の模様形成でき、パッド24、68を露出する接触孔74、78の面積は2mm×60μmを超えず、0.5mm×15μm以上であるのが好ましい。

30

【0029】

次に、最後に図1及び2に示したように、ITOまたはIZO膜を蒸着し写真蝕刻して、第1接触孔76を通じてドレイン電極66と連結される画素電極82と第2及び第3接触孔74、78を通じてゲートパッド24及びデータパッド68と各々連結される補助ゲートパッド86、及び補助データパッド88を形成する。ITOやIZOを積層する前の予熱(pre-heating)工程で使用する気体は窒素を利用するのが好ましい。これは接触孔74、76、78を通じて露出している金属膜24、66、68の上部に金属酸化膜が形成されることを防止するためである。

40

【0030】

以上のように、PECVDで形成したa-Si:C:Oまたはa-Si:O:Fなどの低誘電率絶縁膜(低誘電率CVD膜)を保護膜70として使用することにより寄生容量問題を解決でき、従って、開口率を極大化できる。それだけでなく、蒸着及び蝕刻速度が速くなるので工程時間を縮小できる。

図7は本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図8及び図9は各々図7に示した薄膜トランジスタ基板をVIII-VIII'線及びIX-IX'線による断面図である。

【0031】

まず、絶縁基板10の上に、第1実施例と同一にCrまたはMo合金などからなる第1ゲ

50

ート配線層 2 2 1、2 4 1、2 6 1 と Al または Ag 合金などからなる第 2 ゲート配線層 2 2 2、2 4 2、2 6 2 の二重層からなるゲート配線が形成されている。ゲート配線はゲート線 2 2、ゲートパッド 2 4 及びゲート電極 2 6 を含む。

基板 1 0 の上にはゲート線 2 2 と平行に維持電極線 2 8 が形成されている。維持電極線 2 8 もまた第 1 ゲート配線層 2 8 1 と第 2 ゲート配線層 2 8 2 の二重層になっている。維持電極線 2 8 は後述する画素電極 8 2 と連結された維持蓄電器用導電体パターン 6 4 と重なって画素の電荷保存能力を向上させる維持蓄電器をなし、後述する画素電極 8 2 とゲート線 2 2 の重なりで発生する維持容量が十分である場合には形成しないこともある。維持電極線 2 8 には通常、上部基板の共通電極と同じ電圧が印加される。

【0032】

ゲート配線 2 2、2 4、2 6 及び維持電極線 2 8 の上には窒化シリコン (SiNx) などからなるゲート絶縁膜 3 0 が形成されてゲート配線 2 2、2 4、2 6、2 8 を覆っている。ゲート絶縁膜 3 0 の上には水素化非晶質シリコン (hydrogenated amorphous silicon) などの半導体からなる半導体パターン 4 2、4 8 が形成されており、半導体パターン 4 2、4 8 の上にはリン (P) などの n 形不純物が高濃度でドーピングされている非晶質シリコンなどからなる第 1 から第 3 の抵抗性接触層 (ohmic contact layer) パターン 5 5、5 6、5 8 が形成されている。

【0033】

抵抗性接触層パターン 5 5、5 6、5 8 の上には Cr または Mo 合金などからなる第 1 データ配線層 6 2 1、6 4 1、6 5 1、6 6 1、6 8 1 と、Al または Ag 合金などからなる第 2 データ配線層 6 2 2、6 4 2、6 5 2、6 6 2、6 8 2 の二重層からなるデータ配線 6 2、6 4、6 5、6 6、6 8 が形成されている。データ配線は縦方向に形成されているデータ線 6 2、データ線 6 2 の一端に連結されて外部からの画像信号の印加を受けるデータパッド 6 8、及びデータ線 6 2 の分枝である薄膜トランジスタのソース電極 6 5 からなるデータ線部 6 2、6 8、6 5 を含み、また、データ線部 6 2、6 8、6 5 と分離されており、ゲート電極 2 6 または薄膜トランジスタのチャンネル部 C に対してソース電極 6 5 の反対側に位置する薄膜トランジスタのドレーン電極 6 6 と、維持電極線 2 8 上に位置している維持蓄電器用導電体パターン 6 4 も含む。維持電極線 2 8 を形成しない場合には維持蓄電器用導電体パターン 6 4 も形成しない。

【0034】

データ配線 6 2、6 4、6 5、6 6、6 8 は Al または Ag の単一層で形成することもできる。

第 1 から第 3 の接触層パターン 5 5、5 6、5 8 はその下部の半導体パターン 4 2、4 8 とその上部のデータ配線 6 2、6 4、6 5、6 6、6 8 の接触抵抗を低くする役割を果たし、データ配線 6 2、6 4、6 5、6 6、6 8 と完全に同じ形態を有する。つまり、データ線部中間層パターン 5 5 はデータ線部 6 2、6 8、6 5 と同一で、ドレーン電極用中間層パターン 5 6 はドレーン電極 6 6 と同一で、維持蓄電器用中間層パターン 5 8 は維持蓄電器用導電体パターン 6 4 と同一である。

【0035】

一方、半導体パターン 4 2、4 8 は薄膜トランジスタのチャンネル部 C を除いてはデータ配線 6 2、6 4、6 5、6 6、6 8 及び抵抗性接触層パターン 5 5、5 6、5 8 と同じ形態を有している。具体的には、維持蓄電器用半導体パターン 4 8 と維持蓄電器用導電体パターン 6 4 及び維持蓄電器用接触層パターン 5 8 は同じ形態であるが、薄膜トランジスタ用半導体パターン 4 2 はデータ配線及び接触層パターンの残りの部分と多少異なる。つまり、チャンネル部 C でデータ線部 6 2、6 8、6 5、特にソース電極 6 5 とドレーン電極 6 6 が分離されており、第 1 及び第 2 の抵抗接触層 5 5、5 6 も分離されているが、薄膜トランジスタ用半導体パターン 4 2 はこのところで切れずに連結されて薄膜トランジスタのチャンネルを生成する。

【0036】

データ配線 6 2、6 4、6 5、6 6、6 8 上には PECVD 法によって蒸着された a - S

10

20

30

40

50

i : C : O 膜または a - Si : O : F 膜 (低誘電率 C V D 膜) からなる保護膜 7 0 が形成されている。P E C V D 法によって蒸着された a - Si : C : O 膜と a - Si : O : F 膜 (低誘電率 C V D 膜) は誘電定数が 4 以下であって誘電率が非常に低い。従って、厚さが薄くても寄生容量問題が発生しない。また、他の膜との接着性及び段差被覆性が優れている。さらに、無機質 C V D 膜であるので耐熱性が有機絶縁膜に比べて優れている。同時に、P E C V D 法によって蒸着された a - Si : C : O 膜と a - Si : O : F 膜 (低誘電率 C V D 膜) は蒸着速度や蝕刻速度が窒化シリコン膜に比べて 4 ~ 1 0 倍速いので、工程時間面でも非常に有利である。

【 0 0 3 7 】

保護膜 7 0 はドレーン電極 6 6、データパッド 6 8 及び維持蓄電器用導電体パターン 6 4 を露出させる接触孔 7 6、7 8、7 2 を有しており、また、ゲート絶縁膜 3 0 と共にゲートパッド 2 4 を露出させる接触孔 7 4 を有している。

保護膜 7 0 上には薄膜トランジスタから画像信号を受けてカラーフィルター基板の共通電極と共に電場を生成する画素電極 8 2 が形成されている。画素電極 8 2 は I T O または I Z O などの透明な導電物質で形成され、ドレーン電極 6 6 と物理的、電氣的に連結されて画像信号の伝達を受ける。また、画素電極 8 2 は隣接するゲート線 2 2 及びデータ線 6 2 と重なって開口率を高めているが、重ならないこともある。また、画素電極 8 2 は接触孔 7 2 を通じて維持蓄電器用導電体パターン 6 4 とも連結されて導電体パターン 6 4 に画像信号を伝達する。一方、ゲートパッド 2 4 及びデータパッド 6 8 上には接触孔 7 4、7 8 を通じて各々これらと連結される補助ゲートパッド 8 6 及び補助データパッド 8 8 が形成されており、これらはパッド 2 4、6 8 と外部回路装置との接着性を補完しパッドを保護する役割を果たすもので必須なものではなく、これらの適用如何は選択的である。

【 0 0 3 8 】

以下、薄膜トランジスタ基板を 4 枚のマスクを用いて製造する方法について、詳細に図 1 0 a 乃至図 1 7 c を参照して説明する。

まず、図 1 0 a 乃至 1 0 c に示したように、C r または M o 合金などを基板 1 0 に蒸着して第 1 ゲート配線層 2 2 1、2 4 1、2 6 1、2 8 1 を積層し、A l または A g 合金などを蒸着して第 2 ゲート配線層 2 2 2、2 4 2、2 6 2、2 8 2 を積層した後、写真蝕刻してゲート線 2 2、ゲートパッド 2 4、ゲート電極 2 6 を含むゲート配線と維持電極線 2 8 を形成する。

【 0 0 3 9 】

その後、図 1 1 a 及び 1 1 b に示したように、ゲート絶縁膜 3 0、半導体層 4 0、中間層 5 0 を化学気相蒸着法を用いて各々 1 , 5 0 0 乃至 5 , 0 0 0、5 0 0 乃至 2 , 0 0 0、3 0 0 乃至 6 0 0 の厚さで連続蒸着し、次いで、C r または M o 合金などからなる第 1 導電膜 6 0 1 と A l または A g 合金からなる第 2 導電膜 6 0 2 をスパッタリングなどの方法で抵抗接触層 5 0 に蒸着して導電体層 6 0 を形成した後、その上に感光膜 1 1 0 を 1 乃至 2 μ m の厚さで塗布する。

【 0 0 4 0 】

その後、マスクを通して感光膜 1 1 0 に光を照射した後、現像して、図 1 2 b 及び 1 2 c に示したように、感光膜パターン 1 1 2、1 1 4 を形成する。この時、感光膜パターン 1 1 2、1 1 4 の中でチャンネル部 C、即ち、ソース電極 6 5 とドレーン電極 6 6 の間に位置した第 1 部分 1 1 4 は第 2 部分 1 1 2 より厚さを薄くするようにし、その他の部分 B の感光膜は全て除去する。この時、チャンネル部 Cに残っている感光膜 1 1 4 の厚さとデータ配線部 Aに残っている感光膜 1 1 2 の厚さの比は後述する蝕刻工程での工程条件によって異なるようにしなければならず、第 1 部分 1 1 4 の厚さを第 2 部分 1 1 2 の厚さの 1 / 2 以下とするのが好ましく、例えば、4 , 0 0 0 以下であるのがよい。

【 0 0 4 1 】

このように、位置によって感光膜の厚さを異にする方法としては多様なものが有り得、a 領域の光透過量を調節するために主にスリット (slit) または格子形態のパターンを形成したり半透明膜を使用する。

この時、スリットの幅は露光時に使用する露光器の分解能より小さいのが好ましく、半透明膜を利用する場合にはマスクを製作する時に透過率を調節するために異なる透過率を有する薄膜を利用したり厚さの異なる薄膜を利用できる。

【0042】

このようなマスクを通して感光膜に光を照射すると光に直接露出される部分では高分子が完全に分解され、スリットパターンまたは半透明膜が形成されている部分では光の照射量が少ないので高分子は完全分解されていない状態であり、遮光幕で遮った部分では高分子が殆ど分解されない。次いで、感光膜を現像すると、高分子の分子が分解されない部分のみが残り、光が少なく照射された中央部分には光に全く照射されない部分より厚さの薄い感光膜を残せる。この時、露光時間を長くすると全ての分子が分解されるので、そうならないようにしなければならない。

10

【0043】

このような、厚さの薄い感光膜114は、リフローの可能な物質で作られた感光膜を利用し、光が完全に透過できる部分と光が完全に透過できない部分とに分けられた通常のマスクで露光した後に現像し、リフローさせて、感光膜が残留しない部分に感光膜の一部を流れ落ちるようにすることによって、形成することもできる。

次いで、感光膜パターン114及びその下部の膜、即ち、導電体層60、中間層50及び半導体層40に対する蝕刻を進める。この時、データ配線部Aにはデータ配線及びその下部の膜がそのまま残っており、チャンネル部Cには半導体層のみが残っていなければならない。残りの部分Bには上の3個の層60、50、40が全て除去されてゲート絶縁膜30

20

【0044】

まず、図13a及び13bに示したように、その他の部分Bの露出されている導電体層60を除去してその下部の中間層50を露出させる。この過程では乾式蝕刻または湿式蝕刻法の両方を使用でき、この時、導電体層60は蝕刻され感光膜パターン112、114は殆ど蝕刻されない条件下で行うのが好ましい。しかし、乾式蝕刻の場合、導電体層60のみを蝕刻し感光膜パターン112、114は蝕刻されない条件を探すことが難しく、感光膜パターン112、114も共に蝕刻される条件下で行える。この場合には湿式蝕刻の場合より第1部分114の厚さを厚くしてこの過程で第1部分114が除去されて下部の導電体層60が露出されることが発生しないようにする。

30

【0045】

このようにすると、図13a及び図13bに示したように、チャンネル部C及びデータ配線部Bの導電体層、即ち、ソース/ドレイン用導電体パターン67と維持蓄電器用導電体パターン68のみが残り、その他の部分Bの導電体層60は全て除去されてその下部の中間層50が露出される。この時に残った導電体パターン67、64はソース及びドレイン電極65、66が分離されずに連結されている点を除いてはデータ配線62、64、65、66、68の形態と同一である。また、乾式蝕刻を使用した場合、感光膜パターン112、114もある程度の厚さで蝕刻される。

【0046】

次いで、図14a及び14bに示したように、その他の部分Bの露出された中間層50及びその下部の半導体層40を感光膜の第1部分114と共に乾式蝕刻法で同時に除去する。この時の蝕刻は感光膜パターン112、114と中間層50及び半導体層40が同時に蝕刻されゲート絶縁膜30は蝕刻されない条件下で行わなければならない。特に感光膜パターン112、114と半導体層40に対する蝕刻比が殆ど同じ条件で蝕刻するのが好ましい。例えば、SF₆とHCLの混合気体、またはSF₆とO₂の混合気体を用いると殆ど同じ厚さで二つの膜を蝕刻できる。感光膜パターン112、114と半導体層40に対する蝕刻比が同じ場合、第1部分114の厚さは半導体層40と中間層50の厚さを合わせたものと同じか、それより小さくしなければならない。

40

【0047】

このようにすると、図14a及び14bに示したように、チャンネル部Cの第1部分11

50

4 が除去されてソース/ドレーン用導電体パターン 6 7 が露出され、その他の部分 B の中間層 5 0 及び半導体層 4 0 が除去されてその下部のゲート絶縁膜 3 0 が露出される。一方、データ配線部 A の第 2 部分 1 1 2 も蝕刻されるので厚さが薄くなる。また、この段階で半導体パターン 4 2、4 8 が完成する。図面符号 5 7 と 5 8 は各々ソース/ドレーン用導電体パターン 6 7 下部の中間層パターンと維持蓄電器用導電体パターン 6 4 下部の中間層パターンを指す。

【0048】

次いで、灰化処理 (ashing) を通じてソース/ドレーン用導電体パターン 6 7 の表面に残っている感光膜クズを除去する。

その次、図 1 5 a 及び 1 5 b に示したように、チャンネル部 C のソース/ドレーン用導電体パターン 6 7 及びその下部の中間層パターン 5 7 を蝕刻して除去する。この時、蝕刻はソース/ドレーン用導電体パターン 6 7 と中間層パターン 5 7 の両方に対して乾式蝕刻のみで行え、ソース/ドレーン用導電体パターン 6 7 に対しては湿式蝕刻で、中間層パターン 5 7 に対しては乾式蝕刻で行うこともできる。前者の場合、ソース/ドレーン用導電体パターン 6 7 と中間層パターン 5 7 の蝕刻選択比が大きい条件下で蝕刻を行うのが好ましく、これは蝕刻選択比が大きい場合には蝕刻終点を探すことが難しいのでチャンネル部 C に残る半導体パターン 4 2 の厚さを調節することが容易ではないためである。湿式蝕刻と乾式蝕刻を交互にする後者の場合には湿式蝕刻されるソース/ドレーン用導電体パターン 6 7 の側面は蝕刻されるが、乾式蝕刻される中間層パターン 5 7 は殆ど蝕刻されないで階段形態に形成される。蝕刻気体の例としては C F 4 と H C L の混合気体または C F 4 と O 2 の混合気体があり、C F 4 と O 2 を使用すると均一な厚さで半導体パターン 4 2 を残せる。この時、図 1 5 b に示したように、半導体パターン 4 2 の一部が除去されて厚さを薄くでき、感光膜パターンの第 2 部分 1 1 2 もこの時ある程度の厚さで蝕刻される。この時の蝕刻はゲート絶縁膜 3 0 が蝕刻されない条件で行わなければならない、第 2 部分 1 1 2 が蝕刻されてその下部のデータ配線 6 2、6 4、6 5、6 6、6 8 が露出されることがないように厚い感光膜パターンが好ましいことは当然である。

【0049】

このようにすると、ソース電極 6 5 とドレーン電極 6 6 が分離されデータ配線 6 2、6 4、6 5、6 6、6 8 とその下部の接触層パターン 5 5、5 6、5 8 が完成する。

最後にデータ配線部 A に残っている感光膜第 2 部分 1 1 2 を除去する。しかし、第 2 部分 1 1 2 の除去はチャンネル部 C ソース/ドレーン用導電体パターン 6 7 を除去した後、その下の中間層パターン 5 7 を除去する前に行われることもできる。

【0050】

前述のように、ドライエッチングのみの場合には一つの種類の蝕刻のみを使用するので工程が比較的簡便であるが、適当な蝕刻条件を探すことが難しい。反面、前者の場合には蝕刻条件を探すことが比較的容易であるが、工程が後者に比べて面倒な点がある。

その次、図 1 6 a 及び図 1 6 b に示したように、a - S i : C : O 膜または a - S i : O : F 膜を化学気相蒸着 (C V D) 法によって成長させて保護膜 7 0 を形成する。この時、a - S i : C : O 膜の場合は気体状態の S i H (C H 3) 3、S i O 2 (C H 3) 4、(S i H) 4 O 4 (C H 3) 4、S i (C 2 H 5 O) 4 などを基本ソースとして使用し、N 2 O または O 2 などの酸化剤と A r または H e などを混合した気体を流しながら蒸着する。また、a - S i : O : F 膜の場合は S i H 4、S i F 4 等に O 2 を添加した気体を流しながら蒸着する。この時、フッ素の補助ソースとして C F 4 を添加することもできる。

【0051】

次いで、図 1 7 a 乃至図 1 7 c に示したように、保護膜 7 0 をゲート絶縁膜 3 0 と共に写真蝕刻してドレーン電極 6 6、ゲートパッド 2 4、データパッド 6 8 及び維持蓄電器用導電体パターン 6 4 を各々露出する接触孔 7 6、7 4、7 8、7 2 を形成する。この時、パッド 2 4、6 8 を露出する接触孔 7 4、7 8 の面積は 2 m m × 6 0 μ m を超えず、0 . 5 m m × 1 5 μ m 以上であるのが好ましい。

【0052】

最後に、図 8 乃至 10 に示したように、400 乃至 500 の厚さの ITO 層または IZO 層を蒸着し写真蝕刻してドレーン電極 66 及び維持蓄電器用導電体パターン 64 に連結された画素電極 82、ゲートパッド 24 に連結された補助ゲートパッド 86、及びデータパッド 68 に連結された補助データパッド 88 を形成する。

この時、画素電極 82、補助ゲートパッド 86 及び補助データパッド 88 を IZO で形成する場合には蝕刻液としてクロム蝕刻液を使用できるので、これらを形成するための蝕刻過程で接触孔を通じて露出されたデータ配線やゲート配線金属が腐食されることを防止できる。このようなクロム蝕刻液としては $(\text{HNO}_3 / (\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6 / \text{H}_2\text{O})$ などがある。また、接触部の接触抵抗を最少化するためには IZO を常温から 200 以下の範囲で積層するのが好ましく、IZO 薄膜を形成するために使用するターゲットは In_2O_3 及び ZnO を含むのが好ましく、 ZnO の含有量は 15 ~ 20 % 範囲であるのが好ましい。

10

【0053】

一方、ITO または IZO を積層する前の予熱工程で使用する気体としては窒素を使用するのが好ましく、これは接触孔 72、74、76、78 を通じて露出された金属膜 24、64、66、68 の上部に金属酸化膜が形成されることを防止するためである。

このような本発明の第 2 実施例では第 1 実施例による効果だけでなくデータ配線 62、64、65、66、68 とその下部の接触層パターン 55、56、58 及び半導体パターン 42、48 を一つのマスクを用いて形成し、この過程でソース電極 65 とドレーン電極 66 を分離することによって製造工程を単純化できる。

20

【0054】

本発明による CVD で形成した a-Si:C:O 膜または a-Si:O:F 膜 (低誘電率 CVD 膜) は色フィルター上に薄膜トランジスタアレイを形成する AOC (array on color filter) 構造で色フィルターと薄膜トランジスタを分離するバッファ層として使用しても有用である。

図 18 は本発明の第 3 実施例による薄膜トランジスタ基板の配置図であり、図 19 は、図 18 に示した薄膜トランジスタ基板を、切断線 XIX-XIX に沿って示した断面図である。図 19 には薄膜トランジスタ基板である下部基板とこれと対向する上部基板を共に示した。

【0055】

まず、下部基板には、絶縁基板 100 の上部に銅、銅合金、銀、銀合金、アルミニウム及びアルミニウム合金などの物質のうちのいずれかの一つからなる下層 201 とクロム、モリブデン、モリブデン合金、窒化クロム及び窒化モリブデンなどの物質のうちのいずれかの一つからなる上層 201 を含むデータ配線 120、121、124 が形成されている。

30

【0056】

データ配線 120、121、124 は縦方向に伸びているデータ線 120、データ線 120 の端に連結されていて外部から画像信号の伝達を受けてデータ線 120 に伝達するデータパッド 124、及びデータ線 120 の分枝であって基板 100 の下部から薄膜トランジスタの半導体層 170 に入射する光を遮断する光遮断部 121 を含む。ここで、光遮断部 121 は漏洩する光を遮断するブラックマトリックスの機能も共に有し、データ線 120 から分離して断絶された配線として形成できる。

40

【0057】

データ配線 120、121、124 は二重膜で形成されているが、銅または銅合金またはアルミニウム (Al) またはアルミニウム合金 (Al alloy)、モリブデン (Mo) またはモリブデン-タングステン (MoW) 合金、クロム (Cr)、タンタル (Ta) などの導電物質からなる単一膜で形成することもできる。

ここでは、データ配線 120、121、124 は、この後に形成される画素配線 410、411、412 及び補助パッド 413、414 が ITO であることを考慮して、下層 201 を抵抗の小さい物質で形成し、上層 202 は異なる物質、特に ITO との接触特性が良い物質で形成した場合を例示した。具体的な例として、下層 201 を Al-Nd で形成し、上層 202 を CrNx で形成できる。

50

【 0 0 5 8 】

画素配線 4 1 0、4 1 1、4 1 2 及び補助パッド 4 1 3、4 1 4 が I Z O である場合にはデータ配線 1 2 0、1 2 1、1 2 4 をアルミニウムまたはアルミニウム合金の単一膜で形成するのが好ましく、銅が I Z O 及び I T O との接触特性に優れているので銅の単一膜で形成することもできる。

下部絶縁基板 1 0 0 の上には端部がデータ配線 1 2 0、1 2 1 の端部と重なる赤 (R)、緑 (G)、青 (b) の色フィルター 1 3 1、1 3 2、1 3 3 が各々形成されている。ここで、色フィルター 1 3 1、1 3 2、1 3 3 はデータ線 1 2 0 を全て覆うように形成できる。

【 0 0 5 9 】

データ配線 1 2 0、1 2 1、1 2 4 及び色フィルター 1 3 1、1 3 2、1 3 3 上には P E C V D 法によって蒸着された a - S i : C : O 膜または a - S i : O : F 膜 (低誘電率 C V D 膜) からなるバッファ層 1 4 0 が形成されている。ここで、バッファ層 1 4 0 は色フィルター 1 3 1、1 3 2、1 3 3 からのガス放出を防止して色フィルター自体が後続工程での熱及びプラズマエネルギーによって損傷することを防止するための層である。また、バッファ層 1 4 0 は最下部のデータ配線 1 2 0、1 2 1、1 2 4 と薄膜トランジスタアレイを分離しているので誘電率が低く厚さが厚いほど有利である。このような点を考慮すると、P E C V D 法によって蒸着された a - S i : C : O 膜または a - S i : O : F 膜 (低誘電率 C V D 膜) はバッファ層 1 4 0 として使用するのに適格である。つまり、誘電率が低く、蒸着速度が非常に速く、B C B (bisbenzocyclobutene) または P F C B (perfluorocyclobutene) などの有機絶縁物質に比べて価格が安い。また、a - S i : O : C 薄膜は常温から 4 0 0 に至る広い温度範囲で優れた絶縁特性を有する。

【 0 0 6 0 】

バッファ層 1 4 0 上には上部に銅、銅合金、銀、銀合金、アルミニウム及びアルミニウム合金などの物質のうちのいずれかの一つからなる下層 5 0 1 とクロム、モリブデン、モリブデン合金、窒化クロム、窒化モリブデンなどの物質のうちのいずれかの一つからなる上層 5 0 2 を含む二重層構造のゲート配線が形成されている。

ゲート配線は横方向に伸びてデータ線 1 2 0 と交差して単位画素を定義するゲート線 1 5 0、ゲート線 1 5 0 の端に連結されており、外部からの走査信号の印加を受けてゲート線 1 5 0 に伝達するゲートパッド 1 5 2、及びゲート線 1 5 0 の一部である薄膜トランジスタのゲート電極 1 5 1 を含む。

【 0 0 6 1 】

ここで、ゲート線 1 5 0 は後述する画素電極 4 1 0 と重なって画素の電荷保存能力を向上させる維持蓄電器を構成し、後述する画素電極 4 1 0 とゲート線 1 5 0 の重なりで発生する維持容量が十分でない場合には維持容量用共通電極を形成することもできる。

このように、ゲート配線を二重層以上に形成する場合には一層は抵抗が小さい物質で形成し、他の層は異なる物質との接触特性の良い物質で形成することが好ましく、A l (または A l 合金) \ C r の二重層または C u \ C r の二重層がその例である。また、接触特性を改善するために窒化クロム膜または窒化モリブデン膜などを追加することもできる。

【 0 0 6 2 】

ゲート配線 1 5 0、1 5 1、1 5 2 は低抵抗を有する銅またはアルミニウムまたはアルミニウム合金などの単一膜で形成することもできる。

ゲート配線 1 5 0、1 5 1、1 5 2 及びバッファ層 1 4 0 上には低温蒸着ゲート絶縁膜 1 6 0 が形成されている。この時、低温蒸着ゲート絶縁膜 1 6 0 は有機絶縁膜、低温非晶質酸化シリコン膜、低温非晶質窒化シリコン膜等で形成できる。本発明による薄膜トランジスタ構造では色フィルターが下部基板に形成されるので、ゲート絶縁膜は、高温蒸着される通常の絶縁膜とは異なる低温蒸着可能な、例えば、2 5 0 以下の低温条件で蒸着が可能な低温蒸着絶縁膜を使用する。

【 0 0 6 3 】

そして、ゲート電極 1 5 1 のゲート絶縁膜 1 6 0 上には二重層構造の半導体層 1 7 1 が島

10

20

30

40

50

模様に形成されている。二重層構造の半導体層 171 において、下層半導体層 701 はバンドギャップが高い非晶質シリコンからなり、上層半導体層 702 は下層半導体 701 に比べてバンドギャップの低い通常の非晶質シリコンからなる。例えば、下層半導体層 701 のバンドギャップを 1.9 ~ 2.1 eV に、上層半導体層 702 のバンドギャップを 1.7 ~ 1.8 eV にして形成できる。ここで、下層半導体層 701 は 50 ~ 200 の厚さで形成し、上層半導体層 702 は 1000 ~ 2000 の厚さで形成する。

【0064】

このように、バンドギャップが互いに異なる上層半導体層 702 と下層半導体層 701 の間には両層のバンドギャップの差に相当するだけのバンドオフセットが形成される。この時、TFT がオン (ON) 状態になると、二つの半導体層 701、702 の間に位置するバンドオフセット領域にチャンネルが形成される。このバンドオフセット領域は基本的に同じ原子構造を有していて、欠陥が少ないので良好な TFT の特性を期待できる。

10

【0065】

半導体層 171 は単一層で形成することもできる。

半導体層 171 上にはリン (P) などの n 形不純物が高濃度でドーピングされている非晶質シリコンまたは微細結晶化されたシリコンまたは金属シリサイドなどを含む抵抗性接触層 182、183 が互いに分離されて形成されている。

抵抗性接触層 182、183 上にはITO からなるソース用及びドレーン用電極 412、411 及び画素電極 410 を含む画素配線 410、411、412 が形成されている。ソース用電極 412 はゲート絶縁膜 160 及びバッファ層 140 に形成されている接触孔 161 を通じてデータ線 120 と連結されている。ドレーン用電極 411 は画素電極 410 と連結されており、薄膜トランジスタから画像信号を受けて画素電極 410 に伝達する。画素配線 410、411、412 はITO またはIZO などの透明な導電物質で形成される。

20

【0066】

また、画素配線 410、411、412 と同一層には接触孔 162、164 を通じてゲートパッド 152 及びデータパッド 124 と各々連結されている補助ゲートパッド 413 及び補助データパッド 414 が形成されている。ここで、補助ゲートパッド 413 はゲートパッド 152 の上部膜 502 であるクロム膜と直接接触しており、補助データパッド 414 もデータパッド 124 の上部膜 202 であるクロム膜と直接接触している。この時、ゲートパッド 152 及びデータパッド 124 が窒化クロム膜または窒化モリブデン膜を含む場合には補助ゲートパッド 413 及び補助データパッド 414 は窒化クロム膜または窒化モリブデン膜と接触するのが好ましい。これらはパッド 152、124 と外部回路装置との接着性を補完してパッドを保護する役割を果たすものであって、必須なものではなく、これらの適用如何は選択的である。また、画素電極 410 は隣接するゲート線 150 及びデータ線 120 と重なって開口率を高めているが、重ならないこともある。

30

【0067】

ここで、抵抗性接触層 182、183 はITO のソース用及びドレーン用電極 412、411 と半導体層 171 の間の接触抵抗を減らす機能を有し、微細結晶化されたシリコン層またはモリブデン、ニッケル、クロムなどの金属シリサイドが含まれることができ、シリサイド用金属膜が残留することもできる。

40

ソース用及びドレーン用電極 412、411 の上部には薄膜トランジスタを保護するための保護膜 190 が形成されており、その上部には光吸収が優れた濃厚な色を有する感光性有色有機膜 430 が形成されている。この時、有色有機膜 430 は薄膜トランジスタの半導体層 171 に入射する光を遮断する役割を果たし、有色有機膜 430 の高さを調節して下部絶縁基板 100 とこれと対向する上部絶縁基板 200 の間の間隔を維持するスペーサとして用いられる。ここで、保護膜 190 と有機膜 430 はゲート線 150 とデータ線 120 に沿って形成でき、有機膜 430 はゲート配線とデータ配線の周囲から漏洩する光を遮断する役割を果たせる。

【0068】

50

この時、有機膜 430 が、画素電極及び各金属層との隙間を全て覆うように設計される場合には上部基板に光遮断のための別途のブラックマトリックスを設計する必要がないという長所がある。

一方、上部基板 200 には ITO または IZO からなり、画素電極 410 と共に電場を生成する共通電極 210 が全面的に形成されている。

【0069】

以下、薄膜トランジスタ基板の製造法について図 20a 乃至 28b を参照して詳細に説明する。

まず、図 20a と 20b に示したように、アルミニウムまたはアルミニウム合金または銅または銅合金などのように低抵抗を有する導電物質とクロムまたはモリブデンまたはチタニウムまたは窒化クロムまたは窒化モリブデンなどのような ITO との接触特性が優れた導電物質を順次にスパッタリングなどの方法で蒸着し、マスクを用いた写真蝕刻工程で乾式または湿式蝕刻して、下部絶縁基板 100 上に下層 201 と上層 202 の二重層構造になっているデータ線 120、データパッド 124 及び光遮断部 121 を含むデータ配線 120、121、124 を形成する。

10

【0070】

前述のように、この後に形成される画素配線 410、411、412 及び補助パッド 413、414 が ITO であることを考慮して、アルミニウムまたはアルミニウム合金または銅または銅合金の下層 201 とクロムまたはモリブデンまたはチタニウムの上層 202 とからなるデータ配線を形成したが、画素配線 410、411、412 及び補助パッド 413、414 が IZO である場合にはアルミニウムまたはアルミニウム合金の単一膜で形成できる。

20

【0071】

次に、図 21a 及び図 21b に示したように、赤 (R)、緑 (G)、青 (B) の顔料を含む感光性物質を順次に塗布し、写真工程でパターンニングして、赤 (R)、緑 (G)、青 (B) の色フィルター 131、132、133 を順次に形成する。この時、赤 (R)、緑 (G)、青 (B) の色フィルター 131、132、133 は三枚のマスクを用いて形成するが、一つのマスクを移動しながら形成することもできる。また、レーザー転写法またはプリント法を利用するとマスクを使用せずに形成することもできる。この時、赤 (R)、緑 (G)、青 (B) の色フィルター 131、132、133 の端部はデータ線 120 と重なるように形成するのが好ましい。

30

【0072】

次に、図 22a 及び図 22b のように、絶縁基板 100 上部に a-Si:C:O 膜または a-Si:O:F 膜を化学気相蒸着 (CVD) 法によって成長させてバッファ層 140 を形成する。この時、a-Si:C:O 膜の場合には気体状態の SiH(CH₃)₃、SiO₂(CH₃)₄、(SiH)₄O₄(CH₃)₄、Si(C₂H₅O)₄ などを基本ソースとして使用し、N₂O または O₂ などの酸化剤と Ar または He などを混合した気体を流しながら蒸着する。また、a-Si:O:F 膜の場合には SiH₄、SiF₄ 等に O₂ を添加した気体を流しながら蒸着する。この時、フッ素の補助ソースとして CF₄ を添加することもできる。

40

【0073】

次に、クロムまたはモリブデンまたはチタニウムまたは窒化クロムまたは窒化モリブデンなどのような物理化学的に安定した物質とアルミニウムまたはアルミニウム合金または銅または銅合金などのように低抵抗を有する導電物質をスパッタリングなどの方法で連続蒸着しマスクを用いた写真蝕刻工程でパターンニングして、バッファ層 140 上にゲート線 150、ゲート電極 151 及びゲートパッド 152 を含むゲート配線 150、151、152 を形成する。

【0074】

この時、ゲート配線 150、151、152 は単一層構造で形成できる。

次に、図 23 に示したように、ゲート配線 150、151、152 及び有機絶縁膜 140

50

上に低温蒸着ゲート絶縁膜 160、第 1 非晶質シリコン膜 701、第 2 非晶質シリコン膜 702 及び不純物がドーピングされた非晶質シリコン膜 180 を順次に蒸着する。

低温蒸着ゲート絶縁膜 160 は 250 以下の蒸着温度でも蒸着できる有機絶縁膜、低温非晶質酸化シリコン膜、低温非晶質窒化シリコン膜などを使用して形成できる。

【0075】

第 1 非晶質シリコン膜 701 はバンドギャップが高い、例えば 1.9 ~ 2.1 eV のバンドギャップを有する非晶質シリコン膜で形成し、第 2 非晶質シリコン膜 702 はバンドギャップが第 1 非晶質シリコン膜 701 よりは低い、例えば 1.7 ~ 1.8 eV のバンドギャップを有する通常の非晶質シリコン膜で形成する。この時、第 1 非晶質シリコン膜 701 は非晶質シリコン膜の原料ガスである SiH_4 に CH_4 、 C_2H_2 、または、 C_2H_6 等を適切な量で添加して CVD 法によって蒸着できる。例えば、CVD 装置に SiH_4 : CH_4 を 1 : 9 の割合で投入し、蒸着工程を進めると、C が 50 % 程度含まれ、2.0 ~ 2.3 eV のバンドギャップを有する非晶質シリコン膜を蒸着できる。このように、非晶質シリコン層のバンドギャップは蒸着工程条件から影響を受けるが、炭素化合物の添加量によって大体 1.7 ~ 2.5 eV 範囲でバンドギャップを容易に調節できる。

この時、低温蒸着ゲート絶縁膜 160、第 1 非晶質シリコン膜 701 及び第 2 非晶質シリコン膜 702、不純物がドーピングされた非晶質シリコン膜 180 は同じ CVD 装置で真空を維持したまま連続的に蒸着できる。

次に、図 24a 及び 24b に示したように、第 1 非晶質シリコン膜 701、第 2 非晶質シリコン膜 702 及び不純物がドーピングされた非晶質シリコン膜 180 を写真蝕刻工程でパターンニングして島模様の半導体層 171 及び抵抗性接触層 181 を形成し、同時に、低温蒸着ゲート絶縁膜 160 と有機絶縁膜 140 にデータ線 120、ゲートパッド 152 及びデータパッド 124 を各々露出させる接触孔 161、162、164 を形成する。

この時、ゲート電極 151 の上部を除いた部分では第 1、第 2 非晶質シリコン膜 701、702 及び不純物がドーピングされた非晶質シリコン膜 180 を全て除去しなければならず、ゲートパッド 152 上部では第 1 及び、第 2 非晶質シリコン膜 701、702 及び不純物がドーピングされた非晶質シリコン膜 180 と共にゲート絶縁膜 160 も除去しなければならず、データ線 120 及びデータパッド 124 上部では第 1 及び第 2 非晶質シリコン膜 701、702、不純物がドーピングされた非晶質シリコン膜 180 及び低温蒸着ゲート絶縁膜 160 と共に有機絶縁膜 140 も除去しなければならない。

【0076】

これの一つのマスクを利用した写真蝕刻工程で形成するためには、部分的に異なる厚さを有する感光膜パターンを蝕刻マスクとして用いなければならない。これについて図 25 と図 26 を参照して説明する。

まず、図 25 に示したように、不純物がドーピングされた非晶質シリコン膜 180 の上部に感光膜を 1 乃至 2 μm の厚さで塗布した後、マスクを利用した感光膜に光を照射して現像し、感光膜パターン 312、314 を形成する。

【0077】

この時、感光膜パターン 312、314 の中でゲート電極 151 の上部に位置した第 1 部分 312 は他の第 2 部分 314 より厚さが厚くなるように形成し、データ線 120、データパッド 124 及びゲートパッド 152 の一部の上には感光膜が存在しないようにする。第 2 部分 314 の厚さを第 1 部分 312 の厚さの 1/2 以下にすることが好ましく、例えば、4,000 以下であるのがよい。

【0078】

このように、位置によって感光膜の厚さを異なるようにする方法は多様にあるが、ここではボジ型感光膜を使用する場合について説明する。

露光器の分解能より小さいパターン、例えば、B 領域にスリットや格子形態のパターンを形成したり半透明膜を形成しておくことによって光の照射量が調節できるマスク 1000 を通じて感光膜に光を照射すると、照射される光の量または強さによって高分子が分解される程度が異なるようになる。この時、光に完全に露出される C 領域の高分子が完全に分

10

20

30

40

50

解される時期に合せて露光を中断すれば、光に完全に露出される部分に比べてスリットや半透明膜が形成されているB領域を通過する光の照射量が少ないので、B領域の感光膜は一部だけが分解されて、残りは分解されない状態で残る。露光時間を長くすると全ての分子が分解される。

【0079】

このような感光膜を現像すると、分子が分解されていない第1部分312は殆どそのまま残り、光照射が少ない第2部分314は第1部分312より薄い厚さで一部だけ残り、光に完全に露光されたC領域に対応する部分では感光膜が殆ど除去される。

このような方法を通じて位置により厚さが互いに異なる感光膜パターンが作られる。

次に、図26に示したように、このような感光膜パターン312、314を蝕刻マスクとして用い、不純物がドーピングされた非晶質シリコン膜180、第2非晶質シリコン膜702、第1非晶質シリコン膜701及び低温蒸着ゲート絶縁膜160を乾式蝕刻してゲートパッド152を露出する接触孔162を完成し、C領域のバッファ層140を露出する。引き続き、感光膜パターン312、314を蝕刻マスクとして用いてC領域のバッファ層140を乾式蝕刻してデータ線120及びデータパッド124を露出する接触孔161、164を完成する。

10

【0080】

次に、感光膜の第2部分314を完全に除去する作業を行う。ここで、第2部分314の感光膜クズを完全に除去するために酸素を利用した灰化処理工程を追加することも可能である。

20

このようにすると、感光膜パターンの第2部分314は除去され、不純物がドーピングされた非晶質シリコン膜180が露出されるようになり、感光膜パターンの第1部分312は感光膜パターンの第2部分312の厚さと同じ程減少した状態で残る。

【0081】

次に、残っている感光膜パターンの第1部分312を蝕刻マスクとして用いて不純物がドーピングされた非晶質シリコン膜180及びその下部の第1及び第2非晶質シリコン膜701、702を蝕刻して除去することによりゲート電極151上部の低温蒸着ゲート絶縁膜160上に島模様の半導体層171と抵抗性接触層181を残す。

最後に、残っている感光膜の第1部分312を除去する。ここで、第1部分312の感光膜クズを完全に除去するために酸素を利用した灰化処理工程を追加することもできる。

30

【0082】

次に、図27a及び図27bに示すように、ITO層を蒸着して写真蝕刻工程でパターンニングし画素電極410、ソース用電極412、ドレイン用電極411、補助ゲートパッド413及び補助データパッド414を形成する。この時、ITOの代わりにIZOを使用することもできる。

次に、ソース用電極412とドレイン用電極411を蝕刻マスクとして用いてこれらの間の抵抗性接触層181を蝕刻して二つの部分182、183に分離された抵抗性接触層パターンを形成して、ソース用電極412とドレイン用電極411の間に半導体層171を露出させる。

【0083】

40

最後に、図18及び図19のように、下部絶縁基板100の上部に窒化シリコンや酸化シリコンなどの絶縁物質と黒色顔料を含む感光性有機物質などの絶縁物質を順次に積層しマスクを利用した写真工程で露光現像して有色有機膜430を形成し、これを蝕刻マスクとして用いてその下部の絶縁物質を蝕刻して保護膜190を形成する。この時、有色有機膜430は薄膜トランジスタに入射する光を遮断し、ゲート配線またはデータ配線の一部に形成して配線の周囲から漏洩する光を遮断する機能を付与することもできる。また、本発明の実施例のように有機膜430の高さを調節して間隔維持材として用いることも可能である。

【0084】

一方、上部絶縁基板200の上にはITOまたはIZOの透明な導電物質を積層して共通

50

電極 210 を形成する。

この時、有色有機膜 430 が画素電極 410 及び各金属層との隙間を全て覆えるように設計する場合には、上部基板に光遮断のための別途のブラックマトリックスを設計する必要はない。

【0085】

図 28 は本発明の第 4 実施例による薄膜トランジスタ基板の配置図を示したものである。本発明の第 3 実施例による薄膜トランジスタ基板と比較して、データ配線 120、121、124 及び有色有機膜 130 のパターンが異なるだけである。

ゲート線 150 と画素電極 410 が所定の間隔をおくように設計する場合には、画素電極 410 とゲート線 150 の間で光がもれる部分を覆う必要がある。このために、色フィルタ 131、132、133 の下部に形成されたデータ線 120 の一部をゲート線 150 方向に突出するように延長してゲート線 150 と画素電極 410 の間の隙間を覆うように形成する。この時、データ線 120 で覆えない部分、つまり、互いに隣接する二つのデータ線 120 の間の領域には有色有機膜 430 が覆うように形成できる。

【0086】

一方、図面には示していないが、ゲート配線 150、151、152 と同一層にはゲート配線 150、151、152 形成用物質で画面表示部の周縁から漏洩する光を遮断するためのブラックマトリックスの縦部が形成され、データ配線 120、121、124 と同一層にはデータ配線 120、121、124 形成用金属物質で画面表示部の周縁から漏洩する光を遮断するためのブラックマトリックスの横部が形成できる。

【0087】

このように、ゲート配線 150、151、152 及びデータ配線 120、121、124 を形成する物質で画面表示部の周縁から漏洩する光を遮断するためのブラックマトリックスの横部及び縦部を形成し、データ配線 120、121、124 でゲート線 150 と画素電極 410 の間の光がもれる領域を覆い、有色有機膜 430 で隣接する二つのデータ配線 120 の間の光がもれる領域を覆う場合に、データ配線、ゲート配線及び間隔維持材が薄膜トランジスタ基板で光が漏洩される全ての領域を覆えて、上部基板に別途のブラックマトリックスを形成する必要がない。従って、上部基板と下部基板の整列誤差を考慮しなくてもいいので開口率を向上させることができる。また、データ線 120 と画素電極 410 の間にはゲート絶縁膜 160 と低い誘電率を有するバッファ層 140 が形成されていて、これらの間で発生する寄生容量を最小化できて表示装置の特性を向上させることができると同時に、これらの間に間隔をおく必要がないので開口率を最大限確保できる。

【0088】

このように、低温工程条件下で、TFT を製作する。つまり、高温工程による色フィルタの損傷を防止するためにゲート絶縁膜を低温蒸着絶縁膜で形成し、低温蒸着ゲート絶縁膜と接触することによって引き起こされるチャンネルの特性悪化を防止するために、チャンネルを低温蒸着ゲート絶縁膜と半導体層の界面に形成せず、半導体層のバルク側に形成する。

【0089】

本発明は提示された実施例だけでなく、様々な方式で適用可能である。例えば、重量減少及び耐衝撃性向上のために浮上したプラスチック液晶表示装置でのように、低温工程条件が必要なディスプレイの場合本発明は役立つように適用できる。

本発明による CVD で形成した a-Si:CO 膜または a-Si:O:F 膜（低誘電率 CVD 膜）は反射形や半透過形液晶表示装置に用いられる薄膜トランジスタ基板で反射光の干渉を防止するために形成するエンボシング絶縁層、つまり、表面に凹凸が形成されている絶縁層として使用しても有用である。

【0090】

図 29 は本発明の第 5 実施例による反射形液晶表示装置用薄膜トランジスタ基板の配置図であり、図 30 は図 29 に示した薄膜トランジスタ基板を XXX-XXX' 線に沿って切断して示した断面図である。

絶縁基板 10 上に低抵抗を有する銀または銀合金またはアルミニウムまたはアルミニウム合金からなる単一膜またはこれを含む多層膜になっているゲート配線が形成されている。ゲート配線は横方向にのびているゲート線 22、ゲート線 22 の端に連結されていて外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド 24 及びゲート線 22 に連結されている薄膜トランジスタのゲート電極 26 を含む。

【0091】

この時、基板 10 上には上板の共通電極に入力される共通電極電圧などの電圧の印加を外部から受ける維持電極が形成でき、このような維持電極は後述する反射膜 92 と重なって画素の電荷保存能力を向上させる維持蓄電器を構成する。

ゲート配線 22、24、26 上には窒化シリコン (SiNx) などからなるゲート絶縁膜 30 がゲート配線 22、24、26 を覆っている。 10

【0092】

ゲート電極 26 上部のゲート絶縁膜 30 上には非晶質シリコンなどの半導体からなる半導体層 40 が形成されており、半導体層 40 上にはシリサイドまたは n 形不純物が高濃度でドーピングされている n+水素化非晶質シリコンなどの物質で作られた抵抗性接触層 55、56 が各々形成されている。

抵抗性接触層 55、56 及びゲート絶縁膜 30 上にはアルミニウムまたは銀のような低抵抗の導電物質からなる導電膜を含むデータ配線が形成されている。データ配線は縦方向に形成されてゲート線 22 と交差し画素領域を定義するデータ線 62、データ線 62 に連結されて抵抗性接触層 55 の上部まで延びているソース電極 65、データ線 62 の一端に連結されていて外部からの画像信号の印加を受けるデータパッド 68、ソース電極 65 と分離されていてゲート電極 26 を中心にしてソース電極 65 と対向しているドレーン電極 66 を含む。ドレーン電極 66 は抵抗性接触層 56 上に形成されており、画素領域内部に延びている。 20

【0093】

データ配線 62、64、65、66、68 及びこれらが覆わない半導体層 40 上部には PECVD 法によって蒸着された a-Si:C:O 膜または a-Si:O:F 膜 (低誘電率 CVD 膜) からなる保護膜 70 が形成されている。この時、保護膜 70 の表面は以降に形成される反射膜 92 の反射効率を極大化するために凹凸パターンを有する。

保護膜 70 にはドレーン電極 66 及びデータパッド 68 を各々露出する接触孔 76、78 が形成されており、ゲート絶縁膜 30 と共にゲートパッド 24 を露出する接触孔 74 が形成されている。 30

【0094】

保護膜 70 上には接触孔 76 を通じてドレーン電極 66 と電気的に連結されていて画素領域に位置する反射膜 92 が形成されている。また、保護膜 70 上には接触孔 74、78 を通じて各々ゲートパッド 24 及びデータパッド 68 と連結されている補助ゲートパッド 96 及び補助データパッド 98 が形成されている。ここで、補助ゲート及びデータパッド 96、98 はゲート及びデータパッド 24、68 を保護するためのものであり、必須ではない。

【0095】

一方、図 31a 乃至図 34b 及び図 29 及び図 30 を参照して本発明の実施例による薄膜トランジスタ基板の製造方法について具体的に説明する。

まず、図 31a 及び図 31b に示したように、ガラス基板 10 上部に低抵抗の導電物質を積層し、写真蝕刻工程でパターニングしてゲート線 22、ゲート電極 26 及びゲートパッド 24 を含む横方向のゲート配線を形成する。

【0096】

次に、図 32a 及び図 32b に示したように、窒化シリコンからなるゲート絶縁膜 30、非晶質シリコンからなる半導体層 40、ドーピングされた非晶質シリコン層 50 の三層膜を連続して基板 10 に積層して写真蝕刻し、半導体層 40 とドーピングされた非晶質シリコン層 50 をパターニングしてゲート電極 24 上部のゲート絶縁膜 30 上に半導体層 40 40

10

20

30

40

50

と抵抗性接触層 50 を形成する。

【0097】

次に、図 33a 乃至図 33b に示したように、導電膜を基板 10 に積層した後、写真工程してゲート線 22 と交差するデータ線 62、データ線 62 と連結されてゲート電極 26 上部まで延びているソース電極 65、データ線 62 の一端に連結されているデータパッド 68 及びソース電極 65 と分離されていてゲート電極 26 を中心にしてソース電極 65 と対向するドレーン電極 66 を含むデータ配線を形成する。

【0098】

次に、データ配線 62、65、66、68 で覆わない非晶質シリコン層パターン 50 を蝕刻してゲート電極 26 を中心に両側に分離させる。また、露出された半導体層 40 の表面を安定化させるために酸素プラズマを実施することが好ましい。

次に、図 34a 及び 34b のように、 $a-Si:C:O$ 膜または $a-Si:O:F$ 膜を化学気相蒸着 (CVD) 法によって成長させて保護膜 70 を形成する。この時、 $a-Si:C:O$ 膜の場合には気体状態の $SiH(CH_3)_3$ 、 $SiO_2(CH_3)_4$ 、 $(SiH)_4O_4(CH_3)_4$ 、 $Si(C_2H_5O)_4$ などを基本ソースとして用い、 N_2O または O_2 などの酸化剤と Ar または Heなどを混合した気体を流しながら蒸着する。また、 $a-Si:O:F$ 膜の場合には SiH_4 、 SiF_4 等に O_2 を添加した気体を流しながら蒸着する。この時、フッ素の補助ソースとして CF_4 を添加することもできる。引き続き、マスクを利用した写真工程でゲート絶縁膜 30 と共にパターンニングして、ゲートパッド 24、ドレーン電極 66 及びデータパッド 68 を露出する接触孔 74、76、78 を形成する同時に、保護膜 70 の上部に凹凸パターンを形成する。

【0099】

接触孔 74、76、78 と凹凸を共に形成するために第 2 実施例で使用したハーフトーン露光法を使用する。つまり、スリットパターンや格子パターンまたは半透過膜を有するマスクを利用して感光膜を露光した後、現像することによって接触孔 74、76、78 が形成される部分の上では感光膜が全て除去されて保護膜 70 が露出されるようにし、凸部になる部分では感光膜が薄く残るようにして、凹部になる部分では感光膜が厚く残るようにする。

【0100】

次に、感光膜を蝕刻マスクとして保護膜 70 とゲート絶縁膜 30 を蝕刻することによって接触孔 74、76、78 を形成し、感光膜を灰化处理して厚さの薄い感光膜が除去されるようにする。この時、感光膜の厚い部分も共に灰化处理して、その厚さを薄くする。

次に、保護膜 70 を所定の蝕刻時間だけ継続して蝕刻し、凸部を形成する。この時、蝕刻時間は保護膜 70 の蝕刻率と凸部の深さを考慮して決める。

【0101】

図 29 及び図 30 に示すように、光を反射させる特性に優れた、またはアルミニウムを含む導電物質を基板 10 積層して写真蝕刻工程でパターンニングして接触孔 76 を通じてドレーン電極 66 と連結される反射膜 92 と接触孔 74、78 を通じてゲートパッド 24 及びデータパッド 68 と各々連結される補助ゲートパッド 96 及び補助データパッド 98 を各々形成する。

【0102】

図 35 は本発明の第 6 実施例による半透過形液晶表示装置用薄膜トランジスタ基板の配置図であり、図 36 は図 35 に示した薄膜トランジスタ基板を XXXVI - XXXVI' 線に沿って切断して示した断面図である。

絶縁基板 10 上に低抵抗を有する銀または銀合金またはアルミニウムまたはアルミニウム合金からなる単一膜またはこれを含む多層膜になっているゲート配線が形成されている。ゲート配線は横方向にのびているゲート線 22、ゲート線 22 の端に連結されていて外部からゲート信号の印加を受けてゲート線に伝達するゲートパッド 24 及びゲート線 22 に連結されている薄膜トランジスタのゲート電極 26 を含む。ここで、ゲート配線 22、24、26 が多層膜である場合には他の物質と接触特性に優れているパッド用物質を含むこ

10

20

30

40

50

とが好ましい。

【0103】

基板10上には窒化シリコン(SiNx)などからなるゲート絶縁膜30がゲート配線22、24、26を覆っている。

ゲート電極26のゲート絶縁膜30上部には非晶質シリコンなどの半導体からなる半導体層40が形成されており、半導体層40の上部にはシリサイドまたはn形不純物が高濃度でドーピングされているn+水素化非晶質シリコンなどの物質で作られた抵抗接触層55、56が各々形成されている。

【0104】

抵抗性接触層55、56及びゲート絶縁膜30上にはアルミニウムまたは銀のような低抵抗の導電物質からなる導電膜を含むデータ配線62、65、66、68が形成されている。データ配線は形成されてゲート線22と交差して画素を定義するデータ線62、データ線62に連結されて抵抗性接触層55の上部まで延びているソース電極65、データ線62の一端に連結されていて外部から画像信号の印加を受けるデータパッド68、ソース電極65と分離されていてゲート電極26に対してソース電極65に対向して形成されているドレーン電極66を含む。

【0105】

データ配線62、64、65、66、68及びこれらが覆わない半導体層40上部にはPECVD法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)からなる保護膜70が形成されている。PECVD法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜は誘電定数が4以下である。従って、厚さが薄くても寄生容量問題が発生しない。他の膜との接着性及び段差被覆性が優れている。また、無機質CVD膜であるので耐熱性が有機絶縁膜に比べて優れている。同時に、PECVD法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜(低誘電率CVD膜)は蒸着速度や蝕刻速度が窒化シリコン膜に比べて4~10倍速いので工程時間の面でも非常に有利である。

【0106】

保護膜70にはドレーン電極66及びデータパッド68を各々露出する接触孔76、78が形成されており、ゲート絶縁膜30と共にゲートパッド24を露出する接触孔74が形成されている。

保護膜70上部には接触孔76を通じてドレーン電極66と電氣的に連結されていて画素に位置する透明電極82が形成されている。また、保護膜70上には接触孔74、78を通じて各々ゲートパッド24及びデータパッド68と連結されている補助ゲートパッド86及び補助データパッド88が形成されている。ここで、透明電極82と補助ゲート及びデータパッド86、88は透明な導電物質であるITOまたはIZO等で作られている。

【0107】

透明電極82の上部には透明電極82の一部を露出する接触孔36を有し、PECVD法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)からなる層間絶縁膜34が形成されている。ここで、層間絶縁膜34は、この後の反射膜92の反射効率を極大化するために凹凸パターンを有するのが好ましい。

層間絶縁膜34の上部には接触孔36を通じて透明電極82と電氣的に連結されており、透過モード領域(T)に透過窓96を有する反射膜92が形成されている。反射膜92はアルミニウムまたはアルミニウム合金、銀または銀合金、モリブデンまたはモリブデン合金などのように高い反射率を有する導電膜からなり、透明電極82と共に画素電極になる。この時、反射膜92の透過窓96は様々な模様形成でき、一つの画素領域に多数形成できる。前記で、層間絶縁膜34に凹凸パターンが形成されている場合でも透過窓96部分には凹凸パターンを形成しないのが好ましい。

【0108】

ここで、画素電極82、92は前段のゲート線22と重なって維持蓄電器を構成する。場合によっては維持容量を形成するためにゲート配線22、24、26と同一層に維持容量用配線を形成することもできる。

以下、このような本発明の液晶表示装置用薄膜トランジスタ基板の製造方法について説明する。

【0109】

まず、データ配線62、65、66、68を形成する段階までは本発明の第5実施例による薄膜トランジスタ基板の製造法と同一である。つまり、図31a乃至図33bに示した工程に従う。

データ配線62、65、66、68を形成した後は、図37a及び37bのように、データ配線62、65、66、68上にa-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着(CVD)法によって成長させて保護膜70を形成する。次に、感光膜パターンを利用した写真蝕刻工程でゲート絶縁膜30と共にパターンニングして、ゲートパッド24、ドレーン電極66及びデータパッド68を露出する接触孔74、76、78を形成する。この時、蝕刻は乾式蝕刻による。

10

【0110】

次に、図38a及び図38bのように、ITOまたはIZO膜を基板10に積層して写真蝕刻し、接触孔76を通じてドレーン電極66と連結される透明電極82と、接触孔74、78を通じてゲートパッド24及びデータパッド68と各々連結される補助ゲートパッド86及び補助データパッド88と、を各々形成する。

また、図39a及び図39bに示したように、a-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着(CVD)法によって成長させ、写真蝕刻工程でパターンニングして透明電極82を露出する接触孔36を有する層間絶縁膜34を形成する。この時、層間絶縁膜34に凹凸パターンを形成できる。凹凸パターンを形成する場合には第5実施例による薄膜トランジスタ基板の製造法のうち保護膜をパターンニングする工程でのようにハーフトーン露光法を使用する。

20

【0111】

次に、最後として図35及び図36のように、高い反射率を有するアルミニウムまたは銀またはモリブデンを含む導電膜を積層してパターンニングし透過窓96を有する反射膜92を形成する。

a-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)はゲート絶縁膜にも適用できる。

【0112】

30

図40は本発明の第7実施例による薄膜トランジスタ基板の断面図である。

第7実施例による薄膜トランジスタ基板は第1実施例による薄膜トランジスタ基板とゲート絶縁膜を除いては同じ構造を有する。第7実施例ではゲート絶縁膜が二重層になっている。つまり、PECVDにより形成したa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)である第1層31と窒化シリコン膜である第2層32から構成されている。

【0113】

ゲート絶縁膜は非晶質シリコンからなる半導体層40との界面特性を考慮して緻密な膜質を維持しなければならない。ところが、膜質が緻密であれば緻密であるほど蒸着速度が遅いので工程時間が長くなる短所がある。一方、半導体層40と接する面から約500程度の厚さまで緻密な膜質が維持されると薄膜トランジスタが動作するのに無理が無いことが知られている。従って、ゲート絶縁膜の上部は蒸着速度が速いa-Si:C:O膜またはa-Si:O:F膜で形成し、ゲート絶縁膜の下部は膜質が緻密な窒化シリコン膜で形成すれば、薄膜トランジスタの性能を低下させずに工程時間を短縮できる。a-Si:C:O膜は窒化シリコン膜に比べて4倍から10倍程度蒸着速度が速い。この時、a-Si:C:O膜は真空が維持される状態で連続して蒸着する。

40

【0114】

このような低誘電率CVD膜と窒化シリコン膜の二重層になっているゲート絶縁膜は第2乃至第6実施例による薄膜トランジスタ基板にも適用できる。

【図面の簡単な説明】

50

【 0 1 1 5 】

【図 1】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板である。

【図 2】図 1 の II - II 線による断面図である。

【図 3 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 3 b】図 3 a での III b - III b' 線に対する断面図である。

【図 4 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 4 b】図 4 a での IV b - IV b' 線に対する断面図である。

【図 5 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。 10

【図 5 b】図 5 a での V b - V b' 線に対する断面図。

【図 6 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 6 b】図 6 a での VI b - VI b' 線に対する断面図。

【図 7】本発明の第 2 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 8】各々図 7 の VIII - VIII' 線に対する断面図である。

【図 9】各々図 7 の IX - IX' 線に対する断面図である。

【図 10 a】図 7 に示す薄膜トランジスタ基板を製造する第 1 段階を示す図である。 20

【図 10 b】各々図 10 a での X b - X b' 線及び X c - X c' 線に対する断面図である。

【図 10 c】各々図 10 a での X b - X b' 線及び X c - X c' 線に対する断面図である。

【図 11 a】図 10 b 及び図 10 c の次の段階での製造工程を示す図である。

【図 11 b】図 10 b 及び図 10 c の次の段階での製造工程を示す図である。

【図 12 a】図 10 a の次の段階での薄膜トランジスタ基板の工程である。

【図 12 b】図 12 a での XII b - XII b' 線に対する断面図である。

【図 12 c】図 12 a での及び XII c - XII c' 線に対する断面図である。

【図 13 a】図 12 a に示すステップに続く工程図。

【図 13 b】図 12 a に示すステップに続く工程図。

【図 14 a】図 12 a に示すステップに続く工程図。 30

【図 14 b】図 12 a に示すステップに続く工程図。

【図 15 a】図 12 a に示すステップに続く工程図。

【図 15 b】図 12 a に示すステップに続く工程図。

【図 16 a】図 15 a の次の段階での薄膜トランジスタ基板の断面図である。

【図 16 b】図 15 b の次の段階での薄膜トランジスタ基板の断面図である。

【図 17 a】図 16 a 及び図 16 b の次の段階での薄膜トランジスタ基板の配置図である。

【図 17 b】各々図 17 a での XVII b - XVII b' 線及び XVII c - XVII c' 線に対する断面図である。

【図 17 c】各々図 17 a での XVII b - XVII b' 線及び XVII c - XVII c' 線に対する断面図である。 40

【図 18】本発明の第 3 実施例による薄膜トランジスタ基板の配置図である。

【図 19】図 18 に示した薄膜トランジスタ基板を切断線 XIX - XIX' に沿って示した断面図である。

【図 20 a】図 18 に示す薄膜トランジスタ基板の第 1 の製造段階である。

【図 20 b】図 20 a に示した切断線 XX b - XX b' に沿って示した断面図である。

【図 21 a】図 20 a の次の段階での基板の配置図である。

【図 21 b】図 21 a に示した切断線 XXI b - XXI b' に沿って示した断面図である。

【図 22 a】図 22 a の次の段階での基板の配置図である。

【図 22 b】図 22 a に示した切断線 XXII b - XXII b' に沿って示した断面図である。 50

- 【図 2 3】図 2 2 の次の段階での基板の製造工程である。
- 【図 2 4 a】図 2 3 の次の段階での基板の配置図である。
- 【図 2 4 b】図 2 4 a に示した切断線 XXIV b - XXIV b' に沿って示した断面図である。
- 【図 2 5】図 2 3 と図 2 4 b の間に実施される製造工程を示したものである。
- 【図 2 6】図 2 3 と図 2 4 b の間に実施される製造工程を示したものである。
- 【図 2 7 a】図 2 4 a の次の段階での基板の配置図である。
- 【図 2 7 b】図 2 7 a に示した切断線 XXVII b - XXVII b' に沿って示した断面図である。
- 【図 2 8】本発明の第 4 実施例による薄膜トランジスタ基板の配置図である。
- 【図 2 9】本発明の第 5 実施例による反射形液晶表示装置用薄膜トランジスタ基板の構造を示した配置図である。
- 【図 3 0】図 2 9 での XXX' - XXX' 線に沿って切断して示した断面図である。
- 【図 3 1 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 1 b】図 3 1 a での XXXI b - XXXVI b' 線に沿って切断した断面図である。
- 【図 3 2 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 2 b】図 3 2 a での XXXII b - XXXII b' 線に沿って切断して示した図面である。
- 【図 3 3 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 3 b】図 3 3 a での XXXIII b - XXXIII b' 線に沿って切断して示した図面である。
- 【図 3 4 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 4 b】図 3 4 a での XXXIV b - XXXIV b' 線に沿って切断して示した図面である。
- 【図 3 5】本発明の第 6 実施例による半透過形液晶表示装置での薄膜トランジスタ基板の構造を示した配置図である。
- 【図 3 6】図 3 5 での XXXVI - XXXVI' 線に沿って切断して示した薄膜トランジスタ基板の断面図である。
- 【図 3 7 a】図 3 5 に示される薄膜トランジスタ基板の製造工程を示す図面である。
- 【図 3 7 b】図 3 5 に示す薄膜トランジスタの製造工程を示す図。
- 【図 3 8 a】図 3 5 に示される薄膜トランジスタ基板の製造工程を示す図面である。
- 【図 3 8 b】図 3 8 a での XXXVIII b - XXXVIII b' 線に沿って切断して示した図面である。
- 【図 3 9 a】図 3 9 a での XXXIX b - XXXIX b' 線に沿って切断して示した図面である。
- 【図 4 0】本発明の第 7 実施例による薄膜トランジスタ基板の断面図である。
- 【符号の説明】
- 【 0 1 1 6 】
- 1 0 絶縁基板
- 2 2、2 4、2 6 ゲート配線
- 2 8 維持電極線
- 3 0 ゲート絶縁膜
- 3 1 第 1 層
- 3 2 第 2 層
- 3 6 接触孔
- 4 0 半導体層
- 4 2、4 8 半導体パターン
- 5 0 中間層
- 5 4 抵抗性接触層
- 5 5、5 6、5 8 抵抗性接触層パターン
- 5 7 ソース/ドレイン用中間層パターン
- 6 2、6 5、6 6、6 8 データ配線
- 6 4 維持蓄電器用導電体パターン
- 6 7 ソース/ドレイン用導電体パターン
- 7 0、1 9 0 保護膜
- 7 2、7 4、7 6、7 8 接触孔

8 2 透明電極
8 6 補助ゲートパッド
8 8 補助データパッド
9 2 反射膜
9 6 補助ゲートパッド
9 8 補助データパッド
1 0 0 絶縁基板
1 1 0 感光膜
1 1 2、1 1 4 感光膜パターン
1 2 0、1 2 1、1 2 4 データ配線
1 3 0 有色有機膜
1 3 1、1 3 2、1 3 3 色フィルター
1 4 0 バッファ層
1 5 0、1 5 1、1 5 2 ゲート配線
1 6 0 ゲート絶縁膜
2 0 1 下層
2 0 2 上層
2 2 1、2 4 1、2 6 1、2 8 1 第 1 ゲート配線層
2 2 2、2 4 2、2 6 2、2 8 2 第 2 ゲート配線層
4 1 0、4 1 1、4 1 2 画素配線
4 1 3、4 1 4 補助パッド
4 3 0 有機膜
6 2 1、6 5 1、6 6 1、6 8 1 第 1 データ配線層
6 2 2、6 5 2、6 6 2、6 8 2 第 2 データ配線層
7 0 1 下層半導体層
7 0 2 上層半導体層

10

20

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
1 May 2003 (01.05.2003)

PCT

(10) International Publication Number
WO 03/036376 A1

(51) International Patent Classification: G02F 1/136

(21) International Application Number: PCT/KR01/01896

(22) International Filing Date:
7 November 2001 (07.11.2001)

(25) Filing Language: Korean

(26) Publication Language: English

(30) Priority Data:
2001/60442 28 September 2001 (28.09.2001) KR(71) Applicant (for all designated States except US): SAM-
SUNG ELECTRONICS CO., LTD. [KR/KR]; 416,
Maejan-dong, Paldal-ku, 442-370 Suwon-city, Kyungki-do
(KR).

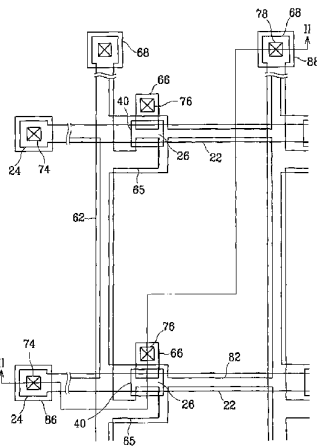
(72) Inventors; and

(75) Inventors/Applicants (for US only): HONG, Wan-Shick

[KR/KR]; Daewoo-Hyoryeong Apt. 104-402,
Bangbae-dong, Seocho-ku, 137-061 Seoul (KR).
CHOI, Joen-Hoo [KR/KR]; Samho Apt. 108-303,
Yongcheon-dong 100, Seodaemun-ku, 120-070 Seoul
(KR). KIM, Sang-Gab [KR/KR]; Samik Apt. 205-913,
Myungil-dong 309-1, Kangdong-ku, 134-830 Seoul (KR).
JUNG, Kwan-Woo [KR/KR]; Byeokjeokgol-Jookong
Apt. 911-1502, Youngtong-dong, Paldal-ku, 442-470 Su-
won-city, Kyungki-do (KR). CHUNG, Kyu-Ha [KR/KR];
Samsung Apt. 110-1401, Daechi 1-dong, Kangnam-ku,
135-968 Seoul (KR).

(74) Agent: YOU ME PATENT & LAW FIRM; Teheran
Bldg., 825-33, Yoksam-dong, Kangnam-ku, 135-080
Seoul (KR).(81) Designated States (national): AR, AG, AI, AM, AT, AU,
AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU,
CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,

[Continued on next page]

(54) Title: A THIN FILM TRANSISTOR SUBSTRATE OF USING INSULATING LAYERS HAVING LOW DIELECTRIC CON-
STANT AND A METHOD OF MANUFACTURING THE SAME

(57) Abstract: A thin film transistor array substrate includes an insulating substrate, a gate line assembly formed on the substrate, and a data line assembly crossing over the gate line assembly while being insulated from the gate line assembly. Thin film transistors are connected to the gate line assembly, and the data line assembly. A passivation layer is formed on the thin film transistors with a-SiC_xO_y or a-SiO₂F₂. The a-SiC_xO_y or a-SiO₂F₂-based layer is deposited through PECVD. Pixel electrodes are formed on the passivation layer while being connected to the thin film transistors. In this structure, the problem of parasitic capacitance is solved while enhancing the opening ratio, and reducing the processing time.

WO 03/036376 A1

WO 03/036376 A1 

MZ, NO, NZ, PH, PL, RO, RU, SD, SE, SG, SI, SK,
SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA,
ZW.

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD,
TG).

Published:

with international search report

(84) Designated States (regional): ARIPO patent (GH, GM,
KI, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian
patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European
patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE,
IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF,

*For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.*

**A THIN FILM TRANSISTOR SUBSTRATE OF USING INSULATING
LAYERS HAVING LOW DIELECTRIC CONSTANT AND A METHOD OF
MANUFACTURING THE SAME**

5 **BACKGROUND OF THE INVENTION**

(a) Field of the Invention

The present invention relates to a thin film transistor array substrate with a low dielectric insulating layer, and a method of fabricating the same.

(b) Description of the Related Art

10 Generally, a thin film transistor array substrate is used as a circuit substrate for independently driving the respective pixels in a liquid crystal display or an organic electroluminescence display. The thin film transistor array substrate has gate lines for carrying scanning signals, data lines for carrying picture signals, thin film transistors connected to the gate and the
15 data lines, pixel electrodes connected to the thin film transistors, a gate insulating layer covering the gate lines, and a passivation layer covering the thin film transistors and the data lines. Each thin film transistor is formed with a gate electrode connected to the gate line, a channel-forming semiconductor layer, a source electrode connected to the data line, a drain
20 electrode, a gate insulating layer, and a passivation layer. The thin film transistor functions as a switching circuit where the picture signal from the data line is transmitted to the pixel electrode in accordance with the scanning signal from the gate line.

Meanwhile, as large-sized high definition liquid crystal displays have

WO 03/036376

PCT/KR01/01896

been the choice of electronic consumers, there exists a problem of solving signal deformation due to the increase of various kinds of parasitic capacity. Furthermore, as the liquid crystal displays for notebook computers have involved the decrease in the consumption power and those for TVs have
5 involved improvement in the brightness for increasing the space of visibility, it is required to increase the opening ratio of the liquid crystal displays. In order to increase the opening ratio, it is required to extend the pixel electrodes over the data line assembly such that they are overlapped with the data line assembly. In this case, the parasitic capacity between the pixel
10 electrodes and the data lines is increased. In order to solve the problem of increase in the parasitic capacitance, the vertical spacing between the pixel electrodes and the data lines should be made in a sufficient manner. For this purpose, a passivation layer is usually formed with an organic insulating film. However, the formation of the passivation layer using the organic
15 insulating film involves the following shortcomings. First, the material cost is high particularly in that the amount of material loss is large at the spin coating process. Second, the organic insulating film involves limited thermostability while making the post-processing steps to be restricted by various conditions. Third, the layer formation process based on the organic insulating film
20 involves high frequency of occurrence of impure particles due to the material conglomeration. Fourth, the organic insulating film-based layer involves weak adhesive strength with respect to the neighboring layers. Fifth, when pixel electrodes are formed on the passivation layer, the possibility of etching

WO 03/036376

PCT/KR01/01896

error is significantly high.

SUMMARY OF THE INVENTION

It is an object of the present invention to provide a thin film transistor array substrate which bears a high opening ratio while not involving the
5 problem of parasitic capacitance.

This and other objects may be achieved through using a CVD layer having dielectric constant 4.0 or less.

According to one aspect of the present invention, the thin film transistor array substrate includes an insulating substrate, a first signal line
10 formed on the insulating substrate, a first insulating layer formed on the first signal line, and a second signal line formed on the first insulating layer while crossing over the first signal line. A thin film transistor is connected to the first and the second signal lines. A second insulating layer is formed on the thin film transistor with a CVD layer having dielectric constant 4.0 or less.
15 The second insulating layer has a first contact hole exposing a predetermined electrode of the thin film transistor. A first pixel electrode is formed on the second insulating layer while being connected to the predetermined electrode of the thin film transistor through the first contact hole.

20 The first insulating layer has a bottom layer portion based on a CVD layer having dielectric constant 4.0 or less, and a top layer portion based on a silicon nitride layer. The first pixel electrode is formed with an opaque conductive material of light reflection. The second insulating layer has a

WO 03/036376

PCT/KR01/01896

pattern of prominence and depression. The thin film transistor array substrate may further include a third insulating layer formed on the first pixel electrode with a CVD layer having dielectric constant 4.0 or less. The third insulating layer has a second contact hole exposing a predetermined portion
5 of the first pixel electrode. A second pixel electrode is formed on the third insulating layer with an opaque conductive material of light reflection while being connected to the predetermined portion of the first pixel electrode through the second contact hole. The first pixel electrode is formed with a transparent conductive material, and the second pixel electrode has a
10 predetermined opening portion capable of passing the light transmitted through the first pixel electrode. The CVD layer having dielectric constant 4.0 or less is formed with a-Si:C:O, or a-Si:C:O. The CVD layer has a dielectric constant of 2-4.

According to another aspect of the present invention, the thin film
15 transistor array substrate includes a data line assembly formed on an insulating substrate, the data line assembly including data lines, color filters of red, green and blue formed on the insulating substrate, and a buffer layer formed on the data line assembly and the color filters with a CVD layer having dielectric constant 4.0 or less. The buffer layer has a first contact
20 hole exposing a predetermined portion of the data line assembly. A gate line assembly is formed on the buffer layer. The gate line assembly includes gate lines crossing over the data lines while defining pixel regions, and gate electrodes connected to the gate lines. A gate insulating layer is

WO 03/036376

PCT/KR01/01896

formed on the gate line assembly with a second contact hole partially exposing the first contact hole. A semiconductor pattern is formed on the gate insulating layer over the gate electrodes. A pixel line assembly is further provided at the substrate. The pixel line assembly includes source
5 electrodes connected to the data lines through the first and the second contact holes while partially contacting the semiconductor pattern, drain electrodes facing the source electrodes over the semiconductor pattern, and pixel electrodes connected to the drain electrodes.

The semiconductor pattern has a first amorphous silicon layer with a
10 predetermined band gap, and a second amorphous silicon layer with a band gap lower than the band gap of the first amorphous silicon layer. The thin film transistor array substrate may further include light interception members formed at the same plane as the data lines with the same material as the data lines while being placed corresponding to the semiconductor pattern.

15 In a method of fabricating the thin film transistor array substrate, a data line assembly including data lines is first formed on an insulating substrate. In the second step, color filters of red, green and blue are formed at the substrate. In the third step, a buffer layer is formed through depositing a CVD layer having dielectric constant 4.0 or less such that the
20 buffer layer covers the data line assembly and the color filters. In the fourth step, a gate line assembly is formed on the insulating layer. The gate line assembly includes gate lines, and gate electrodes. In the fifth step, a gate insulating layer is formed such that the gate insulating layer covers the gate

WO 03/036376

PCT/KR01/01896

line assembly. In the sixth step, an island-shaped ohmic contact pattern and an island-shaped semiconductor pattern are formed on the gate insulating layer while forming first contact holes at the gate insulating layer and the buffer layer such that the contact holes partially expose the data lines.

5 In the seventh step, a pixel line assembly is formed such that it includes source and drain electrodes formed on the island-shaped ohmic contact pattern at the same plane while being separated from each other, and pixel electrodes connected to the drain electrodes. In the eighth step, the ohmic contact pattern is divided into two pattern parts through removing the portions

10 of the ohmic contact pattern exposed between the source and the drain electrodes.

In the sixth step, an amorphous silicon layer and an impurities-doped amorphous silicon layer are sequentially deposited onto the gate insulating layer. A photoresist pattern is formed such that the photoresist pattern has

15 a first portion covering a predetermined area of the gate electrode with a predetermined thickness, and a second portion covering the remaining area except for the regions of first contact holes to be formed later with a thickness smaller than the thickness of the first portion. The impurities-doped amorphous silicon layer, the amorphous silicon layer, the gate insulating

20 layer and the buffer layer are etched using the first and second portions of the photoresist pattern as a mask to thereby form the first contact holes. The second portion of the photoresist pattern is then removed. The impurities-doped amorphous silicon layer and the amorphous silicon layer

WO 03/036376

PCT/KR01/01896

are etched using the first portion of the photoresist pattern as a mask to thereby form the island-shaped semiconductor pattern and the island-shaped ohmic contact pattern. The first portion of the photoresist pattern is then removed.

5 According to still another aspect of the present invention, the thin film transistor array substrate for a liquid crystal display includes an insulating substrate, and a gate line assembly formed on the substrate. The gate line assembly has gate lines, gate electrodes, and gate pads. A gate insulating layer is formed on the gate line assembly. The gate insulating layer has
10 contact holes exposing the gate pads. A semiconductor pattern is formed on the gate insulating layer. An ohmic contact pattern is formed on the semiconductor pattern. A data line assembly is formed on the ohmic contact pattern while bearing substantially the same shape as the ohmic contact pattern. The data line assembly has source electrodes, drain
15 electrodes, data lines, and data pads. A passivation pattern is formed on the data line assembly with a CVD layer having dielectric constant 4.0 or less. The passivation pattern has contact holes exposing the gate pads, the data pads, and the drain electrodes. A transparent electrode pattern is
20 electrically connected to the gate pads, the data pads, and the drain electrodes.

The thin film transistor array substrate may further include storage capacitor lines formed at the same plane as the gate line assembly, a storage capacitor semiconductor pattern overlapped with the storage

WO 03/036376

PCT/KR01/01896

capacitor lines while being placed at the same plane as the semiconductor pattern, a storage capacitor ohmic contact pattern formed on the storage capacitor semiconductor pattern while bearing the same outline as the storage capacitor semiconductor pattern, and a storage capacitor conductive pattern formed on the storage capacitor ohmic contact pattern while bearing the same outline as the storage capacitor semiconductor pattern. The storage capacitor conductive pattern is partially connected to the transparent electrode pattern.

In a method of fabricating the thin film transistor array substrate, a gate line assembly is first formed with gate lines, gate electrodes connected to the gate lines, and gate pads connected to the gate lines. A gate insulating layer is then formed on the gate line assembly, and a semiconductor layer is formed on the gate insulating layer. A data line assembly is then formed through depositing and patterning a conductive layer. The data line assembly includes data lines crossing over the gate lines, data pads connected to the data lines, source electrodes connected to the data lines while being placed close to the gate electrodes, and drain electrodes facing the source electrodes around the gate electrodes. A passivation layer is formed through depositing a low dielectric CVD. The gate insulating layer is patterned together with the passivation layer to thereby form contact holes exposing the gate pads, the data pads, and the drain electrodes. A transparent conductive layer is deposited, and patterned to thereby form subsidiary gate pads connected to the gate pads, subsidiary

WO 03/036376

PCT/KR01/01896

data pads connected to the data pads, and pixel electrodes connected to the drain electrodes.

The formation of the passivation layer is made through PECVD using a gaseous material selected from the group consisting of $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$ and $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ as a basic source while introducing an oxide agent of N_2O or O_2 . Alternatively, the formation of the passivation layer may be made through PECVD using a gaseous material selected from the group consisting of SiH_4 and SiF_4 as a basic source while adding CF_4 and O_2 thereto.

The data line assembly and the semiconductor layer are formed through photolithography using a photoresist pattern with a first portion bearing a predetermined thickness, a second portion bearing a thickness larger than the thickness of the first portion, and a third portion bearing a thickness smaller than the thickness of the first portion. The first photoresist pattern portion is placed between the source and the drain electrodes, and the second photoresist pattern portion is placed over the data line assembly. The gate insulating layer may be formed through depositing a CVD layer having dielectric constant 4.0 or less in a vacuum state, and depositing a silicon nitride layer also in a vacuum state. The CVD layer has a dielectric constant of 2-4.

BRIEF DESCRIPTION OF THE DRAWINGS

A more complete appreciation of the invention, and many of the attendant advantages thereof, will be readily apparent as the same becomes

better understood by reference to the following detailed description when considered in conjunction with the accompanying drawings in which like reference symbols indicate the same or the similar components, wherein:

Fig. 1 is a plan view of a thin film transistor array substrate for a liquid
5 crystal display according to a first preferred embodiment of the present invention;

Fig. 2 is a cross sectional view of the thin film transistor array substrate taken along the II-II' line of Fig. 1;

Figs. 3A, 4A, 5A and 6A sequentially illustrate the steps of fabricating
10 the thin film transistor array substrate shown in Fig. 1;

Fig. 3B is a cross sectional view of the thin film transistor array substrate taken along the IIIb-IIIb' line of Fig. 3A;

Fig. 4B is a cross sectional view of the thin film transistor array substrate taken along the IVb-IVb' line of Fig. 4A;

15 Fig. 5B is a cross sectional view of the thin film transistor array substrate taken along the Vb-Vb' line of Fig. 5A;

Fig. 6B is a cross sectional view of the thin film transistor array substrate taken along the VIb-VIb' line of Fig. 6A;

Fig. 7 is a plan view of a thin film transistor array substrate for a liquid
20 crystal display according to a second preferred embodiment of the present invention;

Figs. 8 and 9 are cross sectional view of the thin film transistor array substrate taken along the VIII-VIII' line and the IX-IX' line of Fig. 7,

WO 03/036376

PCT/KR01/01896

respectively;

Fig. 10A illustrates the first step of fabricating the thin film transistor array substrate shown in Fig. 7;

Figs. 10B and 10C are cross sectional views of the thin film transistor array substrate taken along the Xb-Xb' line and the Xc-Xc' line of Fig. 10A, respectively;

Figs. 11A and 11B illustrate the step of fabricating the thin film transistor array substrate following the step illustrated in Figs. 10B and 10C;

Fig. 12A illustrates the step of fabricating the thin film transistor array substrate following the step illustrated in Fig. 10A;

Figs. 12B and 12C are cross sectional views of the thin film transistor array substrate taken along the XIb-XIb' line and the XIc-XIc' line of Fig. 12A, respectively;

Figs. 13A to 15B illustrate the steps of fabricating the thin film transistor array substrate following the step illustrated in Fig. 12A;

Figs. 16A and 16B illustrate the step of fabricating the thin film transistor array substrate following the step illustrated in Figs. 15A and 15B;

Fig. 17A illustrate the step of fabricating the thin film transistor array substrate following the step illustrated in Figs. 16A and 16B;

Figs. 17B and 17C are cross sectional views of the thin film transistor array substrate taken along the XVIIb-XVIIb' line and the XVIIc-XVIIc' line of Fig. 17A, respectively;

Fig. 18 is a plan view of a thin film transistor array substrate

WO 03/036376

PCT/KR01/01896

according to a third preferred embodiment of the present invention;

Fig. 19 is a cross sectional view of a thin film transistor array substrate taken along the XIX-XIX' line of Fig. 18;

Fig. 20A illustrates the first step of fabricating the thin film transistor
5 array substrate shown in Fig. 18;

Fig. 20B is a cross sectional view of the thin film transistor array substrate taken along the XXb-XXb' line of Fig. 20A;

Fig. 21A illustrates the step of fabricating the thin film transistor array substrate following the step illustrated in Fig. 20A;

10 Fig. 21B is a cross sectional view of the thin film transistor array substrate taken along the XXIb-XXIb' line of Fig. 21A;

Fig. 22A illustrates the step of fabricating the thin film transistor array substrate following the step illustrated in Fig. 21A;

Fig. 22B is a cross sectional view of the thin film transistor array
15 substrate taken along the XXIIb-XXIIb' line of Fig. 22A;

Fig. 23 illustrates the step of fabricating the thin film transistor array substrate following the step illustrated in Fig. 22A;

Fig. 24A illustrates the step of fabricating the thin film transistor array substrate following the step illustrated in Fig. 23;

20 Fig. 24B is a cross sectional view of the thin film transistor array substrate taken along the XXIVb-XXIVb' line of Fig. 24A;

Figs. 25 and 26 illustrate the sub-steps of fabricating the thin film transistor array substrate during the steps illustrated in Figs. 23 and 24A;

WO 03/036376

PCT/KR01/01896

Fig. 27A illustrates the step of fabricating the thin film transistor array substrate following the step illustrated in Fig. 24A;

Fig. 27B is a cross sectional view of the thin film transistor array substrate taken along the XXVIIb-XXVIIb' line of Fig. 27A;

5 Fig. 28 is a plan view of a thin film transistor array substrate according to a fourth preferred embodiment of the present invention;

Fig. 29 is a plan view of a thin film transistor array substrate for a reflection type liquid crystal display according to a fifth preferred embodiment of the present invention;

10 Fig. 30 is a cross sectional view of the thin film transistor array substrate taken along the XXX-XXX' line of Fig. 29;

Figs. 31A, 32A, 33A and 34A sequentially illustrate the steps of fabricating the thin film transistor array substrate shown in Fig. 29;

Fig. 31B is a cross sectional view of the thin film transistor array substrate taken along the XXXIb-XXXIb' line of Fig. 31A;

15 Fig. 32B is a cross sectional view of the thin film transistor array substrate taken along the XXXIIb-XXXIIb' line of Fig. 32A;

Fig. 33B is a cross sectional view of the thin film transistor array substrate taken along the XXXIIIb-XXXIIIb' line of Fig. 33A;

20 Fig. 34B is a cross sectional view of the thin film transistor array substrate taken along the XXXIVb-XXXIVb' line of Fig. 34A;

Fig. 35 is a plan view of a thin film transistor array substrate for a semi-transparent liquid crystal display according to a sixth preferred

WO 03/036376

PCT/KR01/01896

embodiment of the present invention;

Fig. 36 is a cross sectional view of the thin film transistor array substrate taken along the XXXVI-XXXVI' line of Fig. 35;

Figs. 37A, 38A and 39A sequentially illustrate the steps of fabricating
5 the thin film transistor array substrate shown in Fig. 35;

Fig. 37B is a cross sectional view of the thin film transistor array substrate taken along the XXXVIIb-XXXVIIb' line of Fig. 37A;

Fig. 38B is a cross sectional view of the thin film transistor array substrate taken along the XXXVIIIb-XXXVIIIb' line of Fig. 38A;

10 Fig. 39B is a cross sectional view of the thin film transistor array substrate taken along the XXXIXb-XXXIXb' line of Fig. 39A; and

Fig. 40 is a cross sectional view of a thin film transistor array substrate according to a seventh preferred embodiment of the present invention.

15 **DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS**

Preferred embodiments of this invention will be explained with reference to the accompanying drawings.

Fig. 1 is a plan view of a thin film transistor array substrate for a liquid crystal display according to a first preferred embodiment of the present
20 invention, and Fig. 2 is a cross sectional view of the thin film transistor array substrate taken along the II-II line of Fig. 1.

A gate line assembly is formed on an insulating substrate 10 with a double-layered structure. The gate line assembly has a first layer 221, 241

WO 03/036376

PCT/KR01/01896

and 261 formed with chrome Cr alloy or molybdenum Mo alloy, and a second layer 222, 242 and 262 formed with aluminum Al or silver Ag alloy. The gate line assembly includes gate lines 22 proceeding in the horizontal direction, gate pads 24 connected to the gate lines 22 to receive gate signals
5 from the outside and transmit them to the gate lines 22, and gate electrodes 26 connected to the gate lines 22 to function as parts of thin film transistors.

A gate insulating layer 30 is formed on the substrate 10 with silicon nitride SiNx such that it covers the gate line assembly.

A semiconductor layer 40 is formed on the gate insulating layer 30
10 over the gate electrodes 24 with amorphous silicon while bearing the shape of island. An ohmic contact layer 54 and 56 is formed on the semiconductor layer 40 with silicide, or n⁺ hydrogenated amorphous silicon where n-type impurities are doped at high concentration.

A data line assembly is formed on the ohmic contact layer 54 and 56
15 and the gate insulating layer 30 with a double-layered structure. The data line assembly has a first layer 621, 651, 661 and 681 formed with Cr alloy or Mo alloy, and a second layer 622, 652, 662 and 682 formed with Al alloy or Ag alloy. The data line assembly includes data lines 62 proceeding in the vertical direction, source electrodes branched from the data lines 62 while
20 being extended over the one-sided portion 54 of the ohmic contact layer, data pads 68 connected to the one-sided ends of the data lines 62 to receive picture signals from the outside, and drain electrodes 66 separated from the source electrodes 65 around the gate electrodes 26 while being placed on

WO 03/036376

PCT/KR01/01896

the other-sided portion 56 of the ohmic contact layer. The data lines 62 cross over the gate lines 22 while defining pixel regions.

A passivation layer 70 is formed on the data line assembly and the semiconductor layer 40 through depositing a layer of a-Si:C:O or a-Si:O:F (a
5 low dielectric CVD film) by way of plasma enhanced chemical vapor deposition (PECVD). The a-Si:C:O or a-Si:O:F-based layer bears a dielectric constant of 4 or less (the dielectric constant being ranged from 2 to 4). Therefore, the passivation layer 70 does not involve the problem of parasitic capacitance even if it bears a thin thickness. Furthermore, the
10 passivation layer 70 involves good adhesion characteristic and step coverage characteristic in relation to other layers. As the passivation layer 70 is based on a low dielectric CVD film, it bears excellent thermostability compared to that based on an organic insulating film. In addition, the a-Si:C:O or a-Si:O:F-based layer deposited through PECVD exhibits an
15 advantage in the processing time as the deposition speed or etching speed related thereto is rapid by four to ten times compared to that related to a silicon nitride-based layer.

The passivation layer 70 has contact holes 76 and 78 exposing the drain electrodes 66 and the data pads 68, and contact holes 74 exposing the
20 gate pads 24 together with the gate insulating layer 30. The contact holes 74 and 78 exposing the pads 24 and 68 may be formed with various shapes, for example, with an angled shape, or a circular shape. The area of the contact holes 74 and 78 may be established to be $2\text{mm} \times 60\text{ }\mu\text{m}$ or less,

WO 03/036376

PCT/KR01/01896

preferably to be in the range of $0.5\text{mm} \times 15\text{ }\mu\text{m}$ – $2\text{mm} \times 60\text{ }\mu\text{m}$.

Pixel electrodes 82 are formed on the passivation layer 70 at the pixel regions while being electrically connected to the drain electrodes 66 through the contact holes 76. Furthermore, subsidiary gate and data pads 86 and 88 are formed on the passivation layer 70 while being connected to the gate and the data pads 24 and 68 through the contact holes 74 and 78. The pixel electrodes 82 and the subsidiary gate and data pads 86 and 88 are formed with indium tin oxide (ITO) or indium zinc oxide (IZO).

As shown in Figs. 1 and 2, the pixel electrodes 82 are overlapped with the gate lines 22 to form storage capacitors. In case the storage capacity is short of the required amount, a storage capacitor line assembly may be additionally formed at the same plane as the gate line assembly.

The pixel electrodes 82 are overlapped with the data lines 62 while optimizing the opening ratios. Even with the overlapping of the pixel electrodes 82 and the data lines 62, as the passivation layer 70 bears a low dielectric property, the parasitic capacitance between the pixel electrodes 82 and the data lines 62 is extremely small.

A method of fabricating the thin film transistor array substrate will be now explained with reference to Fig. 3A to 7B.

As shown in Figs. 3A and 3B, a Cr alloy or Mo alloy-based layer is deposited onto the substrate 10 to form a first layer 221, 241 and 261 for a gate line assembly, and a Al alloy or Ag alloy-based layer is formed onto the first layer to form a second layer 222, 242 and 262 for the gate line assembly.

WO 03/036376

PCT/KR01/01896

The first and second layers are patterned to thereby form a gate line assembly proceeding in the horizontal direction. The gate line assembly includes gate lines 22, gate electrodes 26, and gate pads 24.

In case the first layer 221, 241 and 261 is formed with a Mo alloy and
5 the second layer 222, 242 and 262 with an Ag alloy, the two layers are all etched with an Ag alloy etching materials where phosphoric acid, nitric acid, acetic acid and deionized water are mixed together. Therefore, the double-layered gate line assembly can be formed through only one etching process. As the etching ratio of the Ag alloy by way of a mixture of phosphoric acid,
10 nitric acid, acetic acid and deionized water is greater than that of the Mo alloy, a tapering angle of about 30° required for the gate line assembly can be obtained.

Thereafter, as shown in Figs. 4A and 4B, a silicon nitride-based gate insulating layer 30, an amorphous silicon-based semiconductor layer 40 and
15 a doped amorphous silicon-based layer 50 are sequentially deposited onto the substrate 10. The semiconductor layer 40 and the doped amorphous silicon-based layer 50 are etched through photolithography to thereby form an island-shaped semiconductor layer 40 and an ohmic contact layer 50 on the gate insulating layer 30 over the gate electrode 24.

20 As shown in Figs. 5A and 5B, a Cr alloy or Mo alloy-based layer is deposited onto the substrate 10 to form a first layer 651, 661 and 681 for a data line assembly, and an Al alloy or Ag alloy-based layer is formed onto the first layer to form a second layer 652, 662 and 682 for the data line assembly.

WO 03/036376

PCT/KR01/01896

The first and second layers are patterned through photolithography to thereby form a data line assembly. The data line assembly includes data lines 62 proceeding in the vertical direction while crossing over the gate lines 22, source electrodes 65 branched from the data lines 62 while being
5 extended over the gate electrodes 26, data pads 68 connected to the one-sided ends of the data lines 62 to receive picture signals from the outside, and drain electrodes 66 separated from the source electrodes 65 around the gate electrodes 26 while facing them.

The doped amorphous silicon-based layer 50 exposed through the
10 data line assembly is then etched, and divided into two portions 55 and 56 around the gate electrode 26 while exposing the semiconductor layer 40. It is preferable that oxygen plasma is made with respect to the exposed portion of the semiconductor layer 40 to stabilize the surface thereof.

As shown in Figs. 6A and 6B, an a-Si:C:O or a-Si:O:F-based layer is
15 grown through chemical vapor deposition (CVD) to thereby form a passivation layer 70. In the case of the a-Si:C:O-based layer, the deposition thereof is made using a gaseous material such as $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$, $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ and $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ as a basic source while introducing a mixture of an oxide agent such as N_2O or O_2 , and Ar or He. In the case of the a-
20 Si:O:F-based layer, the deposition thereof is made while introducing a mixture of SiH_4 or SiF_4 with O_2 . In this case, CF_4 may be added thereto as a subsidiary source for fluorine.

Thereafter, the passivation layer 70 is patterned together with the

WO 03/036376

PCT/KR01/01896

gate insulating layer 30 to thereby form contact holes 74, 76 and 78 exposing the gate pads 24, the drain electrodes 66 and the data pads 68. The contact holes 74, 76 and 78 may be formed with an angled or circular shape. The area of the contact holes 74 and 78 exposing the pads 24 and 68 is
5 established to be $2\text{mm} \times 60\text{ }\mu\text{m}$ or less, preferably to be in the range of $0.5\text{mm} \times 15\text{ }\mu\text{m}$ – $2\text{mm} \times 60\text{ }\mu\text{m}$.

Finally, as shown in Figs. 1 and 2, an ITO or IZO-based layer is deposited, and etched through photolithography to thereby form pixel electrodes 82, and subsidiary gate and data pads 86 and 88. The pixel
10 electrodes 82 are connected to the drain electrodes 66 through the first contact holes 76. The subsidiary gate and data pads 86 and 88 are connected to the gate and data pads 24 and 68 through the second and third contact holes 74 and 78. Nitrogen is preferably used as a gas for the pre-heating process before the formation of the ITO or IZO-based layer. This is
15 to prevent a metallic oxide layer from being formed on the metallic layers 24, 66 and 68 exposed through the contact holes 74, 76 and 78.

As described above, the passivation layer 70 is formed through depositing a low dielectric CVD layer based on a-Si:C:O or a-Si:O:F by way of PECVD. In this way, the problem of parasitic capacitance can be solved
20 while optimizing the opening ratio. Furthermore, the speed of deposition and etching becomes rapid while reducing the processing time.

Fig. 7 is a plan view of a thin film transistor array substrate for a liquid crystal display according to a second preferred embodiment of the present

WO 03/036376

PCT/KR01/01896

invention, and Figs. 8 and 9 are cross sectional views of the thin film transistor array substrate taken along the VIII-VIII' line and the IX-IX' line of Fig. 7.

A gate line assembly is formed on an insulating substrate 10 with a
5 double-layered structure. The gate line assembly has a first layer 221, 241 and 261 formed with Cr alloy or Mo alloy, and a second layer 222, 242 and 262 formed with Al alloy or Ag alloy. The gate line assembly includes gate lines 22, gate pads 24, and gate electrodes 26.

Storage capacitor lines 28 are formed on the substrate 10 while
10 proceeding parallel to the gate lines 22. The storage capacitor lines 28 also have a first layer 281, and a second layer 282. The storage capacitor lines 28 are overlapped with storage capacitor conductive patterns 68 connected to pixel electrodes 82 to thereby form storage capacitors for improving the pixel electric potential storage capacity. In case the storage capacity
15 accruing to the overlapping of the pixel electrodes 82 and the gate lines 22 is sufficiently enough, the storage capacitor lines 28 may be omitted. A common electrode voltage is usually applied to the storage capacitor lines 28.

A gate insulating layer 30 is formed on the gate line assembly and
the storage capacitor lines 28 with silicon nitride SiN_x while covering the gate
20 line assembly.

Semiconductor patterns 42 and 48 are formed on the gate insulating layer 30 with hydrogenated amorphous silicon. First to third ohmic contact patterns 55, 56 and 58 are formed on the semiconductor patterns 42 and 48

WO 03/036376

PCT/KR01/01896

with amorphous silicon where n-type impurities such as phosphorous P are doped at high concentration.

A data line assembly is formed on the first to third ohmic contact patterns 55, 56 and 58 with Cr alloy or Mo alloy with a double-layered structure. The data line assembly has a first layer 621, 641, 651, 661 and 681, and a second layer 622, 642, 652, 662 and 682. The data line assembly includes data lines 62 proceeding in the vertical direction, data pads 68 connected to the one-sided ends of the data lines 62 to receive picture signals from the outside, and source electrodes 65 branched from the data lines 62. The data line assembly further includes drain electrodes 66 separated from the source electrodes 65 around the gate electrodes 26 or the channel portions C, and storage capacitor conductive patterns 64 placed over the storage capacitor lines 28. In case the storage capacitor lines 28 are absent, the storage capacitor conductive patterns 64 are also omitted.

The data lines assembly may be formed with a single-layered structure bearing an Al or Ag-based layer.

The first to third ohmic contact patterns 55, 56 and 58 lower the contact resistance between the underlying semiconductor patterns 42 and 48 and the overlying data line assembly while bearing the same outline as the data line assembly. That is, the first ohmic contact patterns 55 have the same shape as the data lines 62, the data pads 68, and the source electrodes 65. The second ohmic contact patterns 56 have the same shape as the drain electrodes 66. The third ohmic contact patterns 58 have the

WO 03/036376

PCT/KR01/01896

same shape as the storage capacitor conductive patterns 64.

Meanwhile, the semiconductor patterns 42 and 48 have the same shape as the data line assembly and the ohmic contact patterns 55, 56 and 58 except for the channel portions C. Specifically, the storage capacitor
5 semiconductor patterns 48 have the same shape as the storage capacitor conductive patterns 64 and the third ohmic contact patterns 58, but the thin film transistor semiconductor patterns 42 are slightly differentiated from the relevant components of the data line assembly and the ohmic contact patterns. That is, the source and the drain electrodes 65 and 66 are
10 separated from each other at the channel portions C, and the first and the second ohmic contact patterns 55 and 56 are also separated from each other at those portions. However, the thin film transistor semiconductor patterns 42 continuously proceed at those portions to thereby form channels for the thin film transistors.

15 A passivation layer 70 is formed on the data line assembly with a low dielectric CVD layer based on a-Si:C:O or a-Si:O:F by way of plasma enhanced chemical vapor deposition PECVD. As the low dielectric CVD layer bears a dielectric constant of 4 or less, the problem of parasitic capacitance is not present even if the thickness of the CVD layer is thin.
20 Furthermore, such a layer bears good contact characteristic and good step coverage characteristic in relation to other layers. Furthermore, as it is a low dielectric CVD layer, the thermostability thereof is excellent compared to an organic insulating layer. In addition, the speed of deposition and etching

WO 03/036376

PCT/KR01/01896

is rapid by four to ten times compared to that of a silicon nitride-based layer while reducing the processing time.

The passivation layer 70 has contact holes 76, 78 and 72 exposing the drain electrodes 66, the data pads 68, and the storage capacitor
5 conductive patterns 64. Furthermore, the passivation layer 70 has contact holes 74 exposing the gate pads 24 together with the gate insulating layer 30.

Pixel electrodes 82 are formed on the passivation layer 70 to receive picture signals from the thin film transistors while generating electric fields together with a common electrode of a color filter substrate. The pixel
10 electrodes 82 are formed with a transparent conductive material such as indium tin oxide (ITO) or indium zinc oxide (IZO). The pixel electrodes 82 are physico-electrically connected to the drain electrodes 66 to receive picture signals from them. The pixel electrodes 82 are overlapped with the neighboring gate and data lines 22 and 62 to enhance the opening ratio.
15 The overlapping may be omitted. The pixel electrodes 82 are connected to the storage capacitor conductive patterns 64 through the contact holes 72 to transmit picture signals thereto. Meanwhile, subsidiary gate and data pads 86 and 88 are connected to the gate and the data pads 24 and 68 through the contact holes 74 and 78. The subsidiary gate and data pads 86 and 88
20 serve to enhance the adhesive relation between the pads 24 and 68 and external circuits and to protect the pads, but may be selectively introduced.

A method of fabricating the thin film transistor array substrate using four masks will be now explained with reference to Figs. 10A to 17C.

WO 03/036376

PCT/KR01/01896

As shown in Figs. 10A to 10C, a Cr alloy or Mo alloy-based layer is deposited onto the substrate 10 to form a first layer 221, 241, 261 and 281 for a gate line assembly, and an Al alloy or Ag alloy-based layer is formed onto the first layer to form a second layer 222, 242, 262 and 282 for the gate
5 line assembly. The first and second layers are patterned photolithography to thereby form a gate line assembly, and storage capacitor lines 28. The gate line assembly includes gate lines 22, gate pads 24, and gate electrodes 26.

Thereafter, as shown in Figs. 11A and 11B, a gate insulating layer 30,
10 a semiconductor layer 40 and an ohmic contact layer 50 are sequentially deposited onto the substrate 10 through chemical vapor deposition such that they bear a thickness of 1500-5000Å, 500-2000 Å, and 300-600 Å, respectively. A Cr alloy or Mo alloy-based first conductive layer 601 and an Al alloy or Ag alloy-based second conductive layer 602 are deposited onto
15 the ohmic contact layer 50 through sputtering to thereby form a conductive layer 60. A photoresist film 110 is then coated onto the conductive layer 60 by a thickness of 1-2 μm.

As shown in Figs. 12B and 12C, the photoresist film 110 is exposed to light through a mask, and developed to thereby form a photoresist pattern.
20 The photoresist pattern has a first portion 114 to be placed at the channel area C between the source and the drain electrodes 65 and 66, and a second portion 112 to be placed at the data line assembly area A. The first portion 114 has a thickness smaller than the second portion 112. The

WO 03/036376

PCT/KR01/01896

remaining portion B of the photoresist film is all removed. The thickness ratio of the first photoresist portion 114 to the second photoresist portion may be varied depending upon the processing conditions to be described later. It is preferable that the thickness ratio of the first portion 114 to the second
5 portion 112 should be established to be 1/2 or less. For instance, the first portion 114 may bear a thickness of 4000 Å or less.

In order to control the light transmission at the A area, the mask may bear a slit or lattice pattern, or a semitransparent film. It is preferable that the slit width should be smaller than the light decomposition capacity of the
10 light exposing device. In the case of a semitransparent film, thin films differentiated in the light transmission or the thickness may be used to control the light transmission.

When the light exposing is made using such a mask, the high molecules at the area directly exposed to light are completely decomposed,
15 those at the area exposed to light through a slit pattern or a semitransparent film are decomposed at some degree, and those at the area intercepted by an opaque film are not nearly decomposed. When the light-exposed photoresist film is developed, the portion thereof where the high molecules are not decomposed is left over, and the portion thereof where the high
20 molecules are decomposed at some degree has a thickness smaller than the portion thereof where the high molecules are not nearly decomposed. As the light exposing time is too long, all of the molecules are liable to be decomposed.

WO 03/036376

PCT/KR01/01896

The portion 114 of the photoresist pattern bearing a relatively thin thickness may be formed using a photoresist film capable of making reflow. The photoresist film is exposed to light using a usual mask with a transparent portion and an opaque portion, developed, and made reflowing such that it is
5 partially flown toward the non-film portion.

The photoresist pattern 114, and the underlying conductive layer 60, ohmic contact layer 50 and semiconductor layer 40 are then etched. At this time, the data line assembly and the underlying layers are left over at the A area, only the semiconductor layer is left over at the C area, and the gate
10 insulating layer 30 is exposed at the B area with the removal of the overlying layers 60, 50 and 40.

As shown in Figs. 13A and 13B, the conductive layer 60 exposed at the B area is removed while exposing the underlying ohmic contact layer 50. Either wet etching or dry etching may be used in this process. The etching
15 condition is preferably established such that the conductive layer 60 is etched while the photoresist pattern portions 112 and 114 being not nearly etched. However, in the case of dry etching, it is difficult to find the condition such an etching condition, the photoresist pattern portions 112 and 114 may be etched together. In this case, the first photoresist pattern portion 114 is
20 established to be so thick that the underlying conductive layer 60 cannot be exposed to the outside.

Consequently, as shown in Figs. 13A and 13B, the source/drain conductive pattern 67 at the C area and the storage capacitor conductive

WO 03/036376

PCT/KR01/01896

pattern 68 at the B area are left over, and the conductive layer 60 at the B area is removed while exposing the underlying ohmic contact layer 50. At this time, the source/drain conductive pattern 67 has the same shape as the data line assembly except that the source and the drain electrodes 65 and 66
5 are not yet separated from each other. In the case of dry etching, the photoresist pattern portions 112 and 114 are also etched by a predetermined thickness.

Thereafter, as shown in Figs. 14A and 14B, the ohmic contact layer 50 at the B area and the underlying semiconductor layer 40 are
10 simultaneously removed together with the first photoresist pattern portion 114 through dry etching. The etching should be made in condition that the photoresist pattern portions 112 and 114, the ohmic contact layer 50 and the semiconductor layer 40 are simultaneously etched while not etching the gate insulating layer 30. Particularly, it is preferable that the etching ratios with
15 respect to the photoresist pattern portions 112 and 114 and the semiconductor layer 40 should be established to be nearly the same. For instance, a mixture of SF_6 and HCL or a mixture of SF_6 and O_2 may be used for that purpose. In case the etching ratios with respect to the photoresist pattern portions 112 and 114 and the semiconductor layer 40 are the same,
20 the thickness of the first photoresist pattern portion 114 should be established to be the same or less than the sum in thickness of the semiconductor layer 40 and the ohmic contact layer 50.

Consequently, as shown in Figs. 14A and 14B, the first photoresist

WO 03/036376

PCT/KR01/01896

pattern portion at the C area is removed while exposing the source/drain conductive pattern 67, and the ohmic contact layer 50 and the semiconductor layer 40 at the B area are removed while exposing the underlying gate insulating layer 30. The second photoresist pattern portion 112 at the A area is also etched while being reduced in thickness. Furthermore, in this process, semiconductor patterns 42 and 48 are completed. The reference numerals 57 and 58 indicate the ohmic contact pattern under the source/drain conductive pattern 67, and the ohmic contact pattern under the storage capacitor conductive pattern 64.

10 Thereafter, the photoresist residue on the source/drain conductive pattern 67 is removed through ashing.

As shown in Figs. 15A and 15B, the source/drain conductive pattern 67 at the C area and the underlying ohmic contact pattern 57 are removed through etching. Dry etching may be made with respect to all of the source/drain conductive pattern 67 and the ohmic contact pattern 57. Alternatively, wet etching may be made with respect to the source/drain conductive pattern, and dry etching with respect to the ohmic contact pattern 57. In the former case, the etching is preferably made in condition that the etching selection ratios of the conductive pattern 67 and the ohmic contact pattern 57 are high. This is because it is difficult to find the final point of etching with the lower etching selection ratio so that the thickness of the semiconductor pattern 42 to be left over at the C area cannot be easily controlled. By contrast, in the latter case where the wet etching and the dry

WO 03/036376

PCT/KR01/01896

etching are alternated, the lateral side of the source/drain conductive pattern 67 suffering the wet etching is etched, whereas the ohmic contact pattern 57 suffering the dry etching is not nearly etched. Consequently, stepped area is existent in that case. A mixture of CF_4 and HCl or CF_4 and O_2 may be
5 used for the etching gas. In the case of the mixture of CF_4 and O_2 , the semiconductor pattern 42 is left over while bearing a uniform thickness. As shown in Fig. 15B, the semiconductor pattern 42 may be partially removed while being reduced in thickness. The second photoresist pattern portion 112 is also etched by a predetermined thickness. The etching is made in
10 condition that the gate insulating layer 30 is not etched. The thickness of the second photoresist pattern portion 112 is so thick that the underlying data line assembly cannot be exposed to the outside through the etching.

Consequently, the source and the drain electrodes 65 and 66 are separated from each other while completing the data line assembly and the
15 underlying ohmic contact patterns 55, 56 and 58.

Finally, the second photoresist pattern portion 112 at the A area is removed. The removal of the second photoresist pattern portion 112 may be made prior to the removal of the ohmic contact pattern 57 after the source/drain conductive pattern 67 is removed.

20 As described above, in the case of dry etching alone, the processing steps can be simplified, but it is difficult to fine the suitable etching conditions. By contrast, with the coexistence of dry etching and wet etching, it is relatively easy to find the suitable etching conditions, but the processing

WO 03/036376

PCT/KR01/01896

steps are complicated.

Thereafter, as shown in Figs. 16A and 16B, an a-Si:C:O or a-Si:O:F-based layer is grown through chemical vapor deposition (CVD) to thereby form a passivation layer 70. In the case of an a-Si:C:O-based layer, a
5 gaseous material such as $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$, $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ and $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ is used as a basic source while introducing a mixture of an oxide agent such as N_2O and O_2 , and Ar or He. Furthermore, in the case of an a-Si:O:F-based layer, a gaseous material such as SiH_4 and SiF_4 with the addition of O_2 is introduced during the deposition process. At this time, CF_4
10 may be added as a subsidiary source for fluorine.

Thereafter, as shown in Figs. 17A to 17C, the passivation layer 70 is etched through photolithography together with the gate insulating layer 30 to thereby form contact holes 76, 74, 78 and 72 exposing the drain electrodes 66, the gate pads 24, the data pads 68 and the storage capacitor conductive
15 patterns 64, respectively. The area of the contact holes 74 and 78 exposing the pads 24 and 68 is established to be $2\text{mm} \times 60\text{ }\mu\text{m}$ or less, preferably to be in the range of $0.5\text{mm} \times 15\text{ }\mu\text{m}$ – $2\text{mm} \times 60\text{ }\mu\text{m}$.

Finally, as shown in Figs. 8 to 10, an ITO or IZO-based layer with a thickness of $400\text{--}500\text{ }\text{\AA}$ is deposited, and etched through photolithography to
20 thereby form pixel electrodes 82 connected to the drain electrodes 66 and the storage capacitor conductive patterns 64, subsidiary gate pads 86 connected to the gate pads 24, and subsidiary data pads 88 connected to the data pads 68.

WO 03/036376

PCT/KR01/01896

In case the pixel electrodes 82, the subsidiary gate pads 86 and the subsidiary data pads 88 are formed with IZO, a chrome solution is used as the etching solution to prevent the metallic material for the data line assembly or the gate line assembly exposed through the contact holes from being
5 corroded during the etching process. The chrome solution may be selected from HNO_3 , $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$, or H_2O . Furthermore, in order to minimize the contact resistance at the contact area, it is preferable that IZO is deposited in the temperature range of from ambient temperature to 200°C . The target material for the IZO-based layer preferably contains In_2O_3 and ZnO , and the
10 content of ZnO is preferably in the range of 15-20%.

Meanwhile, nitrogen is preferably used at the pre-heating process before the deposition of ITO or IZO. This is to prevent a metallic oxide layer from being formed on the metallic layers 24, 64, 66 and 68 exposed through the contact holes 72, 74, 76 and 78.

15 In this preferred embodiment, the data line assembly, and the underlying ohmic contact patterns and semiconductor patterns are formed using only one mask, and the source and the drain electrodes 65 and 66 are also separated during that process. In this way, the processing steps can be simplified.

20 The low dielectric CVD layer based on a-Si:C:O or a-Si:O:F may be used as a buffer layer for separating the color filters from thin film transistors in the array on color filter (AOC) structure where the thin film transistor array is formed on the color filters.

Fig. 18 is a plan view of a thin film transistor array substrate according to a third preferred embodiment of the present invention, and Fig. 19 is a cross sectional view of the thin film transistor array substrate taken along the XIX-XIX' line of Fig. 18. A top substrate facing the thin film transistor array substrate being the bottom substrate is also illustrated in Fig. 19.

In the thin film transistor array substrate, a data line assembly is formed on an insulating substrate 100 with a double-layered structure. The data line assembly has a bottom layer 201 formed with copper, copper alloy, silver, silver alloy, aluminum or aluminum alloy, and a top layer 202 formed with chrome, molybdenum, molybdenum alloy, chrome nitride or molybdenum nitride.

The data line assembly includes data lines 120 proceeding in the vertical direction, data pads 124 connected to the data lines 120 to receive picture signals and transmit them to the data pads 124, and light interception members 121 branched from the data lines 120 to intercept the light incident upon the semiconductor layer 170. The light interception member 121 also functions as a black matrix for preventing light leakage. The light interception members 121 may be independently formed in separation of the data lines 120.

Alternatively, the data line assembly may be formed with a single-layered structure using a conductive material such as copper, copper alloy, aluminum, aluminum alloy, molybdenum, molybdenum-tungsten alloy,

WO 03/036376

PCT/KR01/01896

chrome, and tantalum.

In the data line assembly bearing a double-layered structure, considering that pixel electrodes and subsidiary pads to be formed later are based on indium tin oxide (ITO), the bottom layer thereof is formed with a low
5 resistance material, and the top layer thereof with a material bearing good contact characteristic with ITO. For instance, the bottom layer 201 of the data line assembly is formed with Al-Nd, and the top layer 202 thereof with CrNx.

In case the pixel electrodes and the subsidiary pads are based on
10 indium zinc oxide (IZO), it is preferable that the data line assembly is formed with a single-layered structure using aluminum or aluminum alloy. As copper exhibits good contact characteristic with respect to IZO and ITO, the data line assembly may be formed with a copper-based layer.

Color filters of red R, green G and blue B 131 to 133 are formed at
15 the substrate 100 such that the periphery thereof is overlapped with that of the data line assembly. The color filters 131 to 133 may entirely cover the data lines 120.

A buffer layer 140 is formed on the data line assembly and the color filters 131 to 133 with a-Si:C:O, or a-Si:O:F. The deposition of the a-Si:C:O
20 or a-Si:O:F-based layer (the low dielectric CVD layer) is made through plasma enhanced chemical vapor deposition (PECVD). The buffer layer 140 is provided to intercept outgassing from the color filters 131 to 133, and to prevent the color filters 131 to 133 from being damaged due to the thermal

WO 03/036376

PCT/KR01/01896

or plasma energy during the subsequent processing steps. Furthermore, as the buffer layer 140 separates the data line assembly from the thin film transistor array, it is advantageous that the buffer layer 140 bears a low dielectric property and a large thickness. For this reason, the a-Si:C:O or a-Si:O:F-based layer (the low dielectric CVD layer) suffering the PECVD is suitable for such a buffer layer. That is, the a-Si:C:O or a-Si:O:F-based layer exhibits a low dielectric property and a rapid deposition speed while involving lower cost compared to an organic insulating material such as bisbenzocyclobutene (BCB) and perfluorocyclobutene (PFCB). Furthermore, the a-Si:O:C-based layer exhibits good insulating characteristic in the wide temperature range of from ambient temperature to 400°C.

A gate line assembly is formed on the buffer layer 140 with a double-layered structure. The data line assembly has a bottom layer 501 formed with copper, copper alloy, silver, silver alloy, aluminum or aluminum alloy, and a top layer 502 formed with chrome, molybdenum, molybdenum alloy, chrome nitride or molybdenum nitride.

The gate line assembly includes gate lines 150 crossing over the data lines 120 while defining pixel regions, gate pads 152 connected to the gate lines 150 to receive scanning signals from the outside and transmit them to the gate lines 150, gate electrodes 151 for thin film transistors being parts of the gate lines 150.

The gate lines 150 are overlapped with pixel electrodes 410 to form storage capacitors for improving the pixel electric potential storage capacity.

WO 03/036376

PCT/KR01/01896

In case the storage capacity due to the overlapping of the pixel electrodes 410 and the gate lines 150 is not enough, a storage capacitor common electrode may be additionally formed.

In case the gate line assembly is formed with a multiple-layered structure, one layer is formed with a low resistance material, and the other
5 layer is formed with a material bearing good contact characteristic with other materials. For instance, layers of Al (or Al alloy)/Cr or Cu/Cr may be provided as the double-layered structure. Furthermore, in order to improve the contact characteristic, a chrome nitride-based layer or a molybdenum
10 nitride-based layer may be additionally formed.

The gate line assembly may be formed with a single-layered structure using a low resistance material such as copper, aluminum and aluminum alloy.

A low temperature deposition gate insulating layer 160 is formed on
15 the gate line assembly, and the buffer layer 140. The low temperature deposition gate insulating layer 160 may be formed with an organic insulating material, low temperature amorphous silicon oxide, or low temperature amorphous silicon nitride. As the color filters are formed at the bottom substrate, the gate insulating layer 160 is formed with a low temperature
20 deposition insulating layer that can be deposited at lower temperatures of 250°C or less.

An island-shaped semiconductor layer 171 is formed on the gate insulating layer over the gate electrodes 151 with a double-layered structure.

WO 03/036376

PCT/KR01/01896

The semiconductor layer 171 has a bottom layer portion 701 formed with amorphous silicon exhibiting a relatively high band gap, and a top layer portion 702 formed with amorphous silicon exhibiting a band gap lower than the bottom layer portion 701. For instance, the band gap of the bottom layer
5 portion 701 may be established to be 1.9-2.1eV, and the band gap of the top layer portion 702 to be 1.7-1.8eV. The thickness of the bottom layer portion 701 is established to be 50-200 Å, and the thickness of the top layer portion 702 to be 1000-2000 Å.

A band offset is formed between the top and the bottom
10 semiconductor layer portions 702 and 701 differentiated in the band gap while corresponding to the difference in the band gap thereof. When the TFT is in an ON state, channel is formed at the band offset region between the top and bottom semiconductor layer portions 702 and 701. As the respective band offset regions basically bear the same atomic structure while
15 accompanying with minimized device failures, it can be expected to obtain good TFT characteristics.

Alternatively, the semiconductor layer 171 may be formed with a single-layered structure.

Ohmic contact layers 182 and 183 are formed on the semiconductor
20 layer 171 with amorphous silicon where n-type impurities such as phosphorous P are doped at high concentration, micro-crystalline silicon or metallic silicide while being separated from each other.

A pixel line assembly is formed on the ohmic contact layers 182 and

WO 03/036376

PCT/KR01/01896

183 with ITO. The pixel line assembly includes source and drain electrodes 412 and 411, and pixel electrodes 410. The source electrodes 412 are connected to the data lines 120 through contact holes 161 formed at the gate insulating layer 160 and the buffer layer 140. The drain electrodes 411 are
5 connected to the pixel electrodes 410 to receive picture signals from the thin film transistors and transmit them to the pixel electrodes 410. The pixel line assembly is formed with a transparent conductive material such as ITO and IZO.

Subsidiary gate and data pads 413 and 414 are formed at the same
10 plane as the pixel line assembly while being connected to the gate and the data pads 152 and 124 through the contact holes 162 and 164, respectively. The subsidiary gate pads 413 directly contact the chrome-based top layer 502 of the gate pads 152, and the subsidiary data pads 414 also directly contact the chrome-based top layer 202 of the data pads 124. In case the
15 gate pads 152 and the data pads 124 contain a chrome nitride-based layer or a molybdenum nitride-based layer, it is preferable that the subsidiary gate pads 413 and the subsidiary data pads 414 contact the chrome nitride-based layer or the molybdenum nitride-based layer. The subsidiary gate and data pads 413 and 414 are provided to enhance the adhesive strength between
20 the pads 152 and 124 and external circuits while protecting them, but may be selectively introduced. The pixel electrodes 410 are overlapped with the neighboring gate and data lines 150 and 120 to enhance the opening ratios, but the overlapping thereof may not be made.

WO 03/036376

PCT/KR01/01896

The ohmic contact layers 182 and 183 reduce the contact resistance between the ITO-based source and drain electrodes 412 and 411 and the semiconductor layer 171. The ohmic contact layers 182 and 183 may contain microcrystalline silicon or metallic silicide such as molybdenum, 5 nickel and chrome while a metallic silicide film being left over.

A passivation layer 190 is formed on the source and the drain electrodes 412 and 411 to protect the thin film transistors. A photosensitive colored organic film 430 is formed on the passivation layer 190 while bearing a dark color of excellent light absorption. The colored organic film 430 10 intercepts the light incident upon the semiconductor layer 171. The colored organic film 430 is used as a spacer to maintain the distance between the bottom insulating substrate 100 and the top insulating substrate 200 while being controlled in height. The passivation layer 190 and the organic film 430 may be formed along the gate lines 150 and the data lines 120, and the 15 organic film 430 may intercept the light leaked at the peripheral area of the gate line assembly and the data line assembly.

In case the organic film 430 is designed to entirely cover the gap between the pixel electrodes and the respective metallic layers, it is not necessary to provide a separate black matrix of light interception at the top 20 substrate.

Meanwhile, a common electrode 210 is formed at the entire surface of the top substrate 200 with ITO or IZO such that it generates electric fields together with the pixel electrodes 410.

WO 03/036376

PCT/KR01/01896

A method of fabricating the thin film transistor array substrate will be now explained with reference to Figs. 20A to 28B.

As shown in Figs. 20A and 20B, a data line assembly is formed on a bottom insulating substrate 100 with a double-layered structure. For this purpose, a low resistance conductive material such as aluminum, aluminum alloy, copper and copper alloy, and a conductive material bearing good contact characteristic with ITO such as chrome, molybdenum, titanium, chrome nitride and molybdenum nitride are sequentially deposited onto the substrate 100 through sputtering, and dry or wet-etched through photolithography based on a mask. The resulting data line assembly has a bottom layer 201 and a top layer 202. The data line assembly includes data lines 120, data pads 124, and light interception members 121.

Considering that a pixel line assembly 410 to 412 and subsidiary pads 413 and 414 to be formed layer would be based on indium tin oxide (ITO), the bottom layer 201 is formed with aluminum, aluminum alloy, copper or copper alloy, and the top layer 202 with chrome, molybdenum, or titanium. By contrast, in case the pixel line assembly and the subsidiary pads are formed with indium zinc oxide (IZO), the data line assembly may be formed with a single-layered structure. For instance, the data line assembly may be formed with a single layer based on aluminum, aluminum alloy, copper, or copper alloy.

Thereafter, as shown in Figs. 21A and 21B, photosensitive materials containing pigments of red R, green G and blue B are sequentially coated

onto the substrate 100 with the data line assembly, and patterned through photolithography to thereby form color filters 131 to 133 of red R, green G, and blue B. The RGB color filters 131 to 133 are formed using three masks. It is possible that one mask is used to form the RGB color filters 131 to 133 while being moved. Furthermore, it is also possible that the RGB color filters 131 to 133 are formed through laser illumination or printing without any mask. It is preferable that the peripheral portions of the RGB color filters 131 to 133 are overlapped with the data lines 120.

As shown in Figs. 22A and 22B, an a-Si:C:O or a-Si:O:F-based layer is grown at the insulating substrate 100 through chemical vapor deposition (CVD) to thereby form a buffer layer 140. In the case of an a-Si:C:O-based layer, a gaseous material such as $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$, $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ and $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ is used as a basic source while introducing a mixture of an oxide agent such as N_2O and O_2 , and Ar or He. Furthermore, in the case of an a-Si:O:F-based layer, a gaseous material such as SiH_4 and SiF_4 with the addition of O_2 is introduced during the deposition process. At this time, CF_4 may be added as a subsidiary source for fluorine.

Thereafter, a physico-chemically stable material such as chrome, molybdenum, titanium, chrome nitride and molybdenum nitride, and a low resistance conductive material such as aluminum, aluminum alloy, copper and copper alloy are sequentially deposited onto the buffer layer 140 through sputtering, and patterned through photolithography to thereby form a gate line assembly. The gate line assembly includes gate lines 150, gate

WO 03/036376

PCT/KR01/01896

electrodes 151, and gate pads 152.

The gate line assembly may be formed with a single-layered structure.

As shown in Fig. 23, a low temperature deposition gate insulating layer 160, a first amorphous silicon layer 701, a second amorphous silicon layer 702 and an impurities-doped amorphous silicon layer 180 are sequentially deposited onto the gate line assembly and the organic insulating layer 140.

The low temperature deposition gate insulating layer 160 may be formed with an organic insulating material, low temperature amorphous silicon oxide, low temperature amorphous silicon nitride that can be deposited at 250°C or less.

The first amorphous silicon layer 701 is formed with amorphous silicon exhibiting a relatively high band gap, and the second amorphous silicon layer 702 with amorphous silicon exhibiting a band gap lower than the first amorphous silicon layer 701. For instance, the band gap of the first amorphous silicon layer 701 may be established to be 1.9-2.1eV, and the band gap of the second amorphous silicon layer 702 to be 1.7-1.8eV. The first amorphous silicon layer 701 may be deposited through CVD while adding CH₄, C₂H₂ or C₂H₆ into the raw gaseous material of SiH₄ in an appropriate manner. For instance, when the deposition is made while injecting SiH₄ and CH₄ into a CVD device by the ratio of 1:9, an amorphous silicon layer containing 50% of C while bearing a band gap of 2.0-2.3eV can

be deposited. Like this, the band gap of the amorphous silicon layer is influenced by the deposition conditions. The band gap can be easily controlled in the range of 1.7-2.5eV depending upon the amount of addition of carbonaceous compounds.

5 The low temperature deposition gate insulating layer 160, the first amorphous silicon layer 701, the second amorphous silicon layer 702, and the impurities-doped amorphous silicon layer 180 can be sequentially deposited without breaking the vacuum state in the same CVD device.

10 Thereafter, as shown in Figs. 24A and 24B, the first amorphous silicon layer 701, the second amorphous silicon layer 702, and the impurities-doped amorphous silicon layer 180 are patterned through photolithography to thereby form an island-shaped semiconductor layer 171 and an ohmic contact layer 181. At the same time, contact holes 161, 162 and 164 are formed at the low temperature gate insulating layer 160 and the organic
15 insulating layer 140 while exposing the data lines 120, the gate pads 152 and the data pads 124, respectively.

20 At this time, the first and the second amorphous silicon layers 701 and 702, and the impurities-doped amorphous silicon layer 180 should be all removed at the entire area except for the regions over the gate electrodes 151. The first and the second amorphous silicon layer 701 and 702 and the impurities-doped amorphous silicon layer 180 as well as the gate insulating layer 160 should be removed at the regions over the gate pads 152. The first and the second amorphous silicon layers 701 and 702, the impurities-

WO 03/036376

PCT/KR01/01896

doped amorphous silicon layer 180 and the low temperature deposition gate insulating layer 160 as well as the organic insulating film 140 should be removed at the regions over the data lines 120 and the data pads 124.

The above process is performed through photolithography using one
5 mask. For this purpose, a photoresist pattern differentiated in thickness is used for the mask. This will be explained with reference to Figs. 25 and 26.

As shown in Fig. 25, a photoresist film is coated onto the impurities-
doped amorphous silicon layer 180 by a thickness of 1-2 μm , exposed to light
through a mask, and developed to thereby form a photoresist pattern with
10 first and second portions 312 and 314.

The first portion 312 of the photoresist pattern is placed over the gate
electrodes 151 with a thickness larger than the second portion 314 thereof.
The photoresist film over the data lines 120, the data pads 124 and the gate
pads 152 is partially removed. The thickness of the second photoresist
15 pattern portion 314 is established to be 1/2 or less of the thickness of the first
photoresist pattern portion 312. For instance, the thickness of the second
photoresist pattern portion 314 is established to be 4000 Å or less.

The mask 1000 is provided with a semitransparent film or a slit or
lattice pattern smaller than the light decomposition capacity of a light
20 exposing device at the B area. When a positive photoresist film is exposed
to light through the mask 1000, the decomposition degree of high molecules
in the photoresist film is differentiated. When the light exposing stops when
the high molecules at the C area directly exposed to light are completely

WO 03/036376

PCT/KR01/01896

decomposed, the high molecules at the B area are also decomposed at some degree. In case the light exposing time is too long, all of the molecules are liable to be decomposed.

When the photoresist film is developed, the first photoresist pattern
5 portion 312 where the high molecules are not nearly decomposed is left over with the original thickness, the second photoresist pattern portion 314 where the high molecules are decomposed at some degree is left over with a thickness smaller than that of the first photoresist pattern portion 312, and the remaining portion of the photoresist film at the C area where the high
10 molecules are completely decomposed is removed.

In this way, the photoresist pattern differentiated in thickness can be made.

As shown in Fig. 26, the impurities-doped amorphous silicon layer 180, the second amorphous silicon layer 702, the first amorphous silicon
15 layer 702 and the low temperature deposition gate insulating layer 160 are dry-etched using the photoresist pattern with the first and second portions 312 and 314 as an etching mask to thereby form contact holes 162 exposing the gate pads 152, and to expose the buffer layer 140 at the C area. Thereafter, the buffer layer 140 at the C area is dry-etched using the
20 photoresist pattern with the first and second portions 312 and 314 as an etching mask to thereby form contact holes 161 and 164 exposing the data lines 120 and the data pads 124.

The second photoresist pattern portion 314 is then completely

WO 03/036376

PCT/KR01/01896

removed. An ashing process using oxygen may be additionally performed to completely remove the photoresist residue of the second photoresist pattern portion 314.

Consequently, the second photoresist pattern portion 314 is removed
5 while exposing the impurities-doped amorphous silicon layer 180. The first photoresist pattern portion 312 is left over while bearing a thickness reduced by the thickness of the second photoresist pattern portion 314.

Thereafter, the impurities-doped amorphous silicon layer 180 and the underlying first and second amorphous silicon layers 701 and 702 are etched
10 using the first photoresist pattern portion 312 as an etching mask, and removed to thereby form an island-shaped semiconductor layer 171 and an island-shaped ohmic contact layer 181 on the low temperature deposition gate insulating layer 160 over the gate electrodes 151.

Finally, the first photoresist pattern portion 312 is removed. An
15 ashing process using oxygen may be additionally performed to completely remove the photoresist residue of the first photoresist pattern portion 312.

As shown in Figs. 27A and 27B, an ITO-based layer is deposited onto the substrate 100, and patterned through photolithography to thereby form pixel electrodes 410, source electrodes 412, drain electrodes 411,
20 subsidiary gate pads 413, and subsidiary data pads 414. At this time, IZO may be used instead of ITO.

Thereafter, the ohmic contact layer 181 is etched using the source electrodes 412 and the drain electrodes 411 as an etching mask to thereby

WO 03/036376

PCT/KR01/01896

form ohmic contact patterns 182 and 183 while exposing the semiconductor layer between the source electrodes 412 and the drain electrodes 411.

Finally, as shown in Figs. 18 and 19, an insulating material such as silicon nitride and silicon oxide, and a photosensitive organic material
5 containing black pigment are sequentially deposited onto the substrate 100, exposed to light, and developed to thereby form a colored organic film 430. The insulating material is etched using the colored organic film 430 as an etching mask to thereby form a passivation layer 190. The colored organic
10 layer film 430 intercepts the light incident upon the thin film transistors. The colored organic film 430 may be formed over the gate line assembly or the data line assembly to prevent light leakage at the periphery of the gate line assembly or the data line assembly. Furthermore, the organic film 430 may be used as a spacer while being controlled in height.

In the meantime, a transparent conductive material such as ITO and
15 IZO is deposited onto a top insulating substrate 200 to thereby form a common electrode 210.

In case the color organic film 430 is designed to entirely cover the gap between the pixel electrodes 410 and the respective metallic layers, it is not necessary to form a separate black matrix of light interception on the top
20 substrate.

Fig. 28 is a plan view of a thin film transistor array substrate according to a fourth preferred embodiment of the present invention. In this preferred embodiment, other components and structures of the thin film

WO 03/036376

PCT/KR01/01896

transistor array substrate are the same as those related to the third preferred embodiment except that the data line assembly 120, 121 and 124 and the colored organic film 130 are differentiated.

In case the gate lines 150 and the pixel electrodes 410 are designed
5 to be spaced apart from each other, it is necessary to cover the gap of light leakage between the pixel electrodes 410 and the gate lines 150. For this purpose, the data lines 120 formed under the color filters 131, 132 and 133 are partially extended toward the gate lines 150 such that they cover the gap between the gate lines 150 and the pixel electrodes 410. Furthermore, the
10 colored organic film 430 may cover the gap between the neighboring data lines 120.

Meanwhile, a vertical black matrix portion may be formed at the same plane as the gate line assembly 150, 151 and 152 with a material for the gate line assembly to prevent light leakage at the periphery of the screen
15 area. Furthermore, a horizontal black matrix portion may be formed at the same plane as the data line assembly 120, 121 and 124 with a material for the data line assembly to prevent light leakage at the periphery of the screen area.

With the above structure, as the regions of light leakage are all
20 covered by the data line assembly, the gate line assembly and the spacer, it is not necessary to form a separate black matrix at the top substrate. Therefore, the opening ratios can be enhanced without the need of considering the alignment errors between the top substrate and the bottom

WO 03/036376

PCT/KR01/01896

substrate. Furthermore, a gate insulating 160 and a low dielectric buffer layer 140 are formed between the data lines 120 and the pixel electrodes 410 while minimizing the parasitic capacitance there. In this way, the opening ratio can be maximized while improving the characteristic of the display device.

As described above, the thin film transistors are made at lower temperatures. That is, in order to prevent damage to the color filters due to the high temperature processing, the gate insulating layer is formed with a low temperature deposition insulating layer. Furthermore, in order to prevent deterioration in the characteristic of the channel induced in contact with the low temperature deposition gate insulating layer, the channel is not formed at the interface between the low temperature deposition gate insulating layer and the semiconductor layer, but formed at the bulk side of the semiconductor layer.

The above-described structure may be applied for use in various ways. For instance, such a structure is well adapted for use in a plastic liquid crystal display developed for reducing the weight and enhancing the shock-absorption effect while requiring the low temperature processing conditions.

The low dielectric CVD layer based on a-Si:C:O or a-Si:O:F may be used as an embossing insulating layer with prominence and depression to prevent the interception of reflection light at the thin film transistor array substrate for a reflection type liquid crystal display or a semitransparent liquid

WO 03/036376

PCT/KR01/01896

crystal display.

Fig. 29 is a plan view of a thin film transistor array substrate for a reflection type liquid crystal display according to a fifth preferred embodiment of the present invention, and Fig. 30 is a cross sectional view of the thin film transistor array substrate taken along the XXX-XXX' line of Fig. 29.

A gate line assembly is formed on an insulating substrate 10 with a single-layered structure or a multiple-layered structure. The gate line assembly is formed with a low resistance material such as silver, silver alloy, aluminum, or aluminum alloy. The gate line assembly includes gate lines 22 proceeding in the horizontal direction, gate pads 24 connected to the gate lines 22 to receive gate signals from the outside and transmit them to the gate lines 22, and gate electrodes 26 for thin film transistors connected to the gate lines 22.

Storage capacitors may be formed on the substrate 10 to receive common electrode voltages from the outside. The storage capacitors are overlapped with a reflective layer 92 to be formed layer, thereby forming storage capacitors for improving the pixel electrode potential storage capacity.

A gate insulating layer 30 is formed at the substrate 10 with silicon nitride SiN_x such that it covers the gate line assembly.

A semiconductor layer 40 is formed on the gate insulating layer 30 over the gate electrodes 26 with amorphous silicon. Ohmic contact layers 55 and 56 are formed on the semiconductor layer 40 with silicide, or n⁺ hydrogenated amorphous silicon where n-type impurities are doped at high

WO 03/036376

PCT/KR01/01896

concentration.

A data line assembly is formed on the ohmic contact layers 55 and 56 and the gate insulating layer 30 while bearing a conductive layer formed with a low resistance conductive material such as aluminum and silver. The data line assembly includes data lines 62 crossing over the gate lines 22 while defining pixel regions, source electrodes 65 connected to the data lines 62 while being extended over the ohmic contact layer 55, data pads 68 connected to the one-sided ends of the data lines 62 to receive picture signals from the outside, and drain electrodes 66 facing the source electrodes 65 around the gate electrodes 26 while being separated from the source electrodes 65. The drain electrodes 66 are formed on the ohmic contact layer 56 while being extended inside of the pixel regions.

A passivation layer 70 is formed on the data line assembly and the semiconductor layer 40 exposed through the data line assembly with a-Si:C:O or a-Si:O:F. The a-Si:C:O or a-Si:O:F-based layer (the low dielectric CVD layer) is deposited through plasma enhanced chemical vapor deposition (PECVD). The passivation layer 70 bears a pattern of prominence and depression to maximize the reflection efficiency of a reflective layer 92 to be formed later.

The passivation layer 70 has contact holes 76 and 78 exposing the drain electrodes 66 and the data pads 68, and contact holes 74 exposing the gate pads 24 together with the gate insulating layer 30.

A reflective layer 92 is formed on the passivation layer 70 at the pixel

WO 03/036376

PCT/KR01/01896

regions while being electrically connected to the drain electrodes 66 through the contact holes 76. Subsidiary gate pads 96, and subsidiary data pads 98 are formed on the passivation layer 70 while being connected to the gate and the data pads 24 and 68 through the contact holes 74 and 78. The subsidiary gate and data pads 96 and 98 protect the gate and data pads 24 and 68, but may be dispensed.

A method of fabricating the thin film transistor array substrate will be now explained with reference to Figs. 31A to 34B.

As shown in Figs. 31A and 31B, a low resistance conductive material is deposited onto a glass substrate 10, and patterned through photolithography to thereby form a gate line assembly proceeding in the horizontal direction. The gate line assembly includes gate lines 22, gate electrodes 26, and gate pads 24.

Thereafter, as shown in Figs. 32A and 32B, a silicon nitride-based gate insulating layer 30, an amorphous silicon-based semiconductor layer 40 and a doped amorphous silicon layer 50 are sequentially deposited onto the substrate 10 with the gate line assembly. The semiconductor layer 40, and the doped amorphous silicon layer 50 are patterned through photolithography to thereby form a semiconductor pattern 40 and an ohmic contact pattern 50 on the gate insulating layer 30 over the gate electrodes 24.

As shown in Figs. 33A and 33B, a conductive layer is deposited onto the substrate 10, and patterned through photolithography to thereby form a data line assembly. The data line assembly includes data lines 62 crossing

WO 03/036376

PCT/KR01/01896

over the gate lines 22, source electrodes 65 connected to the data lines 62 while being extended over the gate electrodes 26, and data pads 68 connected to the one-sided ends of the data lines 62, and drain electrodes 66 facing the source electrodes 65 around the gate electrodes 26 while being
5 separated from the source electrodes 65.

The ohmic contact pattern 50 exposed through the data line assembly is etched, and separated into two pattern portions with respect to the gate electrodes 26. In order to stabilize the surface of the semiconductor pattern 40, it is preferable that oxygen plasma is made with
10 respect to the semiconductor pattern 40.

Thereafter, as shown in Figs. 34A and 34B, an a-Si:C:O or a-Si:O:F-based layer is grown through chemical vapor deposition (CVD) to thereby form a passivation layer 70. In the case of an a-Si:C:O-based layer, a gaseous material such as $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$, $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ and
15 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ is used as a basic source while introducing a mixture of an oxide agent such as N_2O and O_2 , and Ar or He. Furthermore, in the case of an a-Si:O:F-based layer, a gaseous material such as SiH_4 and SiF_4 with the addition of O_2 is introduced during the deposition process. At this time, CF_4 may be added as a subsidiary source for fluorine. The passivation layer 70
20 is patterned through photolithography together with the gate insulating layer 30 to thereby form contact holes 74, 76 and 78 exposing the gate pads 24, the drain electrodes 66 and the data pads 68. At the same time, a pattern of prominence and depression is formed on the passivation layer 70.

WO 03/036376

PCT/KR01/01896

The half tone light exposing as employed in relation to the second preferred embodiment is made to form the contact holes 74, 76 and 78 and the pattern of prominence and depression together. That is, a photoresist film is exposed to light through a mask with a slit or lattice pattern or a semitransparent film, and developed such that the photoresist film portion at the area of contact holes 74, 76 and 78 is entirely removed while exposing the passivation layer 70, the photoresist film portion at the area of a prominence pattern is left over with a small thickness, and the photoresist film portion at the area of a depression pattern is left over with a large thickness.

Thereafter, the passivation layer 70 and the gate insulating layer 30 are etched using the photoresist pattern as an etching mask to thereby form contact holes 74, 76 and 78, and the thin photoresist pattern portion is removed through ashing. At this time, the thick photoresist pattern portion is also partially removed through the ashing while being reduced in thickness.

The passivation layer 70 is etched for a predetermined period of time to thereby form prominence portions. The etching time is determined in consideration of the etching rate of the passivation layer 70, and the depth of the prominence portions.

As shown in Figs. 29 and 30, a conductive layer is deposited onto the substrate 10 with a reflective conductive material such as silver and aluminum, and patterned through photolithography to thereby form a reflective layer 92 connected to the drain electrodes 66 through the contact

WO 03/036376

PCT/KR01/01896

holes 76, and subsidiary gate and data pads 96 and 98 connected to the gate and the data pads 24 and 68 through the contact holes 74 and 78, respectively.

Fig. 35 is a plan view of a thin film transistor array substrate for a
5 semitransparent liquid crystal display according to a sixth preferred embodiment of the present invention, and Fig. 36 is a cross sectional view of the thin film transistor array substrate taken along the XXXVI-XXXVI' line of Fig. 35.

A gate line assembly is formed on an insulating substrate 10 with a
10 single-layered structure or a multiple-layered structure. The gate line assembly is formed with a low resistance material such as silver, silver alloy, aluminum, or aluminum alloy. The gate line assembly includes gate lines 22 proceeding in the horizontal direction, gate pads 24 connected to the gate lines 22 to receive gate signals from the outside and transmit them to the
15 gate lines 22, and gate electrodes 26 for thin film transistors connected to the gate lines 22. In case the gate line assembly has a multiple-layered structure, it preferably contains a pad material bearing good contact characteristic with other materials.

A gate insulating layer 30 is formed on the substrate 10 with silicon
20 nitride SiNx such that it covers the gate line assembly.

A semiconductor layer 40 is formed on the gate insulating layer 30 over the gate electrodes 26 with amorphous silicon. Ohmic contact layers 55 and 56 are formed on the semiconductor layer 40 with silicide, or n+

WO 03/036376

PCT/KR01/01896

hydrogenated amorphous silicon where n-type impurities are doped at high concentration.

A data line assembly is formed on the ohmic contact layers 55 and 56 and the gate insulating layer 30 while bearing a conductive layer formed
5 with a low resistance conductive material such as aluminum and silver. The data line assembly includes data lines 62 crossing over the gate lines 22 while defining pixel regions, source electrodes 65 connected to the data lines 62 while being extended over the ohmic contact layer 55, data pads 68 connected to the one-sided ends of the data lines 62 to receive picture
10 signals from the outside, and drain electrodes 66 facing the source electrodes 65 around the gate electrodes 26 while being separated from the source electrodes 65.

A passivation layer 70 is formed on the data line assembly and the semiconductor layer 40 exposed through the data line assembly with a-
15 Si:C:O or a-Si:O:F. The a-Si:C:O or a-Si:O:F-based layer (the low dielectric CVD layer) is deposited through plasma enhanced chemical vapor deposition (PECVD). The a-Si:C:O or a-Si:O:F-based layer bears a dielectric constant of 4 or less. Therefore, the passivation layer 70 does not involve the problem of parasitic capacitance even if it bears a thin thickness.
20 Furthermore, the passivation layer 70 involves good adhesion characteristic and step coverage characteristic in relation to other layers. As the passivation layer 70 is based on a low dielectric CVD film, it bears excellent thermostability compared to that based on an organic insulating film. In

WO 03/036376

PCT/KR01/01896

addition, the a-Si:C:O or a-Si:O:F-based layer deposited through PECVD exhibits an advantage in the processing time as the deposition speed or etching speed related thereto is rapid by four to ten times compared to that related to a silicon nitride-based layer.

5 The passivation layer 70 has contact holes 76 and 78 exposing the drain electrodes 66 and the data pads 68, and contact holes 74 exposing the gate pads 24 together with the gate insulating layer 30.

Transparent electrodes 82 are formed on the passivation layer 70 at the pixel regions while being electrically connected to the drain electrodes 66
10 through the contact holes 76. Furthermore, subsidiary gate and data pads 86 and 88 are formed on the passivation layer 70 while being connected to the gate and the data pads 24 and 68 through the contact holes 74 and 78. The transparent electrodes 82 and the subsidiary gate and data pads 86 and 88 are formed with indium tin oxide (ITO) or indium zinc oxide (IZO).

15 An inter-layered insulating layer 34 is formed on the transparent electrodes 82 while bearing contact holes 36 partially exposing the transparent electrodes 82. The inter-layered insulating layer 34 is formed with a-Si:C:O or a-Si:O:F. The a-Si:C:O or a-Si:O:F-based layer (the low dielectric CVD layer) is deposited through plasma enhanced chemical vapor
20 deposition (PECVD). It is preferable that the inter-layered insulating layer 34 passivation layer 70 bears a pattern of prominence and depression to maximize the reflection efficiency of a reflective layer 92 to be formed later.

A reflective layer 92 is formed on the inter-layered insulating layer 34

WO 03/036376

PCT/KR01/01896

with light transmission windows 96 at transmission mode regions T while being electrically connected to the transparent electrodes 82 through the contact holes 36. The reflective layer 92 is formed with a high reflective conductive material such as aluminum, aluminum alloy, silver, silver alloy, 5 molybdenum, and molybdenum alloy. The reflective layer 92 forms pixel electrodes in association with the transparent electrodes 82. The light transmission windows 96 of the reflective layer 92 may be formed with various shapes. Plural numbers of windows 96 may be formed at one pixel region. Even if a pattern of prominence and depression is formed at the 10 inter-layered insulating layer 34, it is preferable that such a pattern of prominence and depression is not formed at the area of the windows 96.

The pixel electrodes 82 and 92 are overlapped with the front gate lines 22 to thereby form storage capacitors. If needed, a storage capacitor line assembly may be formed at the same plane as the gate line assembly to 15 obtain the required storage capacity.

A method of fabricating the thin film transistor array substrate will be now explained in detail.

In this preferred embodiment, the procedures of processing are the same as those related to the fifth preferred embodiment up to the step of 20 forming a data line assembly and hence, illustrated in Figs. 31A to 33B.

After the data line assembly is formed, as shown in Figs. 37A and 37B, an a-Si:C:O or a-Si:O:F-based layer is grown on the data line assembly through chemical vapor deposition (CVD) to thereby form a passivation layer

WO 03/036376

PCT/KR01/01896

70. The passivation layer 70 is then patterned through photolithography together with the gate insulating layer 30 to thereby form contact holes 74, 76 and 78 exposing the gate pads 24, the drain electrodes 66, and the data pads 68. In this process, dry etching is used.

5 Thereafter, as shown in Figs. 38A and 38B, an ITO or IZO-based layer is deposited onto the substrate 10, and etched through photolithography to thereby form transparent electrodes 82, and subsidiary gate and data pads 86 and 88. The transparent electrodes 82 are connected to the drain electrodes 66 through the contact holes 76. The
10 subsidiary gate and data pads 86 and 88 are connected to the gate and data pads 24 and 68 through the contact holes 74 and 78.

As shown in Figs. 39A and 39B, an a-Si:C:O or a-Si:O:F-based layer is grown through chemical vapor deposition (CVD), and patterned through photolithography to thereby form an inter-layered insulating layer 34 with
15 contact holes 36 exposing the transparent electrodes 82. At this time, a pattern of prominence and depression may be formed at the inter-layered insulating layer 34. In this case, a half tone light exposing is made as in the process of patterning the passivation layer according to the fifth preferred embodiment.

20 Finally, as shown in Figs. 35 and 36, a conductive layer based on a high reflective material such as aluminum, silver and molybdenum is deposited, and patterned to thereby form a reflective layer 92 with light transmission opening windows 96.

WO 03/036376

PCT/KR01/01896

The a-Si:C:O or a-Si:O:F-based layer (the low dielectric CVD layer) may be also used to form a gate insulating layer.

Fig. 40 is a cross sectional view of a thin film transistor array substrate according to a seventh preferred embodiment of the present invention. In this preferred embodiment, other components and structures of the thin film transistor array substrate are the same as those related to the first preferred embodiment except that the gate insulating layer has a double-layered structure. The gate insulating layer has an a-Si:C:O or a-Si:O:F-based layer portion 31, and a silicon nitride-based layer portion 32. The a-Si:C:O or a-Si:O:F-based layer portion 31 (the low dielectric CVD layer) is formed through PECVD.

The gate insulating layer should be kept to bear a dense membranous structure in consideration of its interfacial characteristic with respect to the amorphous silicon-based semiconductor layer 40. As the membranous structure of the gate insulating layer is denser, the speed of deposition thereof becomes slower while increasing the processing time. Meanwhile, it is known that the thin film transistors are well operated when the dense membranous structure of the gate insulating layer is maintained up to the thickness of about 500 Å from its interfacial surface in contact with the semiconductor layer 40. Accordingly, when the top layer portion of the gate insulating layer is formed with an a-Si:C:O or a-Si:O:F-based layer involving a rapid deposition speed and the bottom layer portion thereof with a silicon nitride-based layer involving a dense membranous structure, the capacity of

WO 03/036376

PCT/KR01/01896

the thin film transistors is not deteriorated while reducing the processing time. The a-Si:C:O-based layer involves a deposition speed four to ten times greater than that of the silicon nitride-based layer. The a-Si:C:O-based layer, and the silicon nitride-based layer are sequentially deposited in a
5 vacuum state.

Such a gate insulating layer with a low dielectric CVD layer portion and a silicon nitride-based layer portion may be applied for use in the thin film transistor array substrates according to the second to the sixth preferred embodiments.

10 As described above, the passivation layer is formed using a low dielectric CVD layer while not involving the problem of parasitic capacitance. This structure can serve to enhance the opening ratio, and to reduce the processing time. Furthermore, the problems of high material cost, poor thermostability and weak adhesive strength occurring to the use of an
15 organic insulating layer can be solved.

While the present invention has been described in detail with reference to the preferred embodiments, those skilled in the art will appreciate that various modifications and substitutions can be made thereto without departing from the spirit and scope of the present invention as set
20 forth in the appended claims.

WO 03/036376

PCT/KR01/01896

WHAT IS CLAIMED IS:

1. A thin film transistor array substrate comprising:
an insulating substrate;
a first signal line formed on the insulating substrate;
5 a first insulating layer formed on the first signal line;
a second signal line formed on the first insulating layer while crossing
over the first signal line;
a thin film transistor connected to the first and the second signal
lines;
10 a second insulating layer formed on the thin film transistor with a
CVD layer having dielectric constant 4.0 or less, the second insulating layer
having a first contact hole exposing a predetermined electrode of the thin film
transistor; and
a first pixel electrode formed on the second insulating layer while
15 being connected to the predetermined electrode of the thin film transistor
through the first contact hole.
2. The thin film transistor array substrate of claim 1 wherein the
first insulating layer has a bottom layer portion based on a CVD layer having
dielectric constant 4 or less, and a top layer portion based on a silicon nitride
20 layer.
3. The thin film transistor array substrate of claim 1 wherein the
first pixel electrode is formed with an opaque conductive material of light
reflection.

WO 03/036376

PCT/KR01/01896

4. The thin film transistor array substrate of claim 3 wherein the second insulating layer has a pattern of prominence and depression.
5. The thin film transistor array substrate of claim 1 further comprising:
- 5 a third insulating layer formed on the first pixel electrode with a CVD layer having dielectric constant 4.0 or less, the third insulating layer having a second contact hole exposing a predetermined portion of the first pixel electrode; and
- 10 a second pixel electrode formed on the third insulating layer with an opaque conductive material of light reflection while being connected to the predetermined portion of the first pixel electrode through the second contact hole;
- wherein the first pixel electrode is formed with a transparent conductive material, and the second pixel electrode has a predetermined
- 15 opening portion capable of passing the light transmitted through the first pixel electrode.
6. The thin film transistor array substrate of claim 1 wherein the a CVD layer is formed with a-Si:C:O.
7. The thin film transistor array substrate of claim 1 wherein the
- 20 CVD layer is formed with a-Si:C:O.
8. The thin film transistor array substrate of claim 1 wherein the CVD layer has a dielectric constant of 2-4.
9. A thin film transistor array substrate comprising:

WO 03/036376

PCT/KR01/01896

a data line assembly formed on an insulating substrate, the data line assembly including data lines;

color filters of red, green and blue formed on the insulating substrate;

a buffer layer formed on the data line assembly and the color filters
5 with a CVD layer, the buffer layer having a first contact hole exposing a predetermined portion of the data line assembly;

a gate line assembly formed on the buffer layer, the gate line assembly including gate lines crossing over the data lines while defining pixel regions, and gate electrodes connected to the gate lines;

10 a gate insulating layer formed on the gate line assembly, the gate insulating layer having a second contact hole partially exposing the first contact hole;

a semiconductor pattern formed on the gate insulating layer over the gate electrodes; and

15 a pixel line assembly including source electrodes connected to the data lines through the first and the second contact holes while partially contacting the semiconductor pattern, drain electrodes facing the source electrodes over the semiconductor pattern, and pixel electrodes connected to the drain electrodes.

20 10. The thin film transistor array substrate of claim 9 wherein the semiconductor pattern has a first amorphous silicon layer with a predetermined band gap, and a second amorphous silicon layer with a band gap lower than the band gap of the first amorphous silicon layer.

WO 03/036376

PCT/KR01/01896

11. The thin film transistor array substrate of claim 10 further comprising light interception members formed at the same plane as the data lines with the same material as the data lines while being placed corresponding to the semiconductor pattern.
- 5 12. The thin film transistor array substrate of claim 11 wherein the light interception members are extended toward the gate lines.
13. The thin film transistor array substrate of claim 1 wherein the buffer layer has a dielectric constant of 2-4.
14. A thin film transistor array substrate for a liquid crystal
10 display comprising:
an insulating substrate;
a gate line assembly formed on the substrate, the gate line assembly including gate lines, gate electrodes, and gate pads;
a gate insulating layer formed on the gate line assembly, the gate
15 insulating layer having contact holes exposing the gate pads;
a semiconductor pattern formed on the gate insulating layer;
an ohmic contact pattern formed on the semiconductor pattern;
a data line assembly formed on the ohmic contact pattern while bearing substantially the same shape as the ohmic contact pattern, the data
20 line assembly including source electrodes, drain electrodes, data lines, and data pads;
a passivation pattern formed on the data line assembly with a CVD layer having dielectric constant 4.0 or less, the passivation pattern having

WO 03/036376

PCT/KR01/01896

contact holes exposing the gate pads, the data pads, and the drain electrodes; and

a transparent electrode pattern electrically connected to the gate pads, the data pads, and the drain electrodes.

5 15. The thin film transistor array substrate of claim 14 further comprising:

storage capacitor lines formed at the same plane as the gate line assembly;

10 a storage capacitor semiconductor pattern overlapped with the storage capacitor lines while being placed at the same plane as the semiconductor pattern;

a storage capacitor ohmic contact pattern formed on the storage capacitor semiconductor pattern while bearing the same outline as the storage capacitor semiconductor pattern; and

15 a storage capacitor conductive pattern formed on the storage capacitor ohmic contact pattern while bearing the same outline as the storage capacitor semiconductor pattern;

wherein the storage capacitor conductive pattern is partially connected to the transparent electrode pattern.

20 16. The thin film transistor array substrate of claim 14 wherein the CVD layer has a dielectric constant of 2-4.

17. A method of fabricating a thin film transistor array substrate, the method comprising the steps of:

WO 03/036376

PCT/KR01/01896

forming a gate line assembly, the gate line assembly including gate lines, gate electrodes connected to the gate lines, and gate pads connected to the gate lines;

forming a gate insulating layer;

5 forming a semiconductor layer;

forming a data line assembly through depositing and patterning a conductive layer, the data line assembly including data lines crossing over the gate lines, data pads connected to the data lines, source electrodes connected to the data lines while being placed close to the gate electrodes, and drain electrodes facing the source electrodes around the gate electrodes;

forming a passivation layer through depositing a CVD layer having dielectric constant 4.0 or less;

15 patterning the gate insulating layer together with the passivation layer to thereby form contact holes exposing the gate pads, the data pads, and the drain electrodes; and

depositing and patterning a transparent conductive layer to thereby form subsidiary gate pads connected to the gate pads, subsidiary data pads connected to the data pads, and pixel electrodes connected to the drain electrodes.

20 18. The method of claim 17 wherein the passivation layer is formed through PECVD using a gaseous material selected from the group consisting of $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$ and $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ as a basic source

WO 03/036376

PCT/KR01/01896

while introducing an oxide agent of N_2O or O_2 .

19. The method of claim 17 wherein the passivation layer is formed through PECVD using a gaseous material selected from the group consisting of SiH_4 and SiF_4 as a basic source while adding CF_4 and O_2 thereto.

20. The method of claim 17 wherein the data line assembly and the semiconductor layer are formed through photolithography using a photoresist pattern with a first portion bearing a predetermined thickness, a second portion bearing a thickness larger than the thickness of the first portion, and a third portion bearing a thickness smaller than the thickness of the first portion.

21. The method of claim 20 wherein the first photoresist pattern portion is placed between the source and the drain electrodes, and the second photoresist pattern portion is placed over the data line assembly.

22. The method of claim 17 wherein the step of forming the gate insulating layer comprises the sub-steps of first depositing a CVD layer having dielectric constant 4.0 or less, and second depositing a silicon nitride layer, the first and second sub-steps being performed in a vacuum state.

23. A method of fabricating a thin film transistor array substrate, the method comprising the steps of:

(a) forming a data line assembly on an insulating substrate, the data line assembly including data lines;

(b) forming color filters of red, green and blue at the substrate;

WO 03/036376

PCT/KR01/01896

(c) forming a buffer layer through depositing a CVD layer having dielectric constant 4.0 or less such that the buffer layer covers the data line assembly and the color filters;

(d) forming a gate line assembly on the insulating layer, the gate line assembly including gate lines, and gate electrodes;

(e) forming a gate insulating layer such that the gate insulating layer covers the gate line assembly;

(f) forming an island-shaped ohmic contact pattern and an island-shaped semiconductor pattern on the gate insulating layer while forming first contact holes at the gate insulating layer and the buffer layer such that the contact holes partially expose the data lines;

(g) forming a pixel line assembly, the pixel line assembly including source and drain electrodes formed on the island-shaped ohmic contact pattern at the same plane while being separated from each other, and pixel electrodes connected to the drain electrodes; and

(h) dividing the ohmic contact pattern into two pattern parts through removing the portions of the ohmic contact pattern exposed between the source and the drain electrodes.

24. The method of claim 23 wherein the (f) step comprises the sub-steps of:

sequentially depositing an amorphous silicon layer and an impurities-doped amorphous silicon layer onto the gate insulating layer;

forming a photoresist pattern such that the photoresist pattern has a

WO 03/036376

PCT/KR01/01896

first portion covering a predetermined area of the gate electrode with a predetermined thickness, and a second portion covering the remaining area except for the regions of first contact holes to be formed later with a thickness smaller than the thickness of the first portion;

5 etching the impurities-doped amorphous silicon layer, the amorphous silicon layer, the gate insulating layer and the buffer layer using the first and second portions of the photoresist pattern as a mask to thereby form the first contact holes;

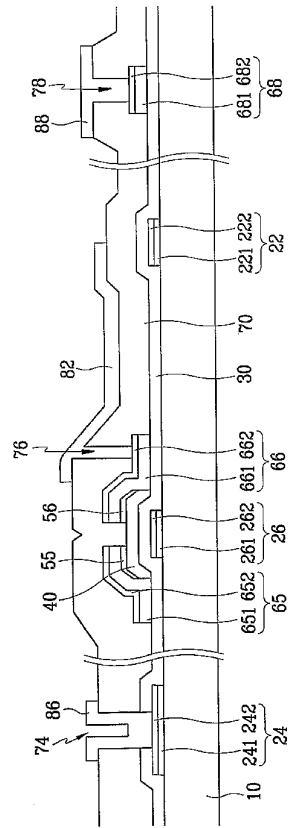
 removing the second portion of the photoresist pattern;

10 etching the impurities-doped amorphous silicon layer and the amorphous silicon layer using the first portion of the photoresist pattern as a mask to thereby form the island-shaped semiconductor pattern and the island-shaped ohmic contact pattern; and

 removing the first portion of the photoresist pattern.

15 25. The method of claim 17 wherein the CVD layer has a dielectric constant of 2-4.

FIG. 2



WO 03/036376

PCT/KR01/01896

3/67
FIG.3A

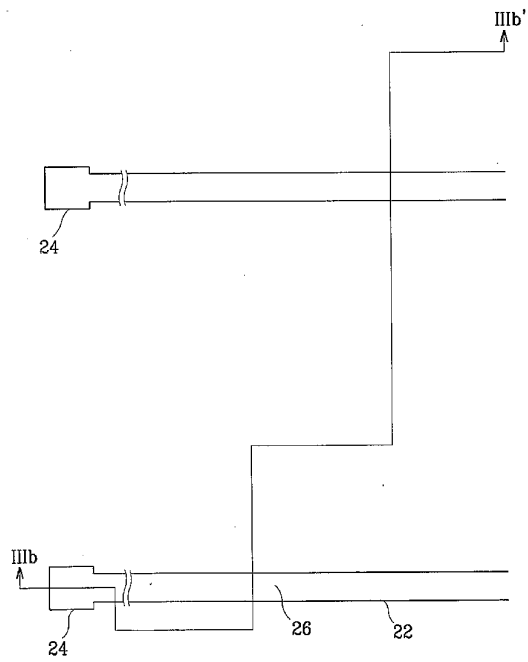
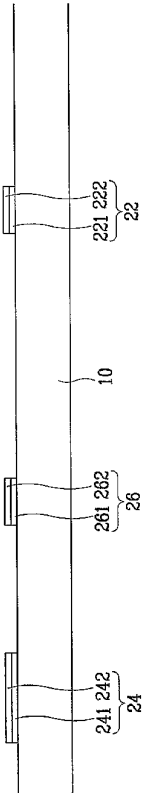
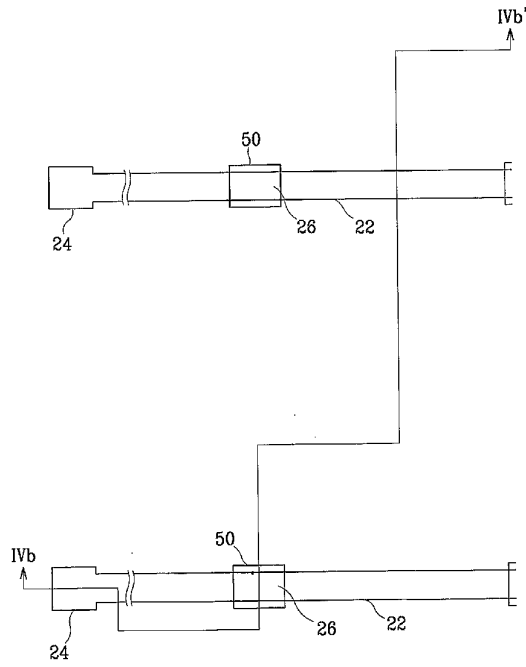


FIG. 3B



WO 03/036376

PCT/KR01/01896

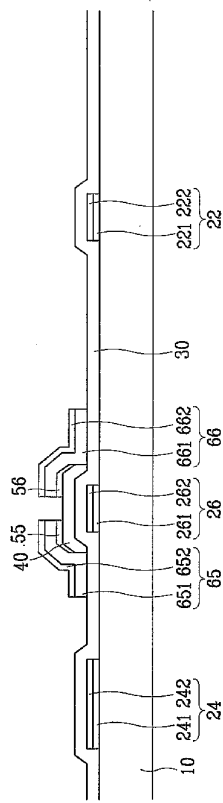
5/67
FIG.4A

WO 03/036376

PCT/KR01/01896

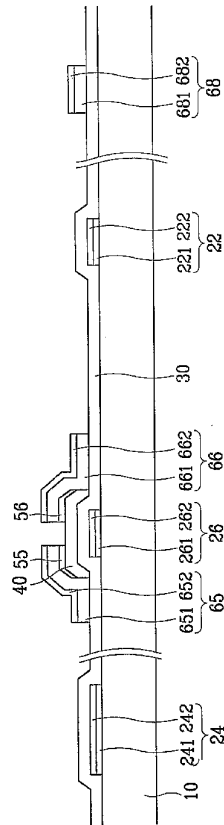
6/67

FIG.4B



8/67

FIG. 5B



WO 03/036376

PCT/KR01/01896

9/67
FIG.6A

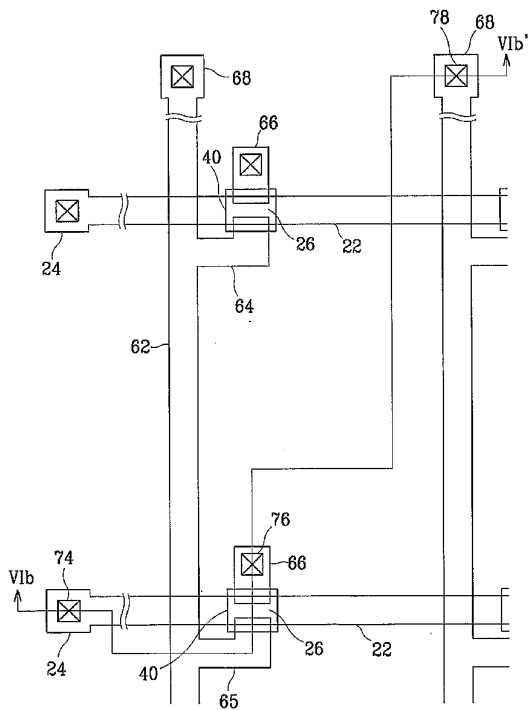
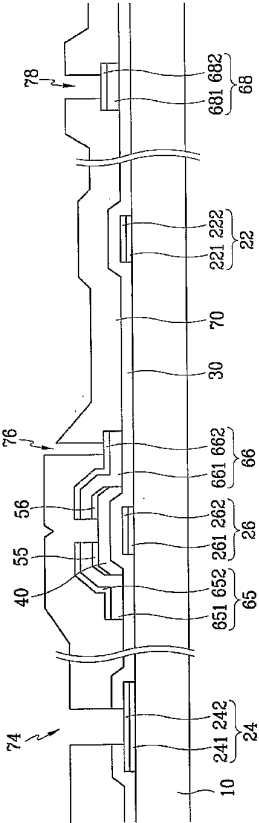


FIG. 6B



WO 03/036376

PCT/KR01/01896

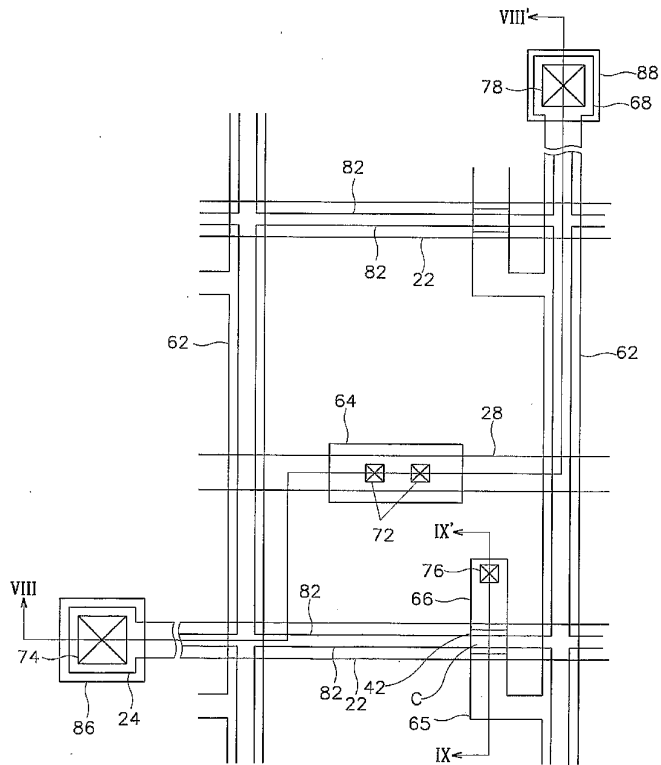
11/67
FIG. 7

FIG. 8

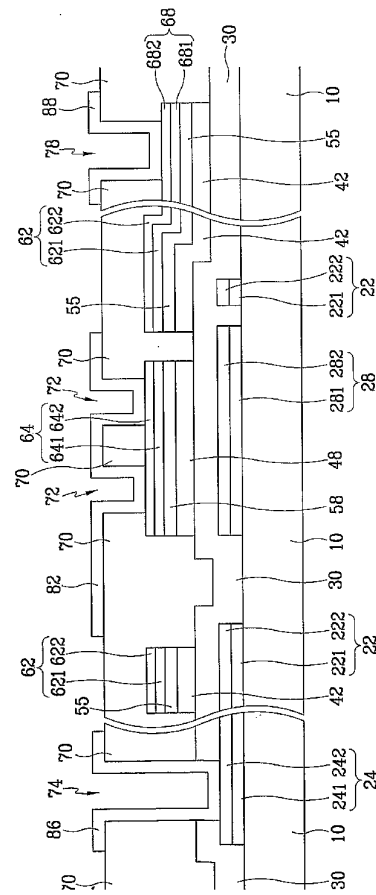
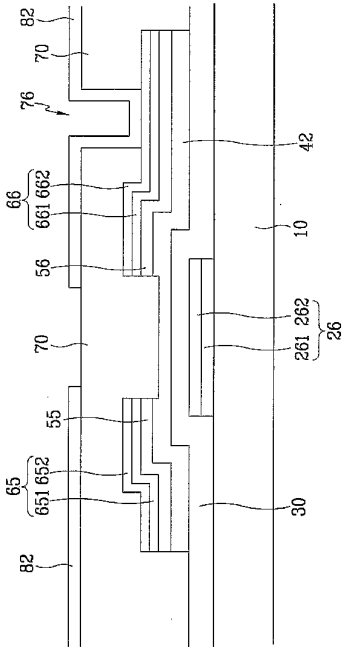


FIG. 9



WO 03/036376

PCT/KR01/01896

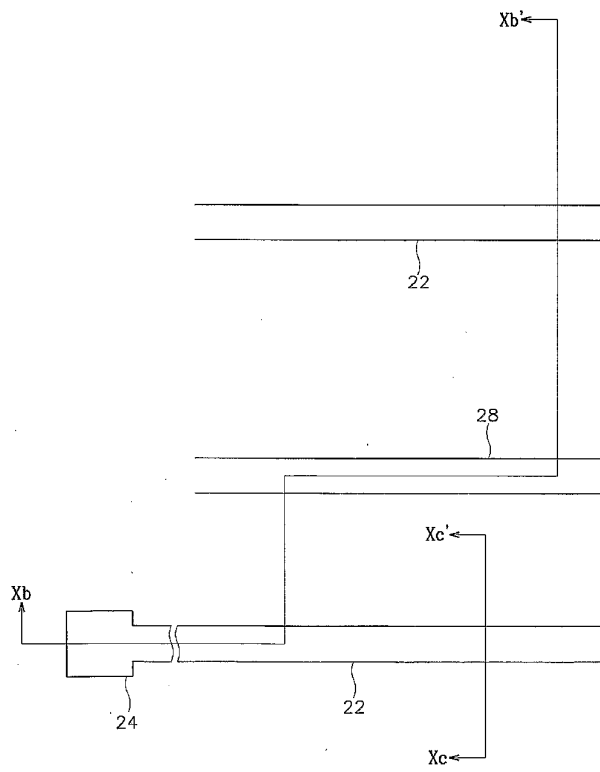
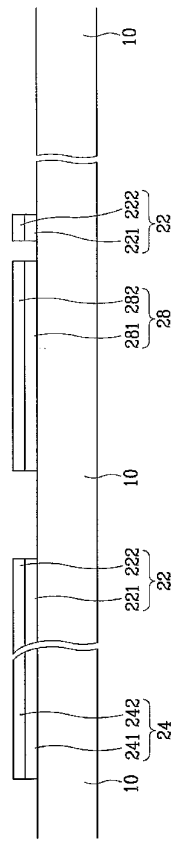
14/67
FIG.10A

FIG.10B



WO 03/036376

PCT/KR01/01896

16/67

FIG.10C

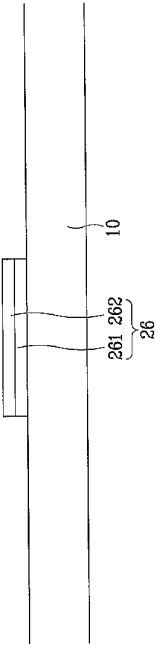


FIG.11A

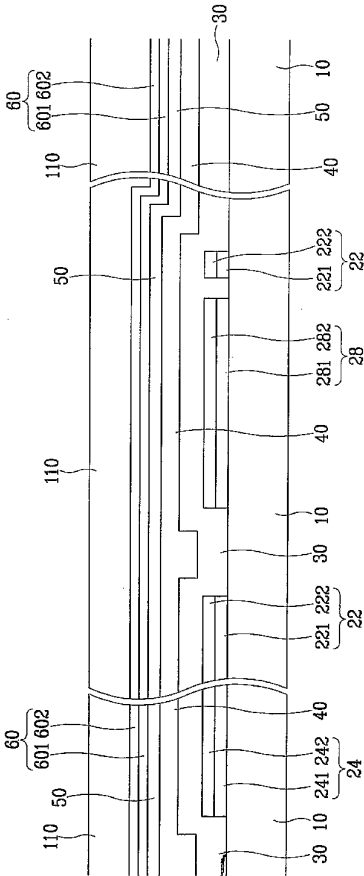
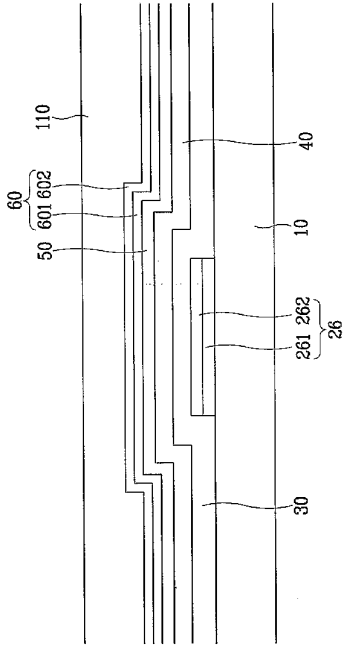
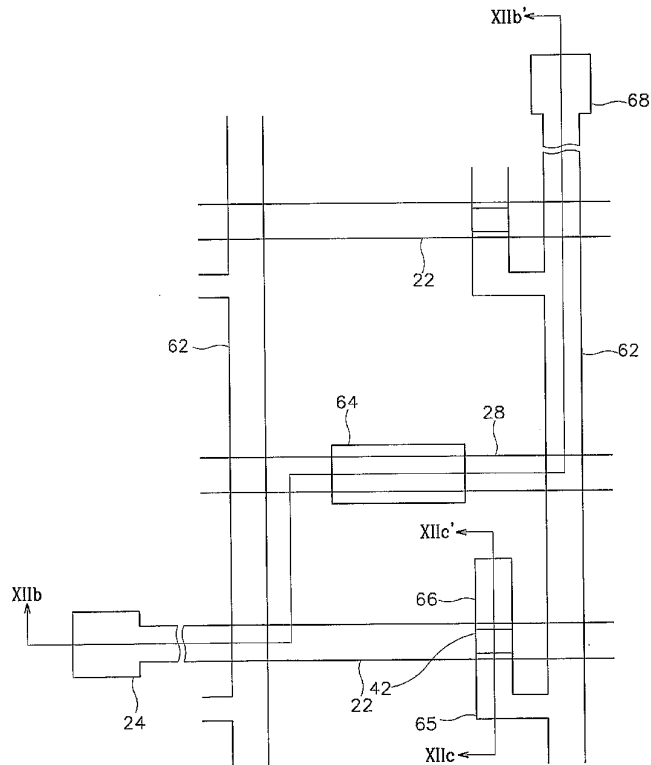


FIG.11B



WO 03/036376

PCT/KR01/01896

19/67
FIG.12A

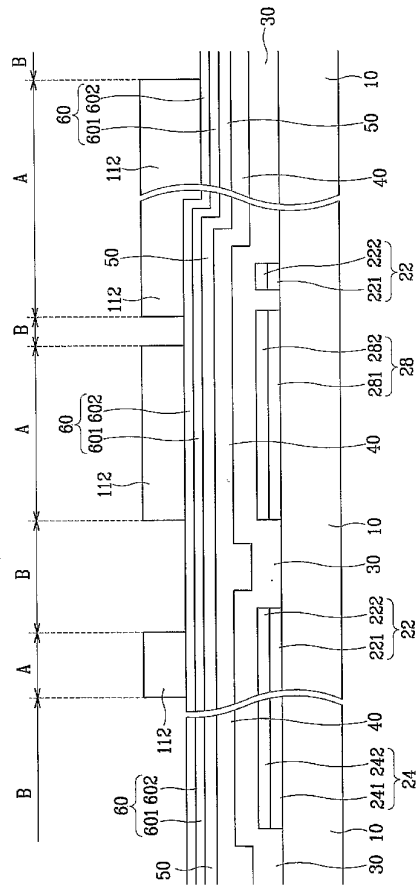


FIG. 12C

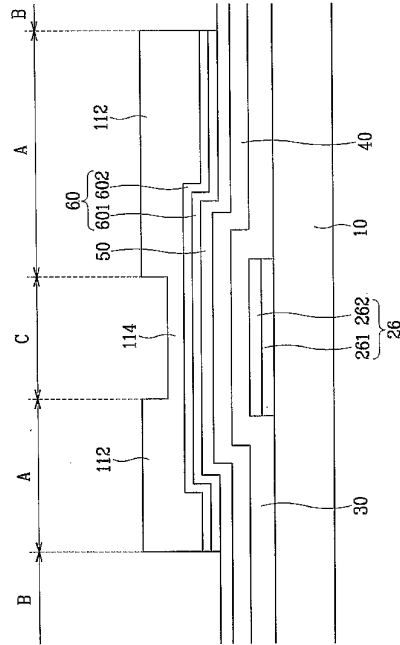


FIG.13A

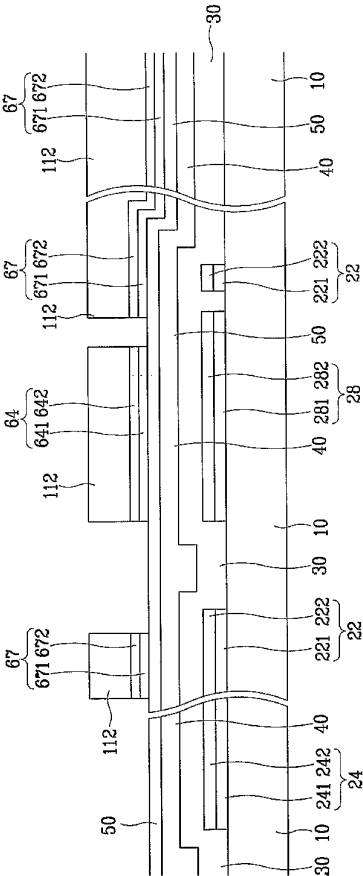


FIG.13B

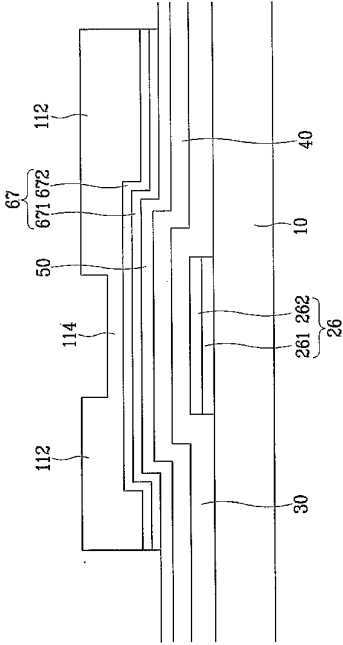
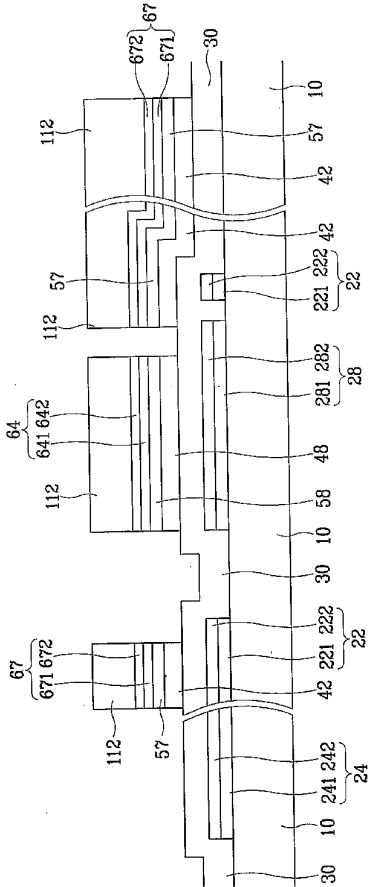


FIG.14A



WO 03/036376

PCT/KR01/01896

FIG.14B

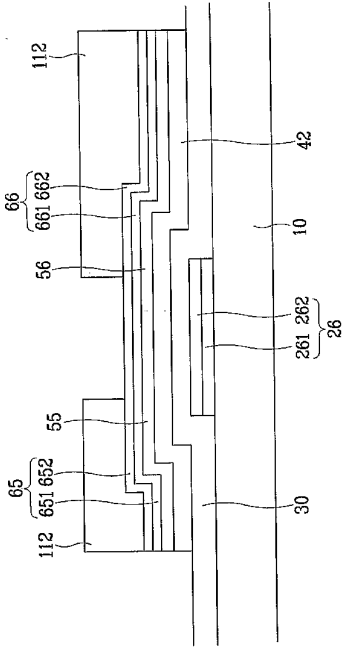
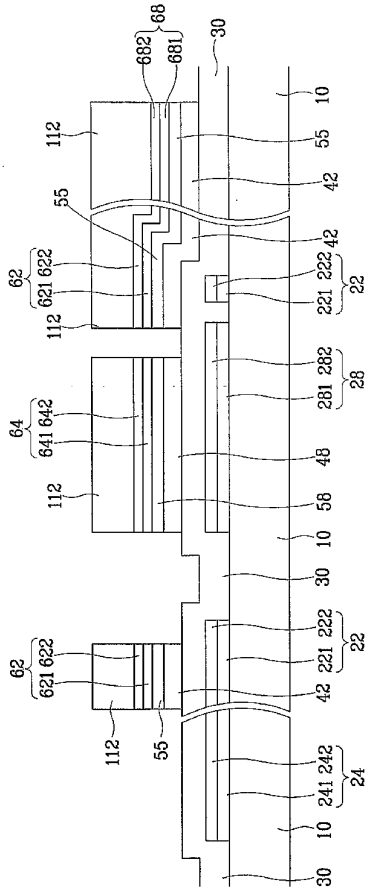
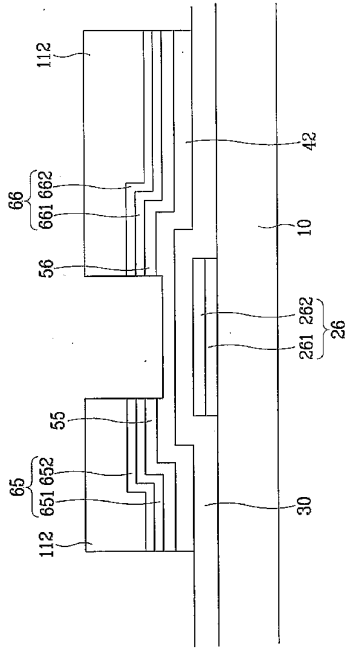


FIG.15A



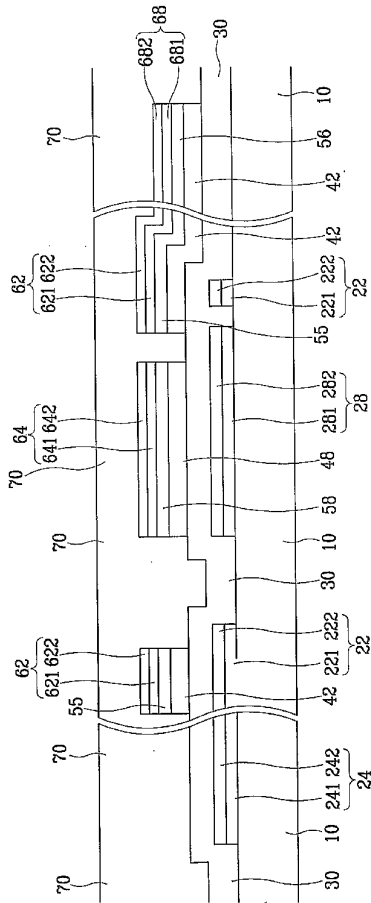
27/67

FIG.15B



28/67

FIG.16A

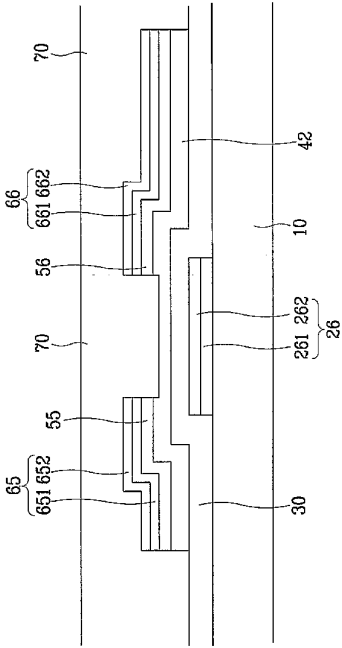


WO 03/036376

PCT/KR01/01896

29/67

FIG.16B



WO 03/036376

PCT/KR01/01896

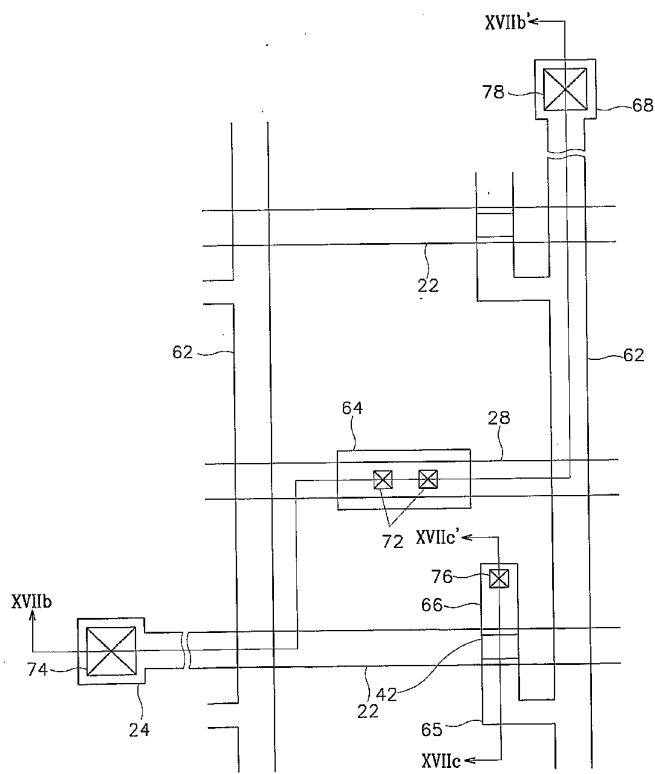
30/67
FIG.17A

FIG.17B

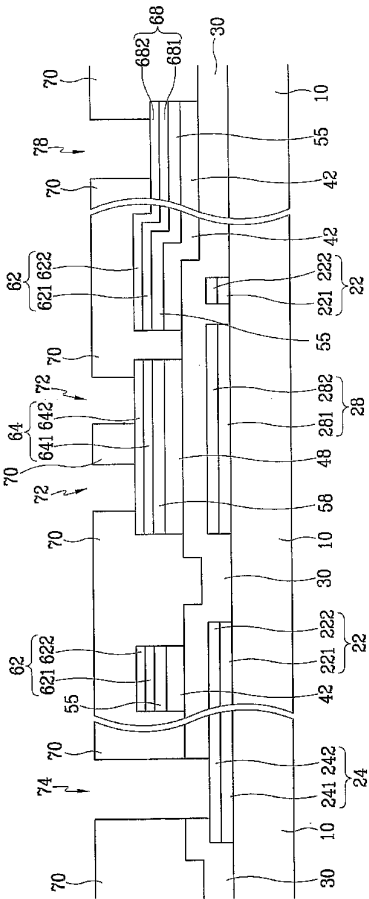


FIG.17C

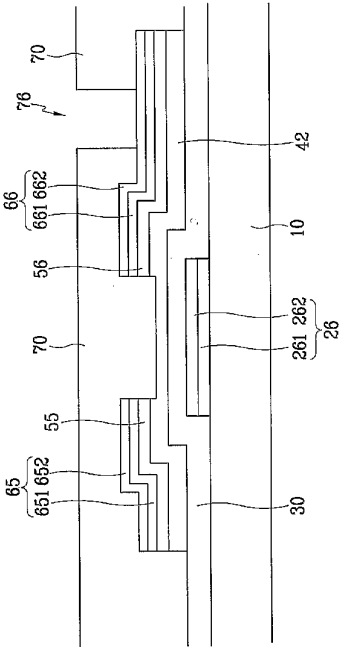


FIG.18

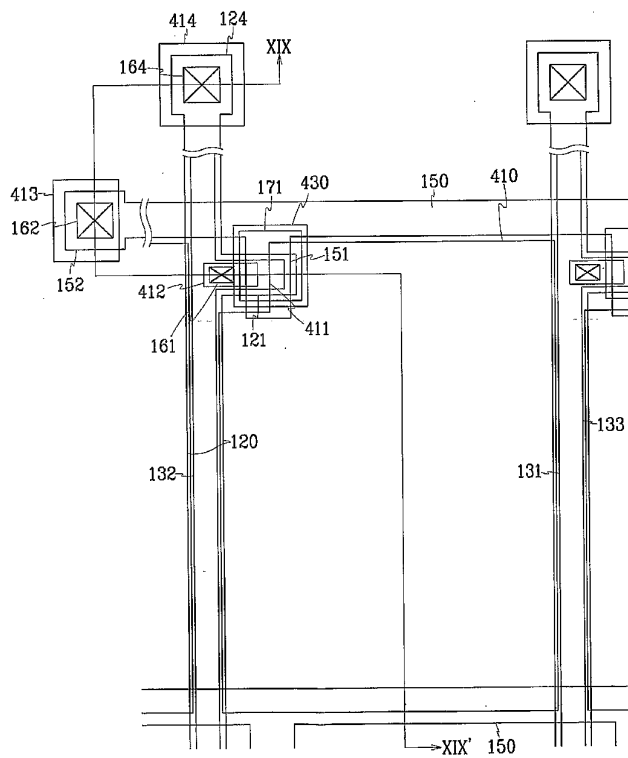
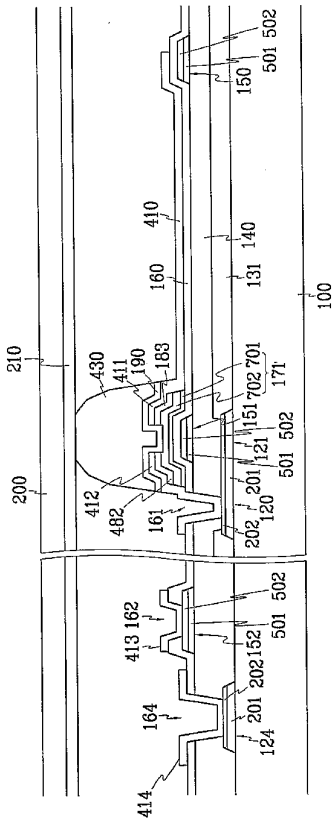


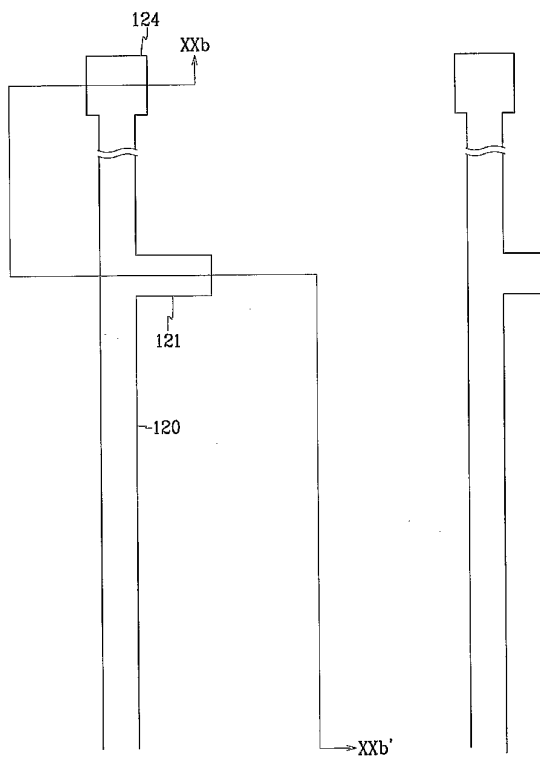
FIG.19



WO 03/036376

PCT/KR01/01896

35/67
FIG.20A

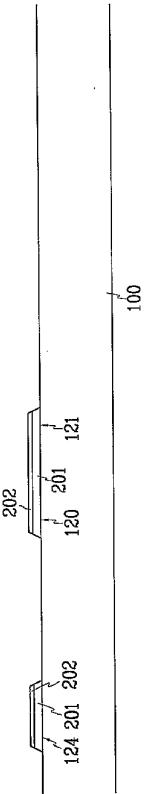


WO 03/036376

PCT/KR01/01896

36/67

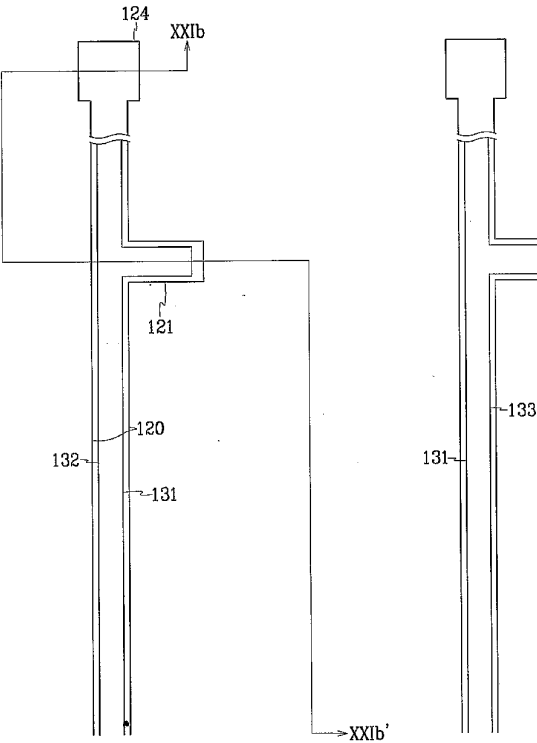
FIG. 20B



WO 03/036376

PCT/KR01/01896

37/67
FIG.21A

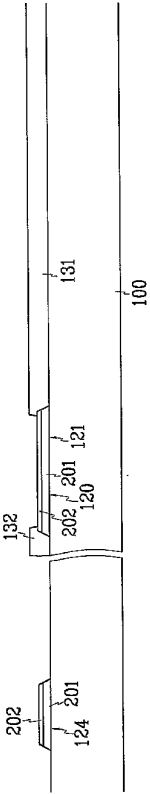


WO 03/036376

PCT/KR01/01896

38/67

FIG. 21B



WO 03/036376

PCT/KR01/01896

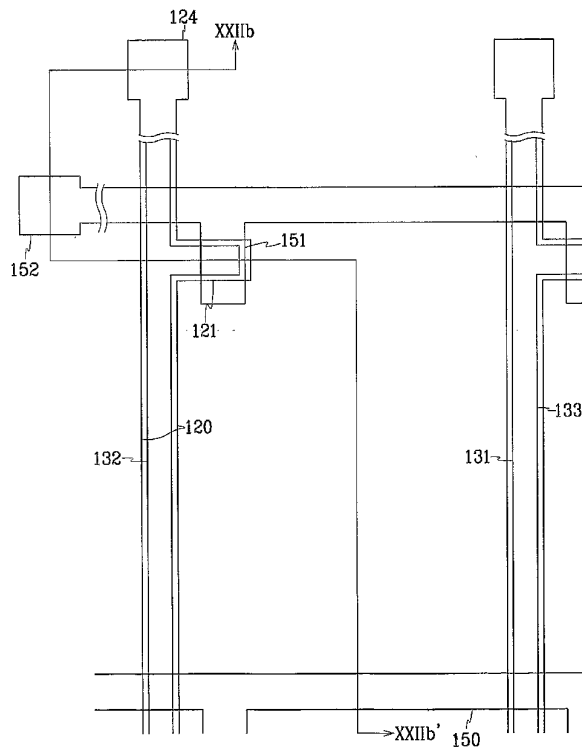
39/67
FIG.22A

FIG. 22B

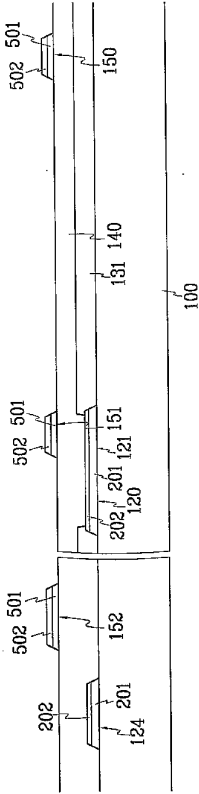
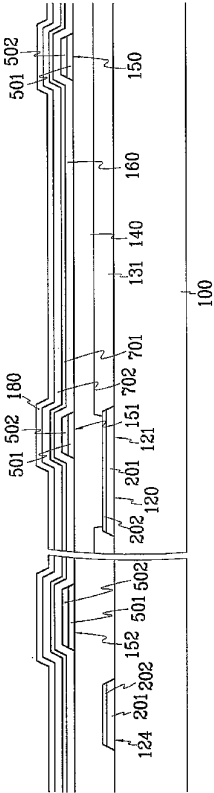


FIG. 23



WO 03/036376

PCT/KR01/01896

42/67
FIG.24A

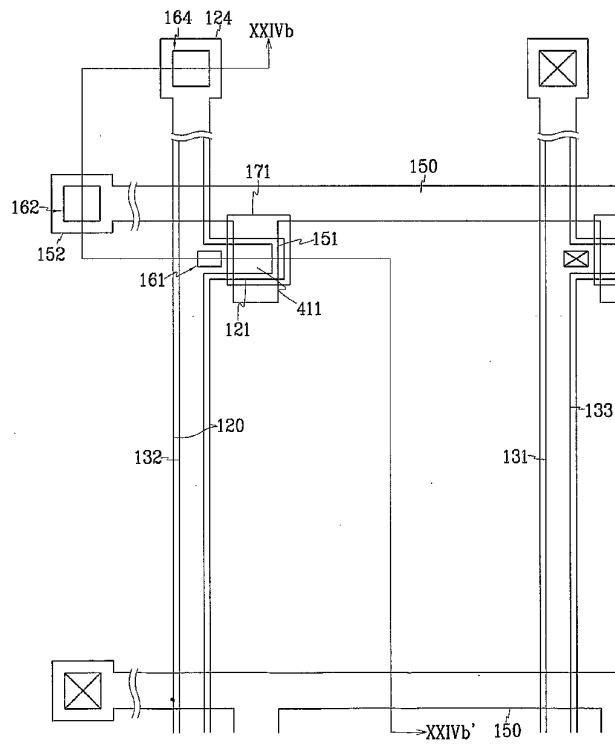


FIG. 24B

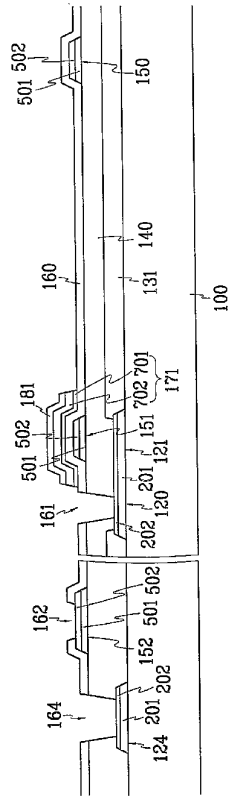


FIG. 25

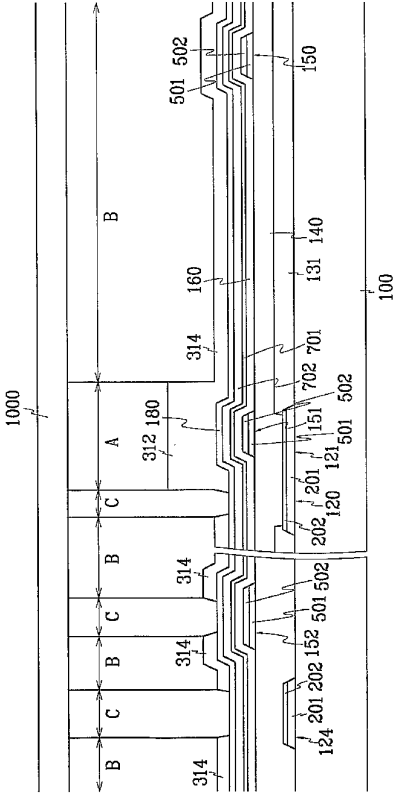
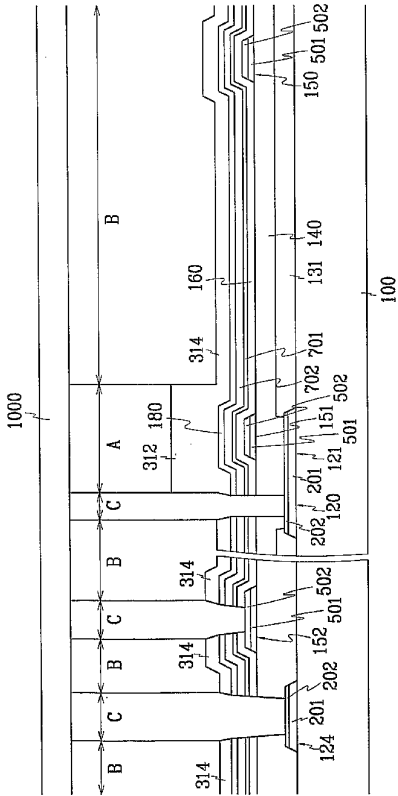
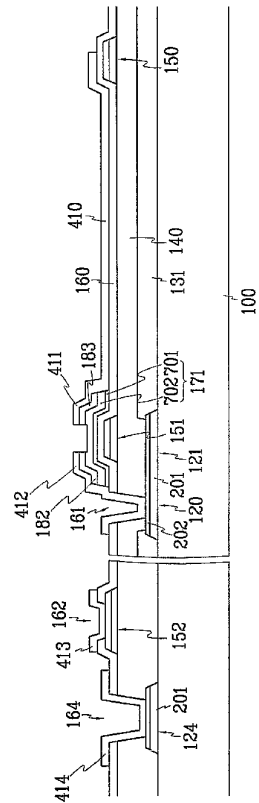


FIG.26



47/67

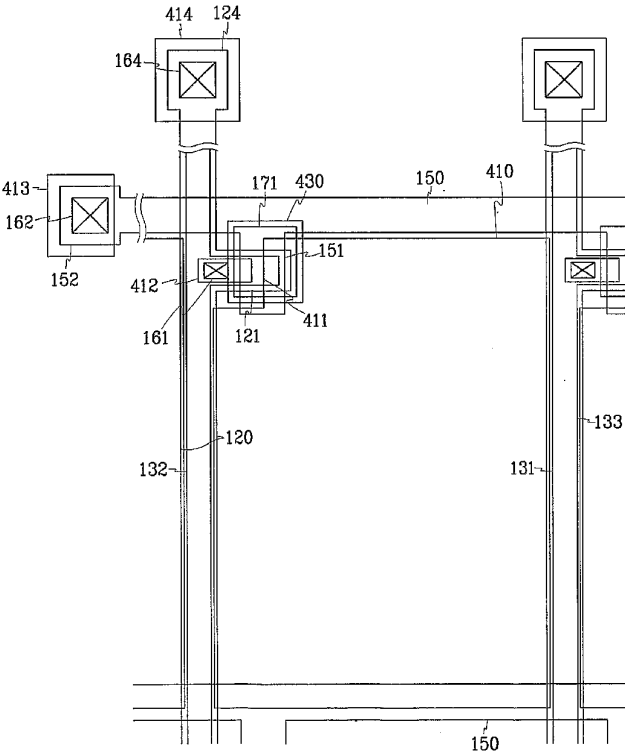
FIG. 27B



WO 03/036376

PCT/KR01/01896

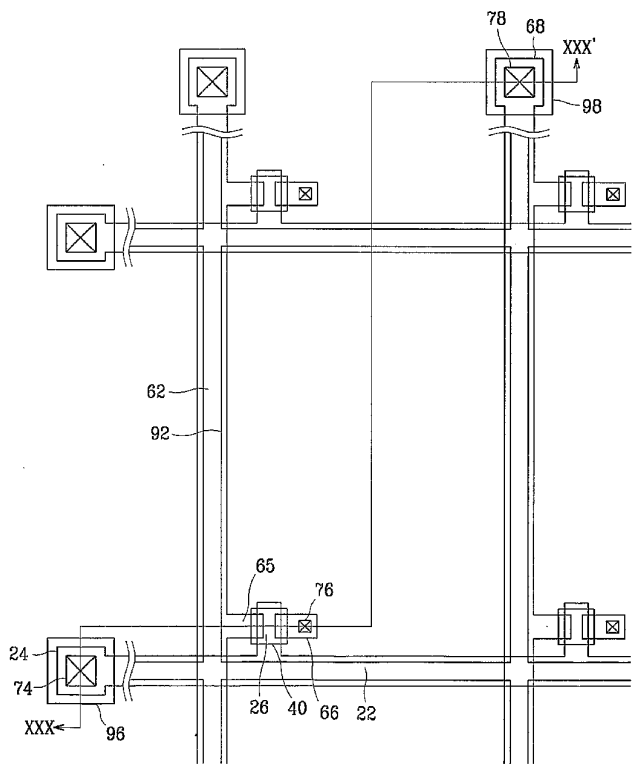
48/67
FIG.28



WO 03/036376

PCT/KR01/01896

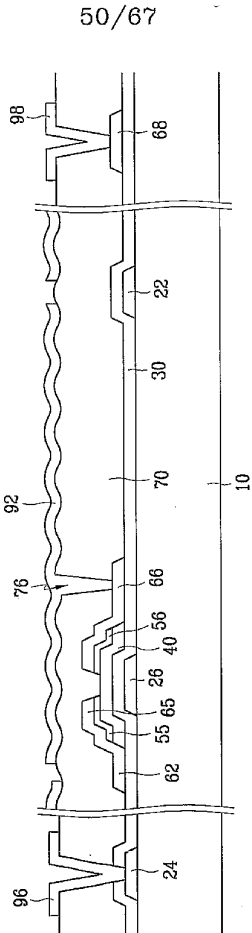
49/67
FIG.29



WO 03/036376

PCT/KR01/01896

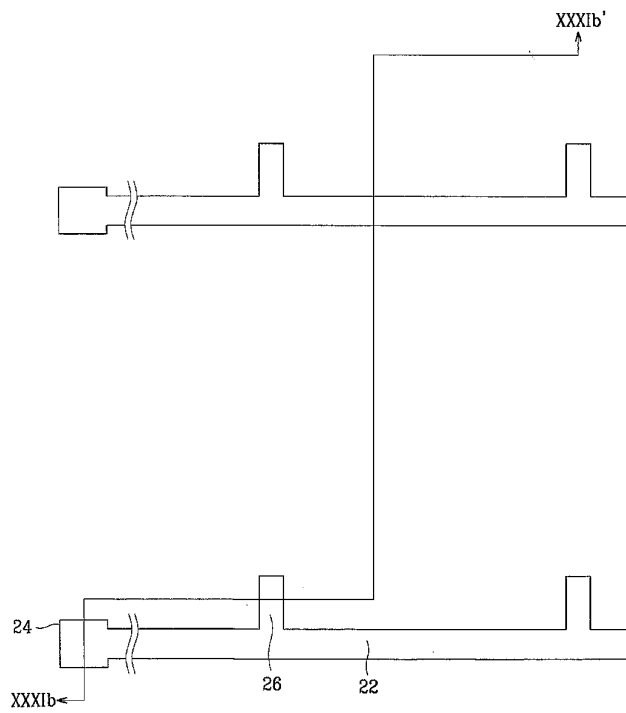
FIG.30



WO 03/036376

PCT/KR01/01896

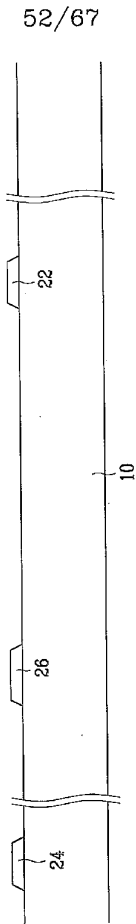
51/67
FIG.31A



WO 03/036376

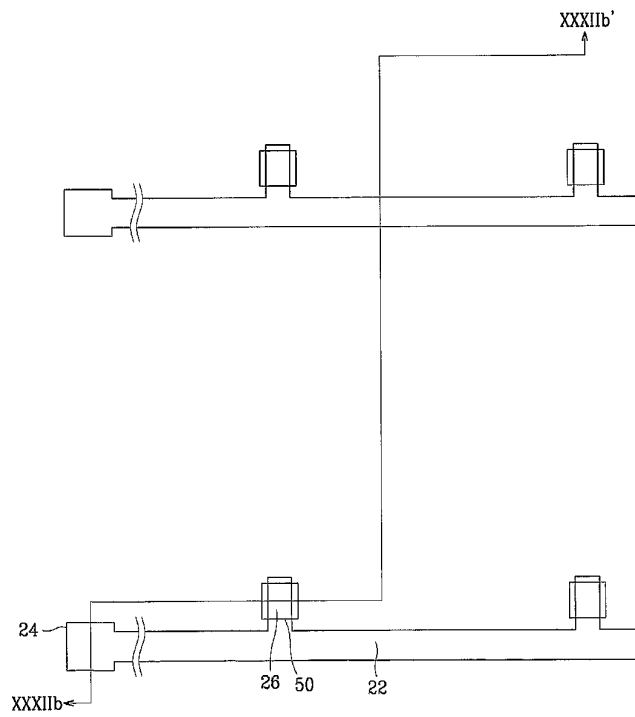
PCT/KR01/01896

FIG. 31B



WO 03/036376

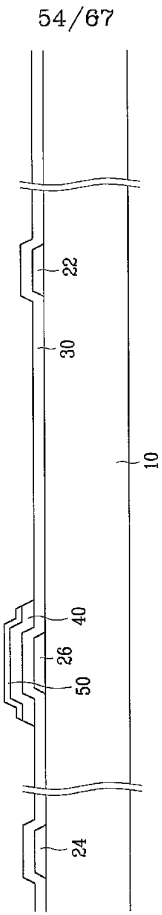
PCT/KR01/01896

53/67
FIG.32A

WO 03/036376

PCT/KR01/01896

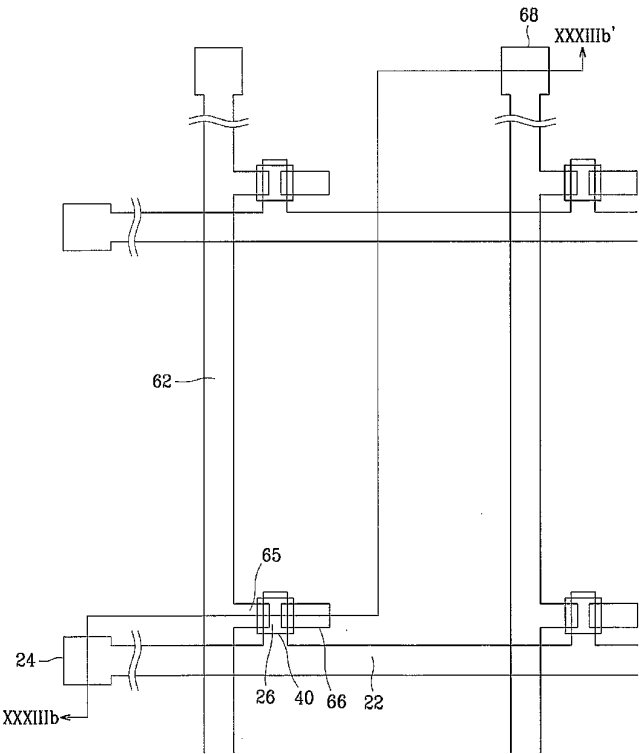
FIG.32B



WO 03/036376

PCT/KR01/01896

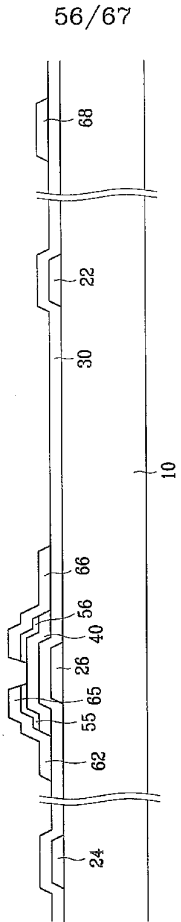
55/67
FIG.33A



WO 03/036376

PCT/KR01/01896

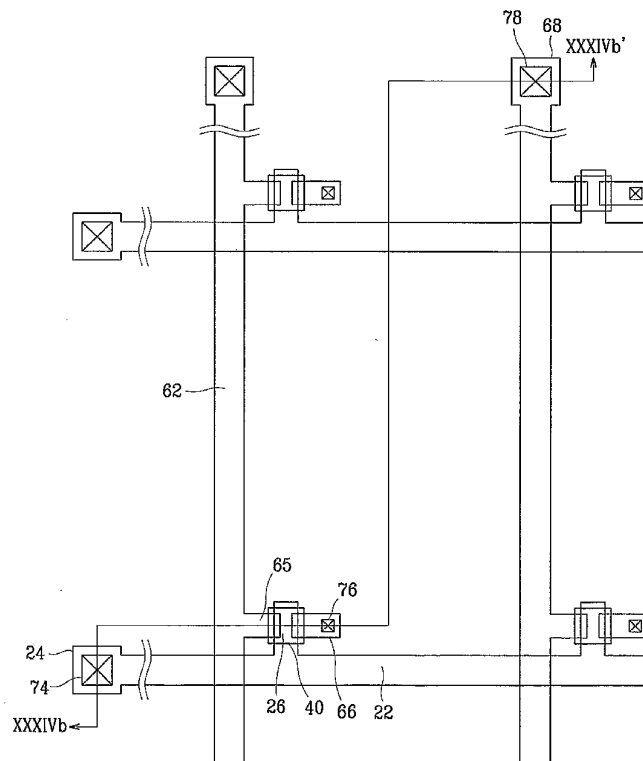
FIG. 33B



WO 03/036376

PCT/KR01/01896

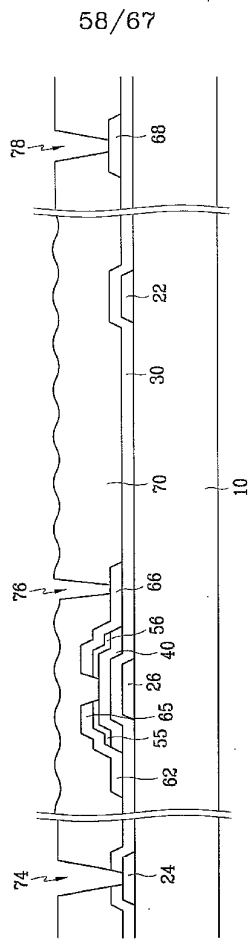
57/67
FIG.34A



WO 03/036376

PCT/KR01/01896

FIG.34B



WO 03/036376

PCT/KR01/01896

59/67

FIG.35

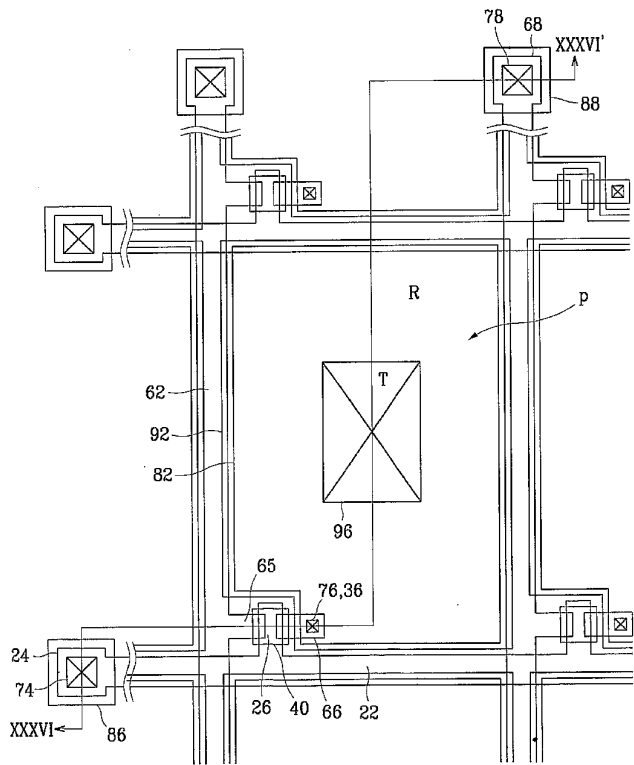
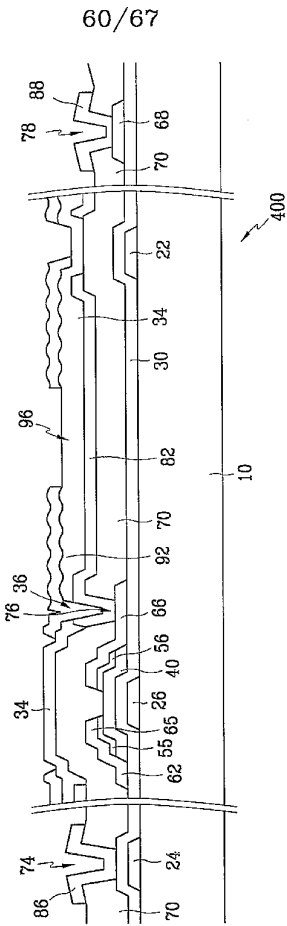


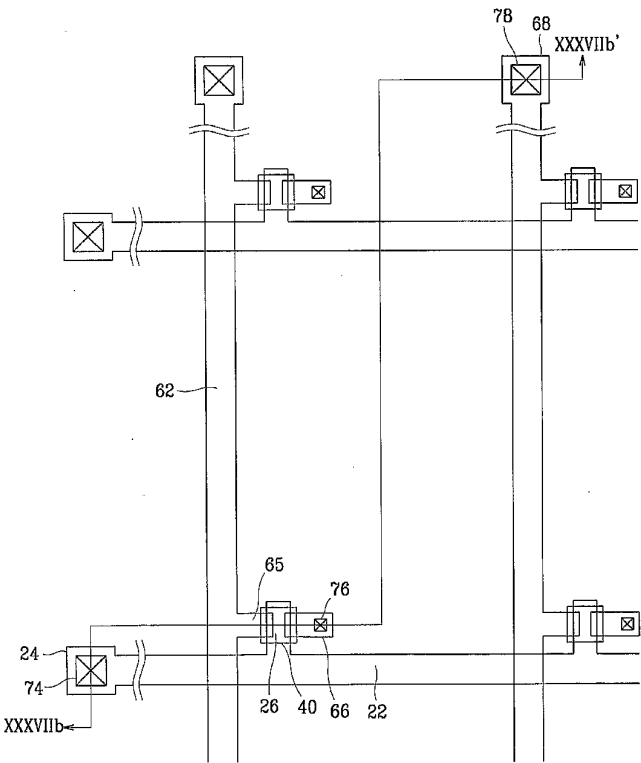
FIG. 35B



WO 03/036376

PCT/KR01/01896

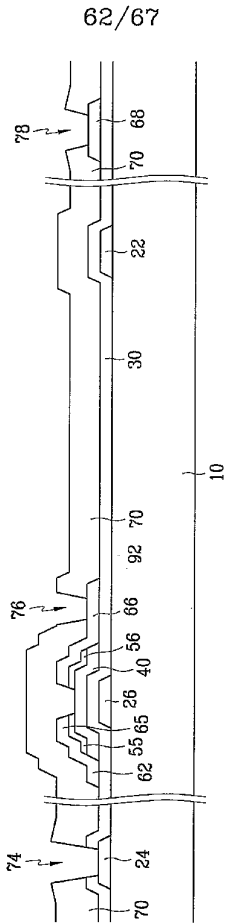
61/67
FIG.37A



WO 03/036376

PCT/KR01/01896

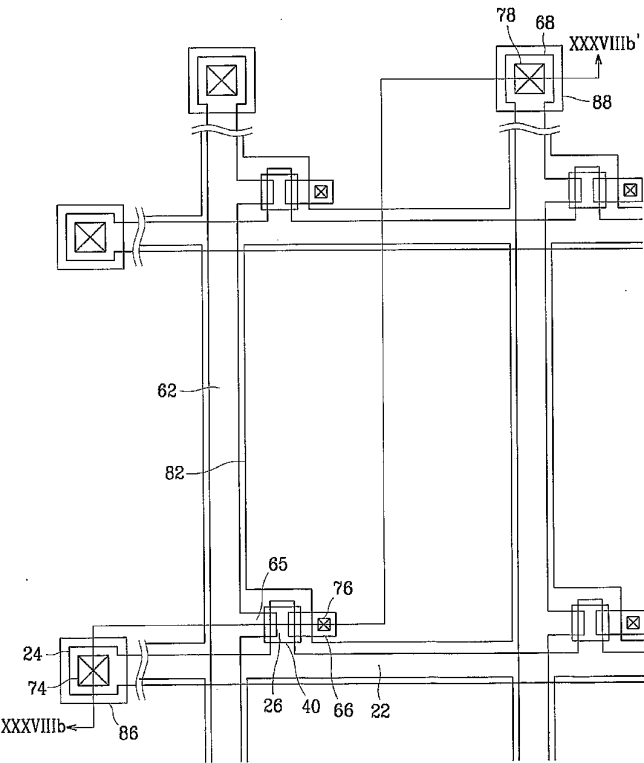
FIG.37B



WO 03/036376

PCT/KR01/01896

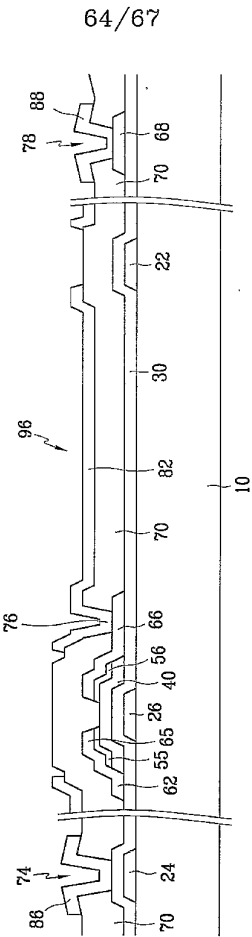
63/67
FIG.38A



WO 03/036376

PCT/KR01/01896

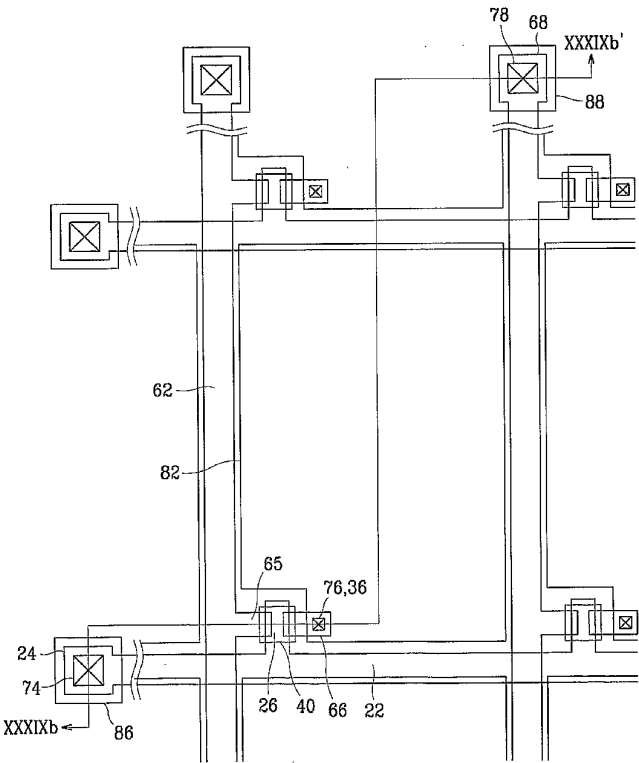
FIG.38B



WO 03/036376

PCT/KR01/01896

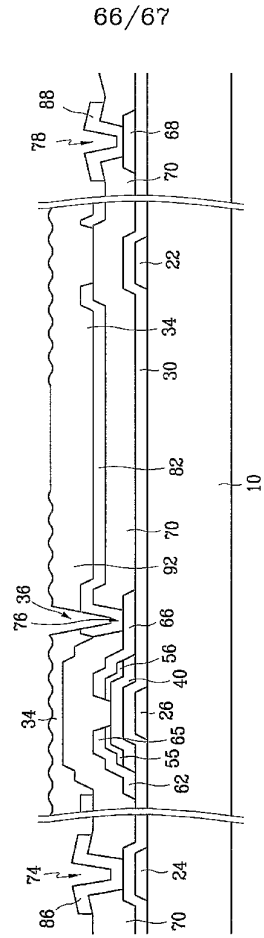
65/67
FIG.39A



WO 03/036376

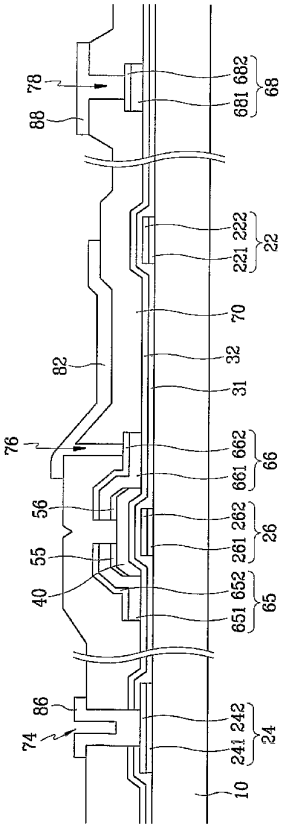
PCT/KR01/01896

FIG.39B





67/67

FIG.40



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/KR01/01896
A. CLASSIFICATION OF SUBJECT MATTER IPC7 G02F 1/136 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC7 G02F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched KR, JP: as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PAJ "pixel electrode" "TFT" "insulating layer" "dielectric constant" "amorphous silicon" "CVD"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP03-149884 (Toppan Printing Co Ltd) 26, Jun., 1991 see whole document	1-5
A	US 6,323,918 (Fujitsu Limited) 27, Nov., 2001 see whole document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "F" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "G" document member of the same patent family		
Date of the actual completion of the international search 03 JULY 2002 (03.07.2002)		Date of mailing of the international search report 03 JULY 2002 (03.07.2002)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 920 Dunsan-dong, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer CHO, Kyoung Hwa Telephone No. 82-42-481-5767 

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR01/01896

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP03-149884	26-06-1991	None	
US 6,323,918	27-11-2001	JP 8-329838 JP 9-311904	10-12-1996 13-11-1997

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L	29/78	6 1 9 B
H 0 1 L	29/78	6 2 7 C
H 0 1 L	29/78	6 1 7 U
H 0 1 L	29/78	6 1 7 V
H 0 1 L	29/78	6 2 6 C
H 0 1 L	29/78	6 2 7 B

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZW

(72)発明者 チョイ, ジョン - ホ

大韓民国, ソウル 1 2 0 - 0 7 0 , ソデムン - グ, ヨンチョン - ドン 1 0 0 , 1 0 8 - 3 0 3
サムホ アパート

(72)発明者 キム, サン - ガブ

大韓民国, ソウル 1 3 4 - 8 3 0 , カンドン - グ, ミュンイル - ドン 3 0 9 - 1 , 2 0 5 - 9
1 3 サミク アパート

(72)発明者 ジュン, カン - ウック

大韓民国, キョンギード, 4 4 2 - 4 7 0 スウォン - シティ, パルダル - グ, ヨントン - ドン,
9 1 1 - 1 5 0 2 ビョクゾクゴル - ジュコンアパート

(72)発明者 チュン, キュ - ハ

大韓民国, ソウル 1 3 5 - 9 6 8 , カンナム - グ, テチ 1 - ドン, 1 1 0 - 1 4 0 1 サムス
ン アパート

F ターム(参考) 2H092 GA19 JA26 JA46 JB07 JB08 JB57 KB24 MA07 NA07 NA23
4K030 AA04 AA06 AA09 AA10 AA14 BA40 BA44 BB12 CA12 FA01
LA01 LA02 LA18
5F058 BB07 BC02 BC04 BC08 BD04 BD06 BD10 BE10 BF07 BF27
BF29 BJ02
5F110 AA02 AA30 BB01 CC07 DD12 DD17 DD25 EE01 EE02 EE03
EE04 EE06 EE14 EE23 EE37 EE43 EE44 FF01 FF02 FF03
FF29 GG02 GG06 GG15 GG19 GG25 GG44 GG58 HK02 HK03
HK04 HK05 HK06 HK07 HK09 HK15 HK16 HK22 HK25 HK33
HK34 HL04 HL07 HL22 HL27 HM19 NN03 NN05 NN22 NN23
NN24 NN27 NN28 NN35 NN44 NN45 NN46 NN49 NN54 NN72
NN73 QQ02 QQ05 QQ09