

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

246522

(B1)

(51) Int. Cl.⁴
H 03 M 5/02



**ÚRAD PRO VYNALEZY
A OBJEVY**

[22] Přihlášeno 21 06 84

(21) (PV 4708-84)

(40) Zveřejněno 13 03 86

[45] Vydáno 15 12 87

(75)

Autor vynálezu

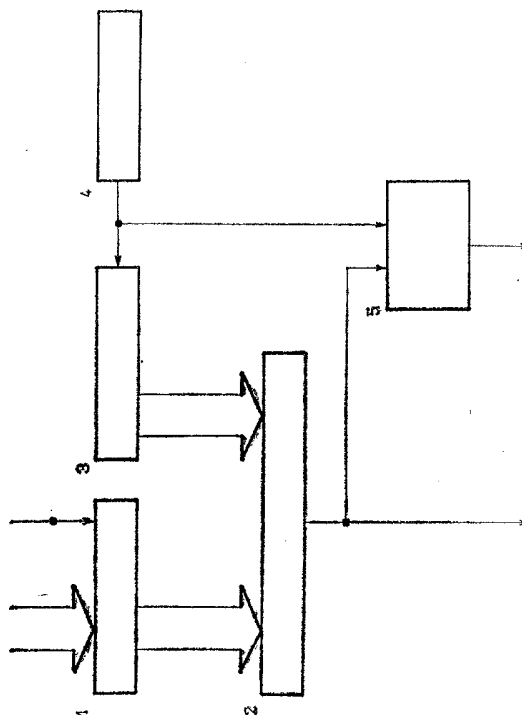
LOSENICKÝ MIROSLAV ing. CSc., KOLIÁŠ JAN ing., PRAHA

(54) Zapojení převodníku číslo — střída

Appendix

2

Zapojení převodníku číslo—střída impulsního signálu pro cyklové řízení využívá nově koncipovaného zapojení, které pracuje s konstantní periodou. Na vstup paměti je přiváděno z číslicového systému n -bitové číslo a zapisovací impuls, kterým je toto číslo zapísáno do paměti. Dále jsou využity komparátor, čítač, hradlovací obvod a obvod pro indikaci průchodu napájecího napětí nulou. Paměť je zapojena na komparátor, na který je zapojen obvod pro indikaci průchodu nulou přes čítač. Na hradlovací obvod je zapojen komparátor.



Vynález se týká zapojení převodníku číslo—střída impulsního signálu pro cyklové řízení.

V doposud užívaných zapojeních se stanoví zvlášť doba trvání impulsů a zvlášť délka mezery. To vede ke kolísání periody signálu. Taková zapojení pracují spíše jako cyklové spínače. Jiné principy převodníků pro cyklové řízení pracují s periodou signálu, která se stanoví analogově. Takto určená perioda však nemusí být nejkratší možná.

Uvedené nevýhody v podstatě odstraňuje vynález zapojení převodníku číslo—střída, jehož podstata spočívá v tom, že komparátor je připojen svými vstupy na výstup paměti a výstup čítače. Čítač je svým vstupem spojen s výstupem obvodu pro indikaci průchodu napájecího napětí nulou. Na tentýž výstup je připojen první vstup hradlovacího obvodu, jehož druhý vstup je zapojen na výstup komparátoru.

Výhoda zapojení je v tom, že pracuje s konstantní periodou, přičemž tato perioda je nejkratší možnou periodou umožňující cyklové řízení.

Příklad zapojení podle vynálezu je popsán a jeho činnost je vysvětlena pomocí obr. X, kde je uvedeno blokové schéma.

Na vstup paměti 1 je přiváděno z číslicového systému n -bitové číslo a zapisovací impuls, kterým je toto číslo do paměti 1 zapsáno. Totéž n -bitové číslo se po zapsání objeví na výstupu paměti 1, takže vstupuje do

komparátoru 2 (první n -bitový vstup). Druhý n -bitový vstup komparátoru 2 je připojen na výstup čítače 3 modulo 2^n . Vstup tohoto čítače 3 je spojen s výstupem obvodu 4 pro indikaci průchodu napájecího napětí nulou. Na výstup obvodu 4 je současně připojen jeden ze vstupů hradlovacího obvodu 5, jehož druhý vstup je spojen s výstupem komparátoru 2.

Zapisovacím impulsem se do n -bitové paměti 1 zapíše n -bitové číslo, které se v okamžiku zápisu vyskytuje na jejím vstupu. Totéž číslo se po zápisu objeví i na výstupu paměti 1.

Obvod 4 pro indikaci průchodu napájecího napětí nulou generuje impulsy, které se čítají v čítači 3, pracujícím modulo 2^n . Výstup čítače 3 stejně jako výstup paměti 1 jsou spojeny se vstupy komparátoru 2, který obsah čítače 3 a obsah paměti 1 porovnává. Pokud je obsah čítače 3 menší než obsah paměti 1, je výstup komparátoru 2 na úrovni logické 1 (respektive logické 0), pokud je dosaženo rovnosti a opačné relace, je výstup komparátoru 2 na úrovni logické 0 respektive logické 1). Tento logický signál je k dispozici jako signál úrovnový, je však též přiváděn na jeden vstup hradlovacího obvodu 5, který buď propouští, nebo blokuje zapalovací impulsy, jež jsou přiváděny na druhý vstup hradlovacího obvodu 5 z výstupu obvodu 4 indikace průchodu napájecího napětí nulou.

PREDMĚT VYNÁLEZU

Zapojení převodníku číslo — střída impulsního signálu pro cyklové řízení vyznačené tím, že komparátor (2) je připojen svými vstupy na výstup paměti (1) a výstup čítače (3), čítač (3) je svým vstupem spojen s

výstupem obvodu (4) pro indikaci průchodu napájecího napětí nulou, přičemž na tentýž výstup je připojen první vstup hradlovacího obvodu (5), jehož druhý vstup je zapojen na výstup komparátoru (2).

