

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2020-529729
(P2020-529729A)

(43) 公表日 令和2年10月8日 (2020.10.8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 33/50 (2010.01)	H O 1 L 33/50	5 F 1 4 2
H O 1 L 33/32 (2010.01)	H O 1 L 33/32 Z N M	5 F 2 4 1
H O 1 L 33/56 (2010.01)	H O 1 L 33/56	

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2020-505177 (P2020-505177)	(71) 出願人 503469393 イエール ユニバーシティ アメリカ合衆国 コネチカット州 ニュー ヘブン トウ ホイットニー アベニュー
(86) (22) 出願日 平成30年7月27日 (2018.7.27)	
(85) 翻訳文提出日 令和2年3月2日 (2020.3.2)	
(86) 国際出願番号 PCT/US2018/044023	
(87) 国際公開番号 W02019/027820	
(87) 国際公開日 平成31年2月7日 (2019.2.7)	(74) 代理人 100102978 弁理士 清水 初志
(31) 優先権主張番号 62/538,994	(74) 代理人 100102118 弁理士 春名 雅夫
(32) 優先日 平成29年7月31日 (2017.7.31)	(74) 代理人 100160923 弁理士 山口 裕孝
(33) 優先権主張国・地域又は機関 米国 (US)	(74) 代理人 100119507 弁理士 刑部 俊
	(74) 代理人 100142929 弁理士 井上 隆一

最終頁に続く

(54) 【発明の名称】 ナノポーラスマイクロLEDデバイスおよび製造方法

(57) 【要約】

本発明は、少なくとも一部が色変換量子ドットで修飾された窒化ガリウムLEDダイオードを含むLEDデバイスを提供する。本発明はまた、本発明のLEDデバイスの製造方法も提供する。

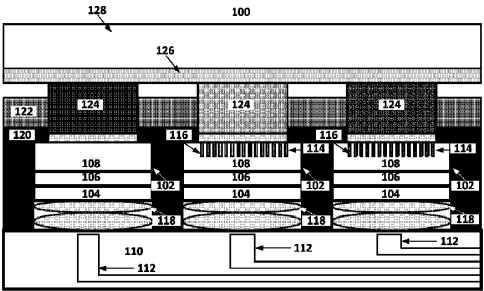
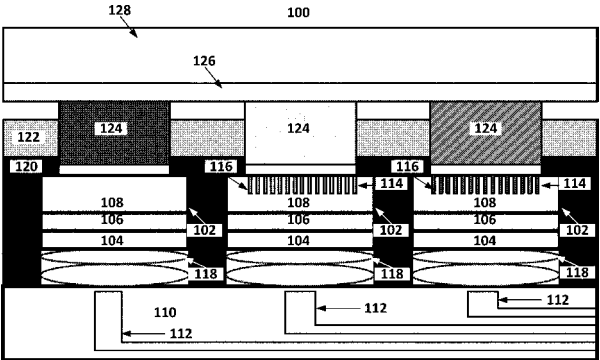


FIG. 1A

【特許請求の範囲】

【請求項 1】

回路ごとの個別の電子制御を可能にするように構成された電気回路のアレイを含む半導電性表面と、

窒化ガリウム (GaN) ダイオードのそれぞれが電気回路の該アレイの1つと電子的に連絡し、かつそのそれぞれが互いに電子的に分離された、該半導電性表面上に配置された複数のGaNダイオードと

を含むLEDデバイスであって、

該GaNダイオードのそれぞれが、

該半導電性表面の近位にある少なくとも1つのp型GaN (p-GaN) 層と、

該半導電性表面の遠位にある、該p-GaN層と接触する多重量子井戸 (MQW) 領域と、

該p-GaN層および該半導電性表面の遠位にある、該MQW領域と接触する少なくとも1つのn型GaN (n-GaN) 層と

を含み、

少なくともいくつかの該GaNダイオードの該n-GaN層が、電気化学的にエッチングされかつ色変換量子ドットが含浸され、該色変換量子ドットが、該GaNダイオードの別々のサブセット内に含浸される、

LEDデバイス。

【請求項 2】

前記複数のGaNダイオードが単色の青色LEDである、請求項1記載のLEDデバイス。

【請求項 3】

前記電気化学的にエッチングされたn-GaN層表面のあるサブセットに、赤色量子ドット組成物が埋め込まれている、請求項1記載のLEDデバイス。

【請求項 4】

前記電気化学的にエッチングされたn-GaN層表面のあるサブセットに、緑色量子ドット組成物が埋め込まれている、請求項1記載のLEDデバイス。

【請求項 5】

前記複数のGaNダイオードが単色の青色LEDであり、

前記複数のGaNダイオードの第1の部分が、電気化学的にエッチングされたn-GaN層ナノポラス表面を含み、かつ赤色発光量子ドット組成物が埋め込まれており、

前記複数のGaNダイオードの第2の部分が、電気化学的にエッチングされたn-GaN層ナノポラス表面を含み、かつ緑色発光量子ドット組成物が埋め込まれており、

前記複数のGaNダイオードの第3の部分が、エッチングされていないn-GaN層表面またはいかなる埋め込まれた量子ドットも含まない電気化学的にエッチングされたn-GaN層ナノポラス表面のいずれかを含む、

請求項1記載のLEDデバイス。

【請求項 6】

前記第1の部分、第2の部分、および第3の部分が前記半導電性表面全体に均一に分布する、請求項5記載のLEDデバイス。

【請求項 7】

前記複数のGaNダイオードが画素のアレイとして配置され、各画素が、GaNダイオードの前記第1の部分、第2の部分、および第3の部分の、等しい数のダイオードを含む、請求項6記載のLEDデバイス。

【請求項 8】

前記電気化学的にエッチングされたn-GaN層表面の少なくとも一部に、1種類または複数種類のCdSeコロイド量子ドット組成物が埋め込まれている、請求項1記載のLEDデバイス。

【請求項 9】

前記半導電性表面がシリコンウェーハを含む、請求項1記載のLEDデバイス。

【請求項 10】

前記半導電性表面が相補型金属酸化膜半導体 (CMOS) ドライバを含む、請求項1記載のL

10

20

30

40

50

EDデバイス。

【請求項 1 1】

前記複数のGaNダイオードが金属接合プロセスによって前記半導電性表面に取り付けられる、請求項1記載のLEDデバイス。

【請求項 1 2】

前記複数のGaNダイオードがインジウム金属接合によって前記半導電性表面に取り付けられる、請求項11記載のLEDデバイス。

【請求項 1 3】

前記複数のGaNダイオード間に配置された絶縁体をさらに含む、請求項1記載のLEDデバイス。

10

【請求項 1 4】

前記絶縁体が、ガラス、ポリマー、およびセラミックからなる群より選択される材料を含む、請求項13記載のLEDデバイス。

【請求項 1 5】

前記半導電性表面の遠位にある、前記GaNダイオードの前記n-GaN表面上に配置された透明導電性ガラスのセグメントをさらに含む、請求項1記載のLEDデバイス。

【請求項 1 6】

前記透明導電性ガラスがインジウムスズ酸化物ガラスである、請求項15記載のLEDデバイス。

【請求項 1 7】

前記複数のGaNダイオード上に配置された透明導電性ガラスの前記セグメントと電氣的に連絡する接地電極をさらに含む、請求項15記載のLEDデバイス。

20

【請求項 1 8】

前記接地電極がインジウムスズ酸化物電極である、請求項17記載のLEDデバイス。

【請求項 1 9】

前記半導電性表面の遠位にある、前記複数のGaNダイオード上の透明ガラスカバーをさらに含む、請求項1記載のLEDデバイス。

【請求項 2 0】

前記複数のGaNダイオードが2つ以上のn-GaN層を含む、請求項1記載のLEDデバイス。

【請求項 2 1】

前記GaNダイオードのそれぞれが、
前記MQW領域と接触する、導電性を最適にするためにドーピングされた第1のn-GaN層と、
該第1のn-GaN層と接触する、電気化学エッチング多孔性を最適にするためにドーピングされた第2のn-GaN層と
を含む、請求項20記載のLEDデバイス。

30

【請求項 2 2】

量子ドット粒子組成物が、接着剤の使用によってナノポーラスn-GaN層の表面に付着される、請求項1記載のLEDデバイス。

【請求項 2 3】

前記ダイオードの横方向の寸法が約 $5\mu\text{m}$ ～約 $100\mu\text{m}$ である、請求項1記載のLEDデバイス。

40

【請求項 2 4】

前記電気化学的にエッチングされたナノポーラスn-GaN層が、約 $0.1\mu\text{m}$ ～約 $5\mu\text{m}$ の厚さを有するナノポアを含む、請求項1記載のLEDデバイス。

【請求項 2 5】

(a) 回路ごとの個別の電子制御を可能にするように構成された電気回路のアレイを含む半導電性表面を形成する工程、

(b) ダイオードアレイを形成するために、それぞれの窒化ガリウム(GaN)ダイオードが該電気回路のアレイの1つと電子的に連絡しかつそのそれぞれが互いに電子的に分離されるように、複数のGaNダイオードを該半導電性表面に接合し、該GaNダイオードが、

50

該半導電性表面の近位にある少なくとも1つのp型GaN (p-GaN) 層と、
該半導電性表面の遠位にある、該p-GaN層と接触する多重量子井戸 (MQW) 領域と、
該p-GaN層および該半導電性表面の遠位にある、該MQW領域と接触する少なくとも1
つのn型GaN (n-GaN) 層と
を含む、工程、ならびに

(c) 以下の工程 (I) または工程 (II) :

(I) (i) 該ダイオードアレイをフォトレジスト材料で被覆する工程、
(ii) 該GaNダイオードの一部を覆うフォトレジスト材料のセグメントを選択
的に除去して、該n-GaN層の表面を露出させる工程、
(iii) ナノポーラス表面を作製するために、該露出したn-GaN表面を電気化学
的にエッチングする工程、
(iv) 量子ドットをナノポーラス層中に含浸させるために、該露出したナノポ
ーラス表面を量子ドット含有溶液と接触させる工程、および
(v) 任意で下位工程 (i) ~ (iv) を繰り返す工程、
(II) (i) モノリシックn-GaN層を該n-GaN層の遠位に接合する工程、
(ii) ナノポーラス表面を作製するために、該モノリシックn-GaN表面の遠位
表面の少なくとも一部を電気化学的にエッチングする工程、
(iii) 該モノリシックn-GaN層をフォトレジスト材料で被覆する工程、
(iv) 該GaNダイオードの一部を覆うフォトレジスト材料のセグメントを選択
的に除去して、該ナノポーラスモノリシックn-GaN層の表面を露出させる工程、
(v) 該露出したナノポーラス表面を量子ドット組成物と接触させる工程、お
よび
(vi) 任意で下位工程 (iii) ~ (v) を繰り返す工程

のいずれかを実行する工程
を含む、LEDデバイスの製造方法。

【請求項 26】

工程 (II) が、GaNダイオードの頂部に配置されていない前記モノリシックn-GaNの部分
を選択的に除去する工程をさらに含む、請求項25記載の方法。

【請求項 27】

(d) すべてのフォトレジスト材料を除去する工程、
(e) 前記複数のGaNダイオード間に配置された絶縁体を追加する工程、
(f) 前記ダイオードアレイをフォトレジスト材料で被覆する工程、
(g) 各GaNダイオードを覆うフォトレジスト材料のセグメントを選択的に除去して、前
記n-GaN表面を露出させる工程、および
(h) 各ダイオードの該露出したn-GaN表面上に透明導電性ガラスの層を積層させる工程
をさらに含む、請求項25記載の方法。

【請求項 28】

前記透明導電性ガラスがチタン/インジウムスズ酸化物 (Ti/ITO) の層である、請求項2
7記載の方法。

【請求項 29】

(i) 接地電極層がすべてのGaNダイオードと連続的な接点を形成するように、各ダイオ
ードの前記透明導電性ガラス層上に該接地電極層を積層させる工程
をさらに含む、請求項27記載の方法。

【請求項 30】

前記接地電極層がインジウムスズ酸化物 (ITO) 層である、請求項29記載の方法。

【請求項 31】

(j) 前記接地電極層上にガラス基板層を取り付ける工程
をさらに含む、請求項29記載の方法。

【請求項 32】

前記絶縁体が、ガラス、ポリマー、およびセラミックからなる群より選択される、請求

10

20

30

40

50

項27記載の方法。

【請求項33】

前記電気化学エッチングの工程が、前記露出したn-GaN表面をシュウ酸溶液と接触させ、前記n-GaN層に約15V～約25Vの正の電位を約60秒間かける工程を含む、請求項25記載の方法。

【請求項34】

前記電気化学的にエッチングされたナノポーラスn-GaN層が約2μmの深さを有するナノポアを含む、請求項25記載の方法。

【請求項35】

工程(Ⅰ)の(v)または工程(Ⅱ)の(vi)が少なくとも1回実行され、

工程(Ⅰ)の(ii～iv)または(Ⅱ)の(iv～v)の1つの例では、n-GaN層の第1の部分を赤色量子ドット組成物と接触させ、

工程(Ⅰ)の(ii～iv)または(Ⅱ)の(iv～v)の別の異なる例では、n-GaN層の第2の部分を緑色量子ドット組成物と接触させる、
請求項25記載の方法。

【請求項36】

前記GaNダイオードが約2nm～約50nmの最大断面寸法を有する、請求項25記載の方法。

【請求項37】

前記フォトリソグرافィにより除去される、請求項25記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2017年7月31日に提出された米国特許仮出願第62/538,994号の優先権の恩恵を主張する。同仮出願の内容全体が、参照により本明細書に組み入れられる。

【背景技術】

【0002】

発明の背景

無機LEDベースのマイクロディスプレイは、現在2つの設計に基づいて製造されている。3色LED方式では、InGaN(青色および緑色)マイクロLEDおよびAlGaInP(赤色)マイクロLEDの正確な集積および接合が極めて難しいことが明らかになっている。単色方式では、InGaN青色LEDを蛍光体と組み合わせて白色バックライトを作製し、カラーフィルターを使用して画像を生成する。この方法は蛍光体媒体の吸収係数が低いことが障害になっており、そのため、波長変換のために厚い蛍光体層が必要とされ、画素間クロストークが生じる。

【0003】

連邦政府による資金提供を受けた研究開発の記載

本発明は、米国エネルギー省基礎エネルギー科学室による契約番号DE-FG02-07ER46387の下で政府の支援を受けてなされた。米国政府は本発明に一定の権利を有する。

【発明の概要】

【0004】

本発明の1つの態様は、回路ごとの個別の電子制御を可能にするように構成された電気回路のアレイを含む半導電性表面と、窒化ガリウム(GaN)ダイオードのそれぞれが電気回路のアレイの1つと電子的に連絡し、かつそのそれぞれが互いに電子的に分離された、半導電性表面上に配置された複数のGaNダイオードとを含む、LEDデバイスを提供する。GaNダイオードのそれぞれは、半導電性表面の近位にある少なくとも1つのp型GaN(p-GaN)層と、半導電性表面の遠位にある、p-GaN層と接触する多重量子井戸(MQW)領域と、p-GaN層および半導電性表面の遠位にある、MQW領域と接触する少なくとも1つのn型GaN(n-GaN)層とを含む。少なくともいくつかのGaNダイオードのn-GaN層は、電気化学的にエッチングされかつ色変換量子ドットが含浸される。色変換量子ドットは、GaNダイオードの別々

10

20

30

40

50

のサブセット内に含浸される。

【0005】

本発明の本局面は様々な態様を有することができる。複数のGaNダイオードは単色の青色LEDとすることができる。電気化学的にエッチングされたn-GaN層表面のあるサブセットには、赤色量子ドット組成物を埋め込むことができる。電気化学的にエッチングされたn-GaN層表面のあるサブセットには、緑色量子ドット組成物を埋め込むことができる。

【0006】

複数のGaNダイオードは単色の青色LEDとすることができる。複数のGaNダイオードの第1の部分は、電気化学的にエッチングされたn-GaN層ナノポーラス表面を含むことができ、かつ赤色発光量子ドット組成物を埋め込むことができる。複数のGaNダイオードの第2の部分は、電気化学的にエッチングされたn-GaN層ナノポーラス表面を含むことができ、かつ緑色発光量子ドット組成物を埋め込むことができる。複数のGaNダイオードの第3の部分は、エッチングされていないn-GaN層表面またはいかなる埋め込まれた量子ドットも含まない電気化学的にエッチングされたn-GaN層ナノポーラス表面のいずれかを含むことができる。第1の部分、第2の部分、および第3の部分は、半導電性表面全体に均等に分布することができる。複数のGaNダイオードは画素のアレイとして配置することができ、各画素は、GaNダイオードの第1の部分、第2の部分、および第3の部分の、等しい数のダイオードを含む。

【0007】

電気化学的にエッチングされたn-GaN層表面の少なくとも一部は、1種類または複数種類のCdSeコロイド量子ドット組成物を埋め込むことができる。

【0008】

半導電性表面はシリコンウェーハを含むことができる。

【0009】

半導電性表面は相補型金属酸化膜半導体(CMOS)ドライバを含むことができる。

【0010】

複数のGaNダイオードは、金属接合プロセスによって半導電性表面に取り付けされ得る。複数のGaNダイオードは、インジウム金属接合によって半導電性表面に取り付けされ得る。

【0011】

LEDデバイスは、複数のGaNダイオード間に配置された絶縁体をさらに含むことができる。絶縁体は、ガラス、ポリマー、およびセラミックからなる群より選択される材料を含むことができる。

【0012】

LEDデバイスは、半導電性表面の遠位にある、GaNダイオードのn-GaN表面上に配置された透明導電性ガラスのセグメントをさらに含むことができる。透明導電性ガラスはインジウムスズ酸化物ガラスとすることができる。LEDデバイスは、複数のGaNダイオード上に配置された透明導電性ガラスのセグメントと電氣的に連絡する接地電極をさらに含むことができる。接地電極はインジウムスズ酸化物電極とすることができる。

【0013】

LEDデバイスは、半導電性表面の遠位にある、複数のGaNダイオード上の透明ガラスカバーをさらに含むことができる。

【0014】

複数のGaNダイオードは2つ以上のn-GaN層を含むことができる。GaNダイオードのそれぞれは、MQW領域と接触する、導電性を最適にするためにドーブされた第1のn-GaN層と、第1のn-GaN層と接触する、電気化学エッチング多孔性を最適にするためにドーブされた第2のn-GaN層とを含むことができる。

【0015】

量子ドット粒子組成物は、接着剤の使用によってナノポーラスn-GaN層の表面に付着させることができる。

10

20

30

40

50

【0016】

ダイオードの横方向の寸法は約 $5\mu\text{m}$ ～約 $100\mu\text{m}$ である。

【0017】

電気化学的にエッチングされたナノポーラスn-GaN層は、約 $0.1\mu\text{m}$ ～約 $5\mu\text{m}$ の厚さを有するナノポアを含むことができる。

【0018】

本発明の別の局面はLEDデバイスの製造方法を提供する。本方法は、(a)回路ごとの個別の電子制御を可能にするように構成された電気回路のアレイを含む半導電性表面を形成する工程、(b)ダイオードアレイを形成するために、それぞれの窒化ガリウム(GaN)ダイオードが電気回路のアレイの1つと電子的に連絡しかつそのそれぞれが互いに電子的に分離されるように、複数のGaNダイオードを半導電性表面上に接合し、これらのGaNダイオードが、半導電性表面の近位にある少なくとも1つのp型GaN(p-GaN)層と、半導電性表面の遠位にある、p-GaN層と接触する多重量子井戸(MQW)領域と、p-GaN層および半導電性表面の遠位にある、MQW領域と接触する少なくとも1つのn型GaN(n-GaN)層とを含む、工程、ならびに(c)工程(I)または工程(II)のいずれかを実行する工程を含む。工程(I)は、(i)ダイオードアレイをフォトリソ材料で被覆する工程、(ii)GaNダイオードの一部を覆うフォトリソ材料のセグメントを選択的に除去して、n-GaN層の表面を露出させる工程、(iii)ナノポーラス表面を作製するために、露出したn-GaN表面を電気化学的にエッチングする工程、(iv)量子ドットをナノポーラス層中に含浸させるために、露出したナノポーラス表面を量子ドット含有溶液と接触させる工程、および(v)任意で下位工程(i)～(iv)を繰り返す工程を含む。工程(II)は、(i)モノリシックn-GaN層をn-GaN層の遠位に接合する工程、(ii)ナノポーラス表面を作製するために、モノリシックn-GaN表面の遠位表面の少なくとも一部を電気化学的にエッチングする工程、(iii)モノリシックn-GaN層をフォトリソ材料で被覆する工程、(iv)GaNダイオードの一部を覆うフォトリソ材料のセグメントを選択的に除去して、ナノポーラスモノリシックn-GaN層の表面を露出させる工程、(v)露出したナノポーラス表面を量子ドット組成物と接触させる工程、および(vi)任意で下位工程(iii)～(v)を繰り返す工程を含む。

【0019】

本発明の本局面は様々な態様を有することができる。工程(II)は、GaNダイオードの頂部に配置されていないモノリシックn-GaNの部分を選択的に除去する工程をさらに含むことができる。

【0020】

本方法は、(d)すべてのフォトリソ材料を除去する工程、(e)複数のGaNダイオード間に配置された絶縁体を追加する工程、(f)ダイオードアレイをフォトリソ材料で被覆する工程、(g)各GaNダイオードを覆うフォトリソ材料のセグメントを選択的に除去して、n-GaN表面を露出させる工程、および(h)透明導電性ガラスの層を各ダイオードの露出したn-GaN表面上に積層させる工程をさらに含むことができる。透明導電性ガラスは、チタン/インジウムスズ酸化物(Ti/ITO)の層とすることができる。本方法は、(i)接地電極層がすべてのGaNダイオードと連続的な接点を形成するように、各ダイオードの透明導電性ガラス層上に接地電極層を積層させる工程をさらに含むことができる。接地電極層は、インジウムスズ酸化物(ITO)層とすることができる。本方法は、(j)接地電極層上にガラス基板層を取り付ける工程をさらに含むことができる。絶縁体は、ガラス、ポリマー、およびセラミックからなる群より選択される材料とすることができる。

【0021】

電気化学エッチングの工程は、露出したn-GaN表面をシュウ酸溶液と接触させ、n-GaN層に約15V～約25Vの正の電位を約60秒間かける工程を含むことができる。

【0022】

電気化学的にエッチングされたナノポーラスn-GaN層は、約 $2\mu\text{m}$ の深さを有するナノポアを含むことができる。

10

20

30

40

50

【0023】

量子ドット組成物は、CdSeコロイド量子ドット組成物、緑色量子ドット組成物、および/または赤色量子ドット組成物とすることができる。

【0024】

工程(I)の(v)または工程(II)の(vi)は、少なくとも1回実行され得る。工程(I)の(ii~iv)または工程(II)の(iv~v)の1つの例では、n-GaN層の第1の部分を赤色量子ドット組成物と接触させることができ、工程(I)の(ii~iv)または(II)の(iv~v)の別の異なる例では、n-GaN層の第2の部分を緑色量子ドット組成物と接触させることができる。

【0025】

複数のGaNダイオードの少なくとも第3の部分は、量子ドット組成物と接触していなくてもよい。第1の部分、第2の部分、および第3の部分は、半導電性表面全体に均等に分布することができる。複数のGaNダイオードは画素のアレイとして配置される。各画素は、GaNダイオードの第1の部分、第2の部分、および第3の部分の、等しい数のダイオードを含むことができる。

10

【0026】

半導電性表面は相補型金属酸化膜半導体(CMOS)ドライバを含むことができる。複数のGaNダイオードは、金属接合プロセスによって半導電性表面に取り付けられ得る。複数のGaNダイオードは、インジウム金属接合によって半導電性表面に取り付けられ得る。

【0027】

GaNダイオードは、約2nm~約50nmの最大断面寸法を有することができる。

20

【0028】

工程(I)の(iv)または(II)の(v)は、量子ドット粒子組成物をナノポーラスn-GaN層の表面に付着させるために接着剤を使用する工程をさらに含むことができる。

【0029】

フォトレジスト材料はフォトリソグラフィにより除去され得る。

【図面の簡単な説明】

【0030】

本発明の性質および所望の目的をより十分に理解するために、添付の図面と併せて読まれる以下の詳細な説明を参照するが、いくつかの図面を通して同様の参照符号は対応する部分を指す。

30

【0031】

【図1A】本発明の一態様による、3つの異なる種類のダイオードを有するLEDデバイスを示す。

【図1B】本発明の一態様による、3つの異なる種類のダイオードを有するLEDデバイスを示す。

【図2A】本発明の一態様による、LEDデバイスの第1の製造方法を示す。

【図2B】本発明の一態様による、LEDデバイスの第1の製造方法を示す。

【図2C】本発明の一態様による、LEDデバイスの第1の製造方法を示す。

【図2D】本発明の一態様による、LEDデバイスの第1の製造方法を示す。

40

【図2E】本発明の一態様による、LEDデバイスの第1の製造方法を示す。

【図3A】本発明の一態様による、LEDデバイスの第2の製造方法を示す。

【図3B】本発明の一態様による、LEDデバイスの第2の製造方法を示す。

【図3C】本発明の一態様による、LEDデバイスの第2の製造方法を示す。

【図3D】本発明の一態様による、LEDデバイスの第2の製造方法を示す。

【図3E】本発明の一態様による、LEDデバイスの第2の製造方法を示す。

【図3F】本発明の一態様による、LEDデバイスの第2の製造方法を示す。

【図4-1】図4A~4Eは、コロイド量子ドット(CQD)のナノポーラスGaN(NP-GaN)ホスト材料中への組み込みを示す画像である。図4Aは、CdSe/SnCdSコア/シェルCQDのNP-GaNマトリックス中への組み込みの証拠としての視覚的透明性の一式の写真画像である。図4Bお

50

よび4Cは、NP-GaN（図4B）およびCQD/NP-GaN（図4C）の上面SEM像である。図4Dおよび4Eは、NP-GaN（図4D）およびCQD/NP-GaN（図4E）の断面SEM像である。円は、ナノコンポジット構造におけるナノポアの側壁上へのCQDの高密度吸収を強調している。図4Fは、バルクGaNと比較した様々な孔径のCQD/NP-GaNナノコンポジット材料の光ルミネセンスのグラフである。

【図4-2】図4Gは、出発CQD溶液混合物の光ルミネセンススペクトルおよび固体CQD/NP-GaNナノコンポジット薄膜のスペクトルを示すグラフである。挿入画像は、CQD/NP-GaNナノコンポジット発光の写真である。

【図5A】図5Aは、本発明の一態様による、連続エッチング条件下で上面から垂直に約0.7 μm の深さで多孔質化されたN面GaN層の上面（上）および断面（下）のSEM像を示す一式の画像である。

10

【図5B】図5Bは、本発明の一態様による、パルスエッチング条件下で上面から垂直に約1.0 μm の深さで多孔質化されたN面GaN層の上面（上）および断面（下）のSEM像を示す一式の画像である。

【発明を実施するための形態】

【0032】

定義

本発明は、以下の定義を参照することにより最も明確に理解される。

【0033】

本明細書において使用される場合、単数形「1つの(a)」、「1つの(an)」、および「その(the)」は、文脈上はつきりと別様に述べられていない限り、複数の指示対象を含む。

20

【0034】

本明細書において使用される場合、具体的に記載されていない限り、または文脈から明らかでない限り、「約」という用語は、当技術分野における通常の許容範囲内、例えば平均の2標準偏差内として理解される。「約」は、指定された値の10%、9%、8%、7%、6%、5%、4%、3%、2%、1%、0.5%、0.1%、0.05%、または0.01%内と理解され得る。文脈からそうでないことが明確でない限り、本明細書において提供されるすべての数値は、約という用語によって修飾される。

【0035】

本明細書および特許請求の範囲で使用される場合、「含む(comprises)」、「含む(comprising)」、「含む(containing)」、「持つ(having)」などの用語は、米国特許法でそれらに与えられた意味を持つことができ、「含む(includes)」、「含む(including)」などを意味し得る。

30

【0036】

具体的に記載されない限り、または文脈から明らかでない限り、本明細書において使用される場合、「または」という用語は包含的であると理解される。

【0037】

本明細書において提示される範囲は、その範囲内のすべての値の省略表現であると理解される。例えば、1~50の範囲には、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31、32、33、34、35、36、37、38、39、40、41、42、43、44、45、46、47、48、49、または50（および文脈からそうでないことが明確に示されていない限り、その分数）からなる群からの任意の数、数の組み合わせ、または下位範囲が含まれると理解される。

40

【0038】

本明細書において次の略語が使用される。

CQD コロイド量子ドット

EC 電気化学

IC 個別制御

LED 発光ダイオード

50

MQW 多重量子井戸

NP-GaN ナノポーラス窒化ガリウム

【0039】

発明の詳細な説明

本発明の態様は、その少なくとも一部が電気化学的にエッチングされ、かつ量子ドット組成物が含浸される、個別に制御された窒化ガリウム系ダイオードのアレイを含むLEDデバイスを提供する。本発明は、そのようなLEDデバイスの製造方法をさらに提供する。

【0040】

本明細書において説明される窒化ガリウム (GaN) は、p型かn型かに関わらず、無極性、半極性、またはc面GaNとすることができる。

【0041】

LEDデバイス

図1Aおよび1Bを参照すると、本発明は、実質的に同一のGaN系LEDダイオード102のアレイを含むLEDデバイス100を提供する。GaNダイオード102は、少なくとも1つのp型GaN (p-GaN) 層104と、多重量子井戸領域106と、少なくとも1つのn型GaN (n-GaN) 層108とを含む複数の層を有することができる。GaNダイオード102は、回路112ごとの個別の電子制御を可能にするように構成された電気回路112のアレイを含む半導電性表面110上に取り付けられ得る。

【0042】

ある範囲の色付き発光を生じさせるために1種類または複数種類の量子ドット組成物をn-GaN層108に含浸させることができるように、GaNダイオード102の少なくとも一部が選択的に修飾され得る。ナノポーラスn-GaN表面層114を生成するために、n-GaN層108の少なくとも一部が電気化学的にエッチングされ得る。ナノポーラスn-GaN表面層114は、GaNダイオード102の一部では存在しないこともできる。ナノポーラスn-GaN表面層114を生成するために電気化学的にエッチングされたGaNダイオード102の少なくとも一部は、量子ドット116を含む組成物が含浸され得る。選択された態様では、量子ドット116は、接着剤の使用によってナノポーラスn-GaN表面層114に付着させることができる。

【0043】

本発明の未修飾GaNダイオード102は単色の青色LED (例えば、約450nm ~ 約495nmの波長で発光するLED) とすることができる。追加の色の光を生成するために、様々な特性を有する量子ドット116をナノポーラスn-GaN表面層114に含浸させることができる。相加的RGBカラーモデルによって幅広い色を生成するために、赤色量子ドット (例えば、約620nm ~ 約750nmの波長で発光する量子ドット) および緑色量子ドット (例えば、約495nm ~ 約570nmの波長で発光する量子ドット) を未修飾の単色の青色LEDと併用することができる。しかしながら、本発明は、GaNダイオードが所望の任意の波長で発光するように当業者によく理解されている方法に従って設計および修飾され得る代替的な態様を含む。

【0044】

いくつかの態様では、複数のGaNダイオード102の第1の部分は、少なくとも1つのナノポーラス表面を有しかつ赤色発光量子ドット組成物が埋め込まれた電気化学的にエッチングされたn-GaN層114を含み、複数のGaNダイオード102の第2の部分は、少なくとも1つのナノポーラス表面を有しかつ緑色発光量子ドット組成物が埋め込まれた電気化学的にエッチングされたn-GaN層114を含み、複数のGaNダイオード102の第3の部分は、エッチングされていないn-GaN層108表面またはいかなる埋め込まれた量子ドットも含まない電気化学的にエッチングされたn-GaN層114ナノポーラス表面のいずれかを含む。第1の部分、第2の部分、および第3の部分は、半導電性表面110全体に均等に分布し、画素のアレイとして配置することができ、各画素は、GaNダイオード102の第1の部分、第2の部分、および第3の部分の、等しい数のダイオード102を含む。

【0045】

本明細書において説明されるn-GaN層は、C.Dang et al., 「A Wafer-Level Integrated White-Light-Emitting Diode Incorporating Colloidal Quantum Dots as a Nanocomposi

10

20

30

40

50

te Luminescent Material」,24 Adv.Mater.5915-18 (2012) に記載の技法を用いて形成され得る。

【0046】

量子ドット組成物は、所望の波長で発光するための当技術分野において公知の任意の量子ドットを含むことができる。例えば、n-GaN層の表面に1種類または複数種類のCdSeコロイド量子ドット組成物を埋め込むことができ、異なる色の光を生成するために、量子ドット自体のサイズが変更される。量子ドット組成物は、実質的に均一なサイズおよび化学組成の単分散量子ドットを含むことができる。あるいは、量子ドット組成物は、2種類以上の量子ドットの混合物を含むことができる。特定の態様では、量子ドットは、約2nm～約50nmの最大断面寸法を有することができる。

10

【0047】

特定の態様では、GaNダイオード102は金属接合プロセスによって半導電性表面110に接合され、金属接合層118を形成する。金属接合プロセスはインジウム金属接合とすることができる。

【0048】

半導電性表面110は、シリコン、プラスチック、およびポリマー材料などであるがこれらに限定されない、様々な半導体材料から製作され得る。半導体材料は、硬質、半硬質、または可撓性とすることができる。特定の態様では、半導電性表面110は、相補型金属酸化膜半導体(CMOS)ドライバを含む。電気回路112は、回路基板の一部として使用可能であることが当技術分野において公知の任意の導電性材料で作ることができる。例えば、電気回路112は銅線を含むことができる。

20

【0049】

LEDデバイスは、GaNダイオード102間に配置された1つまたは複数の絶縁体層120、122をさらに含むことができる。絶縁体層は、ガラス、ポリマー、およびセラミックなどであるがこれらに限定されないフォトリソ材料とすることができる。

【0050】

LEDデバイスはまた、半導電性表面110の遠位にある、GaNダイオード102のn-GaN表面114上に配置された導電性ガラスのセグメント124を含むことができる。1つまたは複数の絶縁体層122をガラスセグメント124間に配置させて、導電性ガラスセグメント124を互いに光学および/または電子的に分離し、GaNダイオード102間のクロストークを防ぐことができる。導電性ガラス124および/または絶縁体層122は、LED 102によって放出された光を平行にすることができる。特定の態様では、導電性ガラスセグメント124は、チタン/インジウムスズ酸化物(Ti/ITO)ガラスから構成され得る。LEDデバイスは、ガラスセグメント124と電氣的に連絡する接地電極126をさらに含むことができる。接地電極126は、ガラスセグメント124間の距離を架橋し、回路112を介して導入される電流の接地として機能することができる。特定の態様において、接地電極126はITOガラスから構成され得る。

30

【0051】

LEDデバイスは、半導電性表面の遠位にある、複数のGaNダイオード102上の少なくとも1つの透明ガラスカバー128をさらに含むことができる。透明ガラスカバー128は、完全に透明または部分的に透明にすることができる。透明ガラスカバー128は、耐擦傷性(scratch proof)、耐擦傷性(scratch resistant)、飛散防止性、耐熱性、可撓性、導電性、および/または電氣的耐性、偏光フィルタリングの提供、および/または色彩の付与などであるがこれらに限定されない1つまたは複数の特質を有することができる。様々な外側ガラス層が、スマートフォン、タブレット、テレビ、および他のディスプレイなどのディスプレイにおいて使用され、本発明の態様に適用され得る。

40

【0052】

特定の態様では、個々のGaNダイオード102は、約5 μm ～約100 μm の最大横方向寸法を有することができる。電気化学的にエッチングされたナノポーラスn-GaN層114は、約0.1 μm ～約5 μm の深さを有するナノポアを含むことができる。

【0053】

50

ここで図1Bを参照すると、GaNダイオード102は、MQW領域と接触する、導電性を最適にするためにドーパされた第1のn-GaN層108Aと、第1のn-GaN層108Aと接触する、電気化学エッチング多孔性を最適にするためにドーパされた第2のn-GaN層108Bとの2つのn-GaN層を含むことができる。第2のn-GaN層108Bは、エッチングされたn-GaN表面114を有することができる、量子ドット116が含浸され得る。

【0054】

製作方法

本発明はまた、本明細書において他所で説明される本発明のLEDデバイス100の製造方法も提供する。

【0055】

図2A～2Eを参照すると、本発明のLEDデバイス100の1つの製造方法は、回路ごとの個別の電子制御を可能にするように構成された電気回路112のアレイを含む半導電性表面110をまず形成する工程の後、ダイオードアレイ200（図2A）を形成するために、それぞれの窒化ガリウム（GaN）ダイオードが電気回路112のアレイの1つと電子的に連絡しかつそのそれぞれが互いに電子的に分離されるように、複数のGaNダイオード102を半導電性表面112上に接合する工程を含む。それぞれのGaNダイオード102は、本明細書において他所で説明されるように、半導電性表面110の近位にある少なくとも1つのp型GaN（p-GaN）層104と、半導電性表面110の遠位にある、p-GaN層104と接触する多重量子井戸（MQW）領域106と、p-GaN層104および半導電性表面110の遠位にある、MQW領域106と接触する少なくとも1つのn型GaN（n-GaN）層108/108Aとを含むことができる。GaNダイオード102は、金属接合、例えばインジウム金属接合により半導電性表面110に固定され得る。

【0056】

GaNダイオード102が半導電性表面110に固定された後、LEDデバイス100は2つの手法の一方によって製作され得る。

【0057】

図2Bおよび2Cを参照すると、第1の手法は、ダイオードアレイ200をフォトリソ材料202で被覆する工程、およびフォトリソ材料のセグメント204、206を選択的に除去して、n-GaN層108の表面を露出させる工程を含む。次いで、選択されたn-GaN層108の露出した表面を電気化学的にエッチングして、ナノポーラスn-GaN表面層114を作製することができる。次いで、ナノポーラスn-GaN表面層114を量子ドット含有溶液と接触させて、量子ドット116をナノポーラスn-GaN表面層114中に含浸させることができる。この手法を複数回繰り返すことができ、図2Bおよび2Cに示すようにフォトリソ材料の異なるセグメント204、206を除去し、毎回GaNダイオード102の異なるサブセットを量子ドット116含有溶液と接触させる。例えば、第1の例では、GaNダイオード102の第1の部分を赤色ナノ粒子と接触させることができ、第2の例では、GaNダイオード102の第2の部分を緑色ナノ粒子と接触させることができる。

【0058】

図3A～3Dを参照すると、第2の手法は、n-GaN層108A（図3A）の遠位にあるモノリシックn-GaN層300を利用する。図3Aに示す態様は、サファイア上のLEDウェーハ（108Aおよび300）をSi CMOSドライバウェーハに接合した後、レーザーリフトオフ（LLO）またはその他のリフトオフプロセスを行って、サファイアとn-GaN層300とを分離/切断することにより作られ得る。（この意味で、図2Aは図3Aから導かれ得るが、まず図2Bに進む前に個々のLEDダイを分離するためにドライエッチングを行う。）

【0059】

モノリシックn-GaN層300の遠位表面の少なくとも一部を電気化学的にエッチングして、ナノポーラスn-GaN表面層114を作製することができる（図3B）。本方法は、ダイオードアレイ200をフォトリソ材料202で被覆する工程、およびフォトリソ材料のセグメント302、304を選択的に除去して、GaNダイオード102の一部の上に配置されたナノポーラスn-GaN表面層114の表面の選択部分を露出させる工程をさらに含む。次いで、露出したナノポーラスn-GaN表面層114を量子ドット含有溶液と接触させて、量子ドット116をナノポー

ラスn-GaN表面層114中に含浸させることができる。この手法を複数回繰り返すことができ、図3Cおよび3Dに示すようにフォトレジスト材料の異なるセグメント302、304を除去し、毎回GaNダイオード102の異なるサブセットを量子ドット116含有溶液と接触させる。例えば、第1の例では、GaNダイオード102の第1の部分を赤色ナノ粒子と接触させることができ、第2の例では、GaNダイオード102の第2の部分を緑色ナノ粒子と接触させることができる。GaNダイオード102の上に配置されていないモノリシックn-GaN層300の部分は、最初にフォトレジスト材料202を完全に除去した後に選択的に除去でき、それにより個々のn-GaN層108Bが作製され得る。

【0060】

いずれの手法でも、ナノポア内の量子ドットの移動を促進するために、振動（例えば、超音波）、キャピテーション、圧力、真空などの様々な技法が利用され得る。

10

【0061】

図2Dおよび2Eならびに図3Eおよび3Fを参照すると、第1のアプローチおよび第2のアプローチが合流し、製造方法は、すべてのフォトレジスト材料202を完全に除去し、複数のGaNダイオード102間に配置された絶縁体層120を追加する工程をさらに含むことができる。次いで、ダイオードアレイ200をフォトレジスト材料202でさらに被覆して、第2の絶縁層122を形成することができる。次いで、各GaNダイオード102を覆う第2の絶縁層のセグメント122を除去して、n-GaN層108/ナノポーラスn-GaN表面層114を露出させることができる。透明導電性ガラスのセグメント124は、各ダイオードの露出したn-GaN層108/ナノポーラスn-GaN表面層114上に積層させることができる。次いで、接地電極層126がすべてのGaNダイオード102との連続的な接点を形成するように、接地電極層126が導電性ガラスのセグメント124上に積層され得る。本方法はまた、接地電極126上にガラス基板128を取り付ける工程を含むことができる。

20

【0062】

エッチングする工程の特定の態様では、電気化学エッチングの工程は、露出したn-GaN表面をシュウ酸溶液と接触させ、n-GaN層に約15V～約25Vの正の電位を約60秒間かける工程を含む。

【0063】

本方法の特定の態様では、ナノポーラスn-GaN表面層114の量子ドット116との接触は、接着剤の使用をさらに含むことができる。例えば、量子ドット116は、溶媒の蒸発後、硬化時、架橋時などにナノポーラスn-GaN表面層114内の量子ドット116を結合させる溶液（例えば、ポリウレタン溶液）中に懸濁させることができる。

30

【0064】

本方法の特定の態様では、フォトレジスト材料202はフォトリソグラフィにより除去され得る。

【0065】

均等物

本発明の好ましい態様を特定の用語を使用して説明してきたが、そのような説明は例示目的のみのためのものであり、添付の特許請求の範囲の趣旨または範囲から逸脱することなく変更および変形が可能であることを理解される。

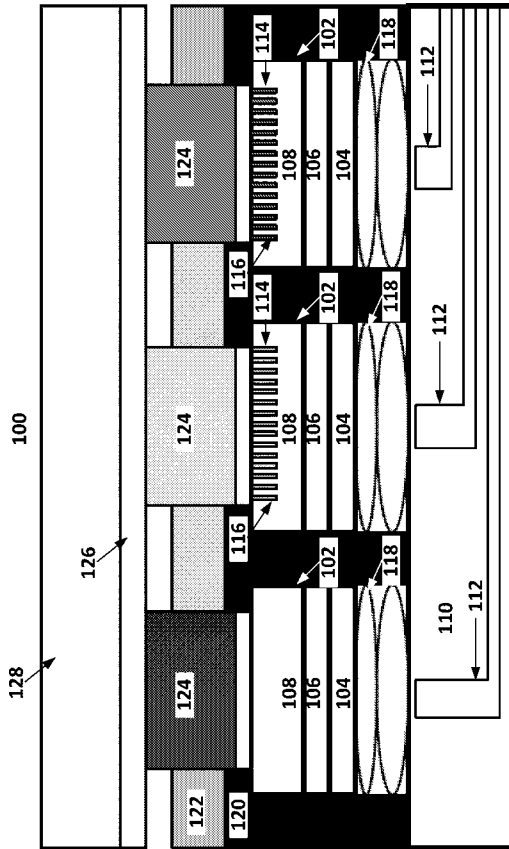
40

【0066】

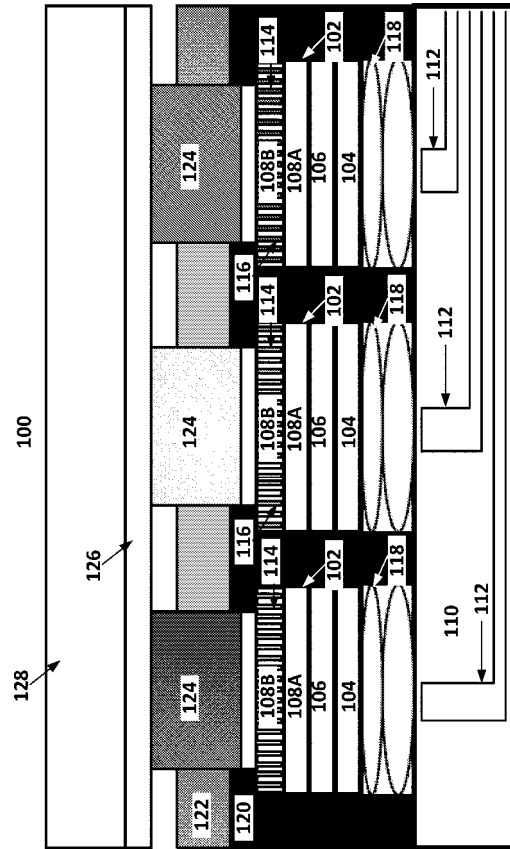
参照による組み入れ

本明細書において引用されるすべての特許、公開特許出願、および他の参考文献の全内容は、参照によりその全体が本明細書に明示的に組み入れられる。

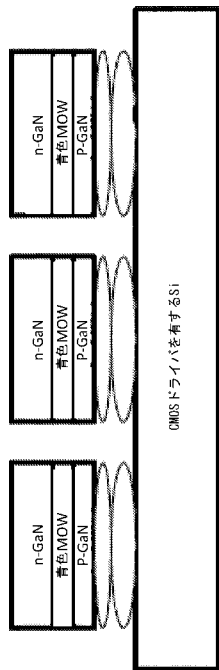
【図 1 A】



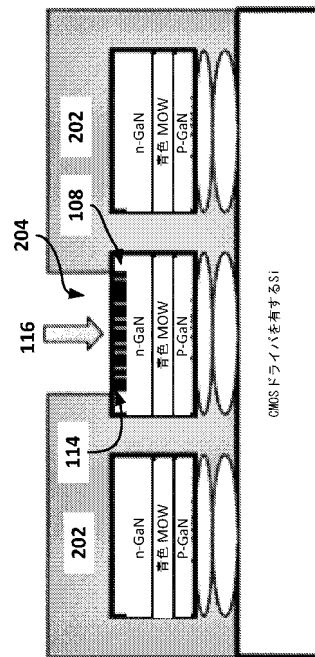
【図 1 B】



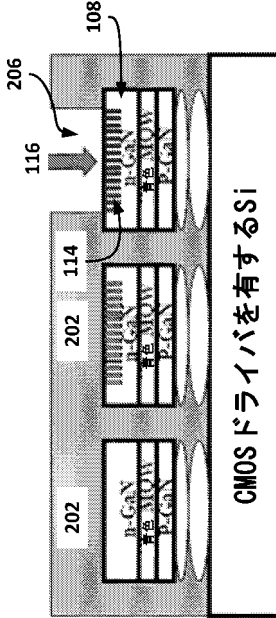
【図 2 A】



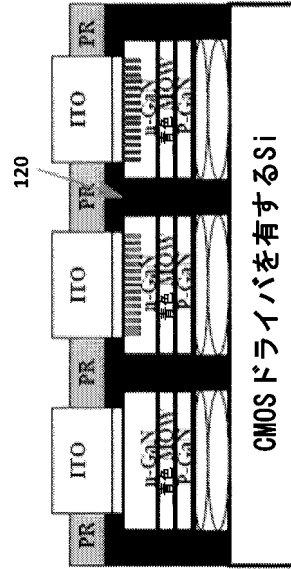
【図 2 B】



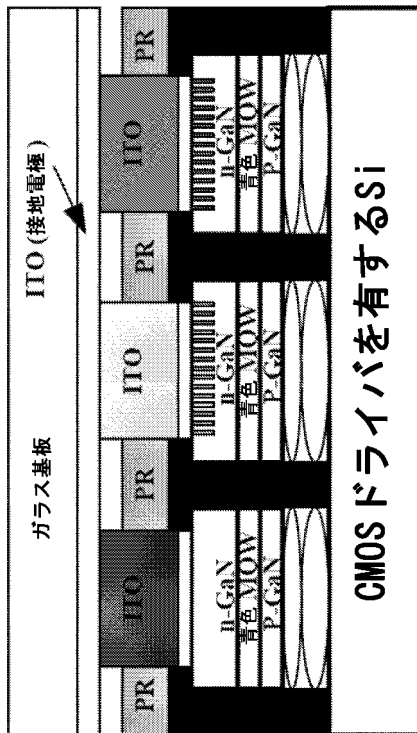
【図 2 C】



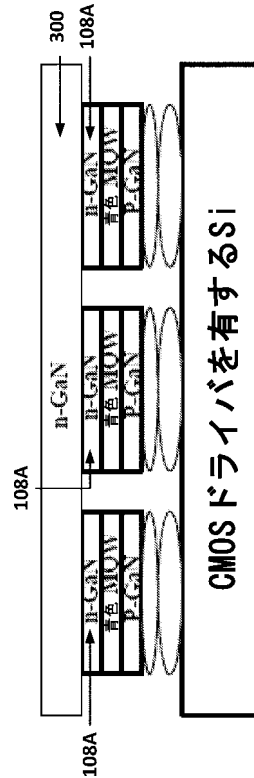
【図 2 D】

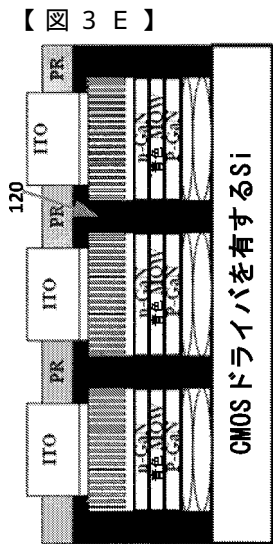
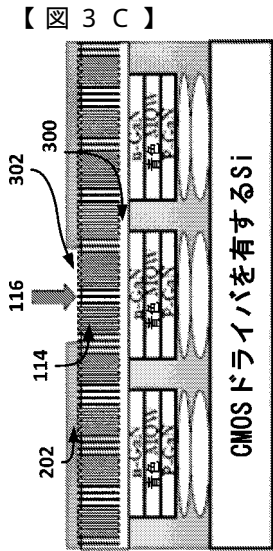
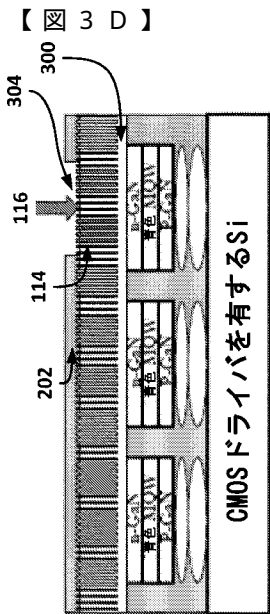
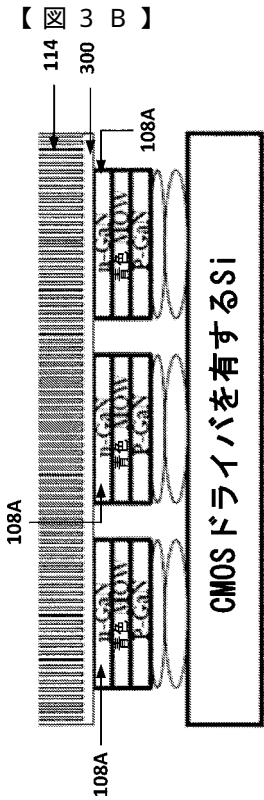


【図 2 E】

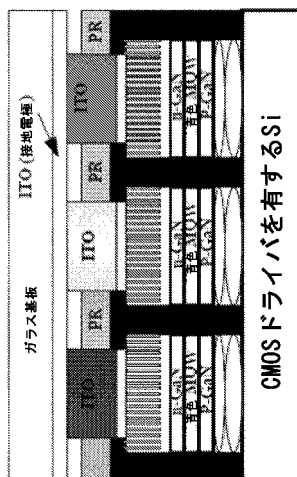


【図 3 A】

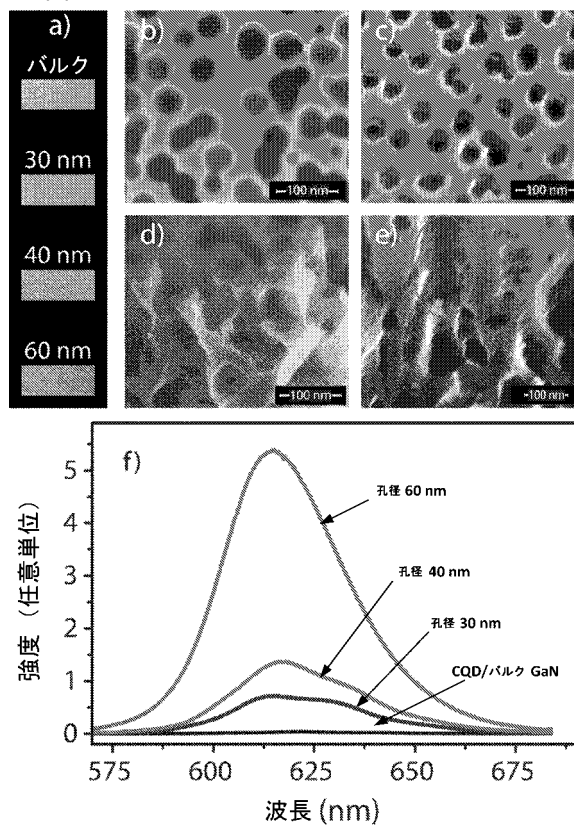




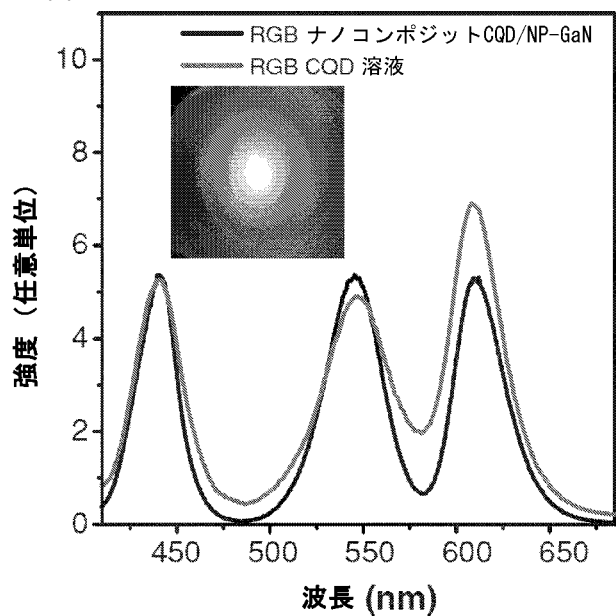
【 図 3 F 】



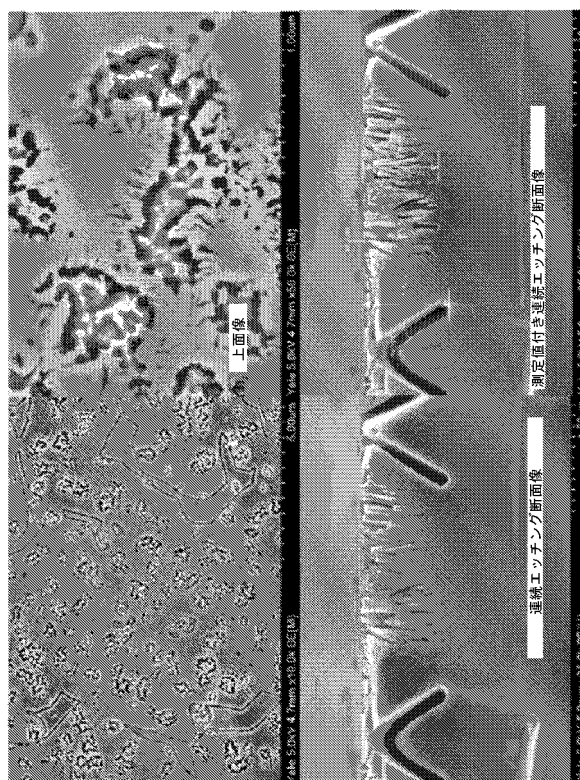
【 図 4 - 1 】



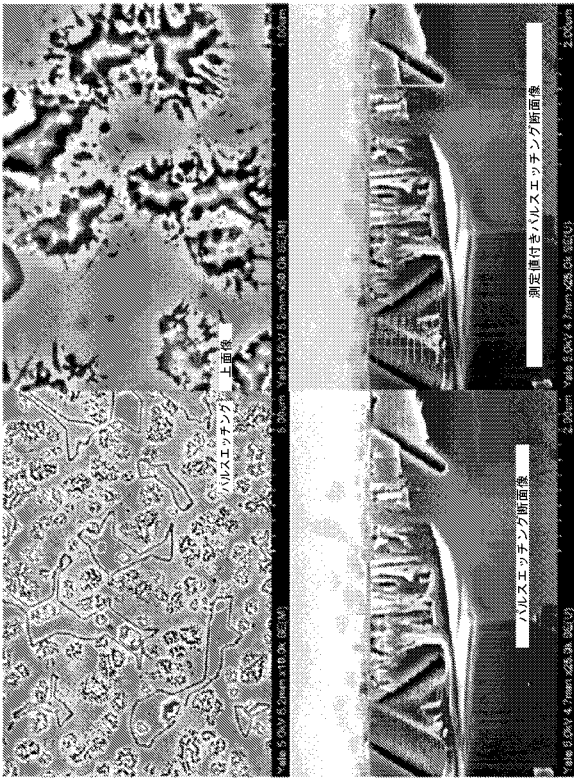
【 图 4 - 2 】



【 図 5 A 】



【図 5 B】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2018/044023

A. CLASSIFICATION OF SUBJECT MATTER

IPC(8) - H01L 33/50; H01L 33/00; H01L 33/06; H01L 33/48; H01L 33/54 (2018.01)

CPC - H01L 33/50; H01L 33/02; H01L 33/04; H01L 33/06; H01L 33/48; H01L 33/54; H01L 33/58 (2018.08)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

See Search History document

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

USPC - 257/82; 257/83; 257/93; 257/94; 257/98; 257/103; 438/22 (keyword delimited)

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

See Search History document

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010/0117997 A1 (HAASE) 13 May 2010 (13.05.2010) entire document	1-37
A	US 2012/0119237 A1 (LEATHERDALE et al) 17 May 2012 (17.05.2012) entire document	1-37
A	US 2012/0104439 A1 (KIM) 03 May 2012 (03.05.2012) entire document	1-37
A	US 2011/0309378 A1 (LAU et al) 22 December 2011 (22.12.2011) entire document	1-37
A	US 2015/0041755 A1 (QINGDAO JASON ELECTRIC CO., LTD.) 12 February 2015 (12.02.2015) entire document	1-37

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 September 2018

Date of mailing of the international search report

10 OCT 2018

Name and mailing address of the ISA/US

Mail Stop PCT, Attn: ISA/US, Commissioner for Patents
P.O. Box 1450, Alexandria, VA 22313-1450

Facsimile No. 571-273-8300

Authorized officer

Blaine R. Copenheaver

PCT Helpdesk: 571-272-4300
PCT OSP: 571-272-7774

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(74)代理人 100148699
弁理士 佐藤 利光

(74)代理人 100128048
弁理士 新見 浩一

(74)代理人 100129506
弁理士 小林 智彦

(74)代理人 100205707
弁理士 小寺 秀紀

(74)代理人 100114340
弁理士 大関 雅人

(74)代理人 100114889
弁理士 五十嵐 義弘

(74)代理人 100121072
弁理士 川本 和弥

(72)発明者 ハン ジョン
アメリカ合衆国 06525 コネチカット州 ウッドブリッジ ベック ヒル ロード 30

(72)発明者 リン チア - フェン
台湾 412 タイチュン シティー ダーリー ディストリクト ヨンロン ファースト ストリート レーン 230 ナンバー 3

F ターム(参考) 5F142 AA01 BA32 CB03 CB07 CB14 CD02 CD14 CG03 CG06 DA14
DA64 DB02 DB15 DB24 FA28
5F241 CA05 CA40 CA74 CA77 CA88