(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2021 年 8 月 26 日 (26.08.2021)

WIPO | PCT

(10) 国际公布号
WO 2021/164086 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) *G02F 1/1335* (2006.01)
H01L 21/84 (2006.01) *G02F 1/1362* (2006.01)

(21) 国际申请号: PCT/CN2020/079869

(22) 国际申请日: 2020 年 3 月 18 日 (18.03.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010102202.2 2020年2月19日 (19.02.2020) CN

(71) 申请人: 武 汉 华 星 光 电 技 术 有 限 公司(**WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省 武 汉 市 东 湖 开 发 区 高 新 大 道 666 号 生 物 城C5栋, Hubei 430079 (CN)。

(72) 发明人: 刘 汉 辰 (**LIU, Hanchen**); 中 国 湖 北 省 武 汉 市 东 湖 开 发 区 高 新 大 道 666 号 生 物 城C5栋, Hubei 430079 (CN)。

(74) 代理人: 深 圳 紫 藤 知 识 产 权 代 理 有 限 公 司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** ARRAY SUBSTRATE AND MANUFACTURING METHOD FOR PHOTOLITHOGRAPHY COMPENSATION STRUCTURE THEREOF, AND DISPLAY PANEL

(54) **发明名称**: 阵列基板及其光刻补偿构造的制造方法、显示面板

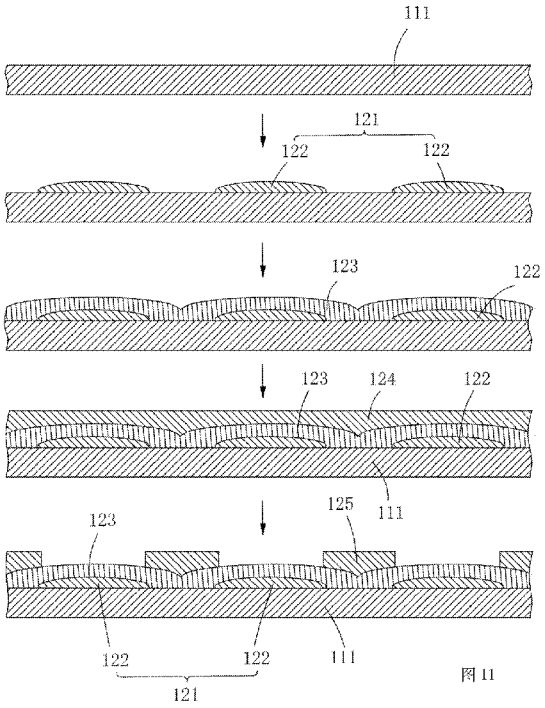

图 11

(57) **Abstract:** Disclosed is an array substrate photolithography compensation structure, comprising a substrate, a base layer, a photosensitive layer, and a photolithography compensation pattern layer. The photolithography compensation pattern layer is sandwiched between the substrate and the base layer. The photolithography compensation pattern layer comprises a plurality of compensation patterns arranged in an array. Along the thickness direction of the substrate, the photolithography compensation pattern layer changes the thickness of the base layer, so that the thickness of the photosensitive layer in the regions corresponding to the compensation patterns is smaller than the thickness of the photosensitive layer in the regions corresponding to the peripheries of the compensation patterns.

(57) **摘要**: 本发明公开一种阵列基板光刻补偿构造，包括基板、基底层、感光层及光刻补偿图案层，所述光刻补偿图案层夹设于所述基板与所述基底层之间，所述光刻补偿图案层包括多个阵列分布设置的补偿图案，沿所述基板的厚度方向，所述光刻补偿图案层改变了所述基底层的厚度，使所述补偿图案所对应区域的感光层厚度小于所述补偿图案周边相对应区域的感光层厚度。

WO 2021/164086 A1

[见续页]

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

发明名称：阵列基板及其光刻补偿构造的制造方法、显示面板

技术领域

[0001] 本发明涉及显示技术领域，具体地说，涉及一种阵列基板光刻补偿构造及其制造方法，以及采用所述补偿构造加工而成的阵列基板、显示面板。

背景技术

[0002] 随着电子产品的发展，消费者对于显示面板的解析度需求不断提升。为了进一步提高解析度，对应的，PPI（Pixels Per Inch，像素数目或像素密度）的提高势在必行。

[0003] 现有技术的一种显示面板，如图1所示。所述显示面板40包括显示区域41、扇出区43，其中所述显示区域41设于所述显示面板40的中心区域，所述扇出区43设于所述显示面板40的一侧端部。

[0004] 请同时参阅图2及图3，其中图2是图1所示显示区域的局部放大示意图，图3是图1所示扇出区域的局部放大示意图。于所述显示区域41中，设置多个阵列设置的薄膜晶体管411（TFT-LCD）及垂直相交设置的栅极线413和数据线415。所述栅极线413及所述数据线415的一端连接至所述显示区域41，另一端经所述扇出区43延伸至驱动芯片45。

[0005] GOA（Gate Driver On Array，
阵列基板行驱动）电路的级数逐渐增加，导致GOA电路的宽度逐渐变窄，如此使得GOA电路中的薄膜晶体管（Thin Film Transistor，TFT）的排布更加集中。进一步的，所述栅极线413与薄膜晶体管411之间的间距进一步减小。同理，所述数据线415与所述薄膜晶体管411之间的间距同样逐渐减小。

[0006] 另一方面，自所述显示区域41引出至所述扇出区43的导电线路同样会逐渐更加密集排布。

[0007] 在TFT-LCD阵列制作工艺中，特别是随着高分辨率产品的逐渐导入，TFT-LCD阵列段的各项参数边缘值越来越小，工艺要求更为严格，现有技术采用曝光制程加工工艺在基板上形成导电线路，但是曝光工艺受限于不同材质、不同温度、

不同导电线路的走线弯折趋势影响、曝光精度、显影周期等因素影响而难以达到统一的导电线路线宽精度，甚至导致相邻导电线路之间的短路。

[0008] 业界也有针对不同区域加工精度难以均一化的技术问题，提供一种对应分别补偿的方式来解决上述技术问题，具体如图4及图5所示。但是上述现有技术需要分区域调整光罩尺寸，如此增加成本且效率降低，同时对加工设备和设计空间提出更高要求。

[0009] 针对现有技术显示面板不同区域导电线路走线疏密程度需求不同以及需要更高加工精度的技术问题，有必要提供一种针对不同区域的导电线路疏密程度相异的区域，对应采用单一光罩和统一加工工艺保证不同区域导电线路的加工精度。

发明概述

技术问题

[0010] 现有技术的显示面板不同区域导电线路间距过小引起短路及加工成本高、效率低。

问题的解决方案

技术解决方案

[0011] 本发明提供一种阵列基板光刻补偿构造，包括基板、基底层、感光层及光刻补偿图案层，所述基底层叠设于所述基板一侧表面，所述感光层叠设于所述基底层远离所述基板一侧表面，所述光刻补偿图案层夹设于所述基板与所述基底层之间，所述光刻补偿图案层包括多个阵列分布设置的补偿图案，沿所述基板的厚度方向，所述光刻补偿图案层改变了所述基底层的厚度，使所述补偿图案所对应区域的感光层厚度小于所述补偿图案周边相对应区域的感光层厚度。

[0012] 本发明提供一种阵列基板的制造方法，包括如下步骤：

[0013] 提供基板；

[0014] 提供补偿图案层，并形成于所述基板一侧表面，所述补偿图案层包括多个阵列设置的补偿图案；

[0015] 提供基底层，形成于所述基板一侧表面，并夹设所述补偿图案层于所述基板与所述基底层之间；

[0016] 提供感光层，所述感光层叠设于所述基底层上，沿所述基板的厚度方向，所述补偿图案所对应区域的感光层厚度小于所述补偿图案周边相对应区域的感光层厚度；

[0017] 提供光罩，对所述感光层进行感光、显影工艺形成沟槽，沿所述基板的厚度方向，所述沟槽与所述补偿图案相对应，所述补偿图案是在需制备沟槽区域设置图案，形成补偿图案。

[0018] 本发明还提供一种阵列基板，其包括基板、光刻补偿图案层、基底层及线路层，所述光刻补偿图案层叠设于所述基板一侧表面，所述光刻补偿图案层包括多个补偿图案，所述基底层形成于所述基板一侧表面，所述线路层制成的图案包含沟槽或小孔，所述沟槽或小孔形成图案间隔区，所述补偿图案与所述图案间隔区沿所述基板的厚度方向分别相对应。

[0019] 本发明同时还提供一种显示面板，包括相互间隔相对设置的阵列基板和彩色滤光片基板、以及收容于所述阵列基板与彩色滤光片基板之间的液晶层，所述阵列基板包括沟槽或小孔及光刻补偿图案层，所述沟槽或小孔形成间隔区，所述光刻补偿图案层包括多个补偿图案，每一补偿图案与其中一间隔区沿所述阵列基板的厚度方向上相对应。

发明的有益效果

有益效果

[0020] 本发明的阵列基板与基底层之间增加设置光刻补偿图案作为光刻补偿结构，增加了所述基底层的厚度，因所述感光层在制备过程中的自流平效应，使得所述补偿图案所对应区域的感光层厚度小于所述补偿图案周边相对应区域的感光层厚度，因为所述感光层的膜厚与基底层覆盖区域的间隔区域的加工关键尺寸精度呈负相关线性关系，也就是说，增加设置所述补偿图案于所述感光层下方，减小基底层覆盖区域上方的感光层厚度，如此感光显影后的沟槽宽度增加，使得相邻导电线路之间的间隔宽度增加，降低加工难度和降低对加工设备的极限要求。同时，对于同一显示面板的加工工艺而言，其不需要根据不同导电线路疏密程度来调整光罩尺寸，降低成本和提高加工效率。

[0021] 进一步的，因为所述补偿图案可以直接利用现有导电线路设置工艺直接加工形

成，不需要额外增加加工成本的前提下，提高加工精度和产品良率。当然，其还可以基于现有薄膜晶体管阵列加工的基础，通过单独的曝光工艺直接加工所述补偿图案，简化工艺。

对附图的简要说明

附图说明

[0022] 图1是现有技术一种显示面板的平面结构示意图；

[0023] 图2是图1所示A区域局部放大示意图；

[0024] 图3是图1所示B区域局部放大示意图；

[0025] 图4是现有技术中显示区域与扇出区域采用统一工艺加工导电线路结果示意图；

[0026] 图5是现有技术结合显示区域线宽进行补偿工艺加工显示区域与扇出区域导电线路结果示意图；

[0027] 图6是本发明一种显示面板的立体结构示意图；

[0028] 图7是图6所示阵列基板的平面示意图；

[0029] 图8是图7所示显示区域阵列基板的C区域放大示意图；

[0030] 图9是图7所示周边区域阵列基板的D区域放大示意图；

[0031] 图10是图7所示周边区域的局部剖视图；

[0032] 图11是图10所示周边区域第二间隔的加工工艺步骤示意图。

发明实施例

本发明的实施方式

[0033] 下面将结合本发明实施例中的附图，对本发明所提供的各个示例性的实施例的技术方案进行清楚、完整地描述。在不冲突的情况下，下述各个实施例及其技术特征可以相互组合。

[0034] 本发明提到的方向用语，例如上、下、顶、底、前、后、左、右、内、外、侧方、周围、中央、水平、横向、垂直、纵向、轴向、径向、最上层或最下层等，仅是参考附图的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。另外，对于特性相同或相似的结构元件，本发明采用相同的标号进行标识。

[0035] 请参阅图6，是本发明一种显示面板的立体结构示意图。所述显示面板10包括阵列基板11、液晶层13及彩色滤光片基板15。所述阵列基板11与所述彩色滤光片基板15相对间隔设置，所述液晶层13夹设于所述阵列基板11与所述彩色滤光片基板15之间。

[0036] 请结合参阅图7-9，其中图7是图6所示阵列基板的平面示意图，图8是图7所示显示区域阵列基板的C区域放大示意图，图9是图7所示周边区域阵列基板的D区域放大示意图。所述阵列基板11与所述彩色滤光片基板15叠设形成位于中心区域的显示区域20和环绕所述显示区域20设置的周边区域30，所述显示区域20位于中心区域，用于显示画面；所述周边区域30位于所述显示区域20的周边，多个驱动器件和导电线路设于所述周边区域30用于实现走线布局。

[0037] 于所述显示区域20内，所述阵列基板11包括基板111、于所述基板111表面垂直交叉设置的多个栅极线113和多个数据线115。所述多个栅极线113与所述多个数据线115共同界定多个阵列设置的像素区域117。所述像素区域117内设置薄膜晶体管118和像素电极119。所述薄膜晶体管118的栅极1181与栅极线113对应电连接，所述源极1183与数据线115对应电连接，所述漏极1185与所述像素电极119对应电连接。设定在该区域内，所述栅极线113、所述数据线115、所述像素区域的导电线路定义为第一导电线路，相邻第一导线线路之间的间隔定义为第一间隔201。

[0038] 所述栅极线113及所述数据线115自所述显示区域20延伸至周边区域30。

[0039] 于所述周边区域30内，设置多个公共电极端子（图未示）、阵列行驱动线路（未标示）、静电放电端子（图未示）、扇出区域、驱动芯片连接电极、印刷电路板焊接电极、复用驱动架构等多个功能区域，所述不同功能区域通过导电线路对应分别电连接。设定于该区域内的导电线路为第二导电线路，相邻第二导电线路之间的间隔定义为第二间隔301。

[0040] 位于所述显示区域20内的第一导电线路之间的第一间隔201的宽度d1大于位于周边区域30内的第二导电线路之间的第二间隔301的宽度d2。

[0041] 请参阅图10，是图7所示周边区域的局部剖视图。所述周边区域30的阵列基板11包括基板111、依次形成于所述基板111一侧表面的补偿图案层121、基底层123

及第二导电线路层125。

[0042] 所述基板111是玻璃基板，承载所述第一导电线路及所述第二导电线路并形成所述显示区域20和所述周边区域30。

[0043] 所述补偿图案层121包括多个阵列分布于所述基板111表面的补偿图案122，所述补偿图案122夹设于所述基板111与基底层123之间，沿所述基板的厚度方向，所述补偿图案122与所述第二间隔301相对应。同时沿着所述补偿图案延伸方向，所述补偿图案122的宽度d3大于所述第二间隔301的宽度d2。当然，作为上述实施方式的进一步改进，所述补偿图案122的宽度d3也可以等于所述第二间隔301的宽度d2。所述光刻补偿图案层121是非晶硅半导体层、绝缘层或者金属导电层中的任意一种。优选地，所述补偿图案122是通过光刻工艺形成于所述基板111与所述基底层123之间。在本实施方式中，所述补偿图案122可以是基于通过曝光工艺加工薄膜晶体管118的工艺基础上，增加一道独立的曝光工艺即可实现对补偿图案122的加工。当然，所述补偿图案122不仅仅局限于上述实施方式加工而成，其还可以是其他工艺加工而成，比如：化学沉积方法实现，凡是在基底层123与基板111之间形成补偿层，以调整用以加工导电线路的感光层（参阅图11）厚度的方案皆属于本发明的创造宗旨，属于本发明的保护范畴。

[0044] 所述基底层123是直接形成于基板111表面的绝缘层或者半导体层，其同时覆盖所述基板111表面及所述补偿图案122。优选地，所述基底层123包括具有遮光层、栅极层、栅绝缘层、有源层等阵列基板结构。

[0045] 所述第二导电线路125是形成于所述基板111表面的导电线路，其可以是扇出区域的导线，也可以是栅极驱动电极端子，或者是连接驱动芯片、控制电路板的电极端子等，在本发明的具体实施方式中，对本领域技术人员而言，设置在阵列基板11的导电线路，且相邻导电线路之间的间隔值在设定的范围内的，皆可认定为第二导电线路。

[0046] 在本实施方式中，所述显示面板10包括位于中心的显示区域20及环绕中心区域的周边区域，设定显示区域的相邻导电线路之间的间隔为第一间隔，设定周边区域的相邻导电线路的间隔为第二间隔，且所述第一间隔值大于所述第二间隔值，也就是说，所述显示区域20与所述周边区域30内的相邻导电线路之间的间

隔值相异，且第一间隔值大于所述第二间隔值，因此所述周边区域30内的导电线路排布相较于所述显示区域20内的导电线路排布更加密集。具体的，所述间隔区域是形成在阵列基板11表面的沟槽或者小孔，所述沟槽或小孔是通过在基底层123表面通过曝光工艺或化学沉积等工艺加工而成的导电线路之间的间隔区域。具体而言，其可以是相邻第一导电线路之间的第一间隔201，还可以是相邻第二导线线路之间的第二间隔301，所述间隔可以是沟槽或者小孔。

[0047] 在导电线路排布相对舒松的显示区域20内，于所述第一间隔对应的相邻第一导电线路之间未被导电线路覆盖，对应的，未增加设置补偿图案，所述第一导电线路加工过程中的加工精度是由预设的光罩尺寸确定的。

[0048] 在导线线路排布密集的周边区域30内，于所述第二间隔对应的相邻第二导线线路之间未被导电线路覆盖，对应的，增加设置补偿图案122，在采用与显示区域20内相统一的光罩尺寸加工的基础上，所述补偿图案122进一步补偿所述第二导线线路加工过程中的边缘关键尺寸误差，增加第二间隔值，保障所述相邻第二导电线路的加工精度。

[0049] 如此，通过在导电线路分布密集区域增加设置补偿图案122的方式来有效补偿所述补偿图案122对应的相邻导电线路之间的间隔区域的关键尺寸加工误差，扩大间隔值，提高开口率和加工精度，避免修改光罩，降低成本。

[0050] 相较于现有技术，在本发明的显示面板的阵列基板11中，于导电线路密集区域，对应沿所述基板11的厚度方向增加设置补偿图案122，通过所述补偿图案122改变了基底层123的厚度，进而减小感光层厚度，增加对应位置的相邻导电线路之间间隔值，提高加工精度，使得整个阵列基板的导电线路加工精度接近设计值，更加统一化。

[0051] 请参阅图11，是图10所示周边区域第二间隔的加工工艺步骤示意图。当对位于周边区域30内的第二导电线路进行加工时，包括如下步骤：

[0052] 步骤S01，提供所述基板111；

[0053] 步骤S02，于所述基板111上形成所述补偿图案层121，所述补偿图案层121包括多个分布于所述基板111表面的补偿图案122；

[0054] 在该步骤中，沿所述基板111厚度方向，所述补偿图案122是在需制备沟槽的间

隔区域设置图案，形成补偿图案。所述光刻补偿图案层121是非晶硅半导体层、绝缘层或者金属导电层中的任意一种，其形成方法为现有技术，例如，可以采用曝光工艺或化学气相沉积法形成，更具体的，所述曝光工艺是通过独立的曝光工艺直接加工而成。

[0055] 步骤S03，提供基底层123，形成于所述基板111的一侧表面，并覆盖所述基板111及所述补偿图案层121；

[0056] 在该步骤中，所述基底层123包括具有遮光层、栅极层、绝缘层、有源层等阵列基板结构，各层的形成方法均为现有技术，例如，所述遮光层可通过涂布方式形成，所述栅极层和所述有源层通过曝光工艺和蚀刻工艺形成，所述栅极绝缘层采用化学气相沉积法形成。

[0057] 步骤S04，提供感光层124，所述感光层124叠设于所述基底层123上，沿所述基板111的厚度方向，所述补偿图案122所对应区域的感光层124厚度小于所述补偿图案122周边相对应区域的感光层124厚度；

[0058] 在该步骤中，可通过在所述基底层123表面涂布光敏胶材形成所述感光层124，由于所述基板111一侧表面形成有所述光刻补偿图案层121，从而增加了所述基底层123的厚度，因此，在所述感光层124的制备过程中，因其自流平效应，使得所述补偿图案122所对应区域的感光层厚度小于所述补偿图案122周边相对应区域的感光层厚度。

[0059] 步骤S05，提供光罩（图未示），通过所述光罩对所述感光层进行显影，获得第二沟槽或小孔，所述第二沟槽或小孔形成间隔区，所述补偿图案与所述图案间隔区沿所述基板111的厚度方向分别相对应，所述第二沟槽对应相邻第二导电线路之间的第二间隔，沿所述基板的厚度方向，所述第二沟槽对应所述补偿图案122设置。具体而言，所述补偿图案122的宽度略大于或者等于所述第二沟槽的宽度，如图10所示；

[0060] 步骤S06，于所述第二沟槽两侧形成相邻间隔设置的第二导电线路，去除感光层，至此，获得阵列基板11。

[0061] 在对第二导电线路加工过程中，可以采用现有技术中的光罩光刻工艺加工，在所述导电线路形成前，在所述基底层123表面涂布导电层，然后经过光罩光刻工

艺加工而成，也就是说，所述导电线路形成之前，是直接在待制备层加工形成阵列设置的沟槽或者小孔，沿所述基板111厚度方向，在沟槽或者小孔所对应区域设置所述补偿图案122，在形成沟槽或者小孔之前，所述补偿图案122对应的位置称作待制备层，形成所述补偿图案122和沟槽或小孔后的导电层称作线路层。

[0062] 需要说明的是，在对所述周边区域进行光刻加工的同时，也采用光罩对应显示区域进行光刻加工，工艺基本一致，唯区别在于：所述周边区域30需要增加设置补偿图案层121，以补偿增加所述第二沟槽的宽度值，以提高第二导电线路之间的间隔值，使得显示区域20与周边区域30的导电线路之间的间隔值更加精确，提高产品可靠度。

[0063] 在本发明所示阵列基板11中，所述第一间隔与所述第二间隔所在区域并不局限于周边区域及显示区域，对本领域技术人员而言，在所述显示面板10中，阵列基板包括导电线路分布密集度相异的至少二区域，相对而言，凡是设定导电线路布局较为密集区域，对应相邻导电线路之间增加设置用以补偿光罩显影工艺导致的精度降低进行补偿，以扩大相邻导电线路之间未被导电线路覆盖区域的间隔值，对应的提高加工精度，提高开口率，降低加工成本和提高加工效率。所谓显示区域和周边区域，是相对而言的，旨在区别导电线路分布密集度相异的不同区域，并不具体指某一具体的区域。

[0064] 尽管已经相对于一个或多个实现方式示出并描述了本发明，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本发明包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不等同。

[0065] 即，以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包

括在本发明的专利保护范围内。

[0066] 此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。进一步地，应当理解，在本文中提及的“多个”是指两个或两个以上。

权利要求书

[权利要求 1] 一种阵列基板光刻补偿构造，其中，包括：

基板；

基底层，所述基底层叠设于所述基板一侧表面；

感光层，叠设于所述基底层远离所述基板一侧表面，其中，还包括光刻补偿图案层，所述光刻补偿图案层夹设于所述基板与所述基底层之间，所述光刻补偿图案层包括多个阵列分布设置的补偿图案，沿所述基板的厚度方向，所述光刻补偿图案层改变了所述基底层的厚度，使所述补偿图案所对应区域的感光层厚度小于所述补偿图案周边相对应区域的感光层厚度。

[权利要求 2] 如权利要求1所述阵列基板光刻补偿构造，其中，所述补偿图案是通过光刻工艺形成于所述基板与所述基底层之间。

[权利要求 3] 如权利要求1所述的阵列基板光刻补偿构造，其中，所述光刻补偿图案层是非晶硅半导体层、绝缘层或者金属导电层中的任意一种。

[权利要求 4] 如权利要求1所述的阵列基板光刻补偿构造，其中，所述基底层包括具有遮光层、栅极层、绝缘层、有源层的阵列基板结构。

[权利要求 5] 如权利要求1所述的阵列基板光刻补偿构造，其中，所述基底层远离所述基板侧表面还包括待制备层，所述感光层为制备该层图案过程中形成光刻图案所用。

[权利要求 6] 一种阵列基板的制造方法，包括如下步骤：

提供基板；

提供光刻补偿图案层，并形成于所述基板一侧表面，所述光刻补偿图案层包括多个阵列设置的补偿图案；

提供基底层，形成于所述基板一侧表面，并夹设所述补偿图案层于所述基板与所述基底层之间；

提供感光层，所述感光层叠设于所述基底层上，沿所述基板的厚度方向，所述补偿图案所对应区域的感光层厚度小于所述补偿图案周边相对应区域的感光层厚度；

提供光罩，对所述感光层进行感光、显影工艺形成沟槽，沿所述基板的厚度方向，所述沟槽与所述补偿图案相对应，所述补偿图案是在需制备沟槽区域设置图案，形成补偿图案。

[权利要求 7] 如权利要求6所述的阵列基板制造方法，其中，沿所述补偿图案的水平延伸方向，所述补偿图案的宽度大于或者等于所述沟槽的宽度。

[权利要求 8] 如权利要求6所述的阵列基板制造方法，其中，所述补偿图案是通过独立的光刻光罩制程加工而成。

[权利要求 9] 如权利要求6所述的阵列基板制造方法，其中，所述光刻补偿图案层是非晶硅半导体层、绝缘层或者金属导电层中的任意一种。

[权利要求 10] 如权利要求6所述的阵列基板制造方法，其中，所述基底层包括具有遮光层、栅极层、绝缘层、有源层的阵列基板结构。

[权利要求 11] 如权利要求6所述的阵列基板制造方法，其中，所述基底层远离所述基板侧表面还包括待制备层，所述感光层为制备该层图案过程中形成光刻图案所用。

[权利要求 12] 一种阵列基板，包括：

基板；

基底层，形成于所述基板一侧表面，在所述基底层制备光刻补偿图案层，所述光刻补偿图案层包括多个阵列设置的补偿图案，所述补偿图案夹设在所述基底层与所述基板之间；及

线路层，形成于所述基底层远离所述基板一侧表面，所述线路层制成的图案包含沟槽或小孔，所述沟槽或小孔形成图案间隔区，所述补偿图案与所述图案间隔区沿所述基板的厚度方向分别相对应。

[权利要求 13] 如权利要求12所述的阵列基板，其中，沿所述补偿图案的水平延伸方向，所述补偿图案的宽度大于或者等于所述沟槽的宽度。

[权利要求 14] 如权利要12所述的阵列基板，其中，所述补偿图案是通过独立的光刻光罩制程加工而成。

[权利要求 15] 如权利要求12所述的阵列基板，其中，所述光刻补偿图案层是非晶硅半导体层、绝缘层或者金属导电层中的任意一种。

[权利要求 16] 如权利要求12所述的阵列基板，其中，所述基底层包括具有遮光层、栅极层、绝缘层、有源层的阵列基板结构。

[权利要求 17] 如权利要求12所述的阵列基板，其中，所述基底层远离所述基板侧表面还包括待制备层，所述感光层为制备该层图案过程中形成光刻图案所用。

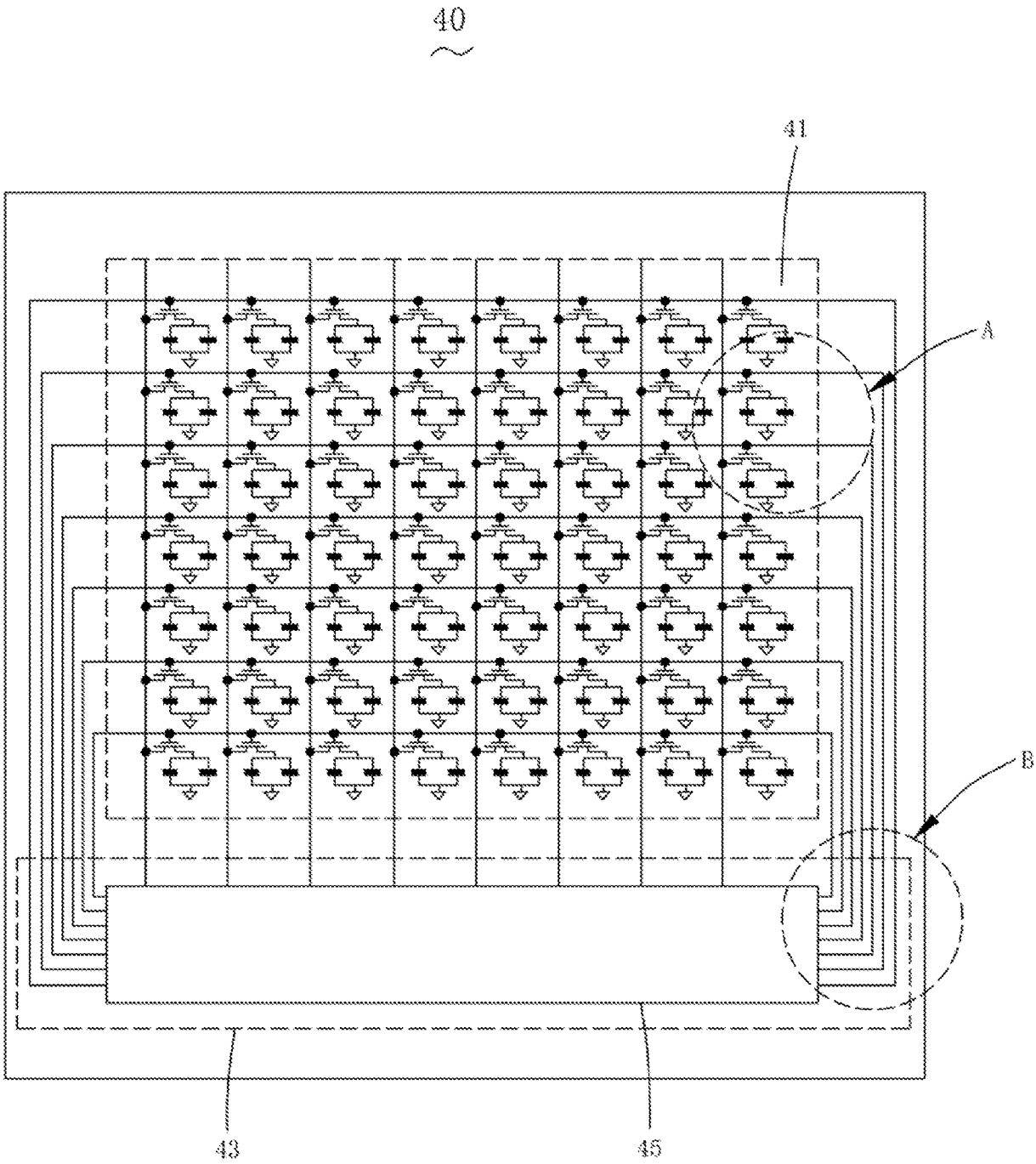

图 1

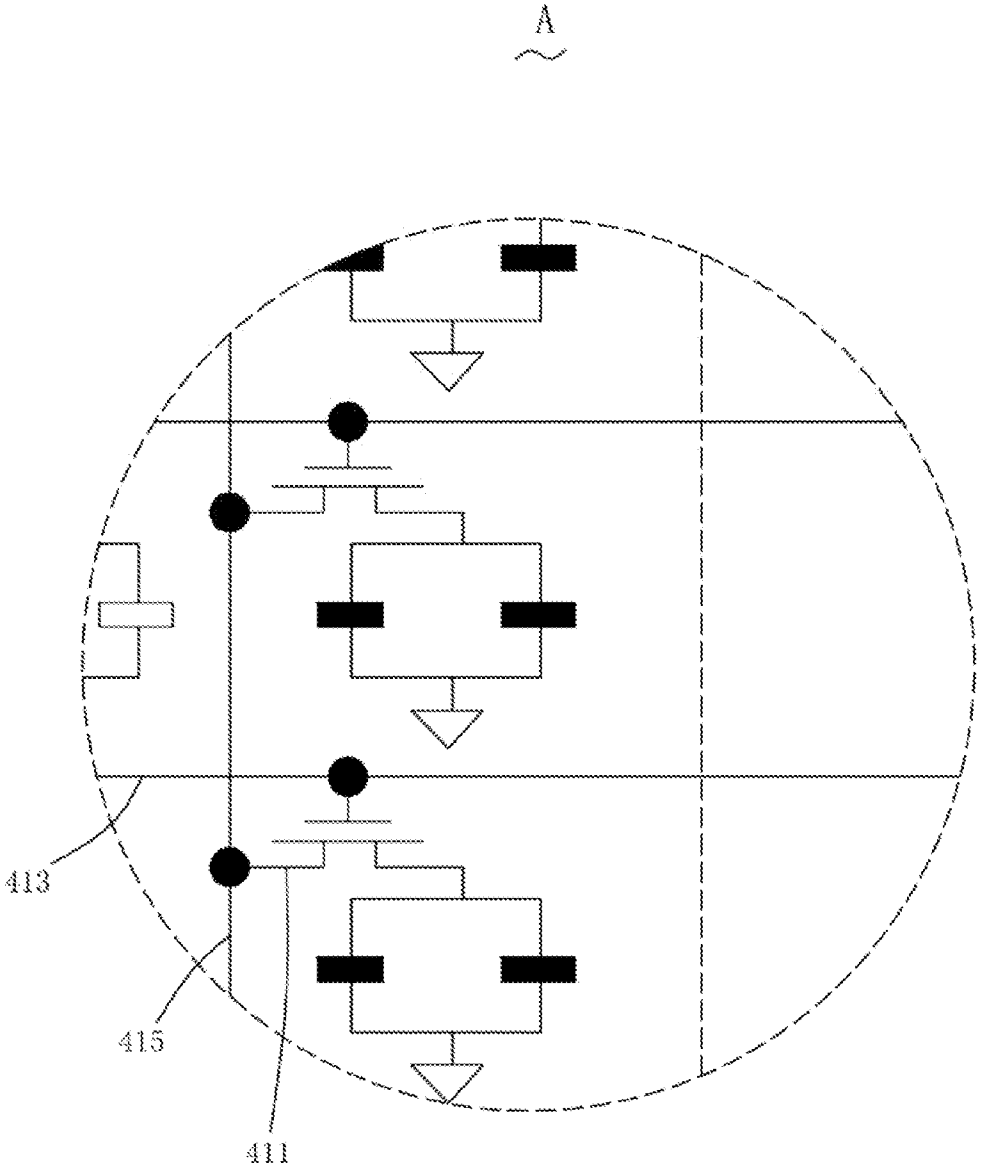

图 2

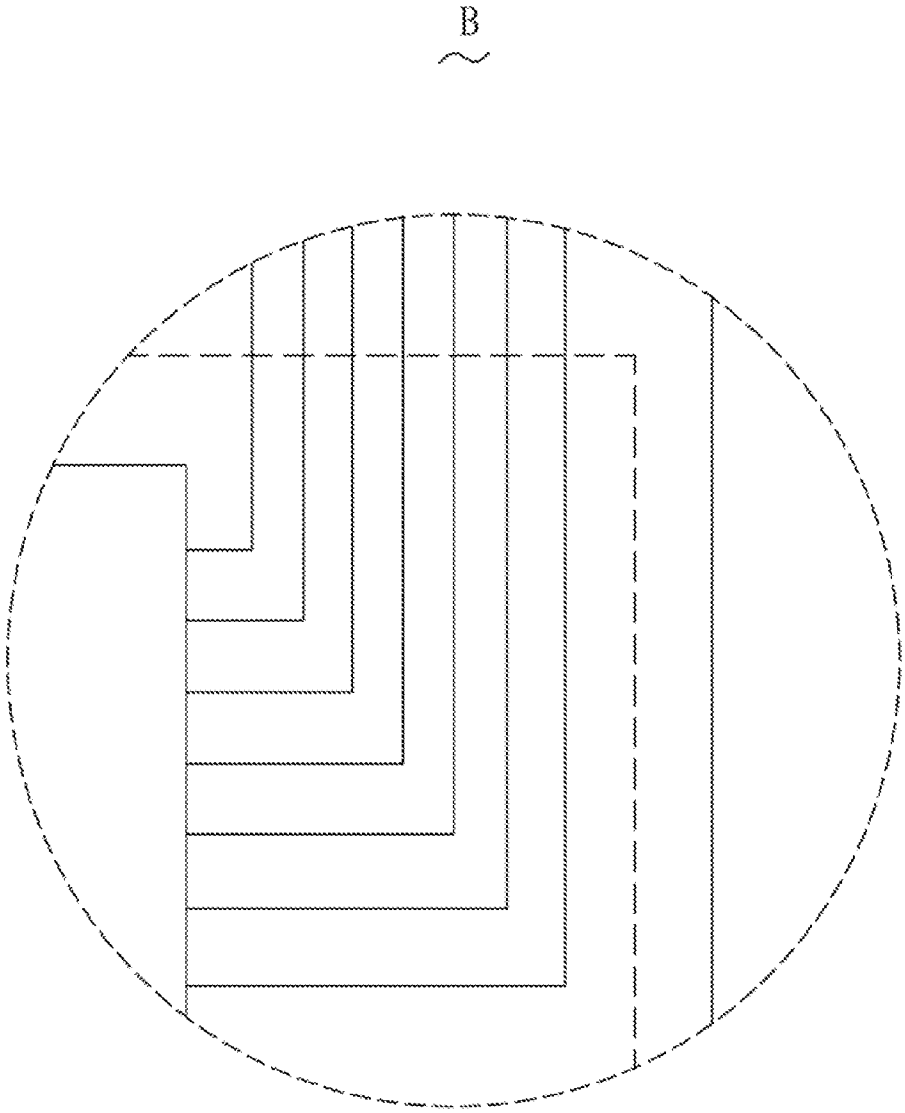

图 3

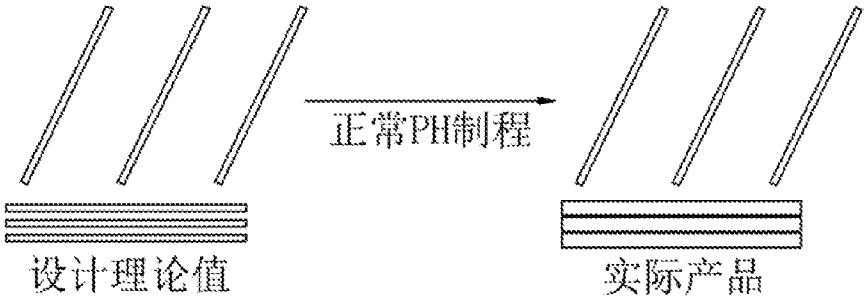

图 4

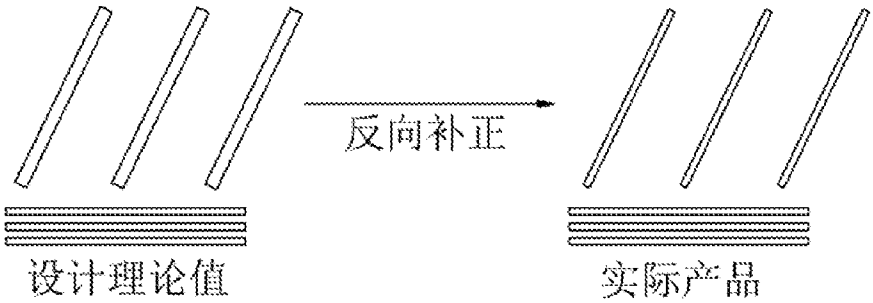

图 5

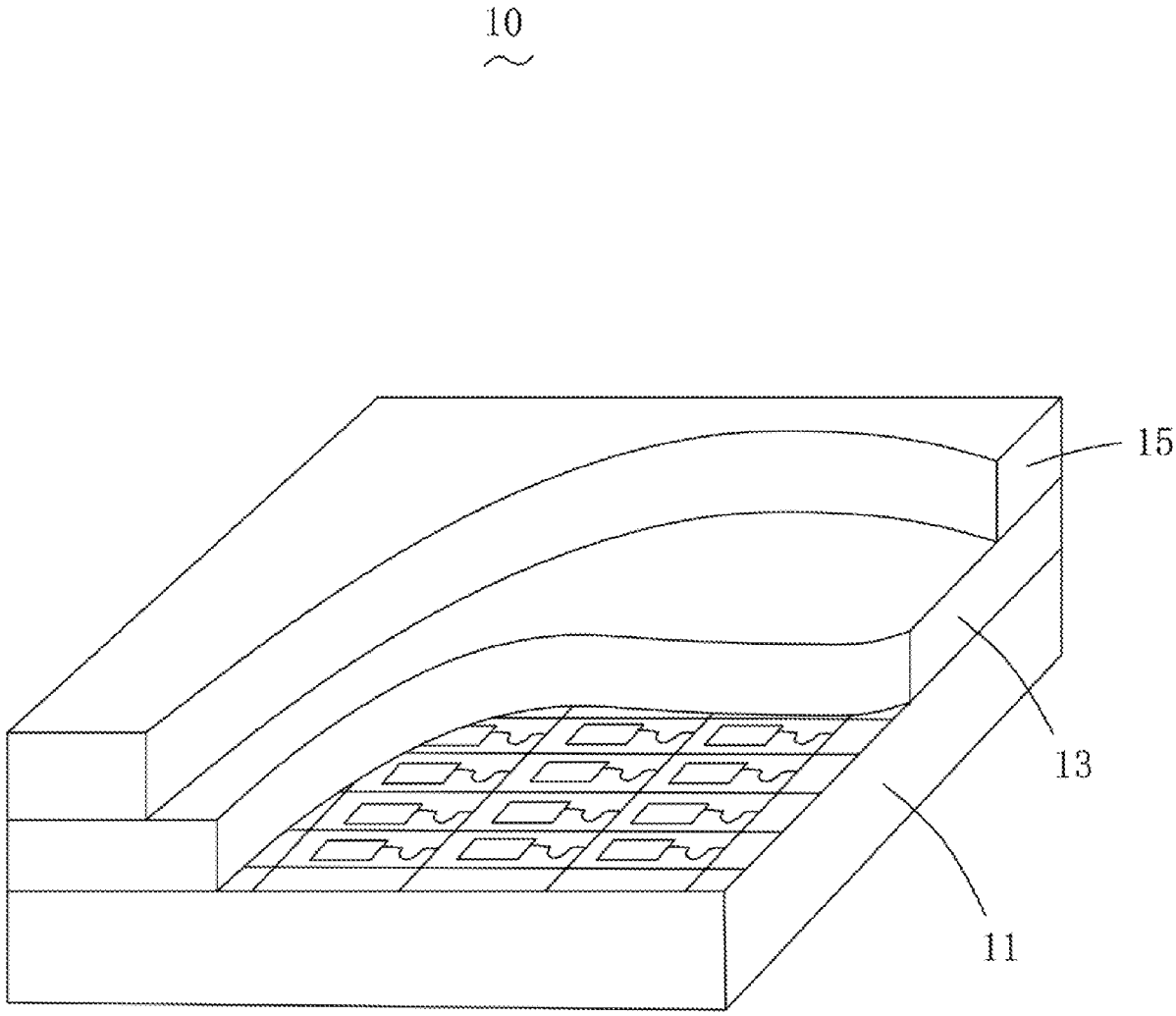

图 6

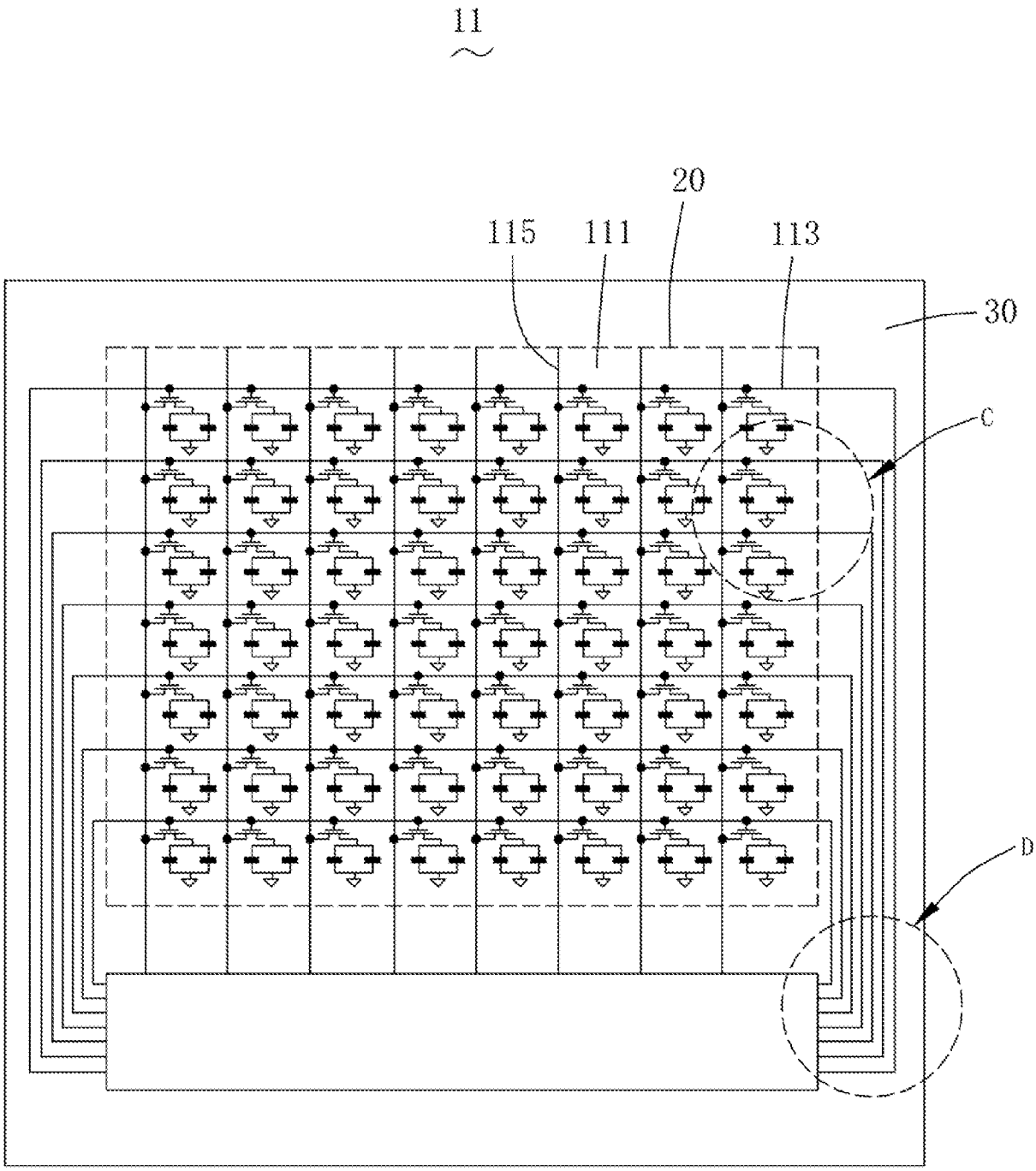

图 7

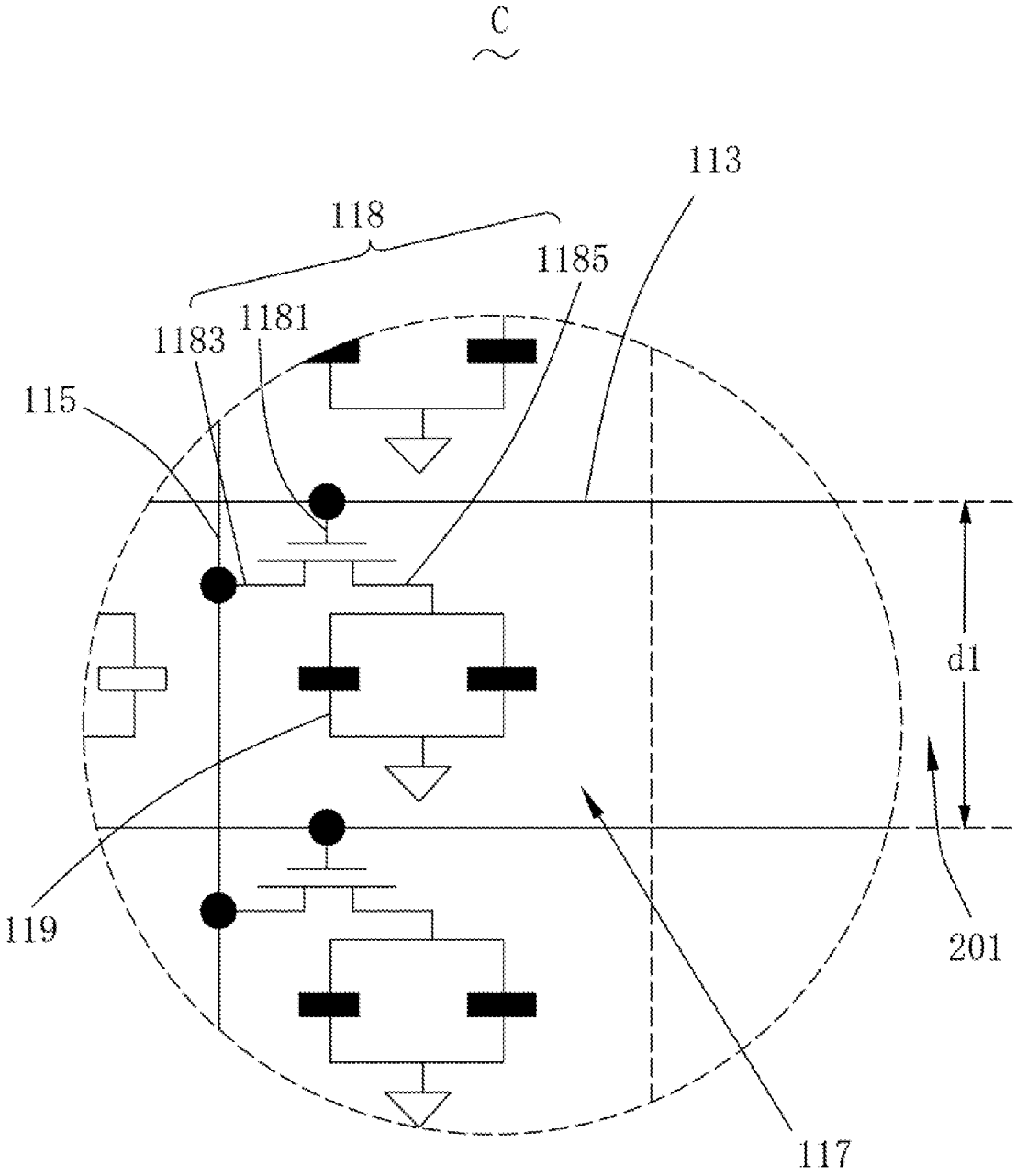

图 8

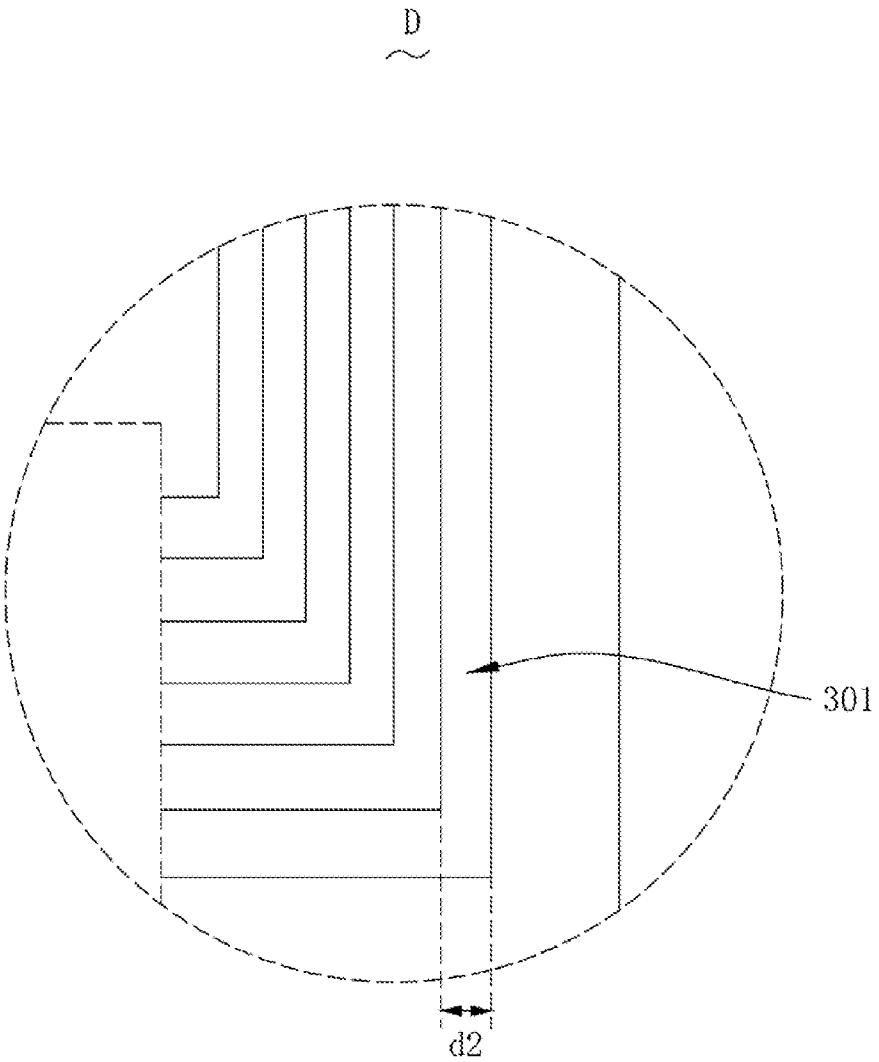

图 9

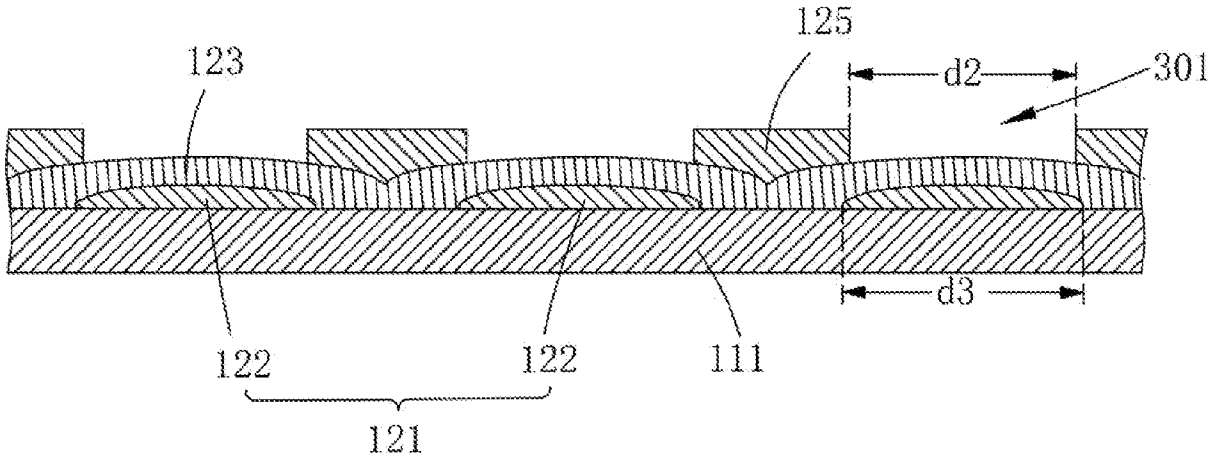

图 10

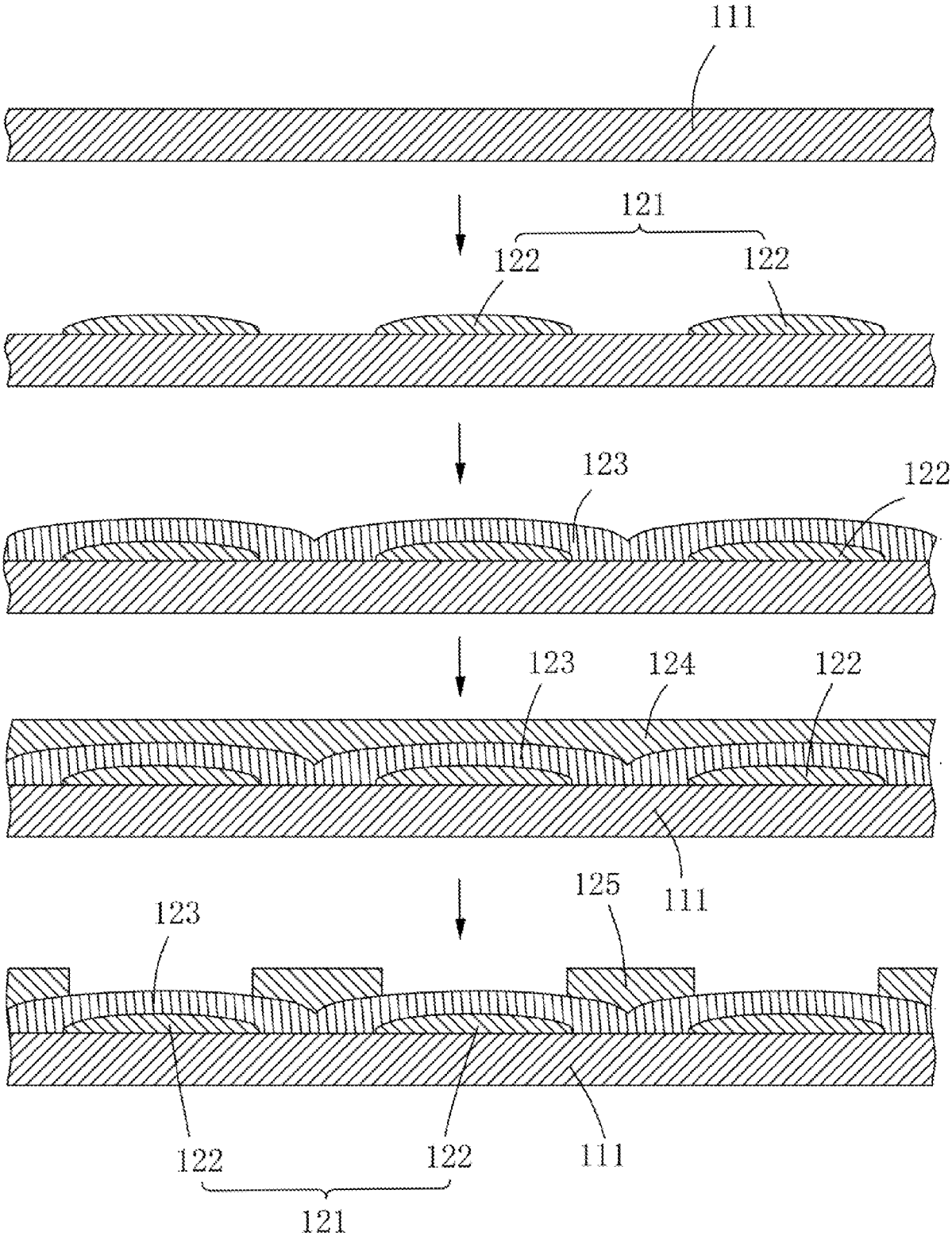

图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/079869

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/84(2006.01)i; G02F 1/1335(2006.01)i; G02F 1/1362(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; WOTXT; EPTXT; USTXT: 厚, 薄, 光阻, 光刻胶, 扇形区, 扇出区, 补偿, 光刻, 薄膜晶体管, 间隔, 距离, 间距, fanout, TFT, thin film transistor, distance, display, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107564921 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 09 January 2018 (2018-01-09) description, paragraphs [0032]-[0055], and figures 1-12	1-17
X	CN 110323196 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 October 2019 (2019-10-11) description, paragraphs [0045]-[0069], and figures 1-11	1-17
A	CN 109410750 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 01 March 2019 (2019-03-01) entire document	1-17
A	CN 108231800 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 June 2018 (2018-06-29) entire document	1-17
A	US 2015255487 A1 (SHARP K. K.) 10 September 2015 (2015-09-10) entire document	1-17

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 September 2020	**21 October 2020**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/079869

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107564921	A	09 January 2018	CN	107564921	B	27 September 2019
				WO	2019041718	A1	07 March 2019
CN	110323196	A	11 October 2019		None		
CN	109410750	A	01 March 2019		None		
CN	108231800	A	29 June 2018	CN	108231800	B	29 October 2019
				WO	2019148909	A1	08 August 2019
US	2015255487	A1	10 September 2015	US	9536905	B2	03 January 2017
				WO	2014073483	A1	15 May 2014

国际检索报告

国际申请号
PCT/CN2020/079869

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/84(2006.01)i; G02F 1/1335(2006.01)i; G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS;CNTXT;CNKI;VEN;WOTXT;EPTXT;USTXT：厚，薄，光阻，光刻胶，扇形区，扇出区，补偿，光刻，薄膜晶体管，间隔，距离，间距，fanout，TFT，thin film transistor，distance，display，etch+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 107564921 A (深圳市华星光电半导体显示技术有限公司) 2018年 1月 9日 (2018-01-09) 说明书第[0032]-[0055]段，附图1-12	1-17
X	CN 110323196 A (京东方科技集团股份有限公司 等) 2019年 10月 11日 (2019-10-11) 说明书第[0045]-[0069]段，附图1-11	1-17
A	CN 109410750 A (合肥京东方光电科技有限公司 等) 2019年 3月 1日 (2019-03-01) 全文	1-17
A	CN 108231800 A (京东方科技集团股份有限公司 等) 2018年 6月 29日 (2018-06-29) 全文	1-17
A	US 2015255487 A1 (SHARP KK) 2015年 9月 10日 (2015-09-10) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：
“A” 认为不特别相关的表示了现有技术一般状态的文件
“E” 在国际申请日的当天或之后公布的在先申请或专利
“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）
“O” 涉及口头公开、使用、展览或其他方式公开的文件
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件
“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件
“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性
“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性
“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2020年 9月 23日	2020年 10月 21日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李水丽 电话号码 (86-512)88995754

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2020/079869

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107564921	A	2018年 1月 9日	CN	107564921	B	2019年 9月 27日
				WO	2019041718	A1	2019年 3月 7日
CN	110323196	A	2019年 10月 11日		无		
CN	109410750	A	2019年 3月 1日		无		
CN	108231800	A	2018年 6月 29日	CN	108231800	B	2019年 10月 29日
				WO	2019148909	A1	2019年 8月 8日
US	2015255487	A1	2015年 9月 10日	US	9536905	B2	2017年 1月 3日
				WO	2014073483	A1	2014年 5月 15日