

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年12月2日(2005.12.2)

【公開番号】特開2003-178595(P2003-178595A)

【公開日】平成15年6月27日(2003.6.27)

【出願番号】特願2002-300375(P2002-300375)

【国際特許分類第7版】

G 1 1 C 29/00

G 1 1 C 17/00

G 1 1 C 17/06

【F I】

G 1 1 C 29/00 6 0 3 Z

G 1 1 C 17/00 E

G 1 1 C 17/06 D

【手続補正書】

【提出日】平成17年10月14日(2005.10.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 アドレス素子のセットを形成する方法であって、tを欠陥のあるアドレスラインの最大許容可能数として、少なくともt+1の対称距離を有するアドレス設定のセットを割当てる方法。

【請求項2】 前記アドレス設定は、t-Sperner(n,L)コードワードである請求項1記載の方法。

【請求項3】 前記アドレス設定は、一定重みコード(CWC)ワードである請求項1記載の方法。

【請求項4】 前記アドレス設定は同じ重みを有し、任意の2つのアドレス設定間のハミング距離は少なくとも2t+2である請求項1記載の方法。

【請求項5】 前記アドレス設定のビット値に従って前記アドレス素子を製作することをさらに含む請求項1記載の方法。

【請求項6】 前記素子の通電能力が、前記アドレス設定のビット値によって確定するものである、請求項5記載の方法。

【請求項7】 前記アドレス素子に電流を供給することにより該アドレス素子をプログラムすることをさらに含み、該電流により、低通電能力素子は抵抗状態を変更し高通電能力素子はそのままの状態を維持する請求項6記載の方法。

【請求項8】 前記アドレス素子は、ダイオードを含み、該ダイオードはワイヤードゲートを形成するようにプログラムされるものである、請求項1記載の方法。

【請求項9】 固体メモリデバイスのメモリライン用のアドレス構成を生成することであって、前記アドレス構成は少なくともt+1の対称距離を有し、tは欠陥のあるアドレスラインの最大許容可能数であることと、

前記メモリデバイスのレベルを製作することであって、前記レベルは前記メモリラインに接続されているアドレス要素を含み、各アドレス構成はメモリラインに対応し、メモリラインのアドレス要素は前記対応するアドレス構成に従って製作されていることと、を含む方法。

【請求項10】 前記アドレス設定は、t-Sperner(n,L)コードワードであ

る請求項 9 記載の方法。

【請求項 11】 前記素子の通電能力が、前記アドレス設定のビット値によって確定するものである、請求項 9 記載の方法。

【請求項 12】 前記アドレス素子に電流を供給することにより該アドレス素子をプログラムすることをさらに含み、該電流により、低通電能力素子は抵抗状態を変更し高通電能力素子はそのままの状態を維持する請求項 11 記載の方法。

【請求項 13】 アドレス要素のグループを備える、固体メモリデバイス用のアドレスロジックであって、前記アドレス要素は少なくとも $t + 1$ の対称距離を有する 1 セットのアドレス構成に従って構成され、 t は欠陥のあるアドレスラインの最大許容可能数であるアドレスロジック。

【請求項 14】 前記アドレス構成は非カバーである、請求項 13 に記載のアドレスロジック。

【請求項 15】 プログラミングの前は、第 1 の値を有するアドレス構成ビットに対応するアドレス要素が、第 2 の値を有するアドレス構成ビットに対応するアドレス要素とは異なる通電能力を有する、請求項 13 に記載のアドレスロジック。

【請求項 16】 プログラミングの後は、通電能力がより高いアドレス要素は無傷であり、通電能力がより低いアドレス要素は無傷ではない、請求項 15 に記載のアドレスロジック。

【請求項 17】 プログラミングされたアドレス要素はワイヤード結合ロジックを提供する、請求項 13 に記載のアドレスロジック。

【請求項 18】 前記アドレス素子はダイオードを含む、請求項 13 に記載のアドレスロジック。

【請求項 19】 前記アドレス設定は、 $t - S p e r n e r (n, L)$ コードワードである請求項 13 に記載のアドレスロジック。

【請求項 20】 前記アドレス設定は、一定重みコード (CWC) ワードである請求項 13 に記載のアドレスロジック。

【請求項 21】 前記アドレス設定は同じ重みを有し、任意の 2 つのアドレス設定間のハミング距離は少なくとも $2t + 2$ である請求項 13 に記載のアドレスロジック。

【請求項 22】 複数のレベルを備える固体メモリデバイスであって、各レベルは、
メインメモリと、

前記メインメモリ用のアドレスロジックであって、アドレスラインと、少なくとも $t + 1$ の対称距離を有する 1 セットのアドレス構成に従って構成されたアドレス要素のグループとを含み、 t は欠陥のあるアドレスラインの最大許容可能数であるアドレスロジックと、を備える固体メモリデバイス。

【請求項 23】 プログラミングの前は、第 1 の値を有するアドレス構成ビットに対応するアドレス要素が、第 2 の値を有するアドレス構成ビットに対応するアドレス要素と異なる通電能力を有する、請求項 22 に記載のデバイス。

【請求項 24】 プログラミングの後は、通電能力がより高いアドレス要素は無傷であり、通電能力がより低いアドレス要素は無傷ではない、請求項 22 に記載のデバイス。

【請求項 25】 プログラミングされたアドレス要素はワイヤード結合ロジックを提供する、請求項 24 に記載のデバイス。

【請求項 26】 前記アドレス要素はダイオードを含む、請求項 22 に記載のデバイス。

【請求項 27】 前記アドレス設定は、 $t - S p e r n e r (n, L)$ コードワードである請求項 22 に記載のデバイス。

【請求項 28】 前記アドレス設定は、一定重みコード (CWC) ワードである請求項 22 に記載のデバイス。

【請求項 29】 前記アドレス設定は同じ重みを有し、任意の 2 つのアドレス設定間のハミング距離は少なくとも $2t + 2$ である請求項 22 に記載のデバイス。