

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4287039号  
(P4287039)

(45) 発行日 平成21年7月1日 (2009.7.1)

(24) 登録日 平成21年4月3日 (2009.4.3)

(51) Int.Cl.	F I
H O 4 L 27/36 (2006.01)	H O 4 L 27/00 F
H O 3 C 3/04 (2006.01)	H O 3 C 3/04
H O 3 G 3/20 (2006.01)	H O 3 G 3/20 Z
H O 4 L 27/20 (2006.01)	H O 4 L 27/20 Z

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2000-385375 (P2000-385375)	(73) 特許権者	308014341
(22) 出願日	平成12年12月19日 (2000.12.19)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2002-185547 (P2002-185547A)		東京都新宿区西新宿二丁目7番1号
(43) 公開日	平成14年6月28日 (2002.6.28)	(74) 代理人	100068755
審査請求日	平成18年8月18日 (2006.8.18)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	森邊 剛
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内
		(72) 発明者	有村 一義
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 変調信号を生成する直交変調器と、  
前記第 1 変調信号を増幅した第 2 変調信号を生成する A G C 部と  
を備えた半導体集積回路装置において、  
前記直交変調器を構成する位相シフト回路の利得を制御信号に従って調整する利得調整回路を備え、  
前記利得調整回路は、前記 A G C 部の第 2 変調信号のレベルの減衰にともなって前記位相シフト回路の利得を減衰させる  
ことを特徴とする半導体集積回路装置。

10

【請求項 2】

前記利得調整回路は、前記制御信号に基づいて、前記位相シフト回路の利得を調整する利得制御信号を該位相シフト回路に出力することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記位相シフト回路は、利得の異なる複数の位相シフト回路のうちの一つであり、前記第 2 変調信号のレベルの減衰にともなって利得の低い位相シフト回路を選択して動作させることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】

前記位相シフト回路は、利得の調整可能な振幅可変型位相シフト回路と、固定利得の位

20

相シフト回路とを含む複数の位相シフト回路のうちの一つであり、前記第2変調信号のレベルの減衰にともなって前記振幅可変型位相シフト回路を活性化し、該振幅可変型位相シフト回路は前記制御信号に従って自己の利得を低下させることを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項5】

前記直交変調器は、前記制御信号をA/D変換して前記位相シフト回路に供給する信号を生成するA/D変換器を備えたことを特徴とする請求項3または4記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

この発明は、利得可変増幅器（AGC回路）を備えた直交変調器に関するものである。

【0002】

近年、携帯電話等の移動体通信機器では、低消費電力化及び通話品質の向上が急務となっている。そこで、移動体通信機器の送信部に用いられる直交変調器の特性を向上させる必要がある。

【0003】

【従来の技術】

図10は、AGC回路を備えた直交変調器の従来例を示す。直交変調器1は、位相シフト回路2と、変調用ミキサ回路3、4と、加算器5とで構成される。

20

【0004】

この位相シフト回路2には、所定周波数の相補入力信号LOinが入力される。そして、位相シフト回路2は入力信号LOinに基づいて、位相を90度ずつシフトさせたキャリア信号を生成する。

【0005】

変調用ミキサ回路3、4には、前記位相シフト回路2から出力されるキャリア信号のうち、180度位相がずれた信号がそれぞれ入力されるとともに、ベースバンド信号Q、XQと、同I、XIがそれぞれ入力される。

【0006】

そして、変調用ミキサ回路3はキャリア信号とベースバンド信号Q、XQを掛け合わせた変調信号を加算器5に出力し、変調用ミキサ回路4はキャリア信号とベースバンド信号I、XIを掛け合わせた変調信号を加算器5に出力する。

30

【0007】

加算器5は、変調用ミキサ回路3、4から出力される変調信号を加算して、出力信号RFoutをAGC部6に出力する。

AGC部6は、AGC回路7と、CNT回路8とで構成され、変調用ミキサ回路3、4の出力信号RFoutはAGC回路7に入力される。

【0008】

CNT回路8には制御信号Vcntが入力され、CNT回路8はその制御信号Vcntに基づいて利得制御信号Vagcを生成してAGC回路7に出力する。

40

図12に示すように、位相シフト回路2の利得G1は一定であり、AGC回路7の利得G2は利得制御信号Vagcに基づいて変化する。そして、直交変調器1とAGC部6との総合利得G3は、制御信号Vcntに基づいてAGC部6の利得G2と同じ傾きで変化する。

【0009】

従って、AGC回路7から出力される出力信号OUTの出力レベルPoutは、図11に示すように、制御信号VcntをVcnt1からVcnt2まで変化させることにより、最大値Pmaxから最小値Pminまでの範囲で調整可能となっている。

【0010】

【発明が解決しようとする課題】

上記のように構成された直交変調器1及びAGC部6では、位相シフト回路2の出力周波

50

数成分がキャリアリークとして常に出力信号OUTに含まれている。

【0011】

図11に示すように、キャリアリークCLは、AGC回路7の利得の減少にともなって、出力信号Poutとともに減衰するが、出力信号Poutが最小値Pminに近づくにつれて、その減衰幅は出力信号Poutより小さくなる。

【0012】

すると、出力信号Poutが最大値Pmaxとなるときにおける出力信号PoutとキャリアリークCLとのレベル差CLaに比して、出力信号Poutが最小値Pminとなるときにおける出力信号PoutとキャリアリークCLとのレベル差CLbが小さくなる。これは、位相シフト回路2からキャリアリーク成分として出力される出力周波数成分が一定レベルで出力されているからである。

10

【0013】

従って、制御信号Vcntにより出力信号Poutを最小値Pmin近傍まで減衰させると、キャリアリーク特性が劣化するという問題点がある。

この発明の目的は、出力信号レベルを減衰させた場合にも、キャリアリーク特性が劣化しない直交変調器を提供することにある。

【0014】

【課題を解決するための手段】

図1は、本発明の原理説明図である。すなわち、第1変調信号を生成する直交変調器10と、前記第1変調信号を増幅した第2変調信号を生成するAGC部6とを備えた半導体集積回路装置には、前記直交変調器10を構成する位相シフト回路13の利得を制御信号に従って調整する利得調整回路11が備えられる。利得調整回路11により位相シフト回路13の利得が制御信号に従って調整されて直交変調器10の利得が調整され、その直交変調器10の出力信号がAGC回路に入力される。

20

【0015】

そして、利得調整回路は、前記AGC部の第2変調信号のレベルの減衰にともなって前記位相シフト回路の利得を減衰させる。利得調整回路の動作により、AGC部の第2変調信号のレベルが減衰するとき、位相シフト回路の利得が減衰する。

【0016】

本発明の別の態様では、前記利得調整回路は、前記制御信号に基づいて、前記位相シフト回路の利得を調整する利得制御信号を該位相シフト回路に出力する。AGC部に入力される制御信号で、AGC回路の利得が調整されるとき、位相シフト回路に利得制御信号が入力されて、位相シフト回路の利得が調整される。

30

【0017】

本発明の別の態様では、前記位相シフト回路は、利得の異なる複数の位相シフト回路のうちの一つであり、前記第2変調信号のレベルの減衰にともなって利得の低い位相シフト回路を選択して動作させる。AGC部の利得が減衰するとき、利得の異なる複数の位相シフト回路の中から、利得の低い位相シフト回路が選択されて動作する。

【0018】

本発明の別の態様では、前記位相シフト回路は、利得の調整可能な振幅可変型位相シフト回路と、固定利得の位相シフト回路とを含む複数の位相シフト回路のうちの一つであり、前記第2変調信号のレベルの減衰にともなって前記振幅可変型シフト回路を活性化し、該振幅可変型シフト回路は前記制御信号に従って自己の利得を低下させる。AGC部の利得が減衰するとき、振幅可変型位相シフト回路が選択されて動作し、その振幅可変型位相シフト回路はAGC部の出力信号レベルの減衰にともなって利得が低下する。

40

【0019】

本発明の別の態様では、前記直交変調器は、前記制御信号をA/D変換して前記位相シフト回路に供給する信号を生成するA/D変換器を備えた。AGC部の利得を調整する制御信号がA/D変換され、その変換後の信号で位相シフト回路が選択される。

【0020】

50

# 【発明の実施の形態】

## (第一の実施の形態)

図2は、この発明を具体化した第一の実施の形態を示す。この実施の形態は、直交変調器10を構成する位相シフト回路13の出力振幅を第一のCNT回路11で制御し、前述した従来例と同様なAGC回路7の利得を第二のCNT回路12で制御するように構成したものであり、その他の構成は前記従来例と同様である。

### 【0021】

第一及び第二のCNT回路11, 12には、制御信号Vcntが入力され、第一のCNT回路11は制御信号Vcntの入力に基づいて位相シフト回路13の利得を制御する利得制御信号Vshiftを生成して、同位相シフト回路13に出力する。

10

### 【0022】

第二のCNT回路12は、制御信号Vcntの入力に基づいてAGC回路7の利得を制御する利得制御信号Vagcを同AGC回路7に出力する。

位相シフト回路13の具体的構成を図3に従って説明する。同図に示すように、位相シフト回路13はマスター段のラッチ回路と、スレーブ段のラッチ回路とからフリップフロップ回路が構成され、各ラッチ回路は、電流源回路14を介してグランドGNDに接続されている。

### 【0023】

電流源回路14には利得制御信号Vshiftが入力され、その利得制御信号Vshiftに基づいて電流源回路14の出力電流を制御することにより、位相シフト回路13の出力信号iout, xiout, qout, xqoutの出力振幅を制御可能となっている。

20

### 【0024】

上記のように構成された直交変調器10では、図4に示すように、制御信号Vcntに基づいて位相シフト回路13の利得G1aが制御される。また、AGC部6では、制御信号Vcntに基づいて、AGC回路7の利得G2aが制御される。

### 【0025】

そして、出力信号OUTの総合利得G3aは、利得G1a, G2aを合算したものとなり、前記従来例の総合利得G3と同様に設定されている。

上記のように構成された直交変調器10及びAGC部6では、次に示す作用効果を得ることができる。

30

(1) 制御信号Vcntに基づいて、AGC部6から出力される出力信号OUTの出力レベルPoutを調整するとき、AGC回路7の利得G2aとともに位相シフト回路13の利得G1aを調整することができる。

(2) 出力信号OUTの出力レベルPoutを減衰させるとき、AGC回路7の利得G2aとともに位相シフト回路13の利得G1aも減衰させることができる。従って、図5に示すように、出力信号OUTの出力レベルPoutを最小値Pmin近傍まで減衰させたとき、キャリアリークCLの出力レベルも減衰するため、出力信号PoutとキャリアリークCLとのレベル差CLが小さくなることはない。

(3) 出力信号OUTの出力レベルPoutを減衰させても、出力信号PoutとキャリアリークCLとのレベル差CLが小さくなることはないので、キャリアリーク特性を向上させることができる。

40

## (第二の実施の形態)

図6は、第二の実施の形態の直交変調器19及びAGC部20を示す。この実施の形態は、入力信号LOinが第一及び第二の位相シフト回路15a, 15bに入力される。前記第一及び第二の位相シフト回路15a, 15bは、それぞれ一定の利得で動作し、第一の位相シフト回路15aの利得は、第二の位相シフト回路15bの利得より小さく設定されている。

### 【0026】

制御信号Vcntは、A/D変換器16に入力される。前記A/D変換器16は、例えば前記制御信号Vcntが図7に示すあらかじめ設定された所定値A以下であれば、Lレベルの

50

信号を前記第一及び第二の位相シフト回路 15 a , 15 b に出力するとともに、制御信号 Vcnt が前記所定値 A を越えると、H レベルの信号を第一及び第二の位相シフト回路 15 a , 15 b に出力する。

【 0 0 2 7 】

そして、A / D 変換器 16 の出力信号が L レベルであれば、第一の位相シフト回路 15 a が活性化されて、その出力信号が QMOD 回路 17 に出力される。

また、A / D 変換器 16 の出力信号が H レベルであると、第二の位相シフト回路 15 b が活性化されて、その出力信号が QMOD 回路 17 に出力される。

【 0 0 2 8 】

QMOD 回路 17 は、前記第一の実施の形態の変調用ミキサ回路 3 , 4 及び加算器 5 に相当するものである。

QMOD 回路 17 の出力信号は、AGC 回路 7 に入力される。前記 AGC 回路 7 には第三及び第四の CNT 回路 18 a , 18 b から利得制御信号 Vagc1 , Vagc2 が入力される。

【 0 0 2 9 】

第三及び第四の CNT 回路 18 a , 18 b には、前記制御信号 Vcnt 及び前記 A / D 変換器 16 の出力信号が入力される。

A / D 変換器 16 の出力信号が L レベルであれば、第三の CNT 回路 18 a が活性化され、利得制御信号 Vagc1 が AGC 回路 7 に出力される。また、A / D 変換器 16 の出力信号が H レベルであれば、第四の CNT 回路 18 b が活性化され、利得制御信号 Vagc2 が AGC 回路 7 に出力される。

【 0 0 3 0 】

そして、AGC 回路 7 は利得制御信号 Vagc1 , Vagc2 に基づいて異なる利得で動作するとともに、利得制御信号 Vagc1 の方が高利得で動作し、その利得差は、前記第一及び第二の位相シフト回路 15 a , 15 b の利得差と等しくなるように設定されている。

【 0 0 3 1 】

上記のように構成された直交変調器 19 及び AGC 部 20 の動作を図 7 に従って説明する。

制御信号 Vcnt が所定値 A を越えている場合には、A / D 変換器 16 の出力信号に基づいて第二の位相シフト回路 15 b が活性化されて、利得 G1b で動作し、その出力信号が QMOD 回路 17 に出力される。

【 0 0 3 2 】

また、第四の CNT 回路 18 b が活性化されて、利得制御信号 Vagc2 が AGC 回路 7 に入力され、AGC 回路 7 は利得 G2b で動作する。そして、AGC 回路 7 から第二の位相シフト回路 15 b 及び AGC 回路 7 の利得 G1b , G2b に基づく出力信号 OUT が利得 G3b で出力される。

【 0 0 3 3 】

一方、制御信号 Vcnt が所定値 A 以下となる場合には、A / D 変換器 16 の出力信号に基づいて第一の位相シフト回路 15 a が活性化されて、利得 G1c で動作し、その出力信号が QMOD 回路 17 に出力される。

【 0 0 3 4 】

また、第三の CNT 回路 18 a が活性化されて、利得制御信号 Vagc2 が AGC 回路 7 に入力され、AGC 回路 7 は利得 G2c で動作する。そして、AGC 回路 7 から第一の位相シフト回路 15 a 及び AGC 回路 7 の利得 G1c , G2c に基づく出力信号 OUT が利得 G3b で出力される。

【 0 0 3 5 】

上記のように構成された直交変調器 19 及び AGC 部 20 では、次に示す作用効果を得ることができる。

( 1 ) 制御信号 Vcnt に基づいて、AGC 部 20 から出力される出力信号 OUT の出力レベルを調整するとき、制御信号 Vcnt が所定値 A を越えて、出力信号 OUT の出力レベルが高いとき、高い利得 G1b で動作する第二の位相シフト回路 15 b と、低い利得 G2b

10

20

30

40

50

で動作する第四のCNT回路18bとが動作して、出力信号OUTが出力される。

【0036】

また、制御信号Vcntが所定値A以下となって、出力信号OUTの出力レベルが低いとき、低い利得G1cで動作する第一の位相シフト回路15aと、高い利得G2cで動作する第三のCNT回路18aとが動作して、出力信号OUTが出力される。

【0037】

従って、出力信号OUTの出力レベルが低いとき、低い利得G1cで動作する第一の位相シフト回路15aの利得を補うように第三のCNT回路18aを動作させることができる。

(2) 出力信号OUTの出力レベルを減衰させるとき、第一の位相シフト回路15aを選択して動作させて、位相シフト回路部分の利得を小さくすることができる。従って、図5に示すように、出力信号OUTの出力レベルPoutを最小値Pmin近傍まで減衰させたとき、キャリアリークCLの出力レベルも減衰するため、出力信号PoutとキャリアリークCLとのレベル差CLが小さくなることはない。

(3) 出力信号OUTの出力レベルPoutを減衰させても、出力信号PoutとキャリアリークCLとのレベル差CLが小さくなることはないので、キャリアリーク特性を向上させることができる。

(第三の実施の形態)

図8は、第三の実施の形態の直交変調器21及びAGC部22を示す。この実施の形態は、入力信号LoInが利得を調整可能とした振幅可変型位相シフト回路23aと、利得を固定した位相シフト回路23bとに入力される。

【0038】

制御信号Vcntは、前記第二の従来例と同様なA/D変換器16に入力される。前記A/D変換器16は、制御信号Vcntが図9に示すあらかじめ設定された所定値A以下であれば、Lレベルの信号を前記位相シフト回路23a, 23bに出力するとともに、制御信号Vcntが前記所定値Aを越えると、Hレベルの信号を位相シフト回路23a, 23bに出力する。

【0039】

そして、A/D変換器16の出力信号がLレベルであれば、振幅可変型シフト回路23aが活性化されて、その出力信号がQMOD回路17に出力される。

また、A/D変換器16の出力信号がHレベルであると、位相シフト回路23bが活性化されて、その出力信号がQMOD回路17に出力される。

【0040】

QMOD回路17は、前記第一の実施の形態の変調用ミキサ回路3, 4及び加算器5に相当するものである。

QMOD回路17の出力信号は、AGC回路7に入力される。このAGC回路7には第五及び第六のCNT回路24a, 24bから利得制御信号Vagc3, Vagc4が入力される。

【0041】

第五及び第六のCNT回路24a, 24bには、制御信号Vcnt及びA/D変換器16の出力信号が入力される。

A/D変換器16の出力信号がLレベルであれば、第五のCNT回路24aが活性化され、利得制御信号Vagc3がAGC回路7及び振幅可変型位相シフト回路23aに出力される。

【0042】

また、A/D変換器16の出力信号がHレベルであれば、第六のCNT回路24bが活性化され、利得制御信号Vagc4がAGC回路7に出力される。

そして、図9に示すように、AGC回路7の利得G2d, G2eは利得制御信号Vagc3, Vagc4に基づいて異なる傾きで変化し、利得制御信号Vagc4に基づく利得G2eの方が大きな傾きで動作する。

【0043】

また、利得制御信号  $V_{agc3}$  に基づく A G C 回路 7 の利得  $G_{2d}$  の傾きと、前記振幅可変型位相シフタ回路 2 3 a の利得  $G_{1d}$  の傾きの和は、利得制御信号  $V_{agc4}$  に基づく A G C 回路 7 の利得  $G_{2e}$  の傾きと等しくなるように設定されている。

【 0 0 4 4 】

上記のように構成された直交変調器 2 1 及び A G C 部 2 2 の動作を図 9 に従って説明する。

制御信号  $V_{cnt}$  が所定値  $A$  を越えている場合には、A / D 変換器 1 6 の出力信号に基づいて位相シフタ回路 2 3 b が活性化されて、固定利得  $G_{1e}$  で動作し、その出力信号が Q M O D 回路 1 7 に出力される。

【 0 0 4 5 】

10

また、第六の C N T 回路 2 4 b が活性化されて、利得制御信号  $V_{agc4}$  が A G C 回路 7 に入力され、A G C 回路 7 は利得  $G_{2e}$  で動作する。そして、A G C 回路 7 から位相シフタ回路 2 3 b の利得  $G_{1e}$  及び A G C 回路 7 の利得  $G_{2e}$  に基づく出力信号 O U T が利得  $G_{3c}$  で出力される。

【 0 0 4 6 】

一方、制御信号  $V_{cnt}$  が所定値  $A$  以下となる場合には、A / D 変換器 1 6 の出力信号に基づいて振幅可変型位相シフタ回路 2 3 a が活性化されて、利得  $G_{1d}$  で動作し、その出力信号が Q M O D 回路 1 7 に出力される。

【 0 0 4 7 】

また、第五の C N T 回路 1 8 a が活性化されて、利得制御信号  $V_{agc3}$  が A G C 回路 7 に入力され、A G C 回路 7 は利得  $G_{2d}$  で動作する。そして、A G C 回路 7 から振幅可変型位相シフタ回路 2 3 a 及び A G C 回路 7 の利得  $G_{1d}$  ,  $G_{2d}$  に基づく出力信号 O U T が利得  $G_{3c}$  で出力される。

20

【 0 0 4 8 】

上記のように構成された直交変調器 1 9 及び A G C 部 2 0 では、次に示す作用効果を得ることができる。

( 1 ) 制御信号  $V_{cnt}$  に基づいて、A G C 部 2 2 から出力される出力信号 O U T の出力レベルを調整するとき、制御信号  $V_{cnt}$  が所定値  $A$  を越えて、出力信号 O U T の出力レベルが高いとき、固定利得  $G_{1e}$  で動作する位相シフタ回路 2 3 b と、第六の C N T 回路 2 4 b とが動作して、出力信号 O U T が出力される。

30

【 0 0 4 9 】

また、制御信号  $V_{cnt}$  が所定値  $A$  以下となって、出力信号 O U T の出力レベルが低いとき、振幅可変型位相シフタ回路 2 3 a と、第五の C N T 回路 2 4 a とが動作して、出力信号 O U T が出力される。

【 0 0 5 0 】

従って、出力信号 O U T の出力レベルが低いとき、低い利得  $G_{1d}$  で動作する振幅可変型位相シフタ回路 1 5 a の利得を補うように第五の C N T 回路 2 4 a を動作させることができる。

( 2 ) 出力信号 O U T の出力レベル  $P_{out}$  を減衰させるとき、振幅可変型位相シフタ回路 2 3 a を選択して動作させて、位相シフタ回路部分の利得を小さくすることができる。従って、図 5 に示すように、出力信号 O U T の出力レベル  $P_{out}$  を最小値  $P_{min}$  近傍まで減衰させたとき、キャリアリーク C L の出力レベルも減衰するため、出力信号  $P_{out}$  とキャリアリーク C L とのレベル差 C L が小さくなることはない。

40

( 3 ) 出力信号 O U T の出力レベル  $P_{out}$  を減衰させても、出力信号  $P_{out}$  とキャリアリーク C L とのレベル差 C L が小さくなることはないので、キャリアリーク特性を向上させることができる。

【 0 0 5 1 】

前記実施の形態は、次に示すように変更することもできる。

・第二の実施の形態では、二つの位相シフタ回路 1 5 a , 1 5 b からいずれかを選択する構成としたが、それぞれ利得の異なる 3 つ以上の位相シフト回路からいずれかを選択する

50

構成としてもよい。

・複数の位相シフト回路からいずれかを選択する構成に代えて、振幅可変型位相シフト回路で利得を調整する構成としてもよい。

【 0 0 5 2 】

【 発明の効果 】

以上詳述したように、この発明は出力信号レベルを減衰させた場合にも、キャリアリーク特性が劣化しない直交変調器を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の原理説明図である。

【 図 2 】 第一の実施の形態を示すブロック図である。

【 図 3 】 位相シフト回路を示す回路図である。

【 図 4 】 第一の実施の形態の制御信号と利得の関係を示す説明図である。

【 図 5 】 キャリアリークと出力信号レベルの減衰特性を示す説明図である。

【 図 6 】 第二の実施の形態を示すブロック図である。

【 図 7 】 第二の実施の形態の制御信号と利得の関係を示す説明図である。

【 図 8 】 第三の実施の形態を示すブロック図である。

【 図 9 】 第三の実施の形態の制御信号と利得の関係を示す説明図である。

【 図 1 0 】 従来例を示す説明図である。

【 図 1 1 】 従来例のキャリアリークと出力信号レベルの減衰特性を示す説明図である。

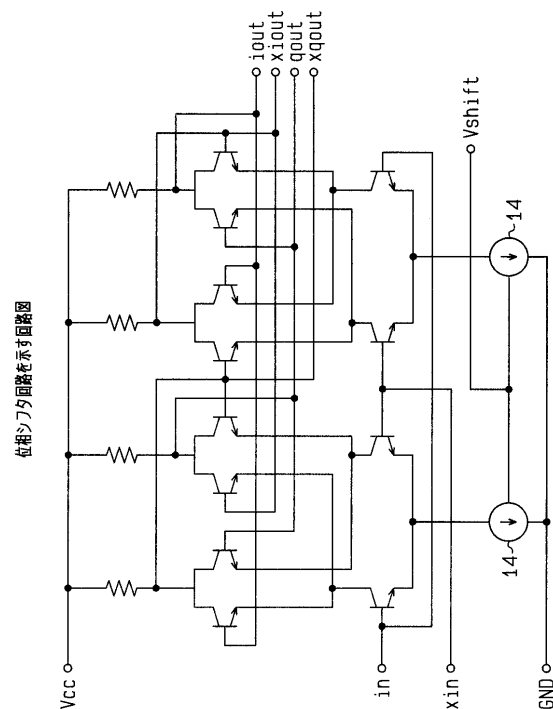
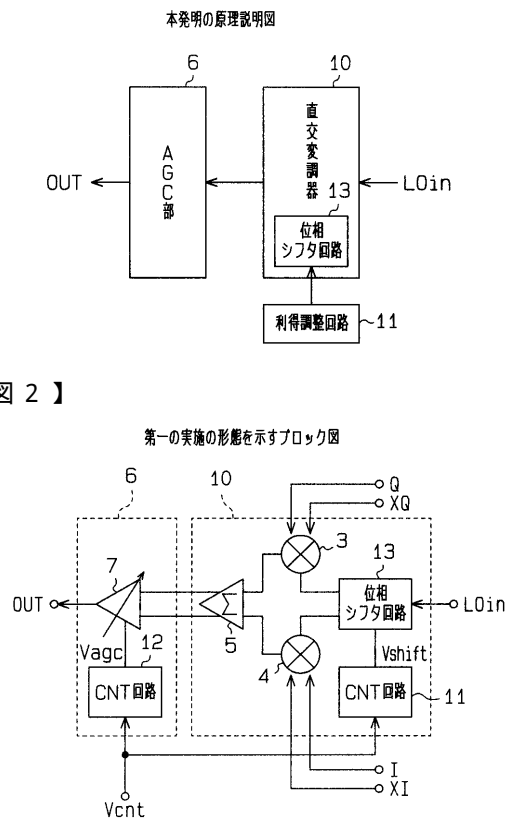
【 図 1 2 】 従来例の制御信号と利得の関係を示す説明図である。

【 符号の説明 】

- 6           A G C 部  
1 0          直交変調器  
1 1          利得調整回路  
1 3          位相シフト回路

【 図 1 】

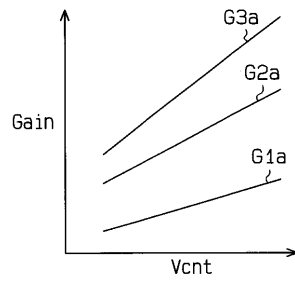
【 図 3 】





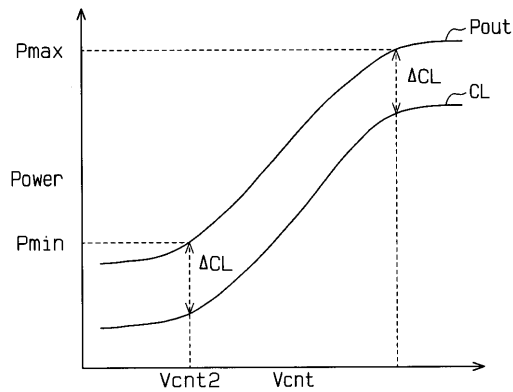
【図 4】

第一の実施の形態の制御信号と利得の関係を示す説明図



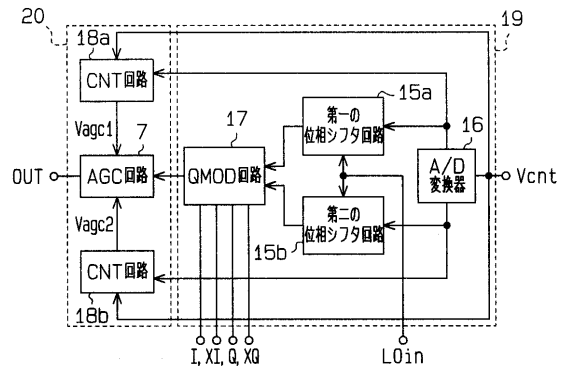
【図 5】

キャリアリークと出力信号レベルとの差を示す説明図



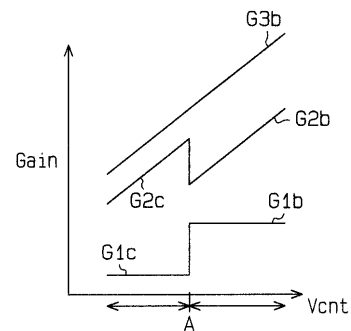
【図 6】

第二の実施の形態を示すブロック図



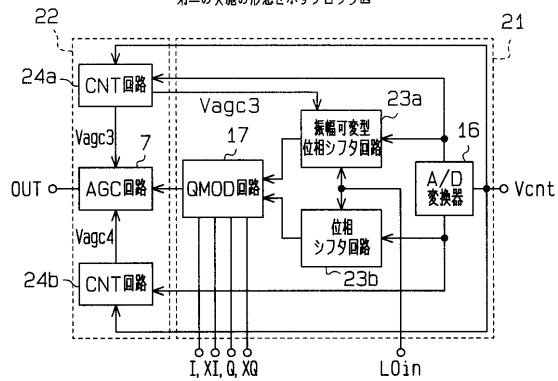
【図 7】

第二の実施の形態の制御信号と利得の関係を示す説明図



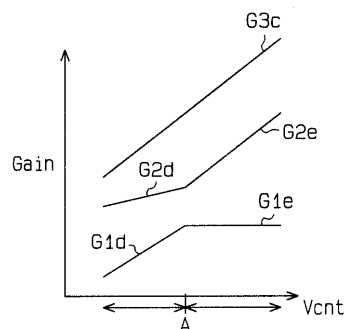
【図 8】

第三の実施の形態を示すブロック図



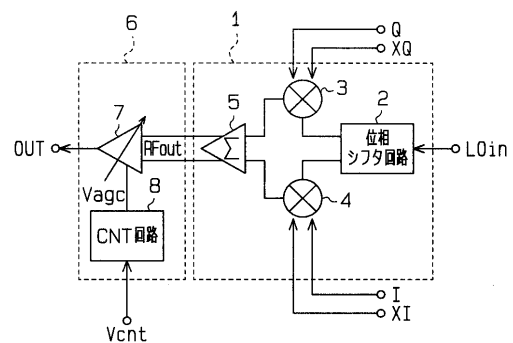
【図 9】

第三の実施の形態の制御信号と利得の関係を示す説明図



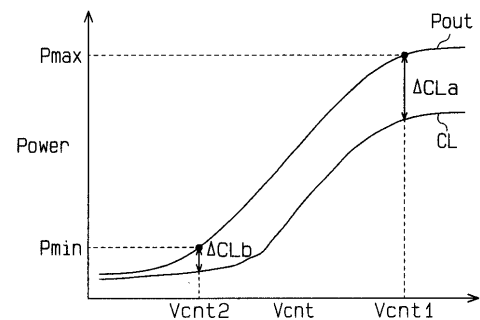
【図 10】

従来例を示す説明図



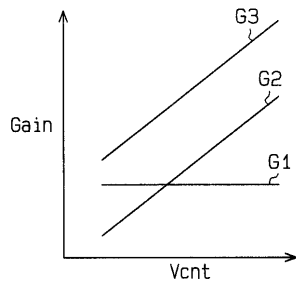
【図 11】

従来例のキャリアリークと出力信号レベルとの差を示す説明図



## 【図 12】

従来例の制御信号と利得の関係を説明図



---

フロントページの続き

(72)発明者 加藤 進

愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

審査官 彦田 克文

(56)参考文献 特開 2 0 0 0 - 0 1 3 1 8 6 ( J P , A )

特開平 1 1 - 3 5 5 2 0 5 ( J P , A )

特開昭 6 0 - 1 3 4 5 1 4 ( J P , A )

特開平 1 1 - 3 1 7 7 7 7 ( J P , A )

特開 2 0 0 0 - 0 0 4 1 7 3 ( J P , A )

特開 2 0 0 1 - 3 5 8 5 6 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H04L 27/36

H04L 27/20

H03C 3/04

H03G 3/20