



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0089013
(43) 공개일자 2009년08월21일

(51) Int. Cl.

H05K 9/00 (2006.01) H05K 1/02 (2006.01)

(21) 출원번호 10-2008-0014315

(22) 출원일자 2008년02월18일

심사청구일자 2008년02월18일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 궁동 220번지 충남대학교

(72) 발명자

김보배

대전 중구 문화동 평화아파트 605호

김동욱

대전 유성구 노은동 열매마을아파트 803동 1001호

(74) 대리인

이은철

전체 청구항 수 : 총 3 항

(54) 전원면의 노이즈 억제를 위한 국부적 나선형 EBG 구조의 단위 셀

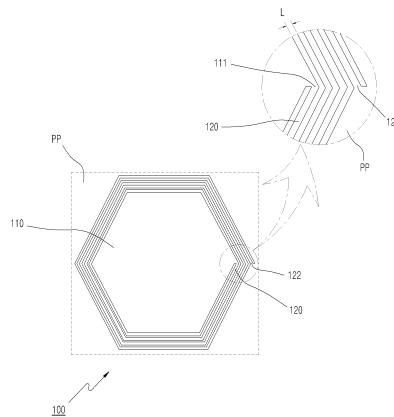
(57) 요약

본 발명은 전원면의 노이즈 억제를 위한 국부적 나선형 EBG 구조의 단위 셀에 관한 것이다.

본 발명이 개시하는 단위 셀은, 육각 패치의 외주로부터 연장되되 소정의 이격 간격을 유지하면서 상기 육각 패치를 나선형으로 소정 횟수 에둘러 연장·확장되는 라인을 구성한다.

본 발명에 의하면, SSN이 생성될 수 있는 비아 혹은 포트에만 국부적으로 배치시킬 수 있으므로 전원면 상의 불연속성을 최소화시킬 수 있다. 또한 단위 셀의 크기를 줄이더라도 종래보다 SSN 억제 특성이 저하되지 않는다.

대표도 - 도4a



특허청구의 범위

청구항 1

육각 패치의 외주로부터 연장되되, 소정의 이격 간격을 유지하면서 상기 육각 패치를 나선형으로 소정 횟수 에 둘러 연장·확장되는 라인을 포함하는 것을 특징으로 하는 전원면의 노이즈 억제를 위한 국부적 나선형 EBG 구조의 단위 셀.

청구항 2

청구항 1에 있어서,

상기 라인은,

상기 육각 패치를 육각 형태로 에두르는 것을 특징으로 하는 전원면의 노이즈 억제를 위한 국부적 나선형 EBG 구조의 단위 셀.

청구항 3

청구항 1에 있어서,

상기 육각 패치는 PCB의 전원면의 비아 또는 포트에 위치하며,

상기 라인의 연장 선단이 상기 전원면과 연결되는 것을 특징으로 하는 전원면의 노이즈 억제를 위한 국부적 나선형 EBG 구조의 단위 셀.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 고속 디지털 시스템에서, 전원면을 통해 드라이버 IC 등에 전원이 공급될 때 발생할 수 있는 노이즈 (SSN: Simultaneous Switching Noise)를 억제하기 위한 기술에 관한 것이다.

배 경 기 술

- <2> 디지털 시스템의 고속화 추세에 따라 더욱 빠른 에지 레이트(edge rate)와 함께 사용되는 클럭 주파수가 증가하고 있고, 더 많은 데이터의 전송을 위해 그 대역폭 또한 넓어지고 있다. 이에 따라 온/오프 칩이나 패키지 또는 다층 PCB 구조에서 발생하는 노이즈, 예컨대 앞서 언급한 'SSN' 그리고 'GBN(Ground Bounce Noise)'가 중요한 기술적 과제로 떠오르고 있다.
- <3> 알려진 바와 같이, SSN 및 GBN은 고속 디지털 회로에서 급격히 변하는 시변 전류에 의해 발생한다. 특히, SSN은 주변의 비아(via)를 매개로 흐르는 신호의 전송특성에 영향을 미칠 뿐만 아니라, 여기서 발생된 전파는 평행 도체판의 공진모드를 통해 PCB 전체로 전파하여, 상기 PCB의 가장자리에서 방사된다. 이와 같이 방사된 전파는 EMI(ElectroMagnetic Interference)의 원인이 된다.
- <4> SSN을 억제하기 위한 대표적인 방법으로는, 전원면(power plane)과 접지면(ground plane) 사이에 적정 용량의 디커플링 커패시터(decoupling capacitor)를 채용하는 것이다. 그러나 이 방법은 디커플링 커패시터가 가지고 있는 기생 인덕턴스 성분 때문에 600MHz 이상의 주파수 대역에서는 효과가 없다[1][2].
- <5> 한편, GHz 대역에서의 SSN을 억제하기 위한 방법의 일환으로, 최근 EBG(Electromagnetic BandGap) 또는 PBG(Photonic BandGap) 구조를 이용한 전원·접지면 설계에 관한 연구가 다수 진행된 바 있다. 상기 'EBG 구조'는 특정 주파수 범위에서 완전 자기도체(perfect magnetic conductor) 특성과 아울러 높은 임피던스를 갖는 특성 때문에 특정 주파수 대역 내의 표면 전류의 흐름을 억제한다[3].
- <6> 대표적인 EBG 구조는, 비아(via)를 통해 접지면에 연결되어 있는 정사각형이나 육각형 모양의 도체판들로 이루어진 이른바 버섯(mushroom) 구조이다. 그러나 이와 같은 구조는 다층으로 구현되므로 제조 공정이 복잡하고 그에 따른 비용 상승을 초래한다[4][5].

<7> 상술한 문제점을 해소하기 위해, 기존의 접지면은 그대로 두고 전원면에 주기적인 EBG 구조를 적용하는 방법이 제안되었다[6][7][8][9][10]. 첨부도면 도 1a 및 도 1b는 전원면 설계를 위해 기존에 제안된 EBG 구조의 단위 셀을 예시하고 있다. 도 1a에는 같은 EBG 구조의 기본 사각형 셀, 도 1b에는 EBG 구조의 하이브리드형 셀이 예시되어 있다. 도 1a의 셀은 도 2a에 예시된 바와 같이 3×3 배열로 전원면 전체에 주기적으로 분포되거나, 도 2b에서 보는 바와 같이 국부적으로 배열로 적용된다. 마찬가지로 도 1b의 셀 역시 도 3a와 같은 3×3 배열 그리고 도 3b와 같은 국부적 배열로 적용된다.

<8> 그러나 단위 셀의 주기적인 배열(혹은 분포)은, 곧 전원면 상에 많은 수의 불연속면이 형성됨을 의미한다. 불연속면은 기준면을 따라 흐르는 신호의 귀환 전류의 흐름을 방해하여 신호 무결성(signal integrity)에 악영향을 미친다. 더욱이 단위 셀의 주기적인 배열은 PCB 설계시 전원 입출력 관련 포트(이하, '포트')의 위치가 제한되므로 실질적으로 널리 적용하기가 쉽지 않다.

<9> [참고문헌 정보]

- <10> [1] V. Ricchiuti, "Power-Supply Decoupling on Fully Populated High-Speed Digital PCBs", *IEEE Trans. EMC*, vol. 43, pp.671-676, Nov. 2001.
- <11> [2] S. Radu, R.E. DuBroff, J.L. Drewniak, T.H. Hubing, and T.P. Van Doren, "Designing Power Bus Decoupling for CMOS Devices", in *Proc. IEEE Int. Symp. EMC, Denver, CO*, vol. 1, pp.375-380, Aug. 1998.
- <12> [3] D.F. Sievenpiper, "High-Impedance Electromagnetic Surface", Ph. D. dissertation, Dept. *Elect. Eng., Univ. California, LosAngeles, CA*, 1999.
- <13> [4] S. Shahparnia and O. M. Ramahi, "Electromagnetic Interference(EMI) Reduction from Printed Circuit Boards(PCB) using Electromagnetic Bandgap Structures," *IEEE Trans. Electromagn. Compat.*, vol. 46, pp. 580-587, Nov. 2004.
- <14> [5] T. Kamgaing and O.M. Ramahi, " A Novel Power Plane With Integrated Simultaneous Switching Noise Mitigaion Capability Using High Impedance Surface", *IEEE Microwave Wireless Comp. Lett.*, vol. 13, pp. 21-23, Jan. 2003.
- <15> [6] T.L. Wu., Y.H. Lin., and S.T. Chen., "A Novel Power Planes with Low Radiation and Broadband Suppression of Ground Bounce Noise using Photonic Bandgap Structures", *IEEE Microwave Wireless Comp. Lett.*, vol. 14, pp.337-339, July 2004.
- <16> [7] T.-L. Wu, C.-C. Wang, T.-H.Lin, T.-K.Wang, and G. Chang, "A Novel Power Plane with Super-Wideband Elimination of Ground Bounce Noise on High Speed Circuits," *IEEE Microwave Wireless Comp. Lett.*, vol. 15, no. 3, pp.174-176, March 2005.
- <17> [8] D.Y. Kim, S.H. Joo, and H.Y. Lee. "A Power Plane Using the Hybrid-Cell EBG Structure for the Suppression of GBN/SSN", *The Journal of Korea Electromagnetic Engineering Society*, vol. 18., no. 2, pp. 206-212, Feb. 2007.
- <18> [9] J. Qin and O.M. Ramahi, "Ultra-Wideband Mitigation of Simultaneous Swtching Noise Using Novel Planar Electromagnetic Bandgap Structures", *IEEE Microwave Wireless Comp. Lett.*, vol. 16, No. 9, pp.487-489, Sep. 2006.
- <19> [10] T.L. Wu and T.K. Wang "Embedded Power Plane with Ultra-Wideband Stop-band for Simultaneously Switching Noise on High-Speed Circuits", *Electronics Letters*, vol. 42, No. 4, pp. 213-214, Feb. 2006.

발명의 내용

해결 하고자하는 과제

<20> 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 크기가 작으면서 주기적 배열이 필요치 않고, 양호한 SSN 억제 특성을 갖는 EBG 구조의 단위 셀을 제시한다.

과제 해결수단

- <21> 이러한 기술적 과제를 달성하기 위하여, 본 발명의 단위 셀은, 육각 패치의 외주로부터 연장되되, 소정의 이격 간격을 유지하면서 육각 패치를 나선형으로 소정 횟수 에둘러 연장·확장되는 라인을 포함한다.
- <22> 바람직하게 상기 라인은 육각 패치를 육각 형태로 에두른다. 또한, 본 발명의 육각 패치는 PCB의 전원면의 비아 또는 포트에 위치하며, 라인의 연장 선단이 전원면과 연결된다.

효 과

- <23> 본 발명에 따르면, 종래와 같이 단위 셀을 주기적으로 배치할 필요 없이, SSN이 생성될 수 있는 비아(또는 포트)에만 국부적으로 배치시킬 수 있다. 따라서 전원면 상의 불연속성을 최소화시킬 수 있다. 또한, 단위 셀의 크기를 줄이더라도, 종래보다 SSN 억제 특성이 저하되지 않는다.

발명의 실시를 위한 구체적인 내용

- <24> 본 발명의 구체적 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.
- <25> 도 4a는 본 발명의 바람직한 실시형태에 따른 나선형 EBG 구조의 단위 셀(100)(이하, '단위 셀'이라 한다.)을 보이고 있다. 도 4b에는 도 4a의 단위 셀을 명확히 구분하기 위해 해칭(hatching)이 적용되어 있다.
- <26> 도시된 바와 같이, 단위 셀(100)은 육각 패치(110)와 이 육각 패치를 소정 횟수 에둘러 확장되는 라인(120)으로 이루어진다.
- <27> 단위 셀(100)은 PCB(Printed Circuit Board)의 전원면(PP)(power plane) 에칭(etching) 공정에 의해 형성되는 것으로, 전원면의 일부이며 전원면과 전기적으로 연결된다. 또한, 육각 패치(110)는 상기 전원면(PP)에 마련되는 전원 입출력에 관련한 포트(port) 또는 비아(via)를 포함하도록 형성된다. 즉, 본 실시형태의 단위 셀(100)은 포트 또는 비아를 중심으로 하여 적용되는 것이다.
- <28> 한편, 라인(120)은 육각 패치(110)의 외주 어느 하나의 우각(모서리)(111)으로부터 연장되되, 소정의 이격 간격(L)을 유지하면서 상기 육각 패치(110)를 나선형으로 소정 횟수 에둘러 연장·확장된다. 이때, 상기 라인(120)은 육각 패치(110)를 닳은꼴로 에두르며, 그 연장 선단(122)은 전원면(PP)과 일체화된다.
- <29> 이하, 다수의 도면을 참조하여 종래의 EBG 구조와 본 발명에 따른 EBG 구조의 특성을 비교·고찰해 본다.
- <30> 우선, 도 1a에 예시된 기본 사각형 셀의 특성을 고찰해 본다. 기본 사각형 셀을 도 2a와 같이 주기적으로 3×3개의 배열을 만들고, 도 3a와 같이 포트(P1, P2)에 국부적으로 적용한다. 또한, 도 1b의 하이브리드형 셀을 도 2b와 같이 3×3개의 배열로, 그리고 도 3b와 같이 국부적으로 적용한다.
- <31> 도 3a 및 도 3b에서 포트 주위를 뺀 나머지 전원면은 EBG 구조를 적용하지 않고 연속되게 하였으며, 전원면을 적용한 PCB 기판은 유전율 4.1, 두께 0.4mm, 크기 90mm×90mm이다.
- <32> 도 5a 및 도 5b는 상기 실험예에 따른 측정결과를 보인 도면이다. 셀의 크기를 30mm×30mm로 같게 했을 경우, 국부적 EBG 구조는 주기적 EBG 구조와 거의 비슷한 저지대역(stop band) 특성을 나타내고 있음을 확인할 수 있었다. 그러나 셀의 크기를 15mm×15mm로 줄이면, 낮은 주파수에서 SSN 억제 특성이 급격히 저하된다. 즉, 종래의 EBG 구조에서는 단위 셀 크기가 작아지면 SSN 억제 특성 역시 떨어진다.
- <33> 한편, 도 6을 참조하면, 위와 동일한 조건의 PCB 기판을 이용하고, 동일한 포트(P1, P2) 위치에 본 발명에 따른 단위 셀(100)을 배치한다. 단위 셀에 있어서, 육각 패치(110)는 대각선 길이가 12mm이고, 라인(120)의 폭과 선 사이의 간격(L)은 모두 0.2mm로 설정하였다.
- <34> 이에 따른 시뮬레이션 및 측정결과를 첨부도면 도 7에 나타내었다. 시뮬레이션은 3D 전자기장 수치해석 툴인 CST사의 Microwave Studio(<http://www.cst.com>)을 이용하였다. 도 7과 같이 시뮬레이션의 값과 측정 값이 거의 일치하여, 30dB를 기준했을 때, 약 0.1GHz부터 6GHz 이상의 넓은 대역에 걸친 저지 특성을 보였다. 또한, 포트 주변에만 국부적으로 EBG 구조를 적용했을 때, 단위 셀의 크기가 30mm×30mm인 경우는 물론이고 15mm×15mm 크기에서도 종래의 EBG 구조보다 월등한 SSN 억제 특성이 발현되고 있음을 확인할 수 있었다.
- <35> 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시형태와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈

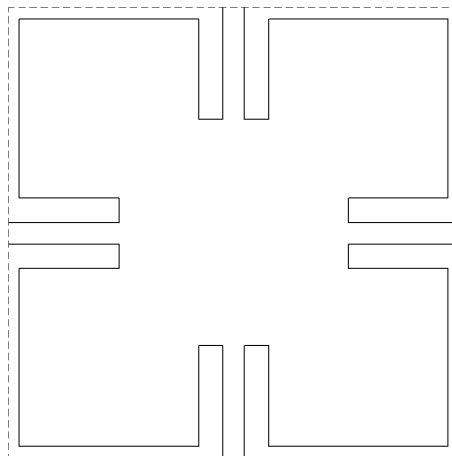
함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

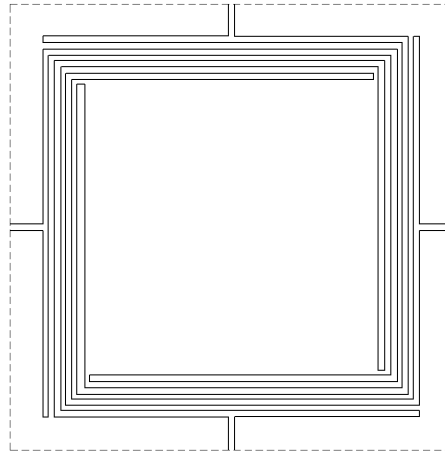
- <36> 도 1a는 종래 EBG 구조의 기본 사각형 단위 셀을 보인 예시도,
- <37> 도 1b는 종래 EBG 구조의 하이브리드형 단위 셀을 보인 예시도,
- <38> 도 2a는 종래 기본 사각형 단위 셀의 주기적 배열을 보인 예시도,
- <39> 도 2b는 종래 기본 사각형 단위 셀의 국부적 배열을 보인 예시도,
- <40> 도 3a는 종래 하이브리드형 단위 셀의 주기적 배열을 보인 예시도,
- <41> 도 3b는 종래 하이브리드형 단위 셀의 국부적 배열을 보인 예시도,
- <42> 도 4a는 본 발명의 실시형태에 따른 나선형 EBG 구조의 단위 셀을 보인 예시도,
- <43> 도 4b는 나선형 EBG 구조의 단위 셀에 해칭을 적용한 예시도,
- <44> 도 5a 및 도 5b는 종래 EBG 구조의 특성을 보인 그래프,
- <45> 도 6은 나선형 EBG 구조의 단위 셀을 국부적으로 적용한 예시도,
- <46> 도 7은 도 6에 따른 시뮬레이션 및 측정결과를 보인 그래프.
- <47> ** 도면의 주요 부분에 대한 부호의 설명 **
- <48> 100 : 나선형 EBG 구조의 단위 셀
- <49> 110 : 육각 패치
- <50> 120 : 라인

도면

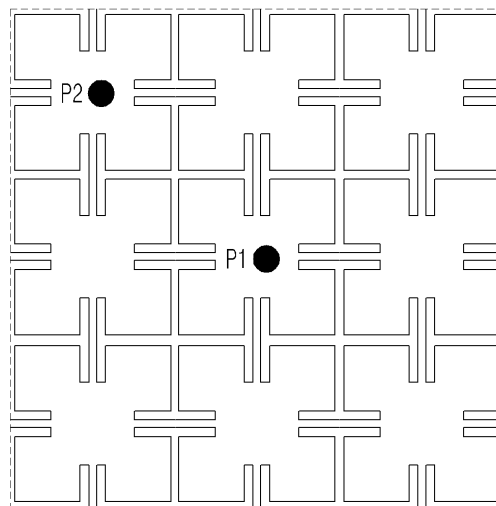
도면1a



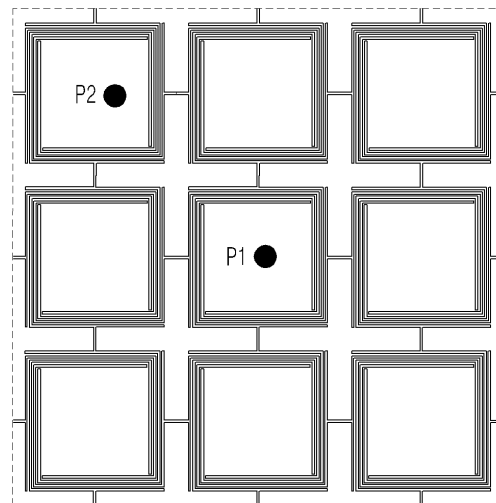
도면1b



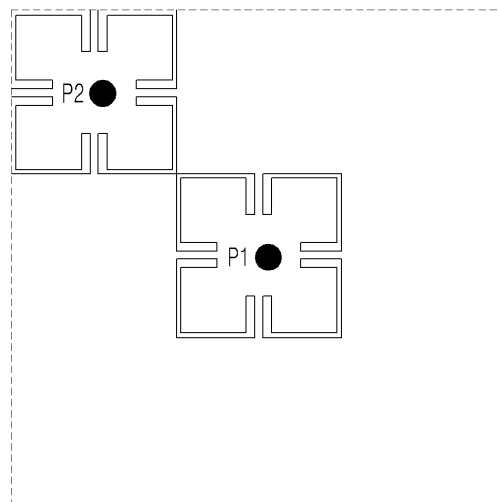
도면2a



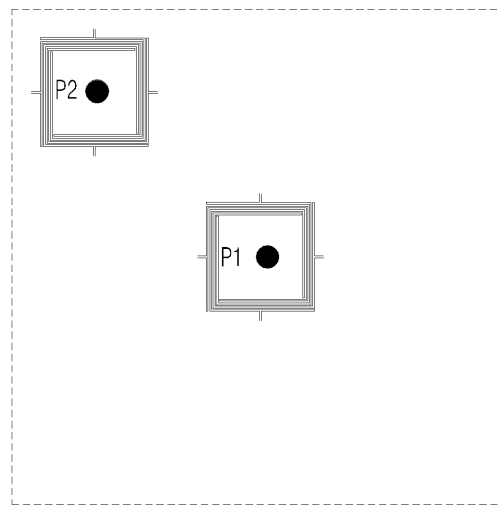
도면2b



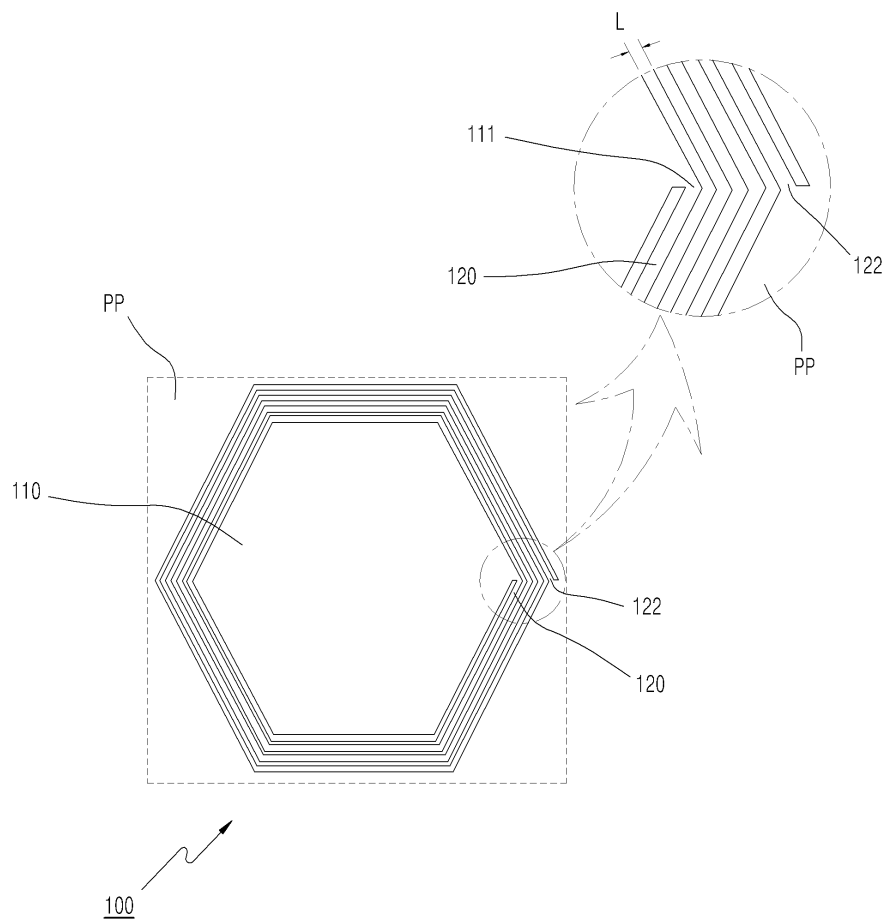
도면3a



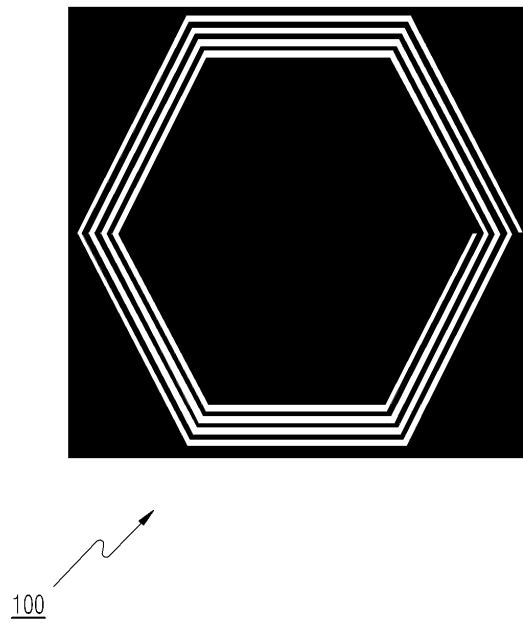
도면3b



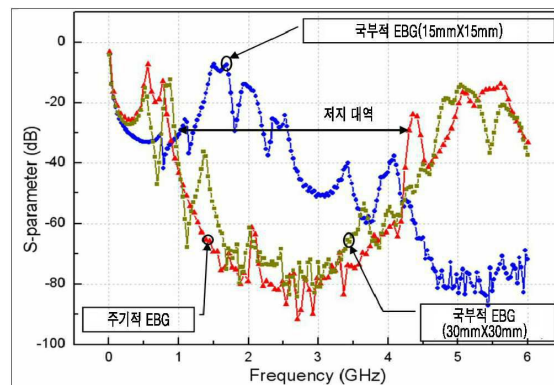
도면4a



도면4b

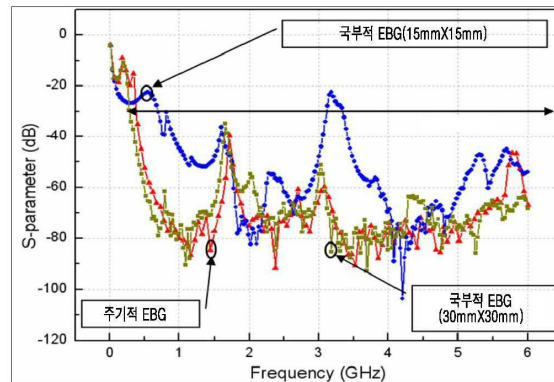


도면5a



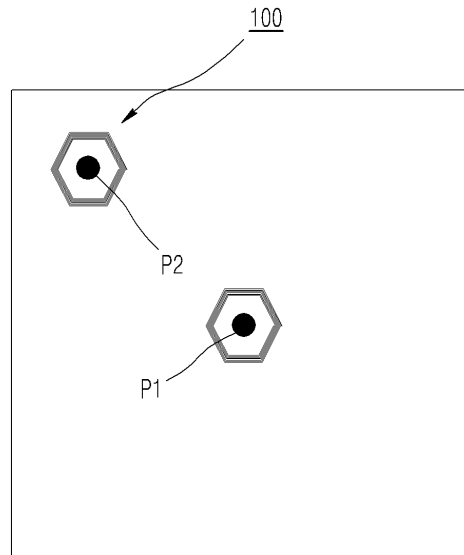
[기본 사각형 셀 - 측정 결과]

도면5b

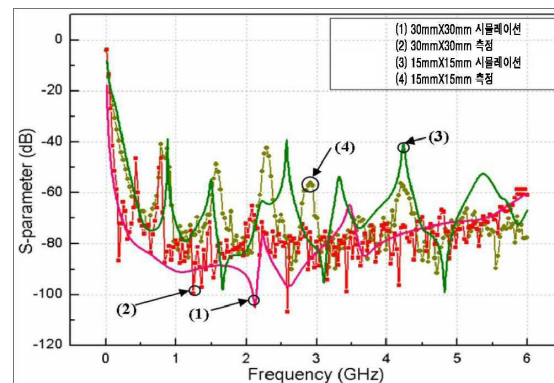


[하이브리드형 셀 - 측정 결과]

도면6



도면7



[나선형 EBG 구조의 단위 셀 - 시뮬레이션 및 측정결과 비교]