

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 9 月 30 日 (30.09.2021)



(10) 国际公布号
WO 2021/190409 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *H01L 27/32* (2006.01)
G02F 1/13 (2006.01)

(21) 国际申请号: PCT/CN2021/081767

(22) 国际申请日: 2021 年 3 月 19 日 (19.03.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010211246.9 2020 年 3 月 24 日 (24.03.2020) CN

(71) 申请人: 维沃移动通信有限公司 (VIVO MOBILE COMMUNICATION CO., LTD.) [CN/CN];
中国广东省东莞市长安镇靖海东路 168 号, Guangdong 523863 (CN)。

(72) 发明人: 陈彩琴 (CHEN, Caiqin); 中国广东省东莞市长安镇靖海东路 168 号, Guangdong 523863 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街 32 号院枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: PIXEL DRIVING CIRCUIT, DISPLAY PANEL, AND ELECTRONIC DEVICE

(54) 发明名称: 像素驱动电路、显示面板及电子设备

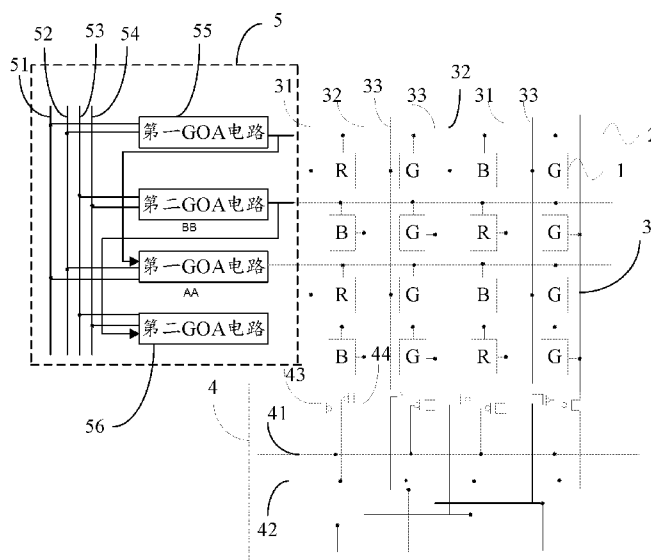


图 2

55, AA FIRST GOA CIRCUIT
56, BB SECOND GOA CIRCUIT

(57) Abstract: A pixel driving circuit, a display panel (5061), and an electronic device (500). The pixel driving circuit comprises: a pixel array comprising a plurality of pixel circuits (1) and employing an RGBG pixel arrangement mode; at least four grid lines (2), arranged in a first direction of the pixel array, one row of pixel circuits (1) being arranged between every two adjacent grid lines (2), and each row of pixel circuits (1) corresponding to one grid line (2); at least eight data lines (3), arranged in a second direction perpendicular to the first direction and intersecting with each grid line (2), each data line (3) being connected to the pixel circuits (1) in one column

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

of pixel circuits (1) corresponding to sub-pixels of the same color; and a demultiplexer circuit (4) connected to the data lines (3) and configured to control the data lines (3) to be communicated with an integrated circuit (IC) chip.

(57) 摘要: 一种像素驱动电路、显示面板(5061)及电子设备(500), 其中像素驱动电路包括: 包括多个像素电路(1)的像素阵列, 像素阵列采用RGBG像素排列方式; 沿像素阵列的第一方向排列的至少四条栅线(2), 相邻两条栅线(2)之间设置一行像素电路(1), 每行像素电路(1)对应一条栅线(2); 沿与第一方向垂直的第二方向排列、且与每条栅线(2)交叉设置的至少八条数据线(3), 每条数据线(3)与一系列像素电路(1)中对应于同一颜色子像素的像素电路(1)连接; 以及与数据线(3)连接的多路分配器电路(4), 多路分配器电路(4)用于控制数据线(3)连通集成电路IC芯片。

像素驱动电路、显示面板及电子设备

相关申请的交叉引用

本申请主张在 2020 年 3 月 24 日在中国提交的中国专利申请 No. 202010211246.9 的优先权，其全部内容通过引用包含于此。

技术领域

本申请涉及显示技术领域，尤其涉及一种像素驱动电路、显示面板及电子设备。

背景技术

有源矩阵有机发光二极管面板（Active Matrix/Organic Light Emitting Diode, AMOLED）显示电路，每个像素电路包括多个薄膜晶体管（Thin Film Transistor, TFT）驱动开关和一个有机发光二极管（Organic Light-Emitting Diode, OLED），通常采用 7T1C（7 个 TFT 晶体管和 1 个电容组成）像素补偿电路，以及驱动点亮各个显示器件单元的驱动电路。其中：7T1C 驱动电路输入信号包含：OLED 发光控制信号（Emission, EM）、Scan[n]、Scan[n-1]、Vini（初始复位信号）、Vdata（数据信号）、Vdd（高位信号）；驱动电路通常包括 Scan GOA（Gate Driver On Array，阵列基板行驱动扫描电路）电路和 EM 阵列基板行驱动电路（Emit Gate Driver On Array, EM GOA），Scan GOA 和 EM GOA（简称 EOA）电路中采用 CK（时钟信号）\XCK（外部时钟信号）\VGL（低电位）\VGH（高电位）\STV（初始信号）等输入信号，通过时序电路 MOS 开关单元后（多个 TFT 和多个电容组成），输出级传后的每行驱动时序给显示区的像素电路，如图 1 所示。

在 AMOLED 显示模组中，通常采用 RGBG 像素排列方式（每两个像素共享一个绿色的子像素，这使得蓝色 OLED 的面积可以更大，同时带来更高的面板开口率，这样一来就使得达到相当发光强度所需要的电流降低，从而延缓衰减速度使得显示面板寿命提高），此种排列方式和传统 RGB 条形排列方式相比，一列像素上有 2 种显示颜色，因 Gate（栅线）GOA 集成电路在

级传过程中，容易因级传过程中的 R（电阻）和 C（电容）引起的波形延时，发生扫描信号 Gate 输出波形延时，在像素电路单元的 Vdata 电压写入阶段的过程中，容易写入上一帧的 Vdata 电压，导致纯色显示色偏，例如红色画面偏蓝，蓝色画面偏红。

发明内容

本申请实施例提供一种像素驱动电路、显示面板及电子设备，以解决现有技术中由于输出波形延时导致的纯色显示色偏的问题。

为了解决上述问题，本申请实施例是这样实现的：

第一方面，本申请实施例提供一种像素驱动电路，包括：

包括多个像素电路的像素阵列，所述像素阵列采用 RGBG 像素排列方式；

沿所述像素阵列的第一方向排列的至少四条栅线，相邻两条栅线之间设置一行像素电路，每行像素电路对应一条栅线；

沿与所述第一方向垂直的第二方向排列、且与每条栅线交叉设置的至少八条数据线，每条数据线与一列像素电路中对应于同一颜色子像素的所述像素电路连接；以及

与所述数据线连接的多路分配器电路，所述多路分配器电路用于控制所述数据线连通集成电路 IC 芯片。

第二方面，本申请实施例提供一种显示面板，所述显示面板包括上述的像素驱动电路。

第三方面，本申请实施例提供一种电子设备，包括上述的显示面板。

本申请技术方案，通过在显示区域增设数据线，在非显示区域增设多路分配器电路，将单元列的同种颜色子像素采用同一数据线输入数据信号，使得纯色画面显示时，不会造成上一帧不同颜色的信号错写入而引起色偏，保证了画面显示的一致性，改善了显示面板色偏的问题。

附图说明

图 1 表示现有技术 AMOLED 显示面板驱动架构示意图；

图 2 表示本申请实施例像素驱动电路示意图；

图 3 表示 RGBG 像素排布方式示意图；

图 4 表示本申请实施例的时序图；

图 5 表示本申请实施例电子设备硬件结构示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本申请实施例提供一种像素驱动电路，如图 2 所示，包括：

包括多个像素电路 1 的像素阵列，所述像素阵列采用 RGBG 像素排列方式；

沿所述像素阵列的第一方向排列的至少四条栅线 2，相邻两条栅线 2 之间设置一行像素电路 1，每行像素电路 1 对应一条栅线 2；

沿与所述第一方向垂直的第二方向排列、且与每条栅线 2 交叉设置的至少八条数据线 3，每条数据线 3 与一系列像素电路 1 中对应于同一颜色子像素的所述像素电路 1 连接；以及

与所述数据线 3 连接的多路分配器电路 4，所述多路分配器电路 4 用于控制所述数据线 3 连通集成电路 IC 芯片。

本发明实施例提供的像素驱动电路包括位于显示区域的像素阵列，设置于像素阵列中的至少四条栅线 2 和至少八条数据线 3，以及设置于非显示区域的多路分配器电路 4。其中像素阵列采用 RGBG 像素排列方式，RGBG 像素排列可参见图 3。

像素阵列包括多个以阵列方式排布的像素电路 1，每一个像素电路 1 与对应的有机发光二极管形成一像素单元，多个像素单元组成像素阵列。

至少四条栅线 2 沿像素阵列的第一方向排列，相邻两条栅线 2 之间设置一行像素电路 1，每一行像素电路 1 对应一条栅线 2。至少八条数据线 3 沿第二方向依次排列，且与每条栅线 2 形成交叉设置的形式。每条数据线 3 与一系列像素电路 1 中对应于同一颜色子像素的像素电路 1 连接，可以保证画面显

示的一致性，改善了显示面板色偏的问题。

各数据线 3 均连接至多路分配器电路 4，通过多路分配器电路 4 可以使得数据线 3 连通集成电路（Integrated Circuit，IC）芯片，进而可以使得数据线 3 控制与之连接的像素电路 1 的工作状态。

本申请实施例的像素驱动电路，通过在显示区域增设数据线，在非显示区域增设多路分配器电路，将单元列的同种颜色子像素采用同一数据线输入数据信号，保证了画面显示的一致性，改善了显示面板色偏的问题。

可选的，在本申请一实施例中，如图 2 所示，像素驱动电路还包括：

与所述 IC 芯片的输出端连接的阵列基板行驱动 GOA 单元 5；所述 GOA 单元 5 包括第一时钟信号线 51、第二时钟信号线 52、第三时钟信号线 53、第四时钟信号线 54 以及与奇数行栅线 2 连接的多个第一 GOA 电路 55 和与偶数行栅线 2 连接的多个第二 GOA 电路 56；

所述第一 GOA 电路 55 连接所述第一时钟信号线 51 和所述第二时钟信号线 52，所述第二 GOA 电路 56 连接所述第三时钟信号线 53 和所述第四时钟信号线 54；

所述第一时钟信号线 51 和所述第二时钟信号线 52 的时序相反，所述第三时钟信号线 53 和所述第四时钟信号线 54 的时序相反。

GOA 单元 5 与 IC 芯片的输出端连接，包括四条时钟信号线，在原有电路的基础上增设了两条时钟信号线，还包括多个第一 GOA 电路 55 以及多个第二 GOA 电路 56，第一 GOA 电路 55 的数量与像素阵列中奇数行栅线 2 的数量相等，第二 GOA 电路 56 的数量与像素阵列中偶数行栅线 2 的数量相等，即每一条奇数行的栅线 2 对应于一个第一 GOA 电路 55，每一条偶数行的栅线 2 对应于一个第二 GOA 电路 56。

其中，第一时钟信号线 51 和第二时钟信号线 52 的时序相反，且第一时钟信号线 51 和第二时钟信号线 52 作为输入信号线与各第一 GOA 电路 55 连接，用于向各第一 GOA 电路 55 输入时钟信号。

第三时钟信号线 53 和第四时钟信号线 54 的时序相反，且第三时钟信号线 53 和第四时钟信号线 54 作为输入信号线与各第二 GOA 电路 56 连接，用于向各第二 GOA 电路 56 输入时钟信号。

其中,由于GOA单元5与IC芯片的输出端连接,其具体的连接形式为:第一时钟信号线51与IC芯片输出端的第一时钟端口连接,第二时钟信号线52与IC芯片输出端的第二时钟端口连接,第三时钟信号线53与IC芯片输出端的第三时钟端口连接,第四时钟信号线54与IC芯片输出端的第四时钟端口连接;奇数行栅线2对应的第一GOA电路55、偶数行栅线2对应的第二GOA电路56分别连接IC芯片输出端的不同驱动端口。通过增设两条时钟信号线,可以改善由于时延造成的不同颜色数据信号的误写入,从而改善面板色偏。

可选的,在本申请一实施例中,如图2所示,按照行数递增的排列顺序,各相邻的所述第一GOA电路55之间连接且形成奇数行栅线2的级传、各相邻的所述第二GOA电路56之间连接且形成偶数行栅线2的级传;

其中,除最后一级所述第一GOA电路55外,每一级所述第一GOA电路55的输出端与相邻下一级所述第一GOA电路55的输入端连接;除最后一级所述第二GOA电路56外,每一级所述第二GOA电路56的输出端与相邻下一级所述第二GOA电路56的输入端连接。

与奇数行栅线2连接的多个第一GOA电路55之间,按照行数依次递增的顺序,实现前一级第一GOA电路55与后一级第一GOA电路55之间的连接,进而形成奇数行栅线2的级传。相应的,与偶数行栅线2连接的多个第二GOA电路56之间,按照行数依次递增的顺序,实现前一级第二GOA电路56与后一级第二GOA电路56之间的连接,进而形成偶数行栅线2的级传。例如,与第一行栅线2连接的第一GOA电路55的输出端和与第三行栅线2连接的第一GOA电路55的输入端连接,与第三行栅线2连接的第一GOA电路55的输出端和与第五行栅线2连接的第一GOA电路55的输入端连接;与第二行栅线2连接的第二GOA电路56的输出端和与第四行栅线2连接的第二GOA电路56的输入端连接,与第四行栅线2连接的第二GOA电路56的输出端和与第六行栅线2连接的第二GOA电路56的输入端连接。

通过实现奇数行级传和偶数行级传的区分,可以使得奇数行级传对应于第一时钟信号线和第二时钟信号线,偶数行级传对应于第三时钟信号线和第四时钟信号线,进而可以改善由于时延造成的不同颜色数据信号的误写入,

从而改善面板色偏。

需要说明的是，图 2 中所示的像素阵列为最小驱动单元，通过多个最小驱动单元可组合为与显示面板对应的驱动电路。如针对显示面板对应 1080 列、2400 行像素电路的情况，此时在列方向上需要有 270 个最小驱动单元，在行方向上需要有 600 个最小驱动单元。

其中，如图 4 所示，第一时钟信号线（CK1）对应的波形为第一栅线（第一行栅线）的波形和第三栅线（第三行栅线）的反向波形叠加后生成的波形，第二时钟信号线（XCK1）与第一时钟信号线的波形相反，第三时钟信号线（CK2）对应的波形为第二栅线（第二行栅线）的波形和第四栅线（第四行栅线）的反向波形叠加后生成的波形，第四时钟信号线（XCK2）与第三时钟信号线的波形相反，且第三时钟信号线（CK2）相对第一时钟信号线（CK1）延后半脉冲。

可选的，在本申请一实施例中，如图 2 和图 4 所示，对于相邻的奇数行栅线 2 和偶数行栅线 2，其中，相对于奇数行栅线 2 对应的第一 GOA 电路 55 的时钟信号，偶数行栅线 2 对应的第二 GOA 电路 56 的时钟信号延后半脉冲。

通过增加两条时钟信号线，实现奇数行级传和偶数行级传的区分，并针对相邻的奇数行栅线 2 和偶数行栅线 2，设置偶数行栅线 2 对应的第二 GOA 电路 56 的时钟信号延后奇数行栅线 2 对应的第一 GOA 电路 55 的时钟信号半个脉冲，可以与数据线 3 进行配合，实现在一个连续的时间内，控制每一列像素电路 1 中对应于同一颜色子像素的像素电路 1 根据脉冲信号依序工作。

可选的，在本申请一实施例中，如图 2 所示，所述数据线 3 包括第一类型数据线 31、第二类型数据线 32 和第三类型数据线 33；

每列像素电路 1 为一电路组，对应相同颜色子像素的所述电路组为第一电路组，对应两个颜色子像素的所述电路组为第二电路组；

所述第一类型数据线 31 与所述第二电路组中对应第一颜色子像素的所述像素电路 1 连接，所述第二类型数据线 32 与所述第二电路组中对应第二颜色子像素的所述像素电路 1 连接；所述第三类型数据线 33 与所述第一电路组中的所述像素电路 1 连接。

沿第二方向排列的数据线 3 对应于三种类型，每一类型的数据线 3 可分别连接至对应的像素电路 1，并控制像素电路 1 的工作状态。其中针对每一列像素电路 1 可形成一电路组，根据电路组所对应的不同子像素可将电路组确定为 2 种不同类型的电路组。若电路组中的像素电路 1 对应相同颜色子像素，则该电路组为第一电路组，若电路组中的像素电路 1 对应两个颜色子像素，则该电路组为第二电路组。

针对数据线 3 而言，确定与第一电路组中的像素电路 1 连接的数据线 3 为第三类型数据线 33，确定与第二电路组中对应第一颜色子像素的像素电路 1 连接的数据线 3 为第一类型数据线 31，确定与第二电路组中对应第二颜色子像素的像素电路 1 连接的数据线 3 为第二类型数据线 32。

由于像素阵列采用 RGBG 像素排列方式，因此第一电路组中的像素电路 1 对应绿色子像素，第一颜色子像素可以为红色或者蓝色子像素，相应的第二颜色子像素可以为蓝色或者红色子像素。

通过划分数据线类型，可以实现将对应不同颜色子像素的像素电路与相应的数据线连接，进而可以将单元列的同种颜色子像素采用同一数据线输入数据信号，保证了画面显示的一致性，改善了显示面板色偏的问题。

可选的，在本申请一实施例中，如图 2 所示，所述第一类型数据线 31、所述第二类型数据线 32 和所述第三类型数据线 33 的数量之和为所述像素电路 1 所对应的列数的两倍倍；所述第一类型数据线 31、所述第二类型数据线 32、两条所述第三类型数据线 33、所述第二类型数据线 32、所述第一类型数据线 31 和两条所述第三类型数据线 33 在所述第二方向上依次排列；其中，每条所述第三类型数据线 33 与所述第一电路组中半数的所述像素电路 1 连接，且与一条所述第三类型数据线 33 连接的至少两个所述像素电路 1 相邻或者间隔排布。

针对每列像素电路 1，可对应于两条数据线 3，其中针对对应两个颜色子像素的电路组而言，两条数据线 3 分别为第一类型数据线 31 和第二类型数据线 32；针对对应一个颜色子像素的电路组而言，两条数据线 3 均为第三类型数据线 33。因此第一类型数据线 31、第二类型数据线 32 和第三类型数据线 33 的数量之和为电路组数量的两倍。且第一类型数据线 31、第二类型数据线

32、两条第三类型数据线 33、第二类型数据线 32、第一类型数据线 31 和两条第三类型数据线 33 在第二方向上依次排列。

以图 2 为例进行阐述，在第二方向上数据线 D1、D1-1、D2、D2-1、D3、D3-1、D4、D4-1 依次排列。第一列像素电路 1 中与 R（红色）子像素对应的像素电路 1 通过 D1（第一类型数据线）驱动，第一列像素电路 1 中与 B（蓝色）子像素对应的像素电路 1 通过 D1-1（第二类型数据线）驱动；同理第三列像素电路 1 中与 B 子像素对应的像素电路 1 通过 D3（第二类型数据线）驱动，第三列像素电路 1 中与 R 子像素对应的像素电路 1 通过 D3-1（第一类型数据线）驱动；第二列像素电路 1 中与 G（绿色）子像素对应的像素电路 1 也采用奇数行偶数行分别用 D2（第三类型数据线）和 D2-1（第三类型数据线）驱动，第四列像素电路 1 的驱动方式同第二列。在第二方向上，第一类型数据线 31、第二类型数据线 32、两条第三类型数据线 33、第二类型数据线 32、第一类型数据线 31 和两条第三类型数据线 33 依次排列。

其中，针对第三类型数据线 33 而言，每条第三类型数据线 33 与第一电路组中一半的像素电路 1 连接，且可以连接相邻或者间隔设置的像素电路 1。由于第一电路组中对应的像素电路 1 至少为 4 个，因此一条第三类型数据线 33 连接的至少两个像素电路 1 可以相邻或者间隔排布。图 2 中示出的是一条第三类型数据线 33 与间隔的两个像素电路 1 连接的示例。

可选的，在本申请一实施例中，如图 2 所示，所述多路分配器电路 4 包括：

第一驱动线 41、与所述第一驱动线 41 时序相反的第二驱动线 42、至少四个第一开关 43 和至少四个第二开关 44；

所述第一驱动线 41 和所述第二驱动线 42 与所述 IC 芯片的输出端连接；

所述第一类型数据线 31 和各所述第一电路组中的一条所述第三类型数据线 33 对应于所述第一开关 43，所述第二类型数据线 32 和各所述第一电路组中的另一条所述第三类型数据线 33 对应于所述第二开关 44；

所述第一开关 43 的控制端连接所述第一驱动线 41，用于在所述第一驱动线 41 的控制下连通所述第一类型数据线 31 和对应的端口数据线、半数的所述第三类型数据线 33 和对应的端口数据线；

所述第二开关 44 的控制端连接所述第二驱动线 42，用于在所述第二驱动线 42 的控制下连通所述第二类型数据线 32 和对应的端口数据线、剩余半数的所述第三类型数据线 33 和对应的端口数据线；

其中，各所述端口数据线连接至所述 IC 芯片的输出端。

多路分配器电路 4 所包括的第一驱动线 41 和第二驱动线 42 分别连接至 IC 芯片输出端的不同驱动端口，且第一驱动线 41 和第二驱动线 42 的时序相反。第一驱动线 41 用于连接第一开关 43，控制第一开关 43 的导通或者关断，第一开关 43 与第一类型数据线 31 和各第一电路组中的一条第三类型数据线 33 对应，第二驱动线 44 用于连接第二开关 44，控制第二开关 44 的导通或者关断，第二开关 44 与第二类型数据线 32 和各第一电路组中的另一条第三类型数据线 33 对应。

第一开关 43 和第二开关 44 为 TFT 开关，第一开关 43 的控制极连接第一驱动线 41，第二开关 44 的控制极连接第二驱动线 42。在第一驱动线 41 的控制下，各第一开关 43 闭合，此时第一类型数据线 31 和对应的端口数据线、半数的第三类型数据线 33 和对应的端口数据线连通，第一类型数据线 31、半数的第三类型数据线 33 可以获取 IC 芯片输出的数据信号。在第二驱动线 42 的控制下，各第二开关 44 闭合，此时第二类型数据线 32 和对应的端口数据线、剩余半数的第三类型数据线 33 和对应的端口数据线连通，第二类型数据线 32、剩余半数的第三类型数据线 33 可以获取 IC 芯片输出的数据信号。

其中，端口数据线的数量与像素电路 1 的列数相同，两条第一类型数据线 31 可通过同一端口数据线连接至 IC 芯片输出端的对应数据端口，两条第二类型数据线 32 可通过同一端口数据线连接至 IC 芯片输出端的对应数据端口，两条不相邻的第三类型数据线 33 可通过同一端口数据线连接至 IC 芯片输出端的对应数据端口。针对图 2 所示的像素阵列，在第二方向上数据线 D1、D1-1、D2、D2-1、D3、D3-1、D4、D4-1 依次排列时，数据线 D3-1 和数据线 D1 可通过端口数据线 data1 连接至 IC 芯片输出端，数据线 D1-1 和数据线 D3 通过端口数据线 data3 连接至 IC 芯片输出端，数据线 D4-1 和数据线 D2 通过端口数据线 data2 连接至 IC 芯片输出端，数据线 D2-1 和数据线 D4 通过端口数据线 data4 连接至 IC 芯片输出端。

需要说明的是，针对两个第一电路组而言，第三类型数据线 33 与第一开关 43 和第二开关 44 连接的情况可以相同或者不同，图 2 中示意出的是不同的情况。在相同时，两个第一电路组中的左侧的第三类型数据线 33 均连接第一开关 43 或第二开关 44，在不同时，可以是图 2 所示的第二列像素电路 1 左侧的第三类型数据线 33 连接第二开关 44，第四列像素电路 1 左侧的第三类型数据线 33 连接第一开关 43，还可以是其他情况，这里不再一一列举。

可选的，在本申请一实施例中，如图 2 和图 4 所示，在所述第一驱动线 41 控制所述第一开关 43 导通时，在各栅线 2 对应的工作脉冲内，与所述第一类型数据线 31 连接的所述像素电路 1 处于工作状态、与对应于所述第一开关 43 的所述第三类型数据线 33 连接的所述像素电路 1 处于工作状态；

在所述第二驱动线 42 控制所述第二开关 44 导通时，在各栅线 2 对应的工作脉冲内，与所述第二类型数据线 32 连接的所述像素电路 1 处于工作状态、与对应于所述第二开关 44 的所述第三类型数据线 33 连接的所述像素电路 1 处于工作状态。

下面参见图 4 的时序图，针对图 2 的像素阵列，对根据栅线 2 与数据线 3 配合控制像素电路 1 工作的情况进行阐述，其中第一开关 43 和第二开关 44 在低电位的控制下导通。

在（第一栅线）第一行栅线 2 对应的前半个脉冲内，第一驱动线 41 为低电平可以控制第一开关 43 导通，此时与 R1（第一行第一列的位置）子像素对应的像素电路 1、与 G5（第一行第四列的位置）子像素对应的像素电路 1 工作。在第一行栅线 2 对应的后半个脉冲内，第二驱动线 42 为低电平可以控制第二开关 44 导通，此时与 G1（第一行第二列的位置）子像素对应的像素电路 1、与 B3（第一行第三列的位置）子像素对应的像素电路 1 工作。

在（第二栅线）第二行栅线 2 对应的前半个脉冲内，第二驱动线 42 为低电平可以控制第二开关 44 导通，此时与 B1（第二行第一列的位置）子像素对应的像素电路 1、与 G6（第二行第四列的位置）子像素对应的像素电路 1 工作。在第二行栅线 2 对应的后半个脉冲内，第一驱动线 41 为低电平可以控制第一开关 43 导通，此时与 G2（第二行第二列的位置）子像素对应的像素电路 1、与 R3（第二行第三列的位置）子像素对应的像素电路 1 工作。

在（第三栅线）第三行栅线 2 对应的前半个脉冲内，第一驱动线 41 为低电平可以控制第一开关 43 导通，此时与 R2（第三行第一列的位置）子像素对应的像素电路 1、与 G7（第三行第四列的位置）子像素对应的像素电路 1 工作。在第三行栅线 2 对应的后半个脉冲内，第二驱动线 42 为低电平可以控制第二开关 44 导通，此时与 G3（第三行第二列的位置）子像素对应的像素电路 1、与 B4（第三行第三列的位置）子像素对应的像素电路 1 工作。

在（第四栅线）第四行栅线 2 对应的前半个脉冲内，第二驱动线 42 为低电平可以控制第二开关 44 导通，此时与 B2（第四行第一列的位置）子像素对应的像素电路 1、与 G8（第四行第四列的位置）子像素对应的像素电路 1 工作。在第四行栅线 2 对应的后半个脉冲内，第一驱动线 41 为低电平可以控制第一开关 43 导通，此时与 G4（第四行第二列的位置）子像素对应的像素电路 1、与 R4（第四行第三列的位置）子像素对应的像素电路 1 工作。

上述过程，通过像素电路 1 的工作可以控制对应的有机发光二极管发光。

随着屏幕高刷新率的采用（如 90Hz、120Hz），数据线充电时间越来越短，由栅线延迟引起的数据信号误写入的风险越来越高，纯色显示和区块纯色出现色偏的比率将会比 60Hz 的增加 1 倍，本申请将相同颜色子像素同列驱动，避免了上述色偏问题，另外，对于灰阶画面色偏，提供更多可调整的方法。

本申请实施例还提供一种显示面板，包括上述的像素驱动电路。

图 5 为实现本申请各个实施例的一种电子设备的硬件结构示意图，该电子设备 500 包括但不限于：射频单元 501、网络模块 502、音频输出单元 503、输入单元 504、传感器 505、显示单元 506、用户输入单元 507、接口单元 508、存储器 509、处理器 510、以及电源 511 等部件。

本领域技术人员可以理解，图 5 中示出的电子设备结构并不构成对电子设备的限定，电子设备可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置。在本申请实施例中，电子设备包括但不限于手机、平板电脑、笔记本电脑、掌上电脑、车载终端、可穿戴设备、以及计步器等。

应理解的是，本申请实施例中，射频单元 501 可用于收发信息或通话过程中，信号的接收和发送，具体的，将来自基站的下行数据接收后，给处理器 510 处理；另外，将上行的数据发送给基站。通常，射频单元 501 包括但

不限于天线、至少一个放大器、收发信机、耦合器、低噪声放大器、双工器等。此外，射频单元 501 还可以通过无线通信系统与网络和其他设备通信。

电子设备通过网络模块 502 为用户提供了无线的宽带互联网访问，如帮助用户收发电子邮件、浏览网页和访问流式媒体等。

音频输出单元 503 可以将射频单元 501 或网络模块 502 接收的或者在存储器 509 中存储的音频数据转换成音频信号并且输出为声音。而且，音频输出单元 503 还可以提供与电子设备 500 执行的特定功能相关的音频输出(例如，呼叫信号接收声音、消息接收声音等等)。音频输出单元 503 包括扬声器、蜂鸣器以及受话器等。

输入单元 504 用于接收音频或视频信号。输入单元 504 可以包括图形处理器 (Graphics Processing Unit, GPU) 5041 和麦克风 5042，图形处理器 5041 对在视频捕获模式或图像捕获模式中由图像捕获装置 (如摄像头) 获得的静态图片或视频的图像数据进行处理。处理后的图像帧可以显示在显示单元 506 上。经图形处理器 5041 处理后的图像帧可以存储在存储器 509 (或其它存储介质) 中或者经由射频单元 501 或网络模块 502 进行发送。麦克风 5042 可以接收声音，并且能够将这样的声音处理为音频数据。处理后的音频数据可以在电话通话模式的情况下转换为可经由射频单元 501 发送到移动通信基站的格式输出。

电子设备 500 还包括至少一种传感器 505，比如光传感器、运动传感器以及其他传感器。具体地，光传感器包括环境光传感器及接近传感器，其中，环境光传感器可根据环境光线的明暗来调节显示面板 5061 的亮度，接近传感器可在电子设备 500 移动到耳边时，关闭显示面板 5061 和/或背光。作为运动传感器的一种，加速计传感器可检测各个方向上 (一般为三轴) 加速度的大小，静止时可检测出重力的大小及方向，可用于识别电子设备姿态 (比如横竖屏切换、相关游戏、磁力计姿态校准)、振动识别相关功能 (比如计步器、敲击) 等；传感器 505 还可以包括指纹传感器、压力传感器、虹膜传感器、分子传感器、陀螺仪、气压计、湿度计、温度计、红外线传感器等，在此不再赘述。

显示单元 506 用于显示由用户输入的信息或提供给用户的信息。显示单

元 506 可包括显示面板 5061, 可以采用液晶显示器 (Liquid Crystal Display, LCD)、有机发光二极管 (Organic Light-Emitting Diode, OLED) 等形式来配置显示面板 5061。

显示面板 5061 包括像素驱动电路, 像素驱动电路包括:

包括多个像素电路的像素阵列, 像素阵列采用 RGBG 像素排列方式;

沿像素阵列的第一方向排列的至少四条栅线, 相邻两条栅线之间设置一行像素电路, 每行像素电路对应一条栅线;

沿与第一方向垂直的第二方向排列、且与每条栅线交叉设置的至少八条数据线, 每条数据线与一系列像素电路中对应于同一颜色子像素的像素电路连接; 以及与数据线连接的多路分配器电路, 多路分配器电路用于控制数据线连通集成电路 IC 芯片。

可选的, 像素驱动电路还包括:

与 IC 芯片的输出端连接的阵列基板行驱动 GOA 单元;

GOA 单元包括第一时钟信号线、第二时钟信号线、第三时钟信号线、第四时钟信号线以及与奇数行栅线连接的多个第一 GOA 电路和与偶数行栅线连接的多个第二 GOA 电路;

第一 GOA 电路连接第一时钟信号线和第二时钟信号线, 第二 GOA 电路连接第三时钟信号线和第四时钟信号线;

第一时钟信号线和第二时钟信号线的时序相反, 第三时钟信号线和第四时钟信号线的时序相反。

可选的, 按照行数递增的排列顺序, 各相邻的第一 GOA 电路之间连接且形成奇数行栅线的级传、各相邻的第二 GOA 电路之间连接且形成偶数行栅线的级传;

其中, 除最后一级第一 GOA 电路外, 每一级第一 GOA 电路的输出端与相邻下一级第一 GOA 电路的输入端连接; 除最后一级第二 GOA 电路外, 每一级第二 GOA 电路的输出端与相邻下一级第二 GOA 电路的输入端连接。

可选的, 对于相邻的奇数行栅线和偶数行栅线, 其中, 相对于奇数行栅线对应的第一 GOA 电路的时钟信号, 偶数行栅线对应的第二 GOA 电路的时钟信号延后半个脉冲。

可选的，数据线包括第一类型数据线、第二类型数据线和第三类型数据线；

每列像素电路为一电路组，对应相同颜色子像素的电路组为第一电路组，对应两个颜色子像素的电路组为第二电路组；

第一类型数据线与第二电路组中对应第一颜色子像素的像素电路连接，第二类型数据线与第二电路组中对应第二颜色子像素的像素电路连接；

第三类型数据线与第一电路组中的像素电路连接。

可选的，第一类型数据线、第二类型数据线和第三类型数据线的数量之和为像素电路所对应的列数的两倍；

第一类型数据线、第二类型数据线、两条第三类型数据线、第二类型数据线、第一类型数据线和两条第三类型数据线在第二方向上依次排列；

其中，每条第三类型数据线与第一电路组中半数的像素电路连接，且与一条第三类型数据线连接的至少两个像素电路相邻或者间隔排布。

可选的，多路分配器电路包括：

第一驱动线、与第一驱动线时序相反的第二驱动线、至少四个第一开关和至少四个第二开关；

第一驱动线和第二驱动线与 IC 芯片的输出端连接；

第一类型数据线和各第一电路组中的一条第三类型数据线对应于第一开关，第二类型数据线和各第一电路组中的另一条第三类型数据线对应于第二开关；

第一开关的控制端连接第一驱动线，用于在第一驱动线的控制下连通第一类型数据线和对应的端口数据线、半数的第三类型数据线和对应的端口数据线；

第二开关的控制端连接第二驱动线，用于在第二驱动线的控制下连通第二类型数据线和对应的端口数据线、剩余半数的第三类型数据线和对应的端口数据线；

其中，各端口数据线连接至集成电路的输出端。

可选的，在第一驱动线控制第一开关导通时，在各栅线对应的工作脉冲内，与第一类型数据线连接的像素电路处于工作状态、与对应于第一开关的

第三类型数据线连接的像素电路处于工作状态；

在第二驱动线控制第二开关导通时，在各栅线对应的工作脉冲内，与第二类型数据线连接的像素电路处于工作状态、与对应于第二开关的第三类型数据线连接的像素电路处于工作状态。

用户输入单元 507 可用于接收输入的数字或字符信息，以及产生与电子设备的用户设置以及功能控制有关的键信号输入。具体地，用户输入单元 507 包括触控面板 5071 以及其他输入设备 5072。触控面板 5071，也称为触摸屏，可收集用户在其上或附近的触摸操作（比如用户使用手指、触笔等任何适合的物体或附件在触控面板 5071 上或在触控面板 5071 附近的操作）。触控面板 5071 可包括触摸检测装置和触摸控制器两个部分。其中，触摸检测装置检测用户的触摸方位，并检测触摸操作带来的信号，将信号传送给触摸控制器；触摸控制器从触摸检测装置上接收触摸信息，并将它转换成触点坐标，再送给处理器 510，接收处理器 510 发来的命令并加以执行。此外，可以采用电阻式、电容式、红外线以及表面声波等多种类型实现触控面板 5071。除了触控面板 5071，用户输入单元 507 还可以包括其他输入设备 5072。具体地，其他输入设备 5072 可以包括但不限于物理键盘、功能键（比如音量控制按键、开关按键等）、轨迹球、鼠标、操作杆，在此不再赘述。

进一步的，触控面板 5071 可覆盖在显示面板 5061 上，当触控面板 5071 检测到在其上或附近的触摸操作后，传送给处理器 510 以确定触摸事件的类型，随后处理器 510 根据触摸事件的类型在显示面板 5061 上提供相应的视觉输出。虽然在图 5 中，触控面板 5071 与显示面板 5061 是作为两个独立的部件来实现电子设备的输入和输出功能，但是在某些实施例中，可以将触控面板 5071 与显示面板 5061 集成而实现电子设备的输入和输出功能，具体此处不做限定。

接口单元 508 为外部装置与电子设备 500 连接的接口。例如，外部装置可以包括有线或无线头戴式耳机端口、外部电源(或电池充电器)端口、有线或无线数据端口、存储卡端口、用于连接具有识别模块的装置的端口、音频输入/输出(I/O)端口、视频 I/O 端口、耳机端口等等。接口单元 508 可以用于接收来自外部装置的输入(例如，数据信息、电力等等)并且将接收到的输入传输

到电子设备 500 内的一个或多个元件或者可以用于在电子设备 500 和外部装置之间传输数据。

存储器 509 可用于存储软件程序以及各种数据。存储器 509 可主要包括存储程序区和存储数据区，其中，存储程序区可存储操作系统、至少一个功能所需的应用程序（比如声音播放功能、图像播放功能等）等；存储数据区可存储根据手机的使用所创建的数据（比如音频数据、电话本等）等。此外，存储器 509 可以包括高速随机存取存储器，还可以包括非易失性存储器，例如至少一个磁盘存储器件、闪存器件、或其他易失性固态存储器件。

处理器 510 是电子设备的控制中心，利用各种接口和线路连接整个电子设备的各个部分，通过运行或执行存储在存储器 509 内的软件程序和/或模块，以及调用存储在存储器 509 内的数据，执行电子设备的各种功能和处理数据，从而对电子设备进行整体监控。处理器 510 可包括一个或多个处理单元；优选的，处理器 510 可集成应用处理器和调制解调处理器，其中，应用处理器主要处理操作系统、用户界面和应用程序等，调制解调处理器主要处理无线通信。可以理解的是，上述调制解调处理器也可以不集成到处理器 510 中。

电子设备 500 还可以包括给各个部件供电的电源 511（比如电池），优选的，电源 511 可以通过电源管理系统与处理器 510 逻辑相连，从而通过电源管理系统实现管理充电、放电、以及功耗管理等功能。

另外，电子设备 500 包括一些未示出的功能模块，在此不再赘述。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到上述实施例方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体

现出来，该计算机软件产品存储在一个存储介质（如 ROM/RAM、磁碟、光盘）中，包括若干指令用以使得一台终端（可以是手机，计算机，服务器，空调器，或者网络设备等等）执行本申请各个实施例所述的方法。

上面结合附图对本申请的实施例进行了描述，但是本申请并不局限于上述的具体实施方式，上述的具体实施方式仅仅是示意性的，而不是限制性的，本领域的普通技术人员在本申请的启示下，在不脱离本申请宗旨和权利要求所保护的范围情况下，还可做出很多形式，均属于本申请的保护之内。

权利要求书

1. 一种像素驱动电路，包括：

包括多个像素电路（1）的像素阵列，所述像素阵列采用 RGBG 像素排列方式；

沿所述像素阵列的第一方向排列的至少四条栅线（2），相邻两条栅线（2）之间设置一行像素电路（1），每行像素电路（1）对应一条栅线（2）；

沿与所述第一方向垂直的第二方向排列、且与每条栅线（2）交叉设置的至少八条数据线（3），每条数据线（3）与一列像素电路（1）中对应于同一颜色子像素的所述像素电路（1）连接；以及

与所述数据线（3）连接的多路分配器电路（4），所述多路分配器电路（4）用于控制所述数据线（3）连通集成电路 IC 芯片。

2. 根据权利要求 1 所述的像素驱动电路，还包括：

与所述 IC 芯片的输出端连接的阵列基板行驱动 GOA 单元（5）；

所述 GOA 单元（5）包括第一时钟信号线（51）、第二时钟信号线（52）、第三时钟信号线（53）、第四时钟信号线（54）以及与奇数行栅线（2）连接的多个第一 GOA 电路（55）和与偶数行栅线（2）连接的多个第二 GOA 电路（56）；

所述第一 GOA 电路（55）连接所述第一时钟信号线（51）和所述第二时钟信号线（52），所述第二 GOA 电路（56）连接所述第三时钟信号线（53）和所述第四时钟信号线（54）；

所述第一时钟信号线（51）和所述第二时钟信号线（52）的时序相反，所述第三时钟信号线（53）和所述第四时钟信号线（54）的时序相反。

3. 根据权利要求 2 所述的像素驱动电路，其中，

按照行数递增的排列顺序，各相邻的所述第一 GOA 电路（55）之间连接且形成奇数行栅线（2）的级传、各相邻的所述第二 GOA 电路（56）之间连接且形成偶数行栅线（2）的级传；

其中，除最后一级所述第一 GOA 电路（55）外，每一级所述第一 GOA 电路（55）的输出端与相邻下一级所述第一 GOA 电路（55）的输入端连接；

除最后一级所述第二 GOA 电路 (56) 外, 每一级所述第二 GOA 电路 (56) 的输出端与相邻下一级所述第二 GOA 电路 (56) 的输入端连接。

4. 根据权利要求 3 所述的像素驱动电路, 其中,

对于相邻的奇数行栅线 (2) 和偶数行栅线 (2), 其中, 相对于奇数行栅线 (2) 对应的第一 GOA 电路 (55) 的时钟信号, 偶数行栅线 (2) 对应的第二 GOA 电路 (56) 的时钟信号延后半脉冲。

5. 根据权利要求 4 所述的像素驱动电路, 其中, 所述数据线 (3) 包括第一类型数据线 (31)、第二类型数据线 (32) 和第三类型数据线 (33);

每列像素电路 (1) 为一电路组, 对应相同颜色子像素的所述电路组为第一电路组, 对应两个颜色子像素的所述电路组为第二电路组;

所述第一类型数据线 (31) 与所述第二电路组中对应第一颜色子像素的像素电路 (1) 连接, 所述第二类型数据线 (32) 与所述第二电路组中对应第二颜色子像素的像素电路 (1) 连接;

所述第三类型数据线 (33) 与所述第一电路组中的所述像素电路 (1) 连接。

6. 根据权利要求 5 所述的像素驱动电路, 其中,

所述第一类型数据线 (31)、所述第二类型数据线 (32) 和所述第三类型数据线 (33) 的数量之和为所述像素电路 (1) 所对应的列数的两倍;

所述第一类型数据线 (31)、所述第二类型数据线 (32)、两条所述第三类型数据线 (33)、所述第二类型数据线 (32)、所述第一类型数据线 (31) 和两条所述第三类型数据线 (33) 在所述第二方向上依次排列;

其中, 每条所述第三类型数据线 (33) 与所述第一电路组中半数的所述像素电路 (1) 连接, 且与一条所述第三类型数据线 (33) 连接的至少两个所述像素电路 (1) 相邻或者间隔排布。

7. 根据权利要求 6 所述的像素驱动电路, 其中, 所述多路分配器电路 (4) 包括:

第一驱动线 (41)、与所述第一驱动线 (41) 时序相反的第二驱动线 (42)、至少四个第一开关 (43) 和至少四个第二开关 (44);

所述第一驱动线 (41) 和所述第二驱动线 (42) 与所述 IC 芯片的输出端

连接；

所述第一类型数据线（31）和各所述第一电路组中的一条所述第三类型数据线（33）对应于所述第一开关（43），所述第二类型数据线（32）和各所述第一电路组中的另一条所述第三类型数据线（33）对应于所述第二开关（44）；

所述第一开关（43）的控制端连接所述第一驱动线（41），用于在所述第一驱动线（41）的控制下连通所述第一类型数据线（31）和对应的端口数据线、半数的所述第三类型数据线（33）和对应的端口数据线；

所述第二开关（44）的控制端连接所述第二驱动线（42），用于在所述第二驱动线（42）的控制下连通所述第二类型数据线（32）和对应的端口数据线、剩余半数的所述第三类型数据线（33）和对应的端口数据线；

其中，各所述端口数据线连接至所述IC芯片的输出端。

8. 根据权利要求7所述的像素驱动电路，其中，

在所述第一驱动线（41）控制所述第一开关（43）导通时，在各栅线（2）对应的工作脉冲内，与所述第一类型数据线（31）连接的所述像素电路（1）处于工作状态、与对应于所述第一开关（43）的所述第三类型数据线（33）连接的所述像素电路（1）处于工作状态；

在所述第二驱动线（42）控制所述第二开关（44）导通时，在各栅线（2）对应的工作脉冲内，与所述第二类型数据线（32）连接的所述像素电路（1）处于工作状态、与对应于所述第二开关（44）的所述第三类型数据线（33）连接的所述像素电路（1）处于工作状态。

9. 一种显示面板，包括如权利要求1至8任一项所述的像素驱动电路。

10. 一种电子设备，包括如权利要求9所述的显示面板。

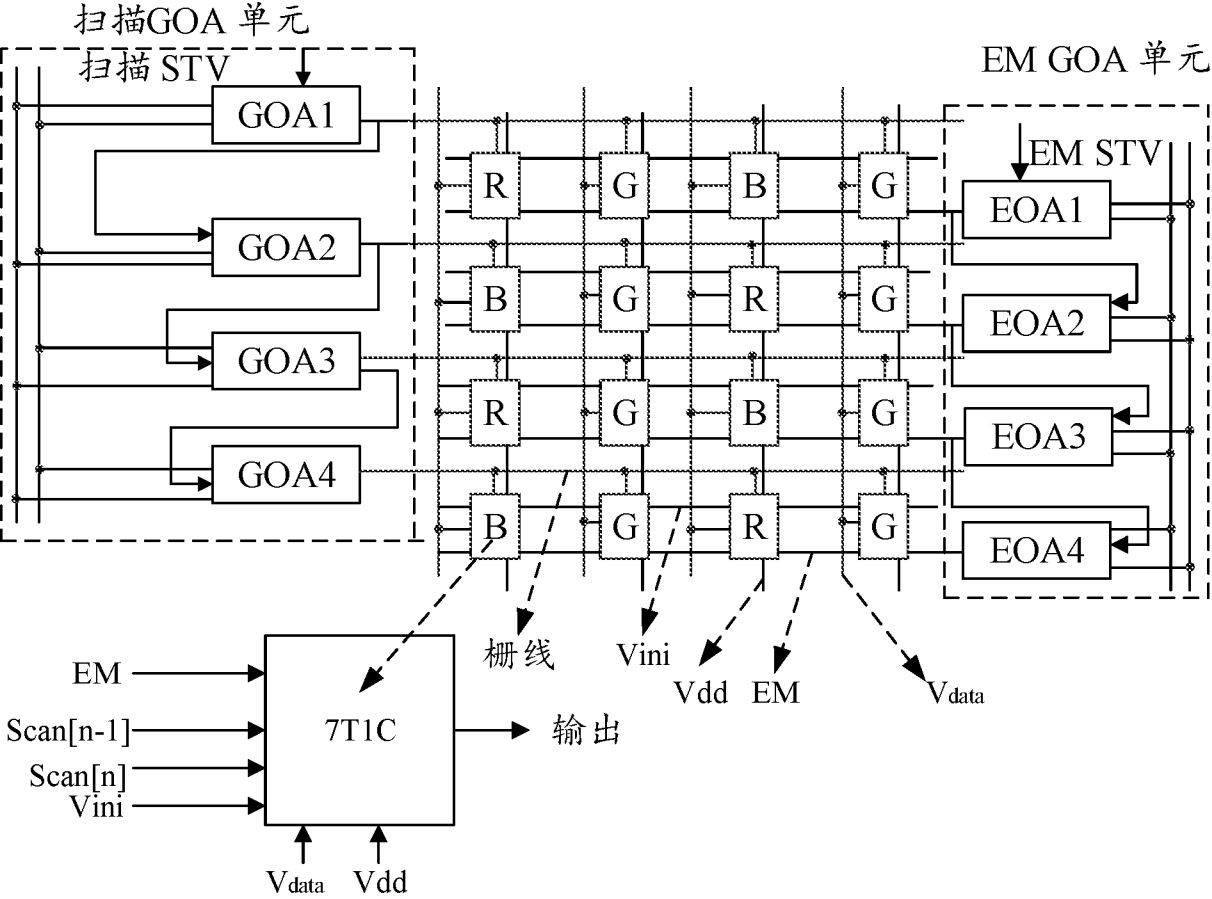


图 1

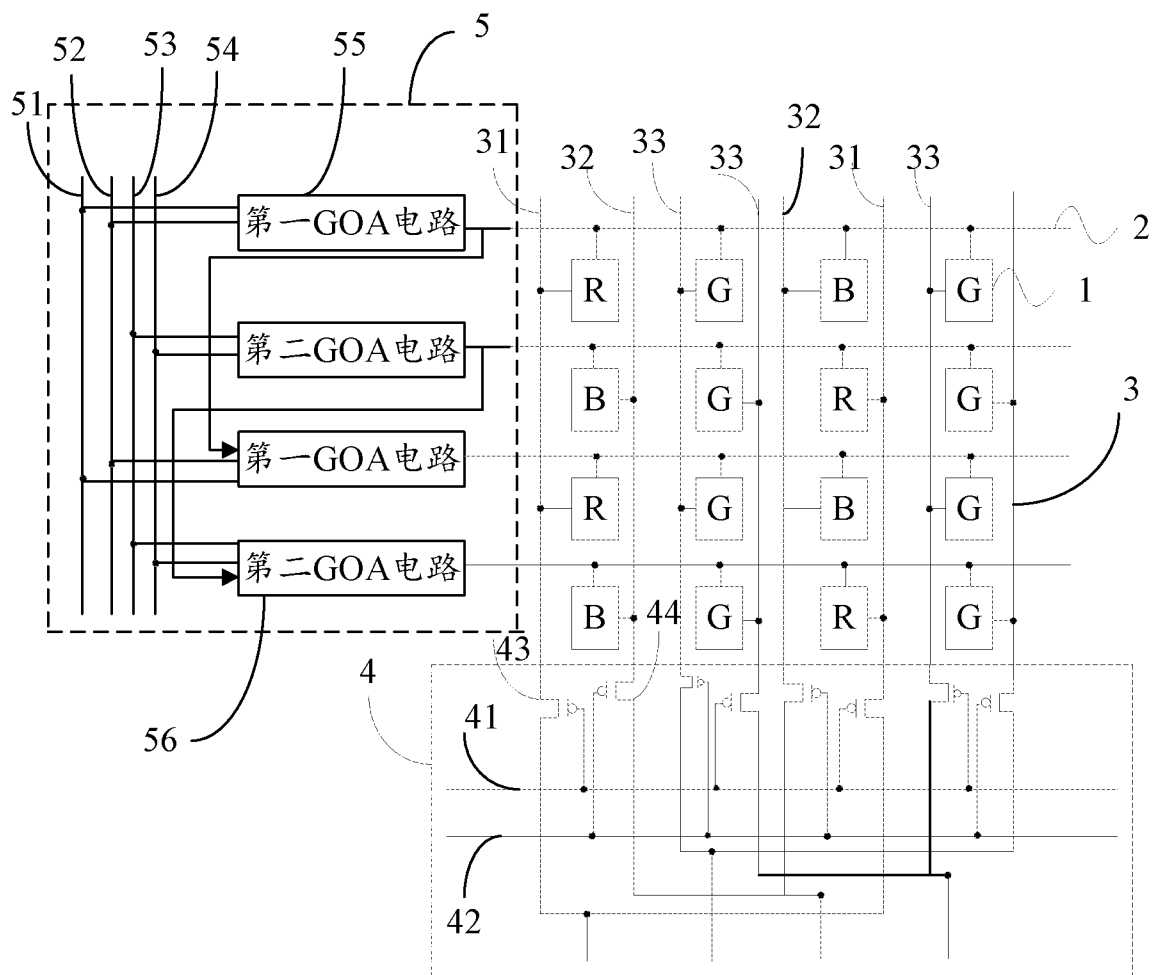


图 2

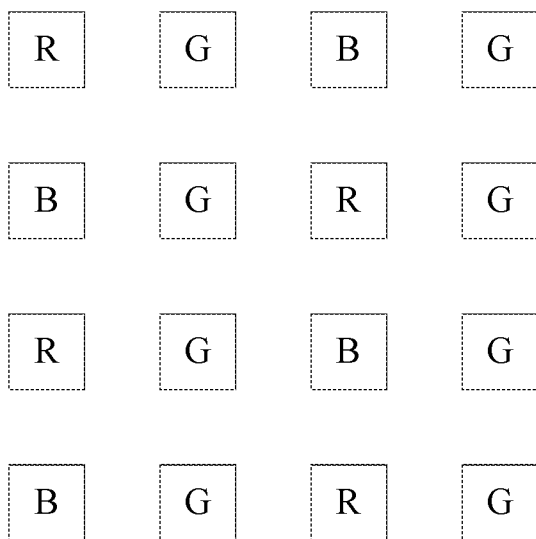


图 3

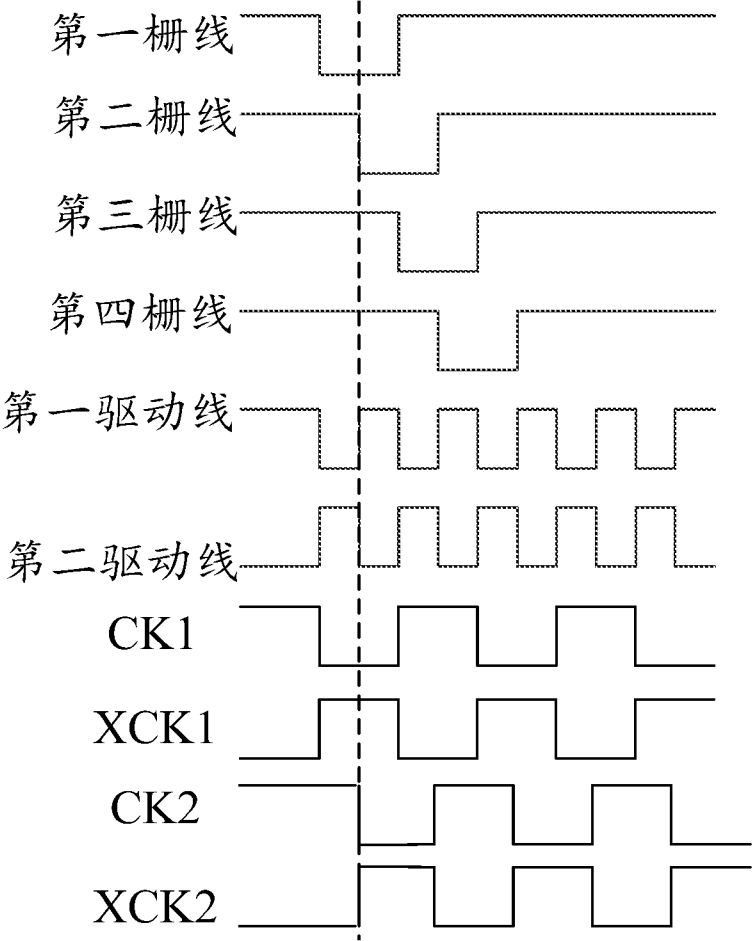


图 4

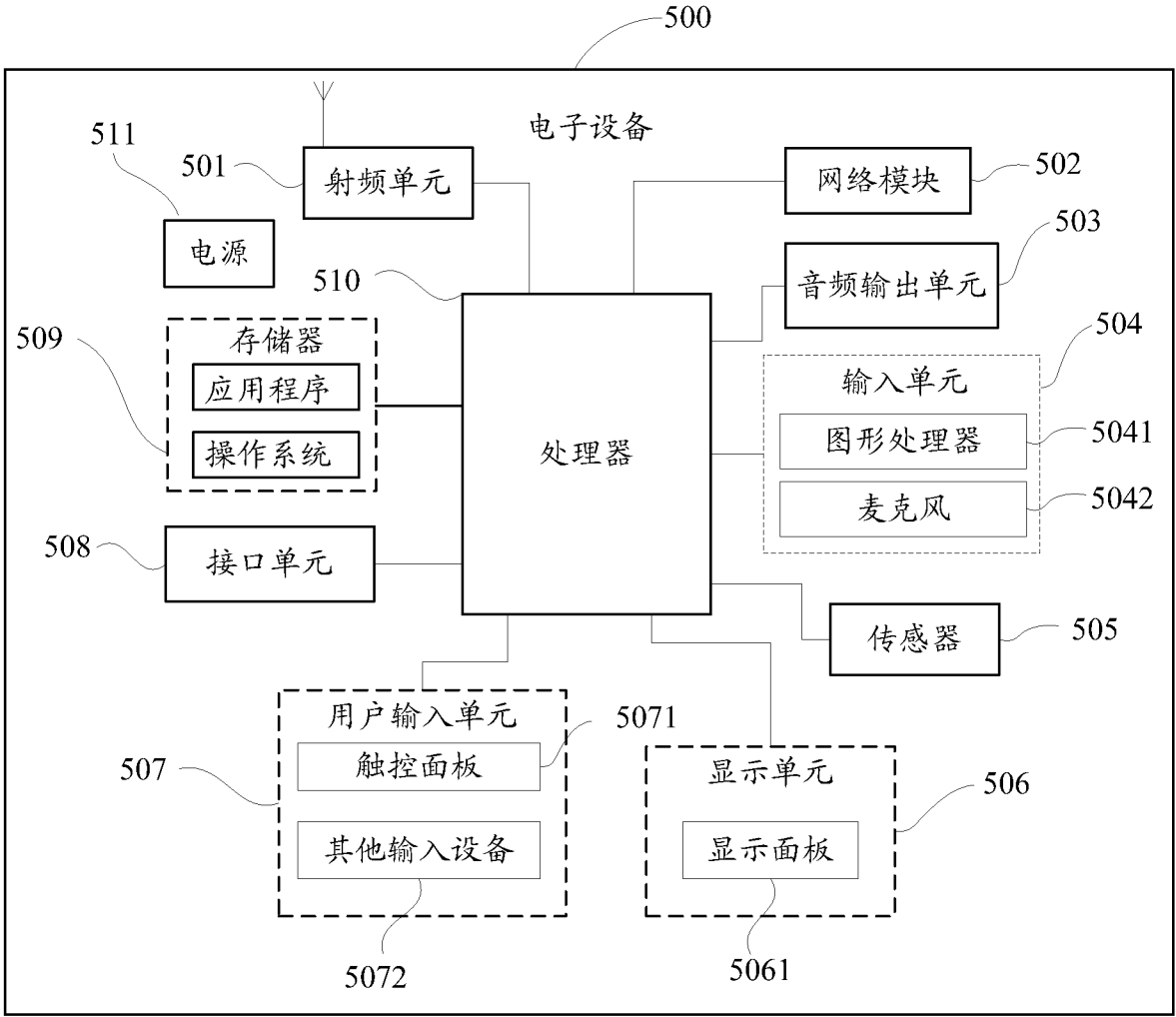


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/081767

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G02F 1/13(2006.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G,G02F,H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 像素, 画素, 象素, 阵列, 排列, 数据, 资料, 讯号, 信号, 源极, 线, 奇数, 偶数, 行, 第二, 栅极驱动, 反, 时钟信号, CLK4, GOA2, GOA, second, odd?, even, row?, column?, SPR, pentile?, array, +pixel?, BG, signal?, ?data?, line

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110808005 A (HUAWEI TECHNOLOGIES CO., LTD.) 18 February 2020 (2020-02-18) description, paragraphs [0054]-[0099] and [0270]-[0274], and figures 4 and 13	1, 9, 10
Y	CN 110808005 A (HUAWEI TECHNOLOGIES CO., LTD.) 18 February 2020 (2020-02-18) description, paragraphs [0054]-[0099] and [0270]-[0274], and figures 4 and 13	2-6
Y	CN 105938711 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 September 2016 (2016-09-14) description, paragraphs [0058]-[0068], and figure 2	2-6
PX	CN 111383576 A (VIVO COMMUNICATION TECHNOLOGY CO., LTD.) 07 July 2020 (2020-07-07) claims 1-10, description, paragraphs [0019]-[0123], and figures 1-5	1-10
A	CN 110189718 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 August 2019 (2019-08-30) entire document	1-10
A	CN 109285502 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 29 January 2019 (2019-01-29) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 May 2021

Date of mailing of the international search report

27 May 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/081767**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107967886 A (BOE TECHNOLOGY GROUP CO., LTD.) 27 April 2018 (2018-04-27) entire document	1-10
A	CN 105469761 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 April 2016 (2016-04-06) entire document	1-10
A	US 2019228726 A1 (APPLE INC.) 25 July 2019 (2019-07-25) entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/081767

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110808005	A	18 February 2020	WO	2020215881	A1	29 October 2020
CN	105938711	A	14 September 2016	US	10095058	B2	09 October 2018
				US	2018188578	A1	05 July 2018
				CN	105938711	B	06 July 2018
				WO	2017211149	A1	14 December 2017
				IN	201837000899	A	23 February 2018
CN	111383576	A	07 July 2020	None			
CN	110189718	A	30 August 2019	WO	2020237760	A1	03 December 2020
				US	20200380928	A1	03 December 2020
CN	109285502	A	29 January 2019	US	10748983	B2	18 August 2020
				WO	2020098069	A1	22 May 2020
				CN	109285502	B	16 June 2020
				US	2020203460	A1	25 June 2020
CN	107967886	A	27 April 2018	None			
CN	105469761	A	06 April 2016	US	9922611	B2	20 March 2018
				CN	105469761	B	29 December 2017
				US	2018047759	A1	15 February 2018
				WO	2017107285	A1	29 June 2017
US	2019228726	A1	25 July 2019	None			

国际检索报告

国际申请号

PCT/CN2021/081767

A. 主题的分类

G09G 3/20(2006.01)i; G02F 1/13(2006.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, G02F, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC: 像素, 画素, 象素, 阵列, 排列, 数据, 资料, 讯号, 信号, 源极, 线, 奇数, 偶数, 行, 第二, 栅极驱动, 反, 时钟信号, CLK4, GOA2, GOA, second, odd?, even, row?, column?, SPR, pentile?, array, +pixel?, BG, signal?, ?data?, line

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110808005 A (华为技术有限公司) 2020年 2月 18日 (2020 - 02 - 18) 说明书第[0054]-[0099]、[0270]-[0274]段及图4和13	1, 9, 10
Y	CN 110808005 A (华为技术有限公司) 2020年 2月 18日 (2020 - 02 - 18) 说明书第[0054]-[0099]、[0270]-[0274]段及图4和13	2-6
Y	CN 105938711 A (京东方科技集团股份有限公司 等) 2016年 9月 14日 (2016 - 09 - 14) 说明书第[0058]-[0068]段及图2	2-6
PX	CN 111383576 A (维沃移动通信有限公司) 2020年 7月 7日 (2020 - 07 - 07) 权利要求1-10, 说明书第[0019]-[0123]段及图1-5	1-10
A	CN 110189718 A (深圳市华星光电技术有限公司) 2019年 8月 30日 (2019 - 08 - 30) 全文	1-10
A	CN 109285502 A (武汉华星光电半导体显示技术有限公司) 2019年 1月 29日 (2019 - 01 - 29) 全文	1-10
A	CN 107967886 A (京东方科技集团股份有限公司) 2018年 4月 27日 (2018 - 04 - 27) 全文	1-10

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 5月 19日

国际检索报告邮寄日期

2021年 5月 27日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李佩佩

电话号码 86-(10)-53962515

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 105469761 A (武汉华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-10
A	US 2019228726 A1 (APPLE INC.) 2019年 7月 25日 (2019 - 07 - 25) 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/081767

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110808005	A	2020年 2月 18日	WO	2020215881	A1	2020年 10月 29日
CN	105938711	A	2016年 9月 14日	US	10095058	B2	2018年 10月 9日
				US	2018188578	A1	2018年 7月 5日
				CN	105938711	B	2018年 7月 6日
				WO	2017211149	A1	2017年 12月 14日
				IN	201837000899	A	2018年 2月 23日
CN	111383576	A	2020年 7月 7日	无			
CN	110189718	A	2019年 8月 30日	WO	2020237760	A1	2020年 12月 3日
				US	20200380928	A1	2020年 12月 3日
CN	109285502	A	2019年 1月 29日	US	10748983	B2	2020年 8月 18日
				WO	2020098069	A1	2020年 5月 22日
				CN	109285502	B	2020年 6月 16日
				US	2020203460	A1	2020年 6月 25日
CN	107967886	A	2018年 4月 27日	无			
CN	105469761	A	2016年 4月 6日	US	9922611	B2	2018年 3月 20日
				CN	105469761	B	2017年 12月 29日
				US	2018047759	A1	2018年 2月 15日
				WO	2017107285	A1	2017年 6月 29日
US	2019228726	A1	2019年 7月 25日	无			