

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-158403

(P2014-158403A)

(43) 公開日 平成26年8月28日(2014.8.28)

(51) Int.Cl. F I テーマコード (参考)
 HO2M 3/28 (2006.01) HO2M 3/28 W 5H730
 HO2M 3/28 H

審査請求 有 請求項の数 10 O L (全 19 頁)

(21) 出願番号 特願2013-29469 (P2013-29469)
 (22) 出願日 平成25年2月18日 (2013.2.18)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 武藤 潤
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 Fターム(参考) 5H730 AA04 AS01 AS02 AS04 AS05
 BB27 BB35 BB37 BB82 BB88
 DD04 EE04 EE19 EE59 FD01
 FG12 FG17 FG25

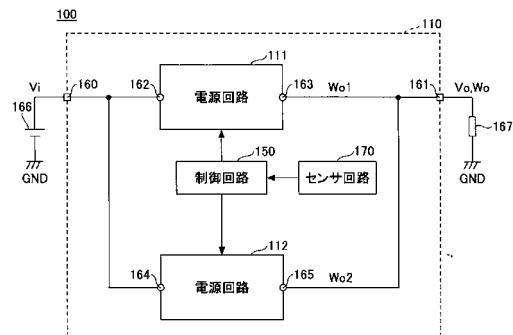
(54) 【発明の名称】 電源装置及び制御方法

(57) 【要約】

【課題】 出力値を出力目標値に高精度に追従できる、電源装置を提供すること。

【解決手段】 共通の出力端子161に接続された複数の電源回路111、112と、出力端子161の出力値が出力端子161の出力目標値に追従するように複数の電源回路111、112の出力を制御する制御回路150とを備える、電源装置であって、制御回路150は、出力端子161の出力値と出力端子161の出力目標値との間に所定値以下の乖離が発生した場合、複数の電源回路111、112の一部の電源回路の出力を変化させることを特徴とする、電源装置。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

共通の出力ノードに接続された複数の電源回路と、

前記出力ノードの出力値が前記出力ノードの出力目標値に追従するように前記複数の電源回路の出力を制御する制御部とを備える、電源装置であって、

前記制御部は、前記出力値と前記出力目標値との間に所定値以下の乖離が発生した場合、前記複数の電源回路の一部の電源回路の出力を変化させることを特徴とする、電源装置。

【請求項 2】

前記制御部は、一部の電源回路の出力が変化した場合、前記出力目標値が変化した場合、該一部の電源回路の出力を変化させる、請求項 1 に記載の電源装置。 10

【請求項 3】

前記制御部は、一部の電源回路の出力が変化した場合、前記複数の電源回路のうち該一部の電源回路とは別の電源回路と該一部の電源回路との両出力をその出力差が所定の範囲内に収まるように設定する、請求項 2 に記載の電源装置。

【請求項 4】

前記制御部は、一部の電源回路の出力が変化した場合、前記複数の電源回路のうち該一部の電源回路とは別の電源回路の出力を変化させる、請求項 1 から 3 のいずれか一項に記載の電源装置。 20

【請求項 5】

前記制御部は、一部の電源回路の出力が変化した場合、前記複数の電源回路のうち該一部の電源回路とは別の電源回路と該一部の電源回路との両出力をその出力差が所定の範囲内に収まるように設定する、請求項 4 に記載の電源装置。

【請求項 6】

前記制御部は、前記出力ノードの出力値と前記出力目標値との間に前記所定値を超える乖離が発生した場合、前記複数の電源回路全部の出力を変化させる、請求項 1 から 5 のいずれか一項に記載の電源装置。

【請求項 7】

前記所定値は、前記複数の電源回路全部の出力を同時に変化させたときの前記出力ノードの出力値の最小変化量である、請求項 1 から 6 のいずれか一項に記載の電源装置。 30

【請求項 8】

前記複数の電源回路は、それぞれ、1 次側回路と、前記 1 次側回路と変圧器で磁気結合する 2 次側回路とを備える電力変換装置であって、

前記電力変換装置は、

前記 1 次側回路の第 1 及び第 2 のポートと前記 2 次側回路の第 3 及び第 4 のポートとを合わせた 4 つのポートのうち、任意の 2 つのポート間で、前記 1 次側回路及び前記 2 次側回路それぞれに構成される電力変換部によって電力を変換することが可能な、請求項 1 から 7 のいずれか一項に記載の電源装置。 40

【請求項 9】

前記制御部は、前記電力変換部のデューティ比制御及びノ又は位相制御によって、前記電力変換装置の出力を変化させる、請求項 8 に記載の電源装置。

【請求項 10】

複数の電源回路が接続される共通の出力ノードの出力値が前記出力ノードの出力目標値に追従するように前記複数の電源回路の出力を制御する方法であって、

前記出力値と前記出力目標値との間に所定値以下の乖離が発生した場合、前記複数の電源回路の一部の電源回路の出力を変化させることを特徴とする、制御方法。

【発明の詳細な説明】**【技術分野】**

【 0 0 0 1 】

本発明は、共通の出力ノードに接続された複数の電源回路の出力を制御する技術に関する。

【 背景技術 】

【 0 0 0 2 】

共通の出力ノードに接続された複数の電源回路の出力を制御する技術に関しての先行技術文献として、例えば特許文献1が知られている。特許文献1の電源装置は、複数の電源回路を並列運転する際に各電源回路から負荷に供給する電圧値を一定にするため、一つの電源回路の出力電流と他の電源回路の出力電流とを比較して、出力電圧を調整するものである。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 特許文献1 】 特開 2 0 0 1 - 2 0 9 4 3 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

しかしながら、特許文献1の技術では、出力を調整する過程で、並列運転する複数の電源回路の出力が共に変化するため、出力の変動（例えば、オーバーシュート、アンダーシュートなど）が大きくなることがある。本発明は、出力値を出力目標値に高精度に追従できる、電源装置及び制御方法の提供を目的とする。

20

【 課題を解決するための手段 】

【 0 0 0 5 】

上記目的を達成するため、本発明は、
 共通の出力ノードに接続された複数の電源回路と、
 前記出力ノードの出力値が前記出力ノードの出力目標値に追従するように前記複数の電源回路の出力を制御する制御部とを備える、電源装置であって、
 前記制御部は、前記出力値と前記出力目標値との間に所定値以下の乖離が発生した場合、前記複数の電源回路の一部の電源回路の出力を変化させることを特徴とする、電源装置を提供するものである。

30

【 0 0 0 6 】

また、上記目的を達成するため、本発明は、
 複数の電源回路が接続される共通の出力ノードの出力値が前記出力ノードの出力目標値に追従するように前記複数の電源回路の出力を制御する方法であって、
 前記出力値と前記出力目標値との間に所定値以下の乖離が発生した場合、前記複数の電源回路の一部の電源回路の出力を変化させることを特徴とする、制御方法を提供するものである。

【 発明の効果 】

【 0 0 0 7 】

本発明によれば、出力値を出力目標値に高精度に追従できる。

40

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 一実施形態に係る電源装置の構成例を示したブロック図

【 図 2 】 一実施形態に係る電源回路の出力を片方変化させた場合のタイミングチャート

【 図 3 】 一実施形態に係る電源回路の出力を常に両方変化させた場合のタイミングチャート

【 図 4 】 一実施形態に係る電源装置の構成例を示したブロック図

【 図 5 】 一実施形態に係る電源回路の回路構成図

【 図 6 】 一実施形態に係る制御部のブロック図

【 図 7 】 一実施形態に係る電源装置の動作例を示したタイミングチャート

50

【図 8】—実施形態に係る電源装置の制御方法例を示したフローチャート

【図 9】—実施形態に係る電源装置の制御方法例を示したタイミングチャート

【発明を実施するための形態】

【0009】

<電力変換回路システム100の構成>

図1は、本発明に係る電源装置の第1の実施形態である電力変換回路110を備える電力変換回路システム100の構成を示した図である。電力変換回路システム100は、例えば、電力変換回路110と、制御回路150と、センサ回路170とを含んで構成された電力変換装置である。

【0010】

電力変換回路システム100は、例えば、入力端子160に接続される電源166と、出力端子161に接続される負荷167とを含んで構成されている。電源166は、入力端子160とグランドとの間に設けられ、負荷167は、出力端子161とグランドとの間に設けられる。

【0011】

電力変換回路110は、入力端子160と、出力端子161と、2つの電源回路111, 112とを有し、入力端子160と出力端子161との間で電源回路111, 112により電力変換を行う機能を有する電源装置である。入力端子160は、入力端子160に対して並列に接続された電源回路111, 112に共通の入力ノードであり、出力端子161は、出力端子161に対して並列に接続された電源回路111, 112に共通の出力ノードである。

【0012】

電力変換回路110は、電源166から入力端子160を介して供給される入力電圧 V_i を昇圧又は降圧変換し、変換した後の電圧である出力電圧 V_o を負荷167に出力端子161を介して印加する。このとき、電力変換回路110は、一定の出力電圧 V_o を直流電圧とする出力電力 W_o を、負荷167に出力端子161を介して供給する。

【0013】

電力変換回路110は、入力端子160と出力端子161との間で互いに並列に接続された2つの電源回路111, 112を備えたDC-DCコンバータである。このように複数の電源回路を冗長的に備えることによって、負荷167に対して供給可能な出力電力 W_o を増やしたり、複数の電源回路のうちの一部の電源回路が故障した際のフェールセーフ性能を向上させたりすることができる。

【0014】

電源回路111は、入力端子160に接続された入力ポート162と、出力端子161に接続された出力ポート163とを有し、入力ポート162と出力ポート163との間で電力変換を行う機能を有するDC-DCコンバータ回路である。電源回路111は、入力ポート162から入力される入力電圧 V_i を昇圧又は降圧変換し、変換した後の電圧である出力電圧 V_o を直流電圧とする出力電力 W_{o1} を出力ポート163から出力する。同様に、電源回路112は、入力端子160に接続された入力ポート164と、出力端子161に接続された出力ポート165とを有し、入力ポート164と出力ポート165との間で電力変換を行う機能を有するDC-DCコンバータ回路である。電源回路112は、入力ポート164から入力される入力電圧 V_i を昇圧又は降圧変換し、変換した後の電圧である出力電圧 V_o を直流電圧とする出力電力 W_{o2} を出力ポート165から出力する。出力電力 W_o は、出力電力 W_{o1} と出力電力 W_{o2} との和である。

【0015】

電源回路111, 112は、同一回路で構成された電力変換回路を有することが好ましいが、異なる回路構成でもよい。電源回路111, 112は、その具体例として、スイッチング電源回路が挙げられるが、他の電力変換方式の電源回路でもよい。

【0016】

電力変換回路110は、センサ回路170を備えている。センサ回路170は、出力端

10

20

30

40

50

子161における出力値 D_o を所定の検出周期で検出し、出力値 D_o に応じた検出信号を制御回路150に対して出力するセンサ部である。出力値 D_o として、例えば、出力端子161から出力される出力電圧 V_o の電圧値、出力端子161に流れる出力電流 I_o の電流値、出力端子161から出力される出力電力 W_o の電力値が挙げられる。

【0017】

センサ回路170は、例えば、出力端子161から出力される出力電圧 V_o の電圧値を検出し、出力電圧 V_o の電圧値に応じた検出信号を出力する検出回路である。ただし、センサ回路170は、出力端子161に流れる出力電流 I_o の電流値を検出し、出力電流 I_o の電流値に応じた検出信号を出力する検出回路でもよい。また、センサ回路170は、出力端子161から出力される出力電力 W_o の電力値を検出し、出力電力 W_o の電力値に応じた検出信号を出力する検出回路でもよい。

10

【0018】

電力変換回路110は、制御回路150を備えている。制御回路150は、出力端子161の出力値 D_o が出力端子161の出力目標値 D_{ot} に追従するように電源回路111, 112の出力を制御する制御部である。制御回路150は、例えば、CPUを内蔵するマイクロコンピュータを備えた電子回路である。出力目標値 D_{ot} は、所定の装置から指令される値であり、出力目標電圧値 V_{ot} でもよいし、出力目標電流値 I_{ot} でもよいし、出力目標電力値 W_{ot} でもよい。

【0019】

制御回路150は、例えば、センサ回路170によって検出された出力値 D_o をフィードバックし、出力目標値 D_{ot} とフィードバックされた出力値 D_o の検出値との偏差が零になるように、電源回路111, 112それぞれの出力電力を制御する。制御回路150は、電源回路111, 112それぞれの出力電圧を制御する回路でもよいし、電源回路111, 112それぞれの出力電流を制御する回路でもよい。

20

【0020】

制御回路150は、例えば、電源回路111, 112それぞれの出力電力を電力変換により制御することが可能な制御パラメータ P の値を変化させる。電源回路111は、出力値 D_o 及び出力目標値 D_{ot} に応じて制御回路150により決定された制御パラメータ P_1 の値に基づいて、出力電力 W_{o1} の大きさ(電力値)を制御する。制御パラメータ P_1 は、電源回路111に構成される電力変換回路の電力変換動作を制御する制御変数である。同様に、電源回路112は、出力値 D_o 及び出力目標値 D_{ot} に応じて制御回路150により決定された制御パラメータ P_2 の値に基づいて、出力電力 W_{o2} の大きさ(電力値)を制御する。制御パラメータ P_2 は、電源回路112に構成される電力変換回路の電力変換動作を制御する制御変数である。

30

【0021】

制御回路150は、出力目標値 D_{ot} の変動により出力値 D_o と出力目標値 D_{ot} との間に所定値 $X_1 (> 0)$ を超える乖離(言い換えれば、差)が発生した場合、出力値 D_o が出力目標値 D_{ot} に追従するように複数の電源回路全部の出力を変化させる。例えば図1の場合、制御回路150は、電源回路111, 112の両方の出力を変化させる。

【0022】

一方、制御回路150は、出力目標値 D_{ot} の変動により出力値 D_o と出力目標値 D_{ot} との間に所定値 X_1 以下の乖離が発生した場合、出力値 D_o が出力目標値 D_{ot} に追従するように複数の電源回路のうち一部の電源回路のみの出力を変化させる。このとき、制御回路150は、当該一部の電源回路のみの出力を変化させた場合、複数の電源回路のうち当該一部の電源回路とは別の残りの電源回路の出力を不変とする。例えば図1の場合、制御回路150は、電源回路111, 112のうち、いずれか一方のみの出力を変化させ、他方の出力を不変とする。

40

【0023】

出力値 D_o と出力目標値 D_{ot} との間に所定値 X_1 以下の乖離が発生した場合、出力電力 W_{o1} , W_{o2} の両方を同時に変更するのではなく片方のみを変更することで、両方を

50

同時に変更する場合よりも、出力値 D_o の制御分解能（調整幅）を一時的に小さくできる。その結果、出力値 D_o を出力目標値 D_{ot} に高精度に追従できる。

【0024】

一方、出力値 D_o と出力目標値 D_{ot} との間に所定値 X_1 を超える乖離が発生した場合、複数の電源回路全部の出力を変更するため、出力値 D_o のゲインが小さくなる（出力値 D_o の応答性が悪くなる）ことを抑制できる。

【0025】

所定値 X_1 は、例えば、複数の電源回路全部の出力を同時に変化させたときの出力値 D_o の最小変化量に設定されるとよい。具体的には、所定値 X_1 は、複数の電源回路の各出力を制御可能な制御パラメータ P を各出力の最小制御分解能分だけ変化させたときの出力値 D_o の変化量に設定されるとよい。所定値 X_1 をこのように設定することにより、出力値 D_o を出力目標値 D_{ot} に更に高精度に追従できる。

10

【0026】

< 電力変換回路 110 の動作 >

図 2 は、図 1 に示した電力変換回路 110 の動作例を示したタイミングチャートである。図 2 は、電力変換回路 110 の制御回路 150 が、出力端子 161 の出力値 D_o が出力目標値 D_{ot} に追従するように、電源回路 111 の出力電力 W_{o1} の大きさ及び電源回路 112 の出力電力 W_{o2} の大きさを制御している状態を示している。制御回路 150 は、電源回路 111, 112 の制御パラメータ P_1, P_2 の値を変化させて、出力電力 W_{o1} の大きさ及び出力電力 W_{o2} の大きさを制御する。

20

【0027】

変化量 B_1 は、一つの電源回路の出力値の最小の制御分解能（調整幅）であり、具体的には、一つの電源回路の出力を制御可能な制御パラメータ P を当該出力の最小制御分解能分だけ変化させたときの当該出力の変化量である。

【0028】

制御回路 150 は、出力目標電力値 W_{ot} の増加により出力電力 W_o の電力値と出力目標電力値 W_{ot} との間に所定値 X_1 を超える乖離 A_1 がタイミング t_1 で発生した場合、出力電力 W_{o1}, W_{o2} が上昇するように、制御パラメータ P_1, P_2 の値を変化させる。そして、制御回路 150 は、出力目標電力値 W_{ot} の変化が検出される次のタイミング t_2 まで、制御パラメータ P_1, P_2 の値を固定することで、出力電力 W_{o1}, W_{o2} の大きさが上昇したまま維持される。

30

【0029】

同様に、制御回路 150 は、出力目標電力値 W_{ot} の減少により出力電力 W_o の電力値と出力目標電力値 W_{ot} との間に所定値 X_1 を超える乖離 A_1 がタイミング t_2 で発生した場合、出力電力 W_{o1}, W_{o2} が低下するように、制御パラメータ P_1, P_2 の値を変化させる。そして、制御回路 150 は、出力目標電力値 W_{ot} の変化が検出される次のタイミング t_3 まで、制御パラメータ P_1, P_2 の値を固定することで、出力電力 W_{o1}, W_{o2} の大きさが低下したまま維持される。

【0030】

一方、制御回路 150 は、出力目標電力値 W_{ot} の増加により出力電力 W_o の電力値と出力目標電力値 W_{ot} との間に所定値 X_1 以下の乖離 A_2 がタイミング t_3 で発生した場合、出力電力 W_{o1} のみが上昇するように、制御パラメータ P_1 のみの値を変化させる。そして、制御回路 150 は、出力目標電力値 W_{ot} の変化が検出される次のタイミング t_4 まで、制御パラメータ P_1, P_2 の値を固定することで、出力電力 W_{o1} の大きさが上昇したまま維持され、出力電力 W_{o2} の大きさが不変のまま維持される。

40

【0031】

同様に、制御回路 150 は、出力目標電力値 W_{ot} の増加により出力電力 W_o の電力値と出力目標電力値 W_{ot} との間に所定値 X_1 以下の乖離 A_3 がタイミング t_4 で発生した場合、出力電力 W_{o2} のみが上昇するように、制御パラメータ P_2 のみの値を変化させる。そして、制御回路 150 は、出力目標電力値 W_{ot} の変化が検出される次のタイミング

50

まで、制御パラメータ P_1 , P_2 の値を固定することで、出力電力 W_{o1} の大きさが不変のまま維持され、出力電力 W_{o2} の大きさが上昇したまま維持される。

【0032】

このように、出力電力 W_o の電力値と出力目標電力値 W_{ot} との間に所定値 X_1 以下の乖離が発生した場合、出力電力 W_{o1} , W_{o2} の両方を同時に変更するのではなく片方のみを変更することで、出力電力 W_o の制御分解能を一時的に小さくできる。その結果、出力電力 W_o の出力目標電力値 W_{ot} への追従性が向上する。

【0033】

これに対し、図3に示されるように、出力電力 W_o の電力値と出力目標電力値 W_{ot} との間に所定値 X_1 以下の乖離 A_2 が発生した場合でも、出力電力 W_{o1} , W_{o2} の両方を
10 変更すると、出力電力 W_o の制御分解能が大きくなる。そのため、出力電力 W_o のリップルが大きくなり、オーバーシュート及びアンダーシュートが出力目標電力値に対して小刻みに繰り返されるため、出力電力 W_o の出力目標電力値 W_{ot} への追従性が低下する。

【0034】

ところで、制御回路150は、一部の電源回路のみの出力を変化させた場合に、当該一部の電源回路のみの出力が変化した方向と同じ方向に出力目標値 D_{ot} が更に変化したとき、該一部の電源回路とは別の電源回路の出力を変化させてよい。これにより、当該一部の電源回路の出力値と当該別の電源回路の出力値とが離れすぎること
20 を防止し、両方の出力値が離れすぎることによって電力変換回路110全体の電力変換の効率が低下することを抑えることができる。また、制御回路150は、このとき、当該一部の電源回路と当該別の電源回路との両出力を、その出力差が所定の範囲内に収まるように設定してよい。これにより、当該一部の電源回路の出力値と当該別の電源回路の出力値とが離れすぎること
20 を更に効果的に防止できる。

【0035】

なお、「出力差が所定の範囲内に収まる」には、「出力差が零になる」ことを含んでよい。

【0036】

例えば図2において、制御回路150は、出力電力 W_{o1} のみをタイミング t_3 で上昇させた場合に、出力電力 W_{o1} のみがタイミング t_3 で上昇した方向と同じ上昇方向に出力目標電力値 W_{ot} がタイミング t_4 で上昇したとき、出力電力 W_{o2} のみを上昇させる
30 。このとき、制御回路150は、出力電力 W_{o1} と出力電力 W_{o2} との両出力電力を、出力電力 W_{o1} と出力電力 W_{o2} との差が零になるように設定する。これにより、出力電力 W_{o1} , W_{o2} それぞれの大きさが離れすぎること
30 を効果的に防止できる。

【0037】

一方、制御回路150は、一部の電源回路のみの出力を変化させた場合に、当該一部の電源回路のみの出力が変化した方向とは逆方向に出力目標値 D_{ot} が更に変化したとき、該一部の電源回路の出力を変化させてよい。これにより、当該一部の電源回路の出力値と当該別の電源回路の出力値とが離れすぎること
40 を防止し、両方の出力値が離れすぎることによって電力変換回路110全体の電力変換の効率が低下することを抑えることができる。また、制御回路150は、このとき、当該一部の電源回路と当該別の電源回路との両出力を、その出力差が所定の範囲内に収まるように設定してよい。これにより、当該一部の電源回路の出力値と当該別の電源回路の出力値とが離れすぎること
40 を更に効果的に防止できる。

【0038】

なお、この場合も、「出力差が所定の範囲内に収まる」には、「出力差が零になる」ことを含んでよい。

【0039】

例えば、制御回路150は、出力電力 W_{o1} のみをタイミング t_3 で上昇させた場合に、出力電力 W_{o1} のみがタイミング t_3 で上昇した方向とは逆の低下方向に出力目標電力値 W_{ot} がタイミング t_4 で低下したとき（図2の場合とは逆）、出力電力 W_{o1} のみを
50

低下させる。このとき、制御回路150は、出力電力 W_{o1} と出力電力 W_{o2} との両出力電力を、出力電力 W_{o1} と出力電力 W_{o2} との差が零になるように設定する。これにより、出力電力 W_{o1} 、 W_{o2} それぞれの大きさが離れすぎることの効果的に防止できる。

【0040】

なお、図2は、出力電力を制御する場合を示しているが、出力電圧又は出力電流を制御する場合も同様である。

【0041】

<電力変換回路システム101の構成>

図4は、本発明に係る電源装置の第2の実施形態である電力変換回路10を備える電力変換回路システム101を示す図である。上述の実施形態と同様の構成及び効果についての説明は省略する。電力変換回路システム101は、電力変換回路10と、制御回路50と、センサ回路70とを含んで構成された電力変換装置である。

10

【0042】

電力変換回路システム100は、例えば、第1入出力ポートPAに接続された1次側高電圧系負荷LAと、第2入出力ポートPCに接続された1次側低電圧系負荷LC及び1次側低電圧系電源PSCとを含んで構成されている。1次側低電圧系電源PSCは、1次側低電圧系電源PSCと同じ電圧系（例えば、12V系）で動作する1次側低電圧系負荷LCに電力を供給する。また、1次側低電圧系電源PSCは、1次側低電圧系電源PSCと異なる電圧系（例えば、12V系よりも高い48V系）で動作する1次側高電圧系負荷LAに1次側フルブリッジ回路200によって昇圧した電力を供給する。1次側低電圧系電源PSCの具体例として、鉛バッテリー等の2次電池が挙げられる。

20

【0043】

電力変換回路システム100は、例えば、第3入出力ポートPBに接続された2次側高電圧系負荷LB及び2次側高電圧系電源PSBと、第4入出力ポートPDに接続された2次側低電圧系負荷LDとを含んで構成されている。2次側高電圧系電源PSBは、2次側高電圧系電源PSBと同じ電圧系（例えば、12V系及び48V系よりも高い288V系）で動作する2次側高電圧系負荷LBに電力を供給する。また、2次側高電圧系電源PSBは、2次側高電圧系電源PSBと異なる電圧系（例えば、288V系よりも低い72V系）で動作する2次側低電圧系負荷LDに2次側フルブリッジ回路300によって降圧した電力を供給する。2次側高電圧系電源PSBの具体例として、リチウムイオン電池等の2次電池が挙げられる。

30

【0044】

電力変換回路10は、上述の4つの入出力ポートを有し、それらの4つの入出力ポートのうちから任意の2つの入出力ポートを選択し、当該2つの入出力ポートの間で電源回路11、12により電力変換を行う機能を有する電源装置である。第1入出力ポートPAは、第1入出力ポートPAに対して並列に接続された電源回路11、12に共通の入出力ノードであって、入出力が兼用可能なものである。上述の他の3つの入出力ポートも同様である。

【0045】

電力 W_a 、 W_c 、 W_b 、 W_d は、それぞれ、第1入出力ポートPA、第2入出力ポートPC、第3入出力ポートPB、第4入出力ポートPDにおける入力電力又は出力電力である。電源回路11において入力又は出力される電力 W_{a1} 、 W_{c1} 、 W_{b1} 、 W_{d1} は、それぞれ、第1入出力ポートPAに接続される第1入出力ポートPA1、第2入出力ポートPCに接続される第2入出力ポートPC1、第3入出力ポートPBに接続される第3入出力ポートPB1、第4入出力ポートPDに接続される第4入出力ポートPD1における電力である。電源回路12において入力又は出力される電力 W_{a2} 、 W_{c2} 、 W_{b2} 、 W_{d2} も同様である。

40

【0046】

図5は、電源回路11の回路構成図である。次に、電源回路11の構成を図4も参照して説明する。なお、電源回路12の回路構成は、電源回路11と同一でよいため、その説

50

明を省略する。

【0047】

電源回路11は、1次側変換回路20と、2次側変換回路30とを含んで構成される。なお、1次側変換回路20と2次側変換回路30とは、変圧器400（センタータップ式変圧器）で磁気結合されている。

【0048】

1次側変換回路20は、1次側フルブリッジ回路200と、第1入出力ポートPA1と、第2入出力ポートPC1とを含んで構成された1次側回路である。1次側フルブリッジ回路200は、変圧器400の1次側コイル202と、1次側磁気結合リアクトル204と、1次側第1上アームU1と、1次側第1下アーム/U1と、1次側第2上アームV1と、1次側第2下アーム/V1とを含んで構成された1次側電力変換部である。ここで、1次側第1上アームU1と、1次側第1下アーム/U1と、1次側第2上アームV1と、1次側第2下アーム/V1は、それぞれ、例えば、Nチャネル型のMOSFETと、当該MOSFETの寄生素子であるボディダイオードとを含んで構成されたスイッチング素子である。当該MOSFETに並列にダイオードが追加接続されてもよい。

10

【0049】

1次側フルブリッジ回路200は、第1入出力ポートPA、PA1の高電位側の端子602、613に接続される1次側正極母線298と、第1入出力ポートPA、PA1及び第2入出力ポートPC、PC1の低電位側の端子604、614に接続される1次側負極母線299とを有している。

20

【0050】

1次側正極母線298と1次側負極母線299との間には、1次側第1上アームU1と、1次側第1下アーム/U1とを直列接続した1次側第1アーム回路207が取り付けられている。1次側第1アーム回路207は、1次側第1上アームU1及び1次側第1下アーム/U1のオンオフ動作による電力変換動作が可能な1次側第1電力変換回路部である。さらに、1次側正極母線298と1次側負極母線299との間には、1次側第2上アームV1と、1次側第2下アーム/V1とを直列接続した1次側第2アーム回路211が1次側第1アーム回路207と並列に取り付けられている。1次側第2アーム回路211は、1次側第2上アームV1及び1次側第2下アーム/V1のオンオフ動作による電力変換動作が可能な1次側第2電力変換回路部である。

30

【0051】

1次側第1アーム回路207の midpoint 207mと1次側第2アーム回路211の midpoint 211mを接続するブリッジ部分には、1次側コイル202と1次側磁気結合リアクトル204とが設けられている。ブリッジ部分についてより詳細に接続関係について説明すると、1次側第1アーム回路207の midpoint 207mには、1次側磁気結合リアクトル204の1次側第1リアクトル204aの一方端が接続される。そして、1次側第1リアクトル204aの他方端には、1次側コイル202の一方端が接続される。さらに、1次側コイル202の他方端には、1次側磁気結合リアクトル204の1次側第2リアクトル204bの一方端が接続される。それから、1次側第2リアクトル204bの他方端が1次側第2アーム回路211の midpoint 211mに接続される。なお、1次側磁気結合リアクトル204は、1次側第1リアクトル204aと、その1次側第1リアクトル204aと磁気結合する1次側第2リアクトル204bとを含んで構成される。

40

【0052】

midpoint 207mは、1次側第1上アームU1と1次側第1下アーム/U1との間の1次側第1中間ノードであり、midpoint 211mは、1次側第2上アームV1と1次側第2下アーム/V1との間の1次側第2中間ノードである。

【0053】

第1入出力ポートPA、PA1は、1次側正極母線298と1次側負極母線299との間に設けられるポートである。第1入出力ポートPA（PA1）は、端子602と端子604（端子613と端子614）とを含んで構成される。第2入出力ポートPC（PC1

50

)は、1次側負極母線299と1次側コイル202のセンタータップ202mとの間に設けられるポートである。第2入出力ポートPC(PC1)は、端子604と端子606(端子614と端子616)とを含んで構成される。

【0054】

センタータップ202mは、第2入出力ポートPC, PC1の高電位側の端子606, 616に接続されている。センタータップ202mは、1次側コイル202に構成される1次側第1巻線202aと1次側第2巻線202bとの中間接続点である。

【0055】

2次側変換回路30は、2次側フルブリッジ回路300と、第3入出力ポートPB1と、第4入出力ポートPD1とを含んで構成された2次側回路である。2次側フルブリッジ回路300は、変圧器400の2次側コイル302と、2次側磁気結合リアクトル304と、2次側第1上アームU2と、2次側第1下アーム/U2と、2次側第2上アームV2と、2次側第2下アーム/V2とを含んで構成された2次側電力変換部である。ここで、2次側第1上アームU2と、2次側第1下アーム/U2と、2次側第2上アームV2と、2次側第2下アーム/V2は、それぞれ、例えば、Nチャネル型のMOSFETと、当該MOSFETの寄生素子であるボディダイオードとを含んで構成されたスイッチング素子である。当該MOSFETに並列にダイオードが追加接続されてもよい。

10

【0056】

2次側フルブリッジ回路300は、第3入出力ポートPB, PB1の高電位側の端子608, 618に接続される2次側正極母線398と、第3入出力ポートPB, PB1及び第4入出力ポートPD, PD1の低電位側の端子610, 620に接続される2次側負極母線399とを有している。

20

【0057】

2次側正極母線398と2次側負極母線399の間には、2次側第1上アームU2と、2次側第1下アーム/U2とを直列接続した2次側第1アーム回路307が取り付けられている。2次側第1アーム回路307は、2次側第1上アームU2及び2次側第1下アーム/U2のオンオフ動作による電力変換動作が可能な2次側第1電力変換回路部である。さらに、2次側正極母線398と2次側負極母線399の間には、2次側第2上アームV2と、2次側第2下アーム/V2とを直列接続した2次側第2アーム回路311が2次側第1アーム回路307と並列に取り付けられている。2次側第2アーム回路311は、2次側第2上アームV2及び2次側第2下アーム/V2のオンオフ動作による電力変換動作が可能な2次側第2電力変換回路部である。

30

【0058】

2次側第1アーム回路307の midpoint 307mと2次側第2アーム回路311の midpoint 311mを接続するブリッジ部分には、2次側コイル302と2次側磁気結合リアクトル304とが設けられている。ブリッジ部分についてより詳細に接続関係について説明すると、2次側第2アーム回路311の midpoint 311mには、2次側磁気結合リアクトル304の2次側第1リアクトル304aの一方端が接続される。そして、2次側第1リアクトル304aの他方端には、2次側コイル302の一方端が接続される。さらに、2次側コイル302の他方端には、2次側磁気結合リアクトル304の2次側第2リアクトル304bの一方端が接続される。それから、2次側第2リアクトル304bの他方端が2次側第1アーム回路307の midpoint 307mに接続される。なお、2次側磁気結合リアクトル304は、2次側第1リアクトル304aと、その2次側第1リアクトル304aと磁気結合する2次側第2リアクトル304bとを含んで構成される。

40

【0059】

midpoint 307mは、2次側第1上アームU2と2次側第1下アーム/U2との間の2次側第1中間ノードであり、midpoint 311mは、2次側第2上アームV2と2次側第2下アーム/V2との間の2次側第2中間ノードである。

【0060】

第3入出力ポートPB, PB1は、2次側正極母線398と2次側負極母線399との

50

間に設けられるポートである。第3入出力ポートPB (PB1)は、端子608と端子610 (端子618と端子620)とを含んで構成される。第4入出力ポートPD (PD1)は、2次側負極母線399と2次側コイル302のセンタータップ302mとの間に設けられるポートである。第4入出力ポートPD (PD1)は、端子610と端子612 (端子620と端子622)とを含んで構成される。

【0061】

センタータップ302mは、第4入出力ポートPD, PD1の高電位側の端子612, 622に接続されている。センタータップ302mは、2次側コイル302に構成される2次側第1巻線302aと2次側第2巻線302bとの中間接続点である。

【0062】

図4において、電力変換回路システム101の電力変換回路10は、センサ回路70を備えている。センサ回路70は、第1乃至第4入出力ポートPA, PC, PB, PDにおける出力値 D_o を所定の検出周期で検出し、出力値 D_o に応じた検出信号を制御回路50に対して出力するセンサ部である。出力値 D_o として、例えば、第1乃至第4入出力ポートPA, PC, PB, PDにおける、電力 W_a, W_c, W_b, W_d の電力値、出力電圧値、出力電流値が挙げられる。また、センサ回路70は、中点207m, 211m, 307m, 311mの電圧をモニタするモニタ部でもよい。

【0063】

電力変換回路10は、制御回路50を備えている。制御回路50は、第1乃至第4入出力ポートPA, PC, PB, PDの出力値 D_o が第1乃至第4入出力ポートPA, PC, PB, PDの出力目標値 D_{ot} に追従するように電源回路11, 12の出力を制御する制御部である。制御回路50は、例えば、CPUを内蔵するマイクロコンピュータを備えた電子回路である。出力目標値 D_{ot} は、所定の装置から指令される値であり、出力目標電圧値 V_{ot} でもよいし、出力目標電流値 I_{ot} でもよいし、出力目標電力値 W_{ot} でもよい。

【0064】

制御回路50は、例えば、電源回路11, 12それぞれの出力電力を電力変換により制御することが可能な制御パラメータPの値を変化させる。この場合、制御パラメータPは、2種類あり、位相差及びデューティ比(オン時間)である。詳細は後述するが、位相差は、1次側フルブリッジ回路200と2次側フルブリッジ回路300との間のスイッチングタイミングの位相差であり、デューティ比(オン時間)は、それらのスイッチングタイミングで構成されるパルス信号のデューティ比(オン時間)である。これらの2つの制御パラメータPは、互いに独立に制御されることが可能である。制御回路50は、位相差及びデューティ比(オン時間)を用いた1次側フルブリッジ回路200及び2次側フルブリッジ回路300のデューティ比制御及び/又は位相制御によって、電源回路11, 12の各出力を変化させる。

【0065】

図6は、制御回路50のブロック図である。制御回路50は、1次側変換回路20の1次側第1上アームU1等の各スイッチング素子と2次側変換回路30の2次側第1上アームU2等の各スイッチング素子のスイッチング制御を行う機能を有する制御部である。制御回路50は、電力変換モード決定処理部502と、位相差決定処理部504と、オン時間決定処理部506と、1次側スイッチング処理部508と、2次側スイッチング処理部510とを含んで構成される。制御回路50は、例えば、CPUを内蔵するマイクロコンピュータを備えた電子回路である。

【0066】

電力変換モード決定処理部502は、図示しない外部信号に基づいて、次に述べる電力変換回路10の電力変換モードA~Lの中から動作モードを選択して決定する。電力変換モードは、第1入出力ポートPAから入力された電力を変換して第2入出力ポートPCへ出力するモードAと、第1入出力ポートPAから入力された電力を変換して第3入出力ポートPBへ出力するモードBと、第1入出力ポートPAから入力された電力を変換して第

10

20

30

40

50

4 入出力ポート P D へ出力するモード C がある。

【 0 0 6 7 】

そして、第 2 入出力ポート P C から入力された電力を変換して第 1 入出力ポート P A へ出力するモード D と、第 2 入出力ポート P C から入力された電力を変換して第 3 入出力ポート P B へ出力するモード E と、第 2 入出力ポート P C から入力された電力を変換して第 4 入出力ポート P D へ出力するモード F がある。

【 0 0 6 8 】

さらに、第 3 入出力ポート P B から入力された電力を変換して第 1 入出力ポート P A へ出力するモード G と、第 3 入出力ポート P B から入力された電力を変換して第 2 入出力ポート P C へ出力するモード H と、第 3 入出力ポート P B から入力された電力を変換して第 4 入出力ポート P D へ出力するモード I がある。

【 0 0 6 9 】

それから、第 4 入出力ポート P D から入力された電力を変換して第 1 入出力ポート P A へ出力するモード J と、第 4 入出力ポート P D から入力された電力を変換して第 2 入出力ポート P C へ出力するモード K と、第 4 入出力ポート P D から入力された電力を変換して第 3 入出力ポート P B へ出力するモード L がある。

【 0 0 7 0 】

位相差 決定処理部 5 0 4 は、電力変換回路 1 0 を D C - D C コンバータ回路として機能させるために、1 次側変換回路 2 0 と 2 次側変換回路 3 0 との間のスイッチング素子のスイッチング周期の位相差 を設定する機能を有する。

【 0 0 7 1 】

オン時間 決定処理部 5 0 6 は、1 次側変換回路 2 0 と 2 次側変換回路 3 0 をそれぞれ昇降圧回路として機能させるために、1 次側変換回路 2 0 と 2 次側変換回路 3 0 のスイッチング素子のオン時間 を設定する機能を有する。

【 0 0 7 2 】

1 次側スイッチング処理部 5 0 8 は、電力変換モード決定処理部 5 0 2 と位相差 決定処理部 5 0 4 とオン時間 決定処理部 5 0 6 の出力に基づいて、1 次側第 1 上アーム U 1 と、1 次側第 1 下アーム / U 1 と、1 次側第 2 上アーム V 1 と、1 次側第 2 下アーム / V 1 の各スイッチング素子をスイッチング制御する機能を有する。

【 0 0 7 3 】

2 次側スイッチング処理部 5 1 0 は、電力変換モード決定処理部 5 0 2 と位相差 決定処理部 5 0 4 とオン時間 決定処理部 5 0 6 の出力に基づいて、2 次側第 1 上アーム U 2 と、2 次側第 1 下アーム / U 2 と、2 次側第 2 上アーム V 2 と、2 次側第 2 下アーム / V 2 の各スイッチング素子をスイッチング制御する機能を有する。

【 0 0 7 4 】

< 電力変換回路システム 1 0 1 の動作 >

上記電力変換回路システム 1 0 1 の動作について、図 4 乃至図 6 を用いて説明する。例えば、電力変換回路 1 0 の電力変換モードをモード F として動作させることを要求する外部信号が入力されてきた場合には、制御回路 5 0 の電力変換モード決定処理部 5 0 2 は、電力変換回路 1 0 の電力変換モードをモード F として決定する。このとき、第 2 入出力ポート P C 1 に入力された電圧が 1 次側変換回路 2 0 の昇圧機能によって昇圧され、その昇圧された電圧が電力変換回路 1 0 の D C - D C コンバータ回路としての機能によって第 3 入出力ポート P B 1 側へと伝送され、さらに、2 次側変換回路 3 0 の降圧機能によって降圧されて第 4 入出力ポート P D 1 から出力される。

【 0 0 7 5 】

ここで、1 次側変換回路 2 0 の昇降圧機能について詳細に説明する。第 2 入出力ポート P C 1 と第 1 入出力ポート P A 1 について着目すると、第 2 入出力ポート P C 1 の端子 6 1 6 は、1 次側第 1 巻線 2 0 2 a と、1 次側第 1 巻線 2 0 2 a に直列接続される 1 次側第 1 リアクトル 2 0 4 a を介して、1 次側第 1 アーム回路 2 0 7 の中点 2 0 7 m に接続される。そして、1 次側第 1 アーム回路 2 0 7 の両端は、第 1 入出力ポート P A 1 に接続され

10

20

30

40

50

ているため、第2入出力ポートPC1の端子616と第1入出力ポートPA1との間には昇降圧回路が取り付けられていることとなる。

【0076】

さらに、第2入出力ポートPC1の端子616は、1次側第2巻線202bと、1次側第2巻線202bに直列接続される1次側第2リアクトル204bを介して、1次側第2アーム回路211の midpoint 211mに接続される。そして、1次側第2アーム回路211の両端は、第1入出力ポートPA1に接続されているため、第2入出力ポートPC1の端子616と第1入出力ポートPA1の間には、昇降圧回路が並列に取り付けられていることとなる。なお、2次側変換回路30は、1次側変換回路20とほぼ同様の構成を有する回路であるため、第4入出力ポートPD1の端子622と第3入出力ポートPB1との間には、2つの昇降圧回路が並列に接続されていることとなる。したがって、2次側変換回路30は、1次側変換回路20と同様に昇降圧機能を有する。

10

【0077】

次に、電源回路11のDC-DCコンバータ回路としての機能について詳細に説明する。第1入出力ポートPA1と第3入出力ポートPB1について着目すると、第1入出力ポートPA1には、1次側フルブリッジ回路200が接続され、第3入出力ポートPB1は、2次側フルブリッジ回路300が接続されている。そして、1次側フルブリッジ回路200のブリッジ部分に設けられる1次側コイル202と、2次側フルブリッジ回路300のブリッジ部分に設けられる2次側コイル302とが磁気結合することで、変圧器400（巻き数が1:Nのセンタータップ式変圧器）として機能する。したがって、1次側フルブリッジ回路200と2次側フルブリッジ回路300のスイッチング素子のスイッチング周期の位相差を調整することで、第1入出力ポートPA1に入力された電力を変換して第3入出力ポートPB1に伝送し、あるいは、第3入出力ポートPB1に入力された電力を変換して第1入出力ポートPA1に伝送させることができる。

20

【0078】

図7は、制御回路50の制御によって、電力変換回路10に構成される各アームのオンオフのタイミングチャートを示す図である。図7において、U1は、1次側第1上アームU1のオンオフ波形であり、V1は、1次側第2上アームV1のオンオフ波形であり、U2は、2次側第1上アームU2のオンオフ波形であり、V2は、2次側第2上アームV2のオンオフ波形である。1次側第1下アーム/U1、1次側第2下アーム/V1、2次側第1下アーム/U2、2次側第2下アーム/V2のオンオフ波形は、それぞれ、1次側第1上アームU1、1次側第2上アームV1、2次側第1上アームU2、2次側第2上アームV2のオンオフ波形を反転した波形である（図示省略）。なお、上下アームの両オンオフ波形間には、上下アームの両方がオンすることで貫通電流が流れないようにデッドタイムが設けられているとよい。また、図7において、ハイレベルがオン状態を表し、ローレベルがオフ状態を表している。

30

【0079】

ここで、U1とV1とU2とV2の各オン時間を変更することで、1次側変換回路20と2次側変換回路30の昇降圧比を変更することができる。例えば、U1とV1とU2とV2の各オン時間を互いに等しくすることで、1次側変換回路20の昇降圧比と2次側変換回路30の昇降圧比を等しくできる。

40

【0080】

オン時間 決定処理部506は、1次側変換回路20と2次側変換回路30の昇降圧比が互いに等しくなるように、U1とV1とU2とV2の各オン時間を互いに等しくする（各オン時間 = 1次側オン時間₁ = 2次側オン時間₂ = 時間値）。

【0081】

1次側変換回路20の昇降圧比は、1次側フルブリッジ回路200に構成されるスイッチング素子のスイッチング周期Tに占めるオン時間の割合であるデューティ比によって決まる。同様に、2次側変換回路30の昇降圧比は、2次側フルブリッジ回路300に構成されるスイッチング素子のスイッチング周期Tに占めるオン時間の割合であるデュー

50

ティ比によって決まる。1次側変換回路20の昇降圧比は、第1入出力ポートPA1と第2入出力ポートPC1との間の変圧比であり、2次側変換回路30の昇降圧比は、第3入出力ポートPB1と第4入出力ポートPD1との間の変圧比である。

【0082】

したがって、例えば、

1次側変換回路20の昇降圧比

= 第2入出力ポートPC1の電圧 / 第1入出力ポートPA1の電圧

= $1 / T = \quad / T$

2次側変換回路30の昇降圧比

= 第4入出力ポートPD1の電圧 / 第3入出力ポートPB1の電圧

= $2 / T = \quad / T$

と表される。つまり、1次側変換回路20と2次側変換回路30の昇降圧比は互いに同じ値(= \quad / T)である。

【0083】

なお、図7のオン時間 t_{on1} は、1次側第1上アームU1及び1次側第2上アームV1のオン時間 t_{on1} を表すとともに、2次側第1上アームU2及び2次側第2上アームV2のオン時間 t_{on2} を表す。

【0084】

また、U1とV1との位相差は、 180 度()で動作させ、U2とV2との位相差も 180 度()で動作させる。さらに、U1とU2の位相差 θ を変更することで、1次側変換回路20と2次側変換回路30の間の電力送電量を調整することができ、位相差 $\theta > 0$ であれば、1次側変換回路20から2次側変換回路30に伝送し、位相差 $\theta < 0$ であれば、2次側変換回路30から1次側変換回路20に伝送することができる。

【0085】

したがって、例えば、電力変換回路10の電力変換モードをモードFとして動作させることを要求する外部信号が入力されてきた場合に、電力変換モード決定処理部502はモードFを選択することを決定する。そして、オン時間決定処理部506は、1次側変換回路20を第2入出力ポートPC1に入力された電圧を昇圧して第1入出力ポートPA1に出力する昇圧回路として機能させる場合の昇圧比を規定するオン時間 t_{on1} を設定する。なお、2次側変換回路30では、オン時間決定処理部506によって設定されたオン時間 t_{on2} によって規定された降圧比で第3入出力ポートPB1に入力された電圧を降圧して第4入出力ポートPD1に出力する降圧回路として機能する。さらに、位相差決定処理部504は、第1入出力ポートPA1に入力された電力を所望の電力送電量で第3入出力ポートPB1に伝送するための位相差 θ を設定する。

【0086】

1次側スイッチング処理部508は、1次側変換回路20を昇圧回路として、かつ、1次側変換回路20をDC-DCコンバータ回路の一部として機能させるように、1次側第1上アームU1と、1次側第1下アーム/U1と、1次側第2上アームV1と、1次側第2下アーム/V1の各スイッチング素子をスイッチング制御する。

【0087】

2次側スイッチング処理部510は、2次側変換回路30を降圧回路として、かつ、2次側変換回路30をDC-DCコンバータ回路の一部として機能させるように、2次側第1上アームU2と、2次側第1下アーム/U2と、2次側第2上アームV2と、2次側第2下アーム/V2の各スイッチング素子をスイッチング制御する。

【0088】

上記のように、1次側変換回路20および2次側変換回路30を昇圧回路あるいは降圧回路として機能させることができ、かつ、電力変換回路10を双方向DC-DCコンバータ回路としても機能させることができる。したがって、電力変換モードA~Lの全てのモードの電力変換を行うことができ、換言すれば、4つの入出力ポートのうちから選択された2つの入出力ポート間で電力変換をすることができる。

10

20

30

40

50

【0089】

このような制御が、電源回路11と電源回路12の両方に対して実行される。つまり、制御回路50は、センサ回路70によって検出された第1乃至第4入出力ポートPA, PC, PB, PDの出力値Doが出力目標値Dotに追従するように、電源回路11, 12のうち少なくとも一つの電源回路のデューティ比及び位相差を変化させる。

【0090】

図8は、制御回路50で実行される制御方法のフローチャートの一例である。図9は、図8の制御方法に従ったタイミングチャートである。図8及び図9を参照して、本制御方法について説明する。

【0091】

なお、図8及び図9において、所定値X2は、例えば、複数の電源回路全部の出力を同時に変化させたときの出力値Doの最小変化量に設定されるとよい。具体的には、所定値X2は、位相差又はデューティ比を電源回路11, 12の各出力の最小制御分解能だけ電源回路11, 12同時に変化させたときの出力値Doの変化量に設定されるとよい。所定値X2をこのように設定することにより、出力値Doを出力目標値Dotに高精度に追従できる。

【0092】

また、図9において、変化量B2は、電源回路11, 12それぞれのデューティ比又は位相差の最小の調整幅である。デューティ比又は位相差を変化量B2だけ変化させると、電源回路11, 12それぞれの出力値を最小の変化幅で変化させることができる。変化量A4は、出力目標値Dotの変化量である。また、図9中のS4等の番号は、図8のフローチャートのステップ番号に対応する。

【0093】

図8のステップS1において、センサ回路70は、第1乃至第4入出力ポートPA, PC, PB, PDの電圧値又は電力値を取得する。

【0094】

ステップS2において、制御回路50は、第1乃至第4入出力ポートPA, PC, PB, PDいずれかの出力目標値Dotの変動によりその変動した出力目標値Dotとその変動した出力目標値Dotを目標とする出力値Doとの間に所定値X2(>0)を超える乖離が発生したか否かを判定する。この判定によって、電源回路11, 12のうち、両方の出力を変化させるか、片方のみの出力を変化させるかを判断する。制御回路50は、所定値X2以下の乖離が発生したと判定した場合、ステップS3の処理を実行し、所定値X2を超える乖離が発生したと判定した場合、ステップS6の処理を実行する。

【0095】

ステップS2で所定値X2以下の乖離が発生したと判定された場合、制御回路50は、第1系統の電源回路11と第2系統の電源回路12との間で、デューティ比と位相差がいずれも同じ値に設定されているか否かを判定する(ステップS3)。ステップS3では、電源回路11の出力値と電源回路12の出力値とが離れすぎないようにするため、互いのデューティ比と位相差との比較が行われる。デューティ比と位相差がいずれも同じであることは、電源回路11, 12の両出力値は、その差が零になるように設定されていることを表す。

【0096】

制御回路50は、ステップS3で互いのデューティ比と位相差がいずれも等しいと判定された場合、ステップS4を処理する。ステップS4において、制御回路50は、所定値X2よりも小さな変化量で変動した出力目標値Dotに出力値Doが近づくように、電源回路11, 12のいずれか一方のみのデューティ比及び位相差を最小分解能分だけ変化させる(図9のタイミングt11, t13, t16参照)。

【0097】

制御回路50は、ステップS3で互いのデューティ比と位相差が異なると判定された場合、ステップS5を処理する。ステップS5において、制御回路50は、所定値X2よ

10

20

30

40

50

りも小さな変化量で変動した出力目標値 $D_o t$ に出力値 D_o が近づくように、電源回路 11, 12 の互いのデューティ比及び位相差 を同じ値に設定する (図 9 のタイミング t_{12} , t_{14} 参照)。

【0098】

一方、ステップ S2 で所定値 X_2 を超える乖離が発生したと判定された場合、制御回路 50 は、第 1 系統の電源回路 11 と第 2 系統の電源回路 12 との間で、デューティ比と位相差 がいずれも同じ値に設定されているか否かを判定する (ステップ S6)。ステップ S6 では、電源回路 11 の出力値と電源回路 12 の出力値とが離れすぎないようにするため、互いのデューティ比と位相差 との比較が行われる。デューティ比と位相差 がいずれも同じであることは、電源回路 11, 12 の両出力値は、その差が零になるように設定されていることを表す。

10

【0099】

制御回路 50 は、ステップ S6 で互いのデューティ比と位相差 がいずれも等しいと判定された場合、ステップ S7 を処理する。ステップ S7 において、制御回路 50 は、所定値 X_2 よりも大きな変化量で変動した出力目標値 $D_o t$ に出力値 D_o が近づくように、電源回路 11, 12 両方のデューティ比及び位相差 を、センサ回路 70 による検出値及び出力目標値 $D_o t$ に応じて変化させる (図 9 のタイミング t_{15} 参照)。

【0100】

制御回路 50 は、ステップ S6 で互いのデューティ比と位相差 が異なると判定された場合、ステップ S8 を処理する。ステップ S8 において、制御回路 50 は、所定値 X_2 よりも大きな変化量で変動した出力目標値 $D_o t$ に出力値 D_o が近づくように、電源回路 11, 12 の互いのデューティ比及び位相差 を同じ値に設定する (図 9 のタイミング t_{17} 参照)。

20

【0101】

以上、電源回路及び電源回路の制御方法を実施形態例により説明したが、本発明は上記実施形態例に限定されるものではない。他の実施形態例の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

【0102】

例えば、上述の実施形態では、スイッチング素子の一例として、オンオフ動作する半導体素子である MOSFET を挙げた。しかしながら、スイッチング素子は、例えば、IGBT、MOSFET などの絶縁ゲートによる電圧制御型パワー素子でもよいし、バイポーラトランジスタでもよい。

30

【0103】

また、昇降圧比を 1 次側と 2 次側とで異なる値に変更する場合、1 次側のスイッチング周期 T と 2 次側のスイッチング周期 T を互いに異ならせることにより 1 次側と 2 次側のデューティ比を異ならせてもよい (図 7 参照)。

【0104】

また、第 1 入出力ポート PA に電源が接続されてもよいし、第 4 入出力ポート PD に電源が接続されてもよい。また、第 2 入出力ポート PC に電源が接続されなくてもよいし、第 3 入出力ポート PB に電源が接続されなくてもよい。

40

【符号の説明】

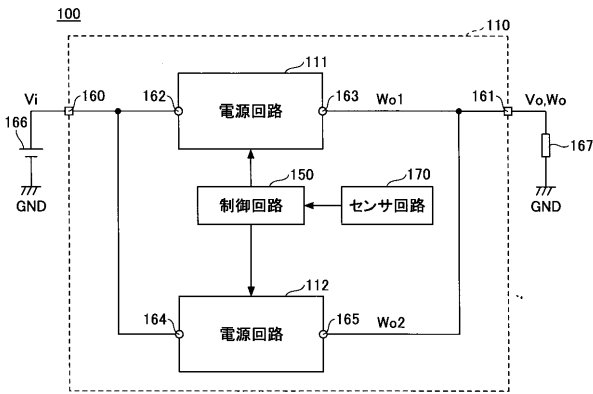
【0105】

10, 110 電力変換回路
 11, 12, 111, 112 電源回路
 20 1 次側変換回路
 30 2 次側変換回路
 50, 150 制御回路
 70, 170 センサ回路
 100, 101 電力変換回路システム
 160 入力端子

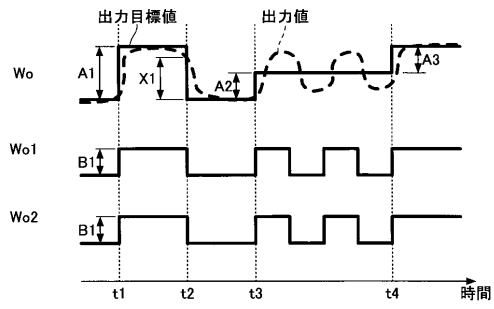
50

1 6 1	出力端子	
1 6 6	電源	
1 6 7	負荷	
2 0 0	1次側フルブリッジ回路	
2 0 2	1次側コイル	
2 0 4	1次側磁気結合リアクトル	
2 0 7	1次側第1アーム回路	
2 1 1	1次側第2アーム回路	
2 0 7 m , 2 1 1 m	中点	
2 9 8	1次側正極母線	10
2 9 9	1次側負極母線	
3 0 0	2次側フルブリッジ回路	
3 0 2	2次側コイル	
3 0 4	2次側磁気結合リアクトル	
3 0 7	2次側第1アーム回路	
3 1 1	2次側第2アーム回路	
3 0 7 m , 3 1 1 m	中点	
3 9 8	2次側正極母線	
3 9 9	2次側負極母線	
4 0 0	変圧器	20
P A	第1入出力ポート	
P B	第3入出力ポート	
P C	第2入出力ポート	
P D	第4入出力ポート	
U * , V *	上アーム	
/ U * , / V *	下アーム	

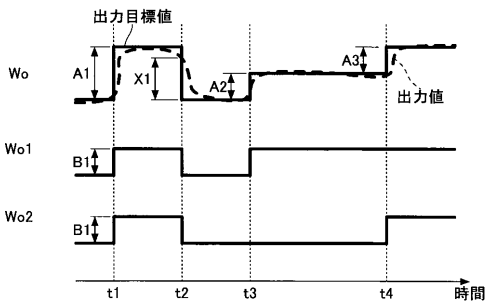
【 図 1 】



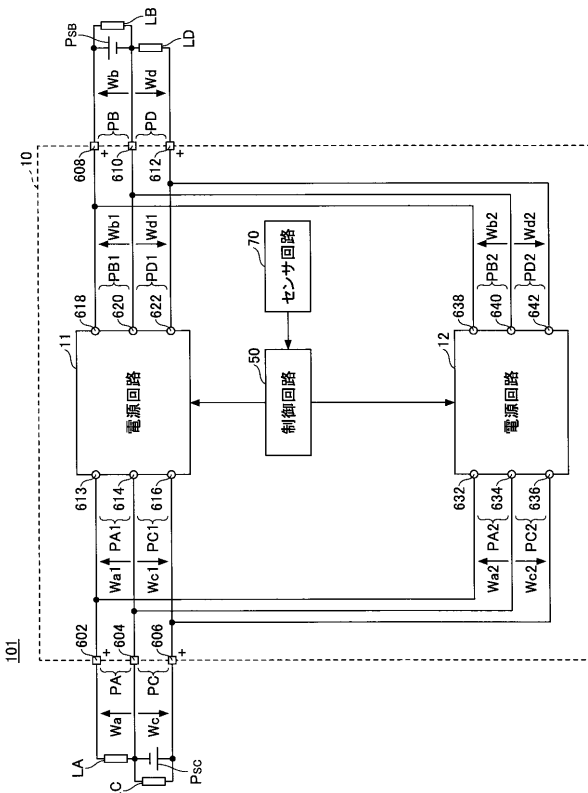
【 図 3 】



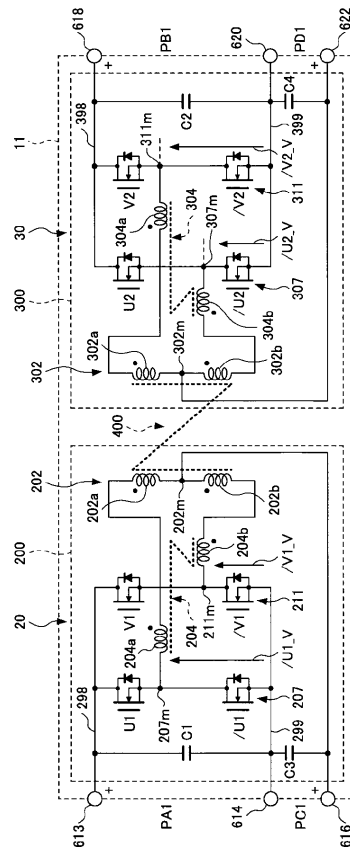
【 図 2 】



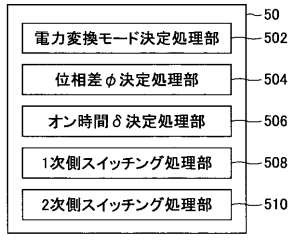
【 図 4 】



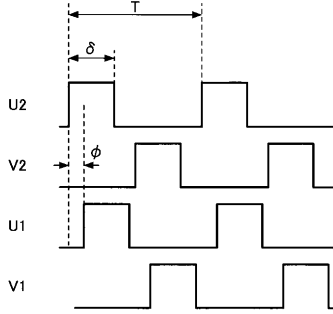
【 図 5 】



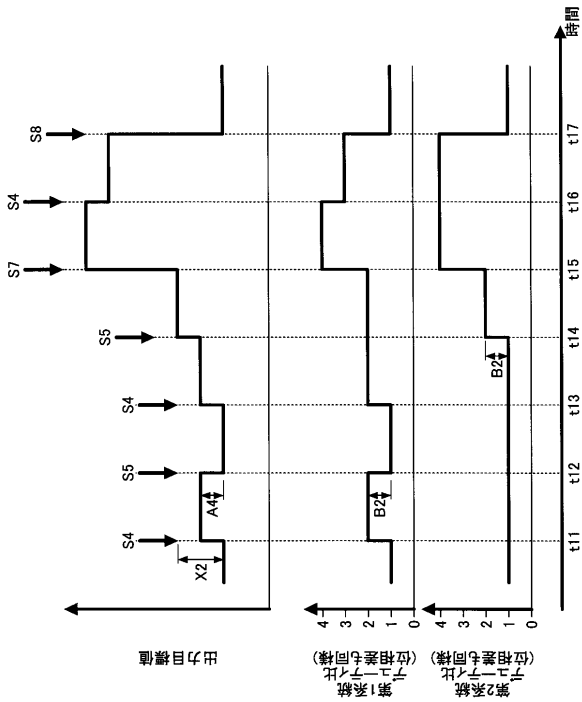
【 図 6 】



【 図 7 】



【 図 9 】



【 図 8 】

