

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年11月21日(21.11.2019)



(10) 国際公開番号

WO 2019/220796 A1

(51) 国際特許分類:
H01L 21/8239 (2006.01) *H01L 27/102* (2006.01)
GI1C 11/22 (2006.01) *H01L 27/105* (2006.01)
GI1C 11/412 (2006.01) *H01L 27/11502* (2017.01)
H01L 21/8229 (2006.01)

(21) 国際出願番号: PCT/JP2019/014439

(22) 国際出願日: 2019年4月1日(01.04.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-092986 2018年5月14日(14.05.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

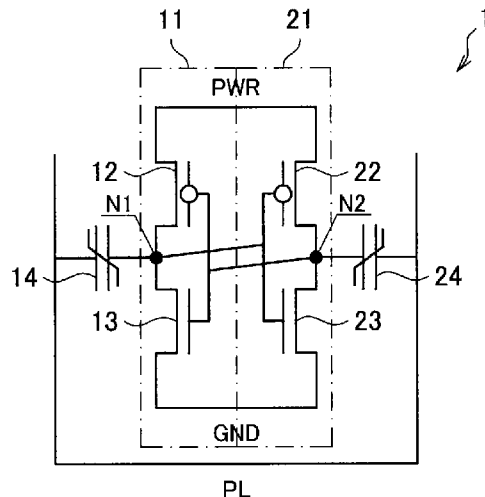
(72) 発明者: 塚本 雅則(TSUKAMOTO, Masanori); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置及び電子機器



(57) Abstract: [Problem] To provide a non-volatile semiconductor memory which is capable of writing or reading at high speed and is suitable for integration at high density. [Solution] The semiconductor device comprises: a first inverter circuit that includes an n-type FET and a p-type FET; a second inverter circuit that includes an n-type FET and a p-type FET, has an output connected to an input of the first inverter circuit, and has an input connected to an output of the first inverter circuit; a first ferroelectric capacitor having one electrode connected to the input of the first inverter circuit; a second ferroelectric capacitor having one electrode connected to the input of the second inverter circuit; and a plate line that connects with the other electrode of the first ferroelectric capacitor and the other electrode of the second ferroelectric capacitor.



WO 2019/220796 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】 高速での書き込み又は読み出しが可能であり、かつ高密度での集積化に適した不揮発の半導体メモリを提供する。 【解決手段】 n型FET及びp型FETを含む第1反転回路と、n型FET及びp型FETを含む、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に入力が接続された第2反転回路と、電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、を備える、半導体装置。

明 細 書

発明の名称：半導体装置及び電子機器

技術分野

[0001] 本開示は、半導体装置及び電子機器に関する。

背景技術

[0002] 同一基板上に設けられたnMOSFET（n型Metal-Oxide-Semiconductor Field-Effect Transistor）、及びpMOSFET（p型MOSFET）から構成されるCMOS（Complementary MOS）回路は、消費電力が少なく、高速動作が可能であり、かつ微細化及び高集積化が容易な回路として知られている。

[0003] そのため、CMOS回路は、多くのLSI（Large Scale Integration）デバイスにて用いられている。なお、このようなLSIデバイスは、近年、アナログ回路、メモリ及び論理回路などを1つのチップに混載したSoC（System on a Chip）として製品化されている。

[0004] LSIデバイスに搭載されるメモリには、例えば、Static RAM（Static Random Access Memory：SRAM）等が用いられる。SRAMは、高速動作が可能であるが、電力供給が停止すると記憶された情報が消失する揮発性のメモリである。一方、電力供給が停止した場合でも情報を保持することが可能な不揮発性のメモリとしては、例えば、Magnetic RAM（MRAM）又はFerroelectric RAM（FeRAM）等が挙げられる。これらのメモリは、SoCへの混載だけでなく、メモリチップ単体としても用いることが可能である。

[0005] FeRAMは、強誘電体の残留分極の方向を用いて情報を記憶する半導体メモリである。FeRAMは、例えば、強誘電体膜を用いたキャパシタを配線上に形成した1T1C（1トランジスタ1キャパシタ）型の構造で形成す

ることができる。ただし、F e R A Mの動作速度は、S R A Mの動作速度と比較して遅いため、F e R A Mは、キャッシュメモリ等の用途には不向きであった。

[0006] そこで、下記の特許文献1には、C M O S回路で構成されるS R A Mの記憶ノードに強誘電体キャパシタを接続した半導体メモリが開示されている。特許文献1に開示された技術によれば、電力が供給されないスタンバイ時には強誘電体キャパシタに情報を退避させることができるため、S R A Mに不揮発性を付与することができる。したがって、特許文献1に開示される半導体メモリでは、高速での書き込み又は読み出しと、不揮発性とを両立させることができる。

先行技術文献

特許文献

[0007] 特許文献1：特開平8－180672号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、上記の特許文献1に開示される技術では、平行平板形状にて強誘電体キャパシタが形成されるため、強誘電体キャパシタの平面面積が大きくなってしまう。そのため、特許文献1に開示される半導体メモリは、高密度での集積化には適していなかった。

[0009] そのため、高速での書き込み又は読み出しが可能であり、かつ不揮発な半導体メモリにおいて、より高密度での集積化に適した構造の提案が求められていた。

課題を解決するための手段

[0010] 本開示によれば、n型F E T及びp型F E Tを含む第1反転回路と、n型F E T及びp型F E Tを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に入力に接続された第2反転回路と、電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、電極の一

方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、を備える、半導体装置が提供される。

[0011] また、本開示によれば、半導体装置を備え、前記半導体装置は、n型FET及びp型FETを含む第1反転回路と、n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に入力が接続された第2反転回路と、電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、を備える、電子機器が提供される。

[0012] 本開示によれば、情報を不揮発に記憶可能な第1強誘電体キャパシタ及び第2強誘電体キャパシタをフリップフロップ回路に接続することができる。また、本開示によれば、第1強誘電体キャパシタ及び第2強誘電体キャパシタをシェアコンタクトの内部にスタック型シリンダ形状にて形成することができる。

発明の効果

[0013] 以上説明したように本開示によれば、高速での書き込み又は読み出しが可能であり、かつ高密度での集積化に適した不揮発の半導体メモリを提供することができる。

[0014] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0015] [図1]本開示の一実施形態に係る半導体装置の等価回路を示した回路図である。

[図2]図1で示した半導体装置を適用した記憶装置のメモリセルの等価回路を示した回路図である。

[図3A]メモリセルの平面構造及び断面構造の一部を示す模式図である。

[図3B]メモリセルの平面構造及び断面構造の一部を示す模式図である。

[図4]図3A及び図3Bの平面図をC－C線で切断した断面を示す模式図である。

[図5]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図6]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図7]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図8]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図9]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図10]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図11]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図12]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図13]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図14]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図15]メモリセルの製造方法の一工程を説明する平面図及び断面図である。

[図16]第1記憶ノードN1及び第2記憶ノードN2の状態と、電位との関係を示すヒステリシス曲線の一例を示すグラフ図である。

[図17A]復帰時のメモリセルの状態の遷移を説明する説明図である。

[図17B]復帰時のメモリセルの状態の遷移を説明する説明図である。

[図17C]復帰時のメモリセルの状態の遷移を説明する説明図である。

[図18A]復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。

[図18B]復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。

[図18C]復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。

[図19A]本実施形態に係る電子機器の一例を示す外観図である。

[図19B]本実施形態に係る電子機器の他の例を示す外観図である。

[図19C]本実施形態に係る電子機器の他の例を示す外観図である。

発明を実施するための形態

[0016] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0017] なお、説明は以下の順序で行うものとする。

1. 概要
2. 構造例
3. 製造方法
4. 動作例
5. 適用例

[0018] <1. 概要>

まず、図1を参照して、本開示の一実施形態に係る半導体装置の概要について説明する。図1は、本実施形態に係る半導体装置の等価回路を示した回路図である。

[0019] 図1に示すように、半導体装置1は、p型FET (Field Effect Transistor) 12及びn型FET 13を含む第1反転回路11と、p型FET 22及びn型FET 23を含む第2反転回路21と、第1強誘電体キャパシタ14と、第2強誘電体キャパシタ24と、を備える。半導体装置1は、例えば、1ビットの情報を「0」又は「1」の状態で保持することが可能なフリップフロップ回路である。

[0020] 第1反転回路11は、p型FET 12及びn型FET 13を接続して設けられたインバータ (NOT) 回路である。具体的には、第1反転回路11では、p型FET 12のソース又はドレインの一方に電源線PWRが電氣的に接続され、p型FET 12のソース又はドレインの他方にn型FET 13のソース又はドレインの一方が電氣的に接続される。n型FET 13のソース又はドレインの他方にグランド線GNDが電氣的に接続される。p型FET

12のゲート及びn型FET13ゲートは、互いに電氣的に接続される。

[0021] 第1反転回路11は、p型FET12のゲート及びn型FET13ゲートの接続点が入力となり、p型FET12のソース又はドレインの他方及びn型FET13のソース又はドレインの一方の接続点が出力となる。また、第1反転回路11の入力は、第2反転回路21の出力と電氣的に接続され、第1反転回路11の出力は、第2反転回路21の入力と電氣的に接続される。さらに、第1反転回路11の出力には、第1強誘電体キャパシタ14の電極の一方が接続される。

[0022] 第2反転回路21は、p型FET22及びn型FET23を接続して設けられたインバータ（NOT）回路である。具体的には、第2反転回路21では、p型FET22のソース又はドレインの一方に電源線PWRが電氣的に接続され、p型FET22のソース又はドレインの他方にn型FET23のソース又はドレインの一方が電氣的に接続される。n型FET23のソース又はドレインの他方にグランド線GNDが電氣的に接続される。p型FET22のゲート及びn型FET23ゲートは、互いに電氣的に接続される。

[0023] 第2反転回路21は、p型FET22のゲート及びn型FET23ゲートの接続点が入力となり、p型FET22のソース又はドレインの他方及びn型FET23のソース又はドレインの一方の接続点が出力となる。また、第2反転回路21の入力は、第1反転回路11の出力と電氣的に接続され、第2反転回路21の出力は、第1反転回路11の入力と電氣的に接続される。さらに、第2反転回路21の出力には、さらに第2強誘電体キャパシタ24の電極の一方が接続される。

[0024] 第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24は、一對の電極にて強誘電体膜を挟持することで構成されるキャパシタである。第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24は、強誘電体膜の残留分極の方向によって情報を記憶することができる。第1強誘電体キャパシタ14の電極の一方は、第1反転回路11の出力に電氣的に接続され、第1強誘電体キャパシタ14の電極の他方は、任意の電位を印加可能なプレート

線 P L に電氣的に接続される。また、第 2 強誘電体キャパシタ 2 4 の電極の一方は、第 2 反転回路 2 1 の出力に電氣的に接続され、第 2 強誘電体キャパシタ 2 4 の電極の他方は、任意の電位を印加可能なプレート線 P L に電氣的に接続される。

[0025] 半導体装置 1 は、電力供給時には、第 1 反転回路 1 1 及び第 2 反転回路 2 1 の出力を互いに入力にフィードバックさせることで、「0」又は「1」の状態を保持することができる。具体的には、第 1 反転回路 1 1 の出力を第 1 記憶ノード N 1 とし、第 2 反転回路 2 1 の出力を第 2 記憶ノード N 2 とすると、半導体装置 1 は、第 1 記憶ノード N 1 の電位、及び第 2 記憶ノード N 2 の電位の高低によって情報を記憶することができる。

[0026] また、半導体装置 1 では、電力が供給されない時には、第 1 記憶ノード N 1 及び第 2 記憶ノード N 2 の状態を第 1 強誘電体キャパシタ 1 4 及び第 2 強誘電体キャパシタ 2 4 に記憶させることができる。具体的には、半導体装置 1 は、所定の操作を行うことで、第 1 記憶ノード N 1 及び第 2 記憶ノード N 2 の電位に基づいて、第 1 強誘電体キャパシタ 1 4 及び第 2 強誘電体キャパシタ 2 4 の強誘電体膜の分極状態を制御することができる。

[0027] したがって、半導体装置 1 は、電力供給時には、フリップフロップ回路として動作することができるため、情報の書き込み又は読み出しを高速で行うことが可能である。また、半導体装置 1 は、電力が供給されていない時には、フリップフロップ回路にて保持されていた情報を不揮発性の第 1 強誘電体キャパシタ 1 4 及び第 2 強誘電体キャパシタ 2 4 に格納することができる。

[0028] 続いて、図 2 を参照して、図 1 で示した半導体装置 1 を記憶装置のメモリセルに適用した場合について説明する。図 2 は、図 1 で示した半導体装置 1 を適用した記憶装置のメモリセルの等価回路を示した回路図である。

[0029] 図 2 に示すように、記憶装置のメモリセル 1 0 は、図 1 で示した半導体装置 1 の各構成に加えて、第 1 選択 F E T 1 5 と、第 2 選択 F E T 2 5 と、をさらに備える。

[0030] 第 1 選択 F E T 1 5 及び第 2 選択 F E T 2 5 は、メモリセル 1 0 の選択及

び非選択を制御する電界効果トランジスタである。第1選択FET15及び第2選択FET25は、n型FETとして形成される。

[0031] 第1選択FET15のソース又はドレインの一方は、第1強誘電体キャパシタ14の電極の他方と電氣的に接続され、第1選択FET15のソース又はドレインの他方は、第1ビット線BL1と電氣的に接続される。第1選択FET15のゲートは、ワード線WLに電氣的に接続され、第1選択FET15のチャンネルのオンオフ状態は、ワード線WLからの印加電圧によって制御される。

[0032] 第2選択FET25のソース又はドレインの一方は、第2強誘電体キャパシタ24の電極の他方と電氣的に接続され、第2選択FET25のソース又はドレインの他方は、第2ビット線BL2と電氣的に接続される。第2選択FET25のゲートは、ワード線WLに電氣的に接続され、第2選択FET25のチャンネルのオンオフ状態は、ワード線WLからの印加電圧によって制御される。

[0033] 記憶装置のメモリセル10に情報を書き込む場合、まず、ワード線WLの電位を高電位とすることで、第1選択FET15及び第2選択FET25のチャンネルをオン状態に遷移させる。次に、第1ビット線BL1及び第2ビット線BL2に互いに対称となる（一方が高電位となり、他方が低電位となる）電位を印加することで、半導体装置1のフリップフロップの状態を制御することができる。その後、ワード線WLの電位を低電位とすることで、第1選択FET15及び第2選択FET25のチャンネルをオフ状態に遷移させる。これにより、記憶装置のメモリセル10は、半導体装置1のフリップフロップ回路に情報を書き込むことができる。

[0034] 一方、記憶装置のメモリセル10から情報を読み出す場合、まず、ワード線WLの電位をオフにした後、第1ビット線BL1及び第2ビット線BL2に同じ電位を印加する。次に、ワード線WLの電位を高電位とする。このとき、第1ビット線BL1及び第2ビット線BL2は、半導体装置1のフリップフロップの状態に基づいて、いずれが高電位となり、いずれが低電位とな

るのが変化する。したがって、記憶装置のメモリセル１０は、第１ビット線ＢＬ１の電位及び第２ビット線ＢＬ２の電位をアンプ等で増幅することで、半導体装置１のフリップフロップ回路から情報を読み出すことができる。

[0035] したがって、メモリセル１０を含む記憶装置は、ＳＲＡＭと同様の動作を行う記憶装置として動作することができる。なお、メモリセル１０を含む記憶装置にて、半導体装置１のフリップフロップ回路に書き込まれた情報を第１強誘電体キャパシタ１４及び第２強誘電体キャパシタ２４に格納する動作、及び第１強誘電体キャパシタ１４及び第２強誘電体キャパシタ２４に格納した情報を半導体装置１のフリップフロップ回路に復帰させる動作については後述する。

[0036] よって、本実施形態に係る半導体装置１は、ＳＲＡＭと同様に高速での情報の書き込み又は読み出しが可能であり、かつ電力供給が失われた状態でも第１強誘電体キャパシタ１４及び第２強誘電体キャパシタ２４にて情報を保持することが可能である。

[0037] <２．構造例>

続いて、図３Ａ、図３Ｂ及び図４を参照して、本実施形態に係る半導体装置１をメモリセルに用いた記憶装置の具体的な構造について説明する。図３Ａ及び図３Ｂは、半導体装置１を用いたメモリセル１０の平面構造及び断面構造を示す模式図である。図３Ａ、図３Ｂの断面図の各々は、図３Ａ、図３Ｂの平面図をＡ－Ａ線又はＢ－Ｂ線の各々で切断した断面を示す。図４は、図３Ａ及び図３Ｂの平面図をＣ－Ｃ線で切断した断面を示す模式図である。

[0038] なお、図３Ａ及び図３Ｂの平面図は、各構成の配置を明確にするために、半導体基板１００の全面に亘って形成される層は省略して記載している。また、図３Ａの平面図及び断面図は、第２層間絶縁膜４００から下層の構成のみを示し、図３Ｂの平面図は、第３層間絶縁膜５００から上層の構成のみを示す。

[0039] 図３Ａ及び図３Ｂに示すように、半導体装置１を用いたメモリセル１０は、半導体基板１００の上に設けられる。メモリセル１０は、半導体基板１０

0上にマトリクス状に多数配置されることで、大容量の情報を記憶可能な記憶装置を構成する。

[0040] 第1反転回路11は、n型活性化領域150Bの上にゲート絶縁膜140を介してゲート電極131を設けることで形成されたp型FET12と、p型活性化領域150Aの上にゲート絶縁膜140を介してゲート電極131を設けることで形成されたn型FET13と、によって構成される。

[0041] p型FET12のソース又はドレインの一方は、第1コンタクト218、第1配線層318及び第2コンタクト419を介して、電源線PWRとして機能する第2配線層515と電氣的に接続される。p型FET12のソース又はドレインの他方は、第1強誘電体キャパシタ14の下部電極111を介して、p型活性化領域150Aに設けられたn型FET13のソース又はドレインの一方と電氣的に接続される。n型FET13のソース又はドレインの他方は、第1コンタクト211、第1配線層319及び第2コンタクト411を介して、グランド線GNDとして機能する第2配線層513と電氣的に接続される。

[0042] 第1強誘電体キャパシタ14は、ゲート電極133、n型活性化領域150B及びp型活性化領域150Aに亘って設けられたシェアコンタクトの内部に設けられる。具体的には、第1強誘電体キャパシタ14は、平坦化膜200を貫通する開口の内側に沿って設けられた下部電極111と、開口に沿って下部電極111の上に設けられた強誘電体膜113と、開口を埋め込むように強誘電体膜113の上に設けられた上部電極115と、によって構成される。

[0043] 第1強誘電体キャパシタ14の下部電極111は、ゲート電極133、n型活性化領域150Bに設けられたp型FET12のソース又はドレインの他方、及びp型活性化領域150Aに設けられたn型FET13のソース又はドレインの一方と電氣的に接続される。第1強誘電体キャパシタ14の上部電極115は、第1配線層311、第2コンタクト412、第2配線層511及び第3コンタクト611を介して、プレート線PLとして機能する第

3配線層711と電氣的に接続される。

[0044] 第1選択FET15は、p型活性化領域150Aの上にゲート絶縁膜140を介してゲート電極132を設けることでn型FETとして形成される。第1選択FET15のソース又はドレインの一方は、第1強誘電体キャパシタ14の下部電極111と電氣的に接続される。第1選択FET15のソース又はドレインの他方は、第1コンタクト213、第1配線層313及び第2コンタクト414を介して、第1ビット線BL1として機能する第2配線層514と電氣的に接続される。第1選択FET15のゲート電極132は、第1コンタクト212、第1配線層312、第2コンタクト413、第2配線層512及び第3コンタクト612を介して、ワード線WLとして機能する第3配線層712と電氣的に接続される。

[0045] 第2反転回路21は、n型活性化領域150Cの上にゲート絶縁膜140を介してゲート電極133を設けることで形成されたp型FET22と、p型活性化領域150Dの上にゲート絶縁膜140を介してゲート電極133を設けることで形成されたn型FET23と、によって構成される。

[0046] p型FET22のソース又はドレインの一方は、第1コンタクト214、第1配線層314及び第2コンタクト415を介して、電源線PWRとして機能する第2配線層515と電氣的に接続される。p型FET22のソース又はドレインの他方は、第2強誘電体キャパシタ24の下部電極111を介して、p型活性化領域150Dに設けられたn型FET23のソース又はドレインの一方と電氣的に接続される。n型FET23のソース又はドレインの他方は、第1コンタクト215、第1配線層315及び第2コンタクト416を介して、グランド線GNDとして機能する第2配線層517と電氣的に接続される。

[0047] 第2強誘電体キャパシタ24は、ゲート電極131、n型活性化領域150C及びp型活性化領域150Dに亘って設けられたシェアコンタクトの内部に設けられる。具体的には、第2強誘電体キャパシタ24は、図示されないが第1強誘電体キャパシタ14と同様に、平坦化膜200を貫通する開口

の内側に沿って設けられた下部電極と、開口に沿って下部電極の上に設けられた強誘電体膜と、開口を埋め込むように強誘電体膜の上に設けられた上部電極と、によって構成される。

[0048] 第2強誘電体キャパシタ24の下部電極は、ゲート電極131、n型活性化領域150Cに設けられたp型FET22のソース又はドレインの他方、及びp型活性化領域150Dに設けられたn型FET23のソース又はドレインの一方と電氣的に接続される。第2強誘電体キャパシタ24の上部電極は、第1配線層311、第2コンタクト412、第2配線層511及び第3コンタクト611を介して、プレート線PLとして機能する第3配線層711と電氣的に接続する。

[0049] 第2選択FET25は、p型活性化領域150Dの上にゲート絶縁膜140を介してゲート電極134を設けることでn型FETとして形成される。第2選択FET25のソース又はドレインの一方は、第2強誘電体キャパシタ24の下部電極と電氣的に接続される。第2選択FET25のソース又はドレインの他方は、第1コンタクト217、第1配線層317及び第2コンタクト418を介して、第2ビット線BL2として機能する第2配線層516と電氣的に接続される。第2選択FET25のゲート電極134は、第1コンタクト216、第1配線層316、第2コンタクト417、第2配線層518及び第3コンタクト613を介して、ワード線WLとして機能する第3配線層712と電氣的に接続される。

[0050] 以下、メモリセル10の各構成についてより具体的に説明する。

[0051] 半導体基板100は、半導体材料にて構成され、FETの各々が形成される基板である。半導体基板100は、シリコン基板であってもよく、シリコン基板の中にSiO₂等の絶縁膜を挟み込んだSOI (Silicon On Insulator) 基板であってもよい。または、半導体基板100は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 若しくはシリコンカーバイド (SiC) 等の化合物半導体で形成された基板であってもよい。

[0052] 素子分離層 105 は、絶縁性材料にて構成され、半導体基板 100 に設けられる活性化領域の各々を互いに電氣的に絶縁する。具体的には、素子分離層 105 は、p 型活性化領域 150A、150D 及び n 型活性化領域 150B、150C を互いに離隔するように設けられる。p 型活性化領域 150A、150D 及び n 型活性化領域 150B、150C は、第 1 方向（例えば、図 2 に正対して左右方向）に延伸する帯状領域にて設けられ、FET の各々が形成される活性化領域として機能する。

[0053] 例えば、p 型活性化領域 150A、150D は、ホウ素（B）又はアルミニウム（Al）などの p 型不純物を半導体基板 100 に導入することで形成されてもよい。n 型活性化領域 150B、150C は、リン（P）又はヒ素（As）などの n 型不純物を半導体基板 100 に導入することで形成されてもよい。

[0054] 素子分離層 105 は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（SiON）などの絶縁性の酸窒化物で形成されてもよい。具体的には、素子分離層 105 は、STI（Shallow Trench Isolation）法を用いて、所定領域の半導体基板 100 の一部をエッチング等で除去した後、形成された開口を酸化シリコン（SiO_x）で埋め込むことで形成されてもよい。また、素子分離層 105 は、LOCOS（Local Oxidation of Silicon）法を用いて、所定領域の半導体基板 100 を熱酸化することで形成されてもよい。

[0055] ゲート絶縁膜 140 は、絶縁性材料で構成され、半導体基板 100 の p 型活性化領域 150A、150D 及び n 型活性化領域 150B、150C の上に設けられる。ゲート絶縁膜 140 は、電界効果トランジスタのゲート絶縁膜として公知の絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜 140 は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（SiON）などの絶縁性の酸窒化物で形成されてもよい。

[0056] ゲート電極 131、132、133、134 は、導電性材料で構成され、ゲート絶縁膜 140 の上に設けられる。ゲート電極 131、132、133

、１３４は、ｐ型活性化領域１５０Ａ、１５０Ｄ及びｎ型活性化領域１５０Ｂ、１５０Ｃが延伸する第１方向と直交する第２方向に延伸して設けられる。具体的には、ゲート電極１３１は、ｎ型活性化領域１５０Ｂ及びｐ型活性化領域１５０Ａに跨って設けられることで、ｐ型ＦＥＴ１２及びｎ型ＦＥＴ１３を形成する。ゲート電極１３２は、ｐ型活性化領域１５０Ａに跨って設けられることで、ｎ型ＦＥＴである第１選択ＦＥＴ１５を形成する。ゲート電極１３３は、ｎ型活性化領域１５０Ｃ及びｐ型活性化領域１５０Ｄに跨って設けられることで、ｐ型ＦＥＴ２２及びｎ型ＦＥＴ２３を形成する。ゲート電極１３４は、ｐ型活性化領域１５０Ｄに跨って設けられることで、ｎ型ＦＥＴである第２選択ＦＥＴ２５を形成する。

[0057] 例えば、ゲート電極１３１、１３２、１３３、１３４は、ポリシリコン等にて形成されてもよく、金属、合金、金属化合物、又は金属（Ｎｉなど）とポリシリコンとの合金（いわゆるシリサイド）にて形成されてもよい。具体的には、ゲート電極１３１、１３２、１３３、１３４は、金属層と、ポリシリコン層との積層構造にて形成されてもよい。例えば、ゲート電極１３１、１３２、１３３、１３４は、ゲート絶縁膜１４０の上に設けられたＴｉＮ又はＴａＮからなる金属層と、ポリシリコン層との積層構造にて形成されてもよい。

[0058] ソース又はドレイン領域１５１Ａ、１５１Ｄは、ｐ型活性化領域１５０Ａ、１５０Ｄにそれぞれ形成されたｎ型の領域である。ソース又はドレイン領域１５１Ａ、１５１Ｄは、ｐ型活性化領域１５０Ａ、１５０Ｄの半導体基板１００に、リン（Ｐ）又はヒ素（Ａｓ）などのｎ型不純物を導入することで形成されてもよい。なお、ソース又はドレイン領域１５１Ａ、１５１Ｄと、ゲート電極１３１、１３２、１３３、１３４との間の半導体基板１００には、ソース又はドレイン領域１５１Ａ、１５１Ｄと同じｎ型であり、かつソース又はドレイン領域１５１Ａ、１５１Ｄよりも導電型不純物の濃度が低いＬＤＤ（Ｌｉｇｈｔｌｙ－Ｄｏｐｅｄ Ｄｒａｉｎ）領域が形成されていてもよい。

- [0059] 具体的には、ソース又はドレイン領域151Aは、ゲート電極131、132を挟むように、p型活性化領域150Aにそれぞれ設けられる。ゲート電極131を挟んでゲート電極132と対向する側に設けられたソース又はドレイン領域151Aは、第1コンタクト211、第1配線層319及び第2コンタクト411を介して、グランド線GNDとして機能する第2配線層513と電氣的に接続される。ゲート電極132を挟んでゲート電極131と対向する側に設けられたソース又はドレイン領域151Aは、第1コンタクト213、第1配線層313及び第2コンタクト414を介して、第1ビット線BL1として機能する第2配線層514と電氣的に接続される。
- [0060] ソース又はドレイン領域151Dは、ゲート電極133、134を挟むように、p型活性化領域150Dにそれぞれ設けられる。ゲート電極133を挟んでゲート電極134と対向する側に設けられたソース又はドレイン領域151Dは、第1コンタクト215、第1配線層315及び第2コンタクト416を介して、グランド線GNDとして機能する第2配線層517と電氣的に接続される。ゲート電極134を挟んでゲート電極133と対向する側に設けられたソース又はドレイン領域151Dは、第1コンタクト217、第1配線層317及び第2コンタクト418を介して、第2ビット線BL2として機能する第2配線層516と電氣的に接続される。
- [0061] ソース又はドレイン領域151B、151Cは、n型活性化領域150B、150Cにそれぞれ形成されたp型の領域である。ソース又はドレイン領域151B、151Cは、n型活性化領域150B、150Cの半導体基板100に、ホウ素(B)又はアルミニウム(Al)などのp型不純物を導入することで形成されてもよい。なお、ソース又はドレイン領域151B、151Cと、ゲート電極131、133との間の半導体基板100には、ソース又はドレイン領域151B、151Cと同じp型であり、かつソース又はドレイン領域151B、151Cよりも導電型不純物の濃度が低いLDD(Lightly-Doped Drain)領域が形成されていてもよい。
- [0062] 具体的には、ソース又はドレイン領域151Bは、ゲート電極131を挟

むように、 n 型活性化領域150Bにそれぞれ設けられる。ソース又はドレイン領域151Bの一方は、第1強誘電体キャパシタ14の下部電極111と電氣的に接続される。ゲート電極131を挟んで第1強誘電体キャパシタ14と対向する側に設けられたソース又はドレイン領域151Bは、第1コンタクト218、第1配線層318及び第2コンタクト419を介して、電源線PWRとして機能する第2配線層515と電氣的に接続される。

[0063] ソース又はドレイン領域151Cは、ゲート電極133を挟むように、 n 型活性化領域150Cにそれぞれ設けられる。ソース又はドレイン領域151Cの一方は、第2強誘電体キャパシタ24の下部電極と電氣的に接続される。ゲート電極133を挟んで第2強誘電体キャパシタ24と対向する側に設けられたソース又はドレイン領域151Cは、第1コンタクト214、第1配線層314及び第2コンタクト415を介して、電源線PWRとして機能する第2配線層515と電氣的に接続される。

[0064] サイドウォール絶縁膜131S、132S、133S、134S（ただし、サイドウォール絶縁膜132S、133S、134Sは図示されず）は、絶縁性材料で構成され、ゲート電極131、132、133、134の各々の側面に側壁として設けられる。具体的には、サイドウォール絶縁膜131S、132S、133S、134Sは、ゲート電極131、132、133、134を含む領域に様に絶縁膜を成膜した後、該絶縁膜を垂直異方性エッチングすることで形成することができる。例えば、サイドウォール絶縁膜131S、132S、133S、134Sは、酸化シリコン（ SiO_x ）、窒化シリコン（ SiN_x ）又は酸窒化シリコン（ SiON ）などの絶縁性の酸窒化物によって、単層又は複数層にて形成されてもよい。

[0065] サイドウォール絶縁膜131S、132S、133S、134Sは、 n 型不純物又は p 型不純物を半導体基板100に導入する際に、 n 型不純物又は p 型不純物を遮蔽する。これにより、サイドウォール絶縁膜131S、132S、133S、134Sは、ゲート電極131、132、133、134と、ソース又はドレイン領域151A、151B、151C、151Dとの

位置関係を自己整合的に制御することができる。サイドウォール絶縁膜 131S、132S、133S、134Sは、半導体基板 100へのn型不純物又はp型不純物の導入を段階的に制御することができるため、ソース又はドレイン領域 151A、151B、151C、151Dとゲート電極 131、132、133、134との間に、上述したLDD領域を自己整合的に形成することが可能となる。

[0066] 導通層 131C、132C、133C、134C（ただし、導通層 132C、133C、134Cは図示されず）は、ゲート電極 131、132、133、134の各々の上に設けられ、ゲート電極 131、132、133、134の導電性を向上させる。例えば、導通層 131C、132C、133C、134Cは、金属又は金属化合物で形成されてもよい。

[0067] コンタクト領域 152A、152B、152C、152Dは、ソース又はドレイン領域 151A、151B、151C、151Dの半導体基板 100の表面にそれぞれ設けられる。コンタクト領域 152A、152B、152C、152Dは、ソース又はドレイン領域 151A、151B、151C、151Dと、第1コンタクト 211、213、214、215、217、218、並びに第1強誘電体キャパシタ 14及び第2強誘電体キャパシタ 24の下部電極との接触抵抗を低下させる。具体的には、コンタクト領域 152A、152B、152C、152Dは、Niなどの金属と、シリコンとの合金（いわゆるシリサイド）にて形成されてもよい。

[0068] 平坦化膜 200は、絶縁性材料で構成され、FETの各々を埋め込み、半導体基板 100の全面に亘って設けられる。例えば、平坦化膜 200は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（SiON）などの絶縁性の酸窒化物で形成されてもよい。

[0069] 平坦化膜 200には、ゲート電極 133、ソース又はドレイン領域 151B、並びにゲート電極 131、132の間のソース又はドレイン領域 151Aを露出させる開口と、ゲート電極 131、ソース又はドレイン領域 151C、並びにゲート電極 133、134の間のソース又はドレイン領域 151

Dを露出させる開口と、が設けられる。また、平坦化膜200には、第1コンタクト211、212、213、214、215、216、217、218を形成するための開口が設けられる。ゲート電極133、ソース又はドレイン領域151B、並びにゲート電極131、132の間のソース又はドレイン領域151Aを露出させる開口の内部には、第1強誘電体キャパシタ14が設けられる。ゲート電極131、ソース又はドレイン領域151C、並びにゲート電極133、134の間のソース又はドレイン領域151Dを露出させる開口の内部には、第2強誘電体キャパシタ24が設けられる。

[0070] なお、図3A、図3B及び図4では図示しないが、半導体基板100、サイドウォール絶縁膜131S、132S、133S、134S及び導通層131C、132C、133C、134Cの上には、絶縁性材料で構成されたライナー層が半導体基板100の全面に亘って設けられてもよい。ライナー層は、上述した開口を平坦化膜200に形成する工程において、ライナー層と平坦化膜200との間で高いエッチング選択比を提供することができる。これにより、ライナー層は、該工程において、半導体基板100にエッチングが進行することを防止することができる。例えば、ライナー層は、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)又は酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。具体的には、平坦化膜200が酸化シリコン(SiO_x)で形成される場合、ライナー層は、窒化シリコン(SiN_x)で形成されてもよい。

[0071] また、ライナー層は、ゲート絶縁膜140の下の半導体基板100に対して、圧縮応力又は引張応力を付与する層として形成されてもよい。このような場合、ライナー層は、応力効果によって、半導体基板100に形成されるチャネルのキャリア移動度を向上させることができる。

[0072] ここで、第1強誘電体キャパシタ14の構成について、図4をさらに参照して説明する。

[0073] 図4に示すように、第1強誘電体キャパシタ14は、下部電極111と、強誘電体膜113と、上部電極115と、にて構成されるスタック型シリ

ダ形状のキャパシタである。

- [0074] 下部電極 111 は、導電性材料で構成され、ソース又はドレイン領域 151A、151B 及びゲート電極 133 を露出させるように平坦化膜 200 に形成された開口の内側に沿って設けられる。具体的には、平坦化膜 200 に形成された開口は、ゲート電極 133、ソース又はドレイン領域 151B、並びにゲート電極 131、132 の間のソース又はドレイン領域 151A を露出させるように折曲した平面形状にて設けられる。これにより、下部電極 111 は、開口によって露出されたソース又はドレイン領域 151A、151B 及びゲート電極 133 をそれぞれ電氣的に接続することができる。
- [0075] 例えば、下部電極 111 は、チタン (Ti) 若しくはタングステン (W) などの金属、又は窒化チタン (TiN) 若しくは窒化タンタル (Ta₃N₅) などの金属化合物で形成されてもよい。また、下部電極 111 は、ルテニウム (Ru) 又は酸化ルテニウム (RuO₂) などで形成されてもよい。下部電極 111 は、ALD (Atomic Layer Deposition)、CVD (Chemical Vapor Deposition) 又は IMP (Ionized Metal Plasma) によるスパッタ等を用いて形成することができる。
- [0076] 強誘電体膜 113 は、強誘電体材料にて構成され、平坦化膜 200 に形成された開口の内側に沿って、下部電極 111 の上に設けられる。強誘電体膜 113 は、自発的に分極し、かつ残留分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。例えば、強誘電体膜 113 は、チタン酸ジルコン酸鉛 (Pb(Zr, Ti)O₃: PZT) 又はタンタル酸ビスマス酸ストロンチウム (SrBi₂Ta₂O₉: SBT) などのペレブスカイト構造の強誘電体材料にて形成されてもよい。また、強誘電体膜 113 は、HfO_x、ZrO_x 又は HfZrO_x などの高誘電体材料からなる膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料からなる膜にランタン (La)、シリコン (Si) 又はガドリニウム (Gd) などの原子を導入することで変質させた強誘電体膜であってもよい。さらに、強誘電体膜 11

3は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、強誘電体膜113は、 HfO_x などの強誘電体材料からなる単層膜であってもよい。強誘電体膜113は、ALD又はCVD等を用いることで形成することができる。

[0077] 上部電極115は、導電性材料にて構成され、平坦化膜200に形成された開口を埋め込むように、強誘電体膜113の上に設けられる。例えば、上部電極115は、チタン(Ti)若しくはタングステン(W)などの金属、又は窒化チタン(TiN)若しくは窒化タンタル(TaN)などの金属化合物で形成されてもよい。また、上部電極115は、ルテニウム(Ru)又は酸化ルテニウム(RuO_2)などで形成されてもよい。上部電極115は、ALD又はCVD等を用いることで形成することができる。

[0078] なお、第2強誘電体キャパシタ24を構成する下部電極、強誘電体膜及び上部電極については、形成される平面位置が異なる以外は、第1強誘電体キャパシタと実質的に同様であるため、ここでの説明は省略する。

[0079] 第1コンタクト211、212、213、214、215、216、217、218は、導電性材料で構成され、平坦化膜200を貫通して設けられる。例えば、第1コンタクト211、212、213、214、215、216、217、218は、チタン(Ti)若しくはタングステン(W)などの低抵抗の金属、又は窒化チタン(TiN)若しくは窒化タンタル(TaN)などの金属化合物で形成されてもよい。第1コンタクト211、212、213、214、215、216、217、218は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、第1コンタクト211、212、213、214、215、216、217、218は、Ti又はTiNと、Wとの積層体にて形成されてもよい。

[0080] 具体的には、第1コンタクト211は、ゲート電極131を挟んでゲート電極132と対向する側に設けられたソース又はドレイン領域151Aの上に設けられ、n型FET13のソース又はドレインの他方と、第1配線層319とを電氣的に接続する。第1コンタクト212は、ゲート電極132の

上に設けられ、第1選択FET15のゲート電極132と、第1配線層312とを電氣的に接続する。第1コンタクト213は、ゲート電極132を挟んでゲート電極131と対向する側に設けられたソース又はドレイン領域151Aの上に設けられ、第1選択FET15のソース又はドレインの他方と、第1配線層313とを電氣的に接続する。第1コンタクト214は、ゲート電極133を挟んで第2強誘電体キャパシタ24と対向する側に設けられたソース又はドレイン領域151Cの上に設けられ、p型FET22のソース又はドレインの一方と、第1配線層314とを電氣的に接続する。

[0081] 第1コンタクト215は、ゲート電極133を挟んでゲート電極134と対向する側に設けられたソース又はドレイン領域151Dの上に設けられ、n型FET23のソース又はドレインの他方と、第1配線層315とを電氣的に接続する。第1コンタクト216は、ゲート電極134の上に設けられ、第2選択FET25のゲート電極134と、第1配線層316とを電氣的に接続する。第1コンタクト217は、ゲート電極134を挟んでゲート電極133と対向する側に設けられたソース又はドレイン領域151Dの上に設けられ、第2選択FET25のソース又はドレインの他方と、第1配線層317とを電氣的に接続する。第1コンタクト218は、ゲート電極131を挟んで第1強誘電体キャパシタ14と対向する側に設けられたソース又はドレイン領域151Bの上に設けられ、p型FET12のソース又はドレインの一方と、第1配線層318とを電氣的に接続する。

[0082] 第1層間絶縁膜300は、第1配線層311、312、313、314、315、316、317、318、319を埋め込み、平坦化膜200の上に半導体基板100の全面に亘って設けられる。第1層間絶縁膜300は、例えば、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)又は酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。

[0083] 第1配線層311、312、313、314、315、316、317、318、319は、導電性材料にて構成され、平坦化膜200の上に設けられる。第1配線層311、312、313、314、315、316、31

7、318、319は、例えば、銅（Cu）又はアルミニウム（Al）等の金属材料で形成されてもよく、Cuのダマシン構造又はデュアルダマシン構造にて形成されてもよい。

[0084] 具体的には、第1配線層311は、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の上に設けられ、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の上部電極を互いに電氣的に接続する。第1配線層312は、第1コンタクト212の上に設けられる。第1配線層313は、第1コンタクト213の上に設けられる。第1配線層314は、第1コンタクト214の上に設けられる。第1配線層315は、第1コンタクト215の上に設けられる。第1配線層316は、第1コンタクト216の上に設けられる。第1配線層317は、第1コンタクト217の上に設けられる。第1配線層318は、第1コンタクト218の上に設けられる。第1配線層319は、第1コンタクト211の上に設けられる。

[0085] 第2層間絶縁膜400は、第2コンタクト411、412、413、414、415、416、417、418、419を埋め込み、第1層間絶縁膜300の上に半導体基板100の全面に亘って設けられる。第2層間絶縁膜400は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（SiON）などの絶縁性の酸窒化物で形成されてもよい。

[0086] 第2コンタクト411、412、413、414、415、416、417、418は、導電性材料で構成され、第2層間絶縁膜400を貫通して設けられる。例えば、第2コンタクト411、412、413、414、415、416、417、418は、チタン（Ti）若しくはタングステン（W）などの低抵抗の金属、又は窒化チタン（TiN）若しくは窒化タンタル（Ta₂N₅）などの金属化合物で形成されてもよい。第2コンタクト411、412、413、414、415、416、417、418は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、第2コンタクト411、412、413、414、415、416、417、418は、T

i 又は T i N と、W との積層体にて形成されてもよい。

[0087] 具体的には、第2コンタクト411は、第1配線層319の上に設けられる。第2コンタクト412は、第1配線層311の上に設けられる。第2コンタクト413は、第1配線層312の上に設けられる。第2コンタクト414は、第1配線層313の上に設けられる。第2コンタクト415は、第1配線層314の上に設けられる。第2コンタクト416は、第1配線層315の上に設けられる。第2コンタクト417は、第1配線層316の上に設けられる。第2コンタクト418は、第1配線層317の上に設けられる。第2コンタクト419は、第1配線層318の上に設けられる。

[0088] 第3層間絶縁膜500は、第2配線層511、512、513、514、515、516、517、518を埋め込み、第2層間絶縁膜400の上に半導体基板100の全面に亘って設けられる。第3層間絶縁膜500は、例えば、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。

[0089] 第2配線層511、512、513、514、515、516、517、518は、導電性材料で構成され、第2層間絶縁膜400の上に設けられる。第2配線層511、512、513、514、515、516、517、518は、例えば、銅 (Cu) 又はアルミニウム (Al) 等の金属材料で形成されてもよく、Cuのダマシン構造又はデュアルダマシン構造にて形成されてもよい。

[0090] 具体的には、第2配線層513は、第1方向に延伸するグラウンド線GNDとして第2コンタクト411の上に設けられる。第2配線層514は、第1方向に延伸する第1ビット線BL1として第2コンタクト414の上に設けられる。第2配線層515は、第1方向に延伸する電源線PWRとして第2コンタクト415、419の上に設けられる。第2配線層516は、第1方向に延伸する第2ビット線BL2として第2コンタクト418の上に設けられる。第2配線層517は、第1方向に延伸するグラウンド線GNDとして第2コンタクト416の上に設けられる。第2配線層511は、第2コンタク

ト412の上に設けられ、第2配線層512は、第2コンタクト413の上に設けられ、第2配線層518は、第2コンタクト417の上に設けられる。

- [0091] 第4層間絶縁膜600は、第3コンタクト611、612、613を埋め込み、第3層間絶縁膜500の上に半導体基板100の全面に亘って設けられる。第4層間絶縁膜600は、例えば、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)又は酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。
- [0092] 第3コンタクト611、612、613は、導電性材料で構成され、第4層間絶縁膜600を貫通して設けられる。例えば、第3コンタクト611、612、613は、チタン(Ti)若しくはタングステン(W)などの低抵抗の金属、又は窒化チタン(TiN)若しくは窒化タンタル(TaN)などの金属化合物で形成されてもよい。第3コンタクト611、612、613は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、第3コンタクト611、612、613は、Ti又はTiNと、Wとの積層体にて形成されてもよい。
- [0093] 具体的には、第3コンタクト611は、第2配線層511の上に設けられる。第3コンタクト612は、第2配線層512の上に設けられる。第3コンタクト613は、第2配線層518の上に設けられる。
- [0094] 第5層間絶縁膜700は、第3配線層711、712を埋め込み、第4層間絶縁膜600の上に半導体基板100の全面に亘って設けられる。第5層間絶縁膜700は、例えば、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)又は酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。
- [0095] 第3配線層711、712は、導電性材料で構成され、第4層間絶縁膜600の上に設けられる。第3配線層711、712は、例えば、銅(Cu)又はアルミニウム(Al)等の金属材料で形成されてもよく、Cuのダマシン構造又はデュアルダマシン構造にて形成されてもよい。具体的には、第3

配線層 7 1 1 は、第 1 方向と直交する第 2 方向に延伸するプレート線 PL として第 3 コンタクト 6 1 1 の上に設けられる。第 3 配線層 7 1 2 は、第 1 方向と直交する第 2 方向に延伸するワード線 WL として第 3 コンタクト 6 1 2、6 1 3 の上に設けられる。

[0096] 上記の構造によれば、半導体装置 1 を用いたメモリセル 1 0 では、シェアコンタクトの内部に第 1 強誘電体キャパシタ 1 4 及び第 2 強誘電体キャパシタ 2 4 をスタック型シリンドラ形状にて形成することができる。したがって、メモリセル 1 0 は、平面面積をより縮小することができるため、記憶装置の記憶密度をより高めることが容易になる。また、メモリセル 1 0 では、第 1 強誘電体キャパシタ 1 4 及び第 2 強誘電体キャパシタ 2 4 の容量をより大きくすることができるため、メモリセル 1 0 の信頼性を向上させることができる。

[0097] <3. 製造方法>

続いて、図 5 ～図 1 5 を参照して、本実施形態に係る半導体装置 1 を用いたメモリセル 1 0 の製造方法について説明する。図 5 ～図 1 5 は、メモリセル 1 0 の製造方法の各工程を説明する平面図及び断面図である。

[0098] なお、図 5 ～図 1 5 においても、図 3 A 及び図 3 B と同様に、半導体基板 1 0 0 の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図を A - A 線、又は B - B 線の各々で切断した断面を示す。

[0099] まず、図 5 に示すように、半導体基板 1 0 0 に素子分離層 1 0 5 を形成し、FET の各々が形成される p 型活性化領域 1 5 0 A、1 5 0 D、及び n 型活性化領域 1 5 0 B、1 5 0 C を形成する。

[0100] 具体的には、Si からなる半導体基板 1 0 0 上に、ドライ酸化等にて SiO₂ 膜を形成し、さらに減圧 CVD (Chemical Vapor Deposition) 等にて Si₃N₄ 膜を形成する。続いて、p 型活性化領域 1 5 0 A、1 5 0 D、及び n 型活性化領域 1 5 0 B、1 5 0 C を形成する領域を保護するようにパターンニングされたレジスト層を Si₃N₄ 膜の上に形成した後、SiO₂ 膜、Si₃N₄ 膜及び半導体基板 1 0 0 を 350 nm ～ 400 nm

mの深さでエッチングする。次に、膜厚650nm～700nmにてSiO₂を成膜し、エッチングによる開口を埋め込むことで、素子分離層105を形成する。SiO₂の成膜には、例えば、段差被覆性が良好であり、かつ緻密なSiO₂膜を形成することが可能な高密度プラズマCVDを用いてもよい。

[0101] 続いて、CMP (Chemical Mechanical Polish) 等を用いて、過剰に成膜されたSiO₂膜を除去することで、半導体基板100の表面を平坦化する。CMPによるSiO₂膜の除去は、例えば、Si₃N₄膜が露出するまで行えばよい。

[0102] さらに、熱リン酸等を用いてSi₃N₄膜を除去する。なお、素子分離層105のSiO₂膜をより緻密な膜とするため、又はp型活性化領域150A、150D、及びn型活性化領域150B、150Cの角を丸めるために、Si₃N₄膜の除去の前に半導体基板100をN₂、O₂又はH₂/O₂環境下でアニーリングすることも可能である。

[0103] 次に、半導体基板100のp型活性化領域150A、150D、及びn型活性化領域150B、150Cに対応する領域の表面を10nm程度酸化して酸化膜100Aを形成する。その後、p型活性化領域150A、150Dに対応する領域の半導体基板100に、p型不純物（例えば、ホウ素（B）など）をイオン注入することで、p型活性化領域150A、150Dを形成する。また、n型活性化領域150B、150Cに対応する領域の半導体基板100に、n型不純物（例えば、ヒ素（As）など）をイオン注入することで、n型活性化領域150B、150Cを形成する。

[0104] 次に、図6に示すように、ゲート絶縁膜140を成膜した後、ゲート絶縁膜140の上に、ゲート電極131、132、133、134を形成する。

[0105] 具体的には、まず、半導体基板100の表面を覆う酸化膜100Aをフッ化水素酸溶液等で剥離する。その後、700℃のO₂を用いたドライ酸化又はRTA (Rapid Thermal Anneal) 処理によって、半導体基板100の上にSiO₂からなるゲート絶縁膜140を膜厚1.5nm～10nmにて形成する。なお、ドライ酸化に用いるガスとしては、O₂の他に

、 H_2/O_2 、 N_2O 又は NO の混合ガスを用いてもよい。また、ゲート絶縁膜140を形成する際に、プラズマ窒化を用いることで、 SiO_2 膜中に窒素ドーピングを行うことも可能である。

[0106] 次に、 SiH_4 ガスを原料ガスとし、成膜温度を $580^\circ\text{C}\sim 620^\circ\text{C}$ とする減圧CVDを用いて、ポリシリコンを膜厚 $50\text{nm}\sim 150\text{nm}$ にて成膜する。その後、パターニングされたレジストをマスクとして、成膜されたポリシリコンに対して異方性エッチングを行うことにより、ゲート電極131、132、133、134を形成する。異方性エッチングには、例えば、 HBr 又は Cl 系のガスを用いることができる。例えば、 40nm ノードでは、ゲート幅を $40\text{nm}\sim 50\text{nm}$ 程度として、ゲート電極131、132、133、134を形成してもよい。

[0107] なお、ゲート電極131、132、133、134は、メモリセル10が形成される領域以外のロジック領域等に設けられるトランジスタのゲート電極と同時に形成されてもよい。

[0108] 次に、図7に示すように、ゲート電極131、132、133、134の両側面にサイドウォール絶縁膜131S、132S、133S、134S（サイドウォール絶縁膜132S、133S、134Sは図示されず）を形成する。その後、半導体基板100のp型活性化領域150A、150D、及びn型活性化領域150B、150Cに、ソース又はドレイン領域151A、151D、151B、151Cをそれぞれ形成する。

[0109] 具体的には、ゲート電極131、132、133、134の両側のp型活性化領域150A、150Dにn型不純物であるヒ素（As）を $5\text{keV}\sim 20\text{keV}$ にて、 $5\sim 20\times 10^{13}$ 個/ cm^2 の濃度でイオン注入する。なお、n型不純物として、リン（P）を用いることも可能である。また、ゲート電極131、133の両側のn型活性化領域150B、150Cにp型不純物であるフッ化ホウ素（ BF_2 ）を $3\text{keV}\sim 5\text{keV}$ にて、 $5\sim 20\times 10^{13}$ 個/ cm^2 の濃度でイオン注入する。これにより、p型活性化領域150A、150D、及びn型活性化領域150B、150Cの各々にLDD領域を

形成する。LDD領域を形成することで、短チャネル効果を抑制することができるため、FETの特性ばらつきを抑制することが可能である。

[0110] 次に、プラズマCVDによってSiO₂を膜厚10nm～30nmで成膜した後、プラズマCVDによってSi₃N₄を膜厚30nm～50nmで成膜し、サイドウォール用の絶縁膜を形成する。その後、サイドウォール用の絶縁膜に対して、異方性エッチングを行うことで、ゲート電極131、132、133、134の両側面にサイドウォール絶縁膜131S、132S、133S、134Sを形成する。

[0111] その後、ゲート電極131、132、133、134の両側のp型活性化領域150A、150Dにn型不純物であるヒ素(As)を20keV～50keVにて、 $1\sim 2\times 10^{15}$ 個/cm²の濃度でイオン注入する。また、ゲート電極131、133の両側のn型活性化領域150B、150Cにp型不純物であるフッ化ホウ素(BF₂)を5keV～10keVにて、 $1\sim 2\times 10^{15}$ 個/cm²の濃度でイオン注入する。これにより、ゲート電極131、132、133、134の両側にソース又はドレイン領域151A、151D、151B、151Cが形成される。さらに、1000℃にて5秒間のRTA(Rapid Thermal Annealing)を行うことにより、イオン注入したn型不純物及びp型不純物を活性化させる。これにより、半導体基板100の上にFETの各々が形成される。なお、導入した不純物の活性化を促進し、かつ不純物の拡散を抑制するために、スパイクRTAにて不純物の活性化を行うことも可能である。

[0112] 続いて、スパッタ等にて、半導体基板100の全面に亘って、Niを膜厚6nm～8nmにて成膜した後、300℃～450℃にて10秒～60秒のRTAを行うことで、Si上のNiをシリサイド(NiSi)化させる。SiO₂上のNiは未反応のまま残るため、H₂SO₄/H₂O₂を用いてSiO₂上の未反応のNiを除去する。これにより、ゲート電極131、132、133、134、並びにソース又はドレイン領域151A、151B、151C、151Dに、NiSiからなる導通層131C、132C、133C、

133C、並びにコンタクト領域152A、152B、152C、152Dが形成される（導通層132C、133C、133Cは図示されず）。なお、Niに替えてCo又はNiPtを成膜することで、CoSi₂又はNiSiにて導通層131C、132C、133C、133C、並びにコンタクト領域152A、152B、152C、152Dを形成してもよい。Co又はNiPtを成膜した場合のRTAの温度は、適宜設定され得る。

[0113] 続いて、図8に示すように、FETの各々を埋め込むように半導体基板100の全面に亘って平坦化膜200を形成した後、平坦化膜200に開口を形成し、該開口の内部に下部電極111を形成する。

[0114] 具体的には、半導体基板100の上に、CVD等を用いて、SiO₂を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、平坦化膜200を形成する。

[0115] なお、図示しないが、平坦化膜200を形成する前に、半導体基板100の上に、SiNからなるライナー層を半導体基板100の全面に亘って形成してもよい。例えば、プラズマCVDを用いて、SiNを膜厚10nm～50nmにて成膜することで、ライナー層を形成してもよい。ライナー層は、半導体基板100に圧縮応力又は引張応力を付与する層として形成することも可能である。ライナー層を形成することにより、後段の工程で、平坦化膜200とライナー層とのエッチング選択比が高くなる条件で平坦化膜200をエッチングすることができるため、より高い制御性にてエッチングを行うことができる。

[0116] 次に、リソグラフィにてパターニングされたレジストをマスクとする異方性エッチングを用いて、平坦化膜200に、ソース又はドレイン領域151A、151B並びにゲート電極133を露出させる開口と、ソース又はドレイン領域151C、151D並びにゲート電極131を露出させる開口と、を形成する。開口は、例えば、幅60nmかつ深さ200nmにて形成することができる。このとき、開口のアスペクト比が20程度であれば、開口を形成するエッチング、及び後段の成膜による開口の埋め込みを問題なく行う

ことが可能である。異方性エッチングは、例えば、フルオロカーボン系のガスを用いることで行うことができる。また、上述したライナー層を用いることで、制御性良くエッチングをストップすることができる。

[0117] 次に、ALD、CVD又はIMPによるスパッタを用いて、平坦化膜200に形成した開口の内部形状に沿って、ソース又はドレイン領域151A、151B並びにゲート電極133の上にTiNを膜厚5nm〜20nmで成膜し、第1強誘電体キャパシタ14の下部電極111を形成する。なお、下部電極111を形成する材料として、TiNに替えて、Ta₂N₅、Ru、又はRuO₂などを用いることも可能である。

[0118] その後、成膜した下部電極111の各々の上にレジストを塗布した後、該レジスト及び下部電極111が同程度のエッチング選択比となる条件でエッチバックを行うことで、下部電極111を開口の開口面から後退させる。これにより、開口の底部及び側面に下部電極111を残しつつ、下部電極111の肩部を後退させることで、リセスを形成することができる。

[0119] 次に、図9に示すように、下部電極111の上に強誘電体膜113を成膜し、さらに強誘電体膜113の上に上部電極115を成膜することで、開口の各々の内部に第1強誘電体キャパシタ14を形成する。

[0120] 具体的には、下部電極111の各々の上に、平坦化膜200に設けた開口の内部形状に沿って、高誘電体材料である酸化ハフニウム(HfO_x)をCVD又はALDにて膜厚3nm〜10nmにて成膜することで、強誘電体膜113を形成する。なお、高誘電体材料である酸化ハフニウム(HfO_x)は、後段にて、アニール処理が行われることで強誘電体材料に変換される。

[0121] なお、酸化ハフニウムに替えて、酸化ジルコニウム(ZrO_x)又は酸化ハフニウムジルコニウム(HfZrO_x)などの高誘電体材料を用いることも可能である。また、これらの高誘電体材料にランタン(La)、シリコン(Si)又はガドリニウム(Gd)等をドーピングすることで強誘電体材料に変換することも可能である。さらには、強誘電体膜113として、チタン酸ジルコン酸鉛(PZT)、又はタンタル酸ビスマス酸ストロンチウム(SBT)な

どのペレブスカイト系の強誘電体材料を用いることも可能である。

[0122] その後、平坦化膜200に形成した開口の各々を埋め込むように、強誘電体膜113の上にCVD、ALD又はスパッタ等を用いて、TiNを膜厚5nm〜20nmで成膜することで、上部電極115をそれぞれ形成する。なお、上部電極115を形成する材料として、Ta₂N₅、Ru又はRuO₂を用いることも可能である。続いて、強誘電体膜113を構成するHfO_xを強誘電体材料に変換するための結晶化アニールが行われる。

[0123] HfO_xを強誘電体材料に変換する結晶化アニールは、本工程にて行ってもよく、他の工程（例えば、後述するCMP後）にて行われてもよい。結晶化アニールは、例えば、400℃〜700℃の範囲かつNiSi又はFETなどの他の構成の耐熱性の範囲であれば、任意に変更することが可能である。その後、CMP又は全面エッチバックを行うことで、平坦化膜200の上に、過剰に成膜された強誘電体膜113及び上部電極115を除去する。

[0124] これにより、第1強誘電体キャパシタ14が形成される。このような工程によれば、第1配線層等の配線を形成する工程の前に強誘電体膜113を高い温度で結晶化アニールを行うことができるため、第1配線層等の配線に対する熱負荷を低下させることができる。また、第1強誘電体キャパシタ14を形成するこれらの工程によって、第2強誘電体キャパシタ24が形成される。

[0125] 次に、図10に示すように、第1コンタクト211、212、213、214、215、216、217、218を形成する。

[0126] 具体的には、平坦化膜200をエッチングすることで、平坦化膜200に、所定のソース又はドレイン領域151A、151B、151C、151D、並びにゲート電極132、134を露出させる開口を形成する。続いて、CVD等にて平坦化膜200の開口にTi及びTiNを成膜し、さらにWを成膜した後、CMP法にて平坦化する。これにより、ソース又はドレイン領域151A、151B、151C、151D、並びにゲート電極132、134の上に第1コンタクト211、212、213、214、215、21

6、217、218を形成する。

[0127] なお、Ti及びTiNは、IMPを用いたスパッタ法等で成膜してもよい。また、CMP法の代わりに全面エッチバックを用いて平坦化を行ってもよい。なお、第1コンタクト211、212、213、214、215、216、217、218は、メモリセル10が形成される領域以外のロジック領域等に設けられるトランジスタのコンタクトと同時に形成されてもよい。

[0128] 次に、図11に示すように、半導体基板100の全面に亘って第1層間絶縁膜300を形成した後、第1配線層311、312、313、314、315、316、317、318、319を形成する。

[0129] 具体的には、CVD等を用いて、平坦化膜200の上に全面に亘ってSiO₂を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、第1層間絶縁膜300を形成する。続いて、第1層間絶縁膜300をエッチングすることで、第1コンタクト211、212、213、214、215、216、217、218、並びに第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の上部電極を露出させる開口を形成する。その後、ダマシン構造又はデュアルダマシン構造を用いることで、Cu等を配線材料として、第1配線層311、312、313、314、315、316、317、318、319を形成する。なお、第1配線層311、312、313、314、315、316、317、318、319は、Al等にて形成されてもよい。

[0130] 続いて、図12に示すように、第1層間絶縁膜300の上に、半導体基板100の全面に亘って第2層間絶縁膜400を形成した後、第2コンタクト411、412、413、414、415、416、417、418、419を形成する。

[0131] 具体的には、CVD等を用いて、第1層間絶縁膜300の上に全面に亘ってSiO₂を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、第2層間絶縁膜400を形成する。続いて、第2層間絶縁膜400をエッチングすることで、第1配線層312、313、314

、315、316、317、318、319を露出させる開口を形成する。次に、形成した開口に対して、CVD等にてTiNを成膜し、さらにWを成膜した後、CMPにて平坦化することで、第2コンタクト411、412、413、414、415、416、417、418、419を形成する。なお、TiNは、IMPを用いたスパッタ法等で成膜してもよい。また、CMPの代わりに全面エッチバックを用いて平坦化を行ってもよい。

[0132] 次に、図13に示すように、第2層間絶縁膜400の上に、半導体基板100の全面に亘って第3層間絶縁膜500を形成した後、第2配線層511、512、513、514、515、516、517、518を形成する。

[0133] 具体的には、CVD等を用いて、第2層間絶縁膜400の上に全面に亘ってSiO₂を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、第3層間絶縁膜500を形成する。次に、第3層間絶縁膜500をエッチングすることで、第2コンタクト411、412、413、414、415、416、417、418、419を露出させる開口を形成した後、ダマシン構造又はデュアルダマシン構造を用いることで、Cu等を配線材料とする第2配線層511、512、513、514、515、516、517、518を形成する。なお、第2配線層511、512、513、514、515、516、517、518は、Al等にて形成されてもよい。

[0134] 第2配線層513は、第2コンタクト411の上に第1方向に延伸して設けられ、グランド線GNDとして機能する。第2配線層514は、第2コンタクト414の上に第1方向に延伸して設けられ、第1ビット線BL1として機能する。第2配線層515は、第2コンタクト415、419の上に第1方向に延伸して設けられ、電源線PWRとして機能する。第2配線層516は、第2コンタクト418の上に第1方向に延伸して設けられ、第2ビット線BL2として機能する。第2配線層517は、第2コンタクト416の上に第1方向に延伸して設けられ、グランド線GNDとして機能する。

[0135] 続いて、図14に示すように、第3層間絶縁膜500の上に、半導体基板

100の全面に亘って第4層間絶縁膜600を形成した後、第3コンタクト611、612、613を形成する。

[0136] 具体的には、CVD等を用いて、第3層間絶縁膜500の上に全面に亘ってSiO₂を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、第4層間絶縁膜600を形成する。続いて、第4層間絶縁膜600をエッチングすることで、第2配線層511、512、518を露出させる開口を形成する。次に、形成した開口に対して、CVD等にてTiNを成膜し、さらにWを成膜した後、CMPにて平坦化することで、第3コンタクト611、612、613を形成する。なお、TiNは、IMPを用いたスパッタ法等で成膜してもよい。また、CMPの代わりに全面エッチバックを用いて平坦化を行ってもよい。

[0137] 次に、図15に示すように、第4層間絶縁膜600の上に、半導体基板100の全面に亘って第5層間絶縁膜700を形成した後、第3配線層711、712を形成する。

[0138] 具体的には、CVD等を用いて、第4層間絶縁膜600の上に全面に亘ってSiO₂を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、第5層間絶縁膜700を形成する。次に、第5層間絶縁膜700をエッチングすることで、第3コンタクト611、612、613を露出させる開口を形成した後、ダマシン構造又はデュアルダマシン構造を用いることで、Cu等を配線材料とする第3配線層711、712を形成する。なお、第3配線層711、712は、Al等にて形成されてもよい。

[0139] 第3配線層711は、第3コンタクト611の上に第1方向と直交する第2方向に延伸して設けられ、プレート線PLとして機能する。第3配線層712は、第3コンタクト612、613の上に第1方向と直交する第2方向に延伸して設けられ、ワード線WLとして機能する。

[0140] 以上の工程により、本実施形態に係る半導体装置1を用いたメモリセル10を形成することができる。

[0141] <4. 動作例>

続いて、図16～図18Cを参照して、上記で説明したメモリセル10の動作例について説明する。図16は、第1記憶ノードN1及び第2記憶ノードN2の状態と、電位との関係を示すヒステリシス曲線の一例を示すグラフ図である。図17A～図17Cは、復帰時のメモリセル10の状態の遷移を説明する説明図であり、図18A～図18Cは、復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。図16及び図18A～図18Cは、横軸が電位を示し、縦軸が第1強誘電体キャパシタ14又は第2強誘電体キャパシタ24の分極量を示す。

[0142] 以下の表1は、各動作時におけるメモリセル10の各配線に印加される電圧（単位：V）の一例を示した表である。また、表1では、第1記憶ノードN1及び第2記憶ノードN2の電位も併せて示す。なお、表1において、「Vcc」は、電源電圧を表し、「Vw」は、第1強誘電体キャパシタ及び第2強誘電体キャパシタの書き込み電圧（強誘電体膜の分極状態を反転可能な電圧）を表し、「OFF」は、該当する配線をフローティング状態とすることを表す。

[0143] [表1]

（表1）

	動作時 スタンバイ時	格納時		休止時	復帰時
ワード線WL	OFF	OFF	OFF	OFF	OFF
プレート線PL	0	Vw	0	0	0
電源線PWR	Vcc	Vw	Vw	0	Vcc
グランド線GND	0	0	0	0	0
第1記憶ノードN1	0	0	0	0	0
第2記憶ノードN2	Vcc	Vw	Vw	0	Vcc

[0144] 例えば、メモリセル10の動作時又はスタンバイ時には、表1に示すように、ワード線WLはフローティング状態となり、電源線PWRはVccとなり、グランド線GNDは0Vとなり、プレート線PLは0Vとなる。このとき、メモリセル10は、ワード線WL、第1ビット線BL1及び第2ビット線BL2の電位を制御することで、SRAMと同様の動作にて第1記憶ノードN1及び第2記憶ノードN2の状態（すなわち、電位）を制御することが

できる。

[0145] ここで、電力供給を停止する前に、第1記憶ノードN1及び第2記憶ノードN2の状態を第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24に格納する動作について説明する。

[0146] なお、第1記憶ノードN1及び第2記憶ノードN2の状態は、第1記憶ノードN1の電位が0Vであり、第2記憶ノードN2の電位が V_{cc} であるとする。このときの第1記憶ノードN1の状態は、図16のヒステリシス曲線のP4となり、第2記憶ノードN2の状態は、図16のヒステリシス曲線のP1となる。

[0147] 第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24への格納時には、表1に示すように、まず、電源線PWR及びプレート線PLに V_w を印加する。このとき、第1記憶ノードN1の状態は、図16のヒステリシス曲線のP3となり、第2記憶ノードN2の状態は、図16のヒステリシス曲線のP2となる。次に、電源線PWRの電位を V_w に維持したまま、プレート線PLの電位を0Vとする。このときの第1記憶ノードN1の状態は、図16のヒステリシス曲線のP4となり、第2記憶ノードN2の状態は、図16のヒステリシス曲線のP1となる。

[0148] その後、電力供給を停止してすべての配線の電位を0Vとし、休止状態とした場合、第1記憶ノードN1の状態は、図16のヒステリシス曲線のP4となり、第2記憶ノードN2の状態は、図16のヒステリシス曲線のP2となる。これにより、メモリセル10では、電力供給がされない休止時であっても、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の残留分極によって情報を保持することができる。

[0149] 続いて、休止状態からの復帰時には、メモリセル10は、動作時又はスタンバイ時と同じ動作条件を適用されることで、第1記憶ノードN1及び第2記憶ノードN2の状態を休止前に復帰させることができる。

[0150] 休止状態からの復帰時の動作について、図17A～図17C及び図18A～図18Cを参照して説明すると以下のようになる。

- [0151] 具体的には、表 1 に示すように、ワード線WLをフローティング状態とし、電源線PWRにVccを印加し、グランド線GND及びプレート線PLに0Vを印加する。
- [0152] これにより、図 17 Aに示すように、p型FET 12及びp型FET 22のゲート電圧は0Vとなるため、p型FET 12及びp型FET 22はオン状態となり、第1記憶ノードN1及び第2記憶ノードN2には、電源線PWRから電荷が供給される。このときの第1記憶ノードN1及び第2記憶ノードN2は、図 18 Aに示す状態から図 18 Bに示す状態に遷移し、それぞれVccの電位に向かって電位を変化させる。ただし、第1記憶ノードN1は、負荷容量が大きいため、第2記憶ノードN2よりも電位の変化が緩やかになる。
- [0153] ここで、第2記憶ノードN2の電位がn型FET 13の閾値電圧Vthに達した場合、図 17 Bに示すように、n型FET 13がオン状態となるため、第1記憶ノードN1に蓄積した電荷はグランド線GNDに排出される。したがって、第1記憶ノードN1の電位は、図 18 Bに示す状態から図 18 Cに示す状態に遷移し、0Vに戻される。一方、n型FET 23はオン状態のままなので、第2記憶ノードN2には電荷が供給され続け、第2記憶ノードN2の電位は、Vccに向かって変化し続ける。
- [0154] このようなメモリセル10の動作状態は、図 17 Cに示すように、第1記憶ノードN1の電位、及び第2記憶ノードN2の電位がそれぞれ安定するまで継続する。これにより、最終的には、図 18 Cに示すように、第1記憶ノードN1の電位は、0Vで安定し、第2記憶ノードN2の電位は、Vccで安定することになる。このような動作により、メモリセル10は、第1記憶ノードN1及び第2記憶ノードN2の状態を休止前の状態に復帰させることができる。
- [0155] なお、上記では、第1記憶ノードN1の電位が0Vであり、第2記憶ノードN2の電位がVccである場合について説明したが、第1記憶ノードN1の電位がVccであり、第2記憶ノードN2の電位が0Vである場合につい

ても、同様に格納動作及び復帰動作を行うことが可能である。

[0156] 以上の動作によれば、本実施形態に係る半導体装置 1 を用いたメモリセル 10 は、電力供給時には S R A M と同様の高速動作を行うことができる。また、メモリセル 10 では、電力供給が停止する休止時でも、第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 に情報を格納しておき、復帰時に第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 から情報を復帰させることができる。これによれば、メモリセル 10 は、電力供給が停止する休止時でも情報を保持可能な不揮発メモリとして動作することが可能であるため、消費電力をより低減することができる。

[0157] < 5. 適用例 >

続いて、本開示の一実施形態に係る電子機器について説明する。本開示の一実施形態に係る電子機器は、上述した半導体装置 1 を含む回路が搭載された種々の電子機器である。図 19 A ~ 図 19 C を参照して、このような本実施形態に係る電子機器の例について説明する。図 19 A ~ 図 19 C は、本実施形態に係る電子機器の一例を示す外観図である。

[0158] 例えば、本実施形態に係る電子機器は、スマートフォンなどの電子機器であってもよい。具体的には、図 19 A に示すように、スマートフォン 900 は、各種情報を表示する表示部 901 と、ユーザによる操作入力を受け付けるボタン等から構成される操作部 903 と、を備える。ここで、スマートフォン 900 に搭載される回路には、上述した半導体装置 1 が設けられてもよい。

[0159] 例えば、本実施形態に係る電子機器は、デジタルカメラなどの電子機器であってもよい。具体的には、図 19 B 及び図 19 C に示すように、デジタルカメラ 910 は、本体部（カメラボディ）911 と、交換式のレンズユニット 913 と、撮影時にユーザによって把持されるグリップ部 915 と、各種情報を表示するモニタ部 917 と、撮影時にユーザによって観察されるスルー画を表示する E V F（E l e c t r o n i c V i e w F i n d e r）919 と、を備える。なお、図 19 B は、デジタルカメラ 910 を前方（す

なわち、被写体側）から眺めた外観図であり、図 19C は、デジタルカメラ 910 を後方（すなわち、撮影者側）から眺めた外観図である。ここで、デジタルカメラ 910 に搭載される回路には、上述した半導体装置 1 が設けられてもよい。

[0160] ただし、本実施形態に係る電子機器は、上記例示に限定されない。本実施形態に係る電子機器は、あらゆる分野の電子機器であってもよい。このような電子機器としては、例えば、眼鏡型ウェアラブルデバイス、HMD（Head Mounted Display）、テレビジョン装置、電子ブック、PDA（Personal Digital Assistant）、ノート型パーソナルコンピュータ、ビデオカメラ又はゲーム機器等を例示することができる。

[0161] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0162] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0163] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

n 型 FET 及び p 型 FET を含む第 1 反転回路と、

n 型 FET 及び p 型 FET を含み、前記第 1 反転回路の入力に出力が接続され、前記第 1 反転回路の出力に入力に接続された第 2 反転回路と、

電極の一方を前記第 1 反転回路の入力に接続された第 1 強誘電体キャパシタと、

電極の一方を前記第 2 反転回路の入力に接続された第 2 強誘電体キャパシタと、

前記第 1 強誘電体キャパシタの電極の他方、及び前記第 2 強誘電体キャパシタの電極の他方と接続するプレート線と、
を備える、半導体装置。

(2)

前記第 1 反転回路及び前記第 2 反転回路の前記 n 型 F E T 及び前記 p 型 F E T は、互いに平行に第 1 方向に延伸する p 型又は n 型の活性化領域にそれぞれ設けられる、前記 (1) に記載の半導体装置。

(3)

前記第 1 反転回路及び前記第 2 反転回路の前記 n 型 F E T 及び前記 p 型 F E T は、前記第 1 方向と直交する第 2 方向に延伸するゲート電極にてそれぞれ電氣的に接続される、前記 (2) に記載の半導体装置。

(4)

前記第 1 反転回路の前記ゲート電極から、前記第 2 反転回路の前記 n 型 F E T 及び前記 p 型 F E T が設けられた p 型又は n 型の活性化領域のそれぞれに亘って第 1 シェアコンタクトが設けられ、

前記第 2 反転回路の前記ゲート電極から、前記第 1 反転回路の前記 n 型 F E T 及び前記 p 型 F E T が設けられた p 型又は n 型の活性化領域のそれぞれに亘って第 2 シェアコンタクトが設けられる、前記 (3) に記載の半導体装置。

(5)

前記第 1 強誘電体キャパシタは、前記第 1 シェアコンタクトの内部に設けられ、前記第 2 強誘電体キャパシタは、前記第 2 シェアコンタクトの内部に設けられる、前記 (4) に記載の半導体装置。

(6)

前記第 1 強誘電体キャパシタ及び前記第 2 強誘電体キャパシタは、スタック型シリンドラ形状にて設けられる、前記 (5) に記載の半導体装置。

(7)

前記第1シェアコンタクト及び前記第2シェアコンタクトは、折曲した平面形状を有する、前記(5)又は(6)に記載の半導体装置。

(8)

前記第1シェアコンタクト及び前記第2シェアコンタクトの上には、前記第2方向に延伸する前記プレート線が設けられる、前記(5)～(7)のいずれか一項に記載の半導体装置。

(9)

前記第1反転回路及び前記第2反転回路の双方において、前記p型FETのソース又はドレインの一方にはそれぞれ電源線が電氣的に接続され、前記p型FETのソース又はドレインの他方にはそれぞれ前記n型FETのソース又はドレインの一方が電氣的に接続され、前記n型FETのソース又はドレインの他方にはそれぞれグランド線が電氣的に接続される、前記(4)～(8)のいずれか一項に記載の半導体装置。

(10)

前記電源線及び前記グランド線は、前記第1方向に延伸して設けられる、前記(9)に記載の半導体装置。

(11)

前記第1強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第1選択FETと、

前記第2強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第2選択FETと、

をさらに備える、前記(4)～(10)のいずれか一項に記載の半導体装置。

(12)

前記第1選択FET及び前記第2選択FETは、前記第1反転回路及び前記第2反転回路の前記n型FETが設けられる前記p型の活性化領域にそれぞれ設けられるn型FETである、前記(11)に記載の半導体装置。

(13)

前記第1選択FETは、前記第2シェアコンタクトを挟んで前記第1反転回路の前記前記n型FETと対向する側に設けられ、

前記第2選択FETは、前記第1シェアコンタクトを挟んで前記第2反転回路の前記前記n型FETと対向する側に設けられる、前記(12)に記載の半導体装置。

(14)

前記第1選択FET及び前記第2選択FETのゲートには、前記第2方向に延伸するワード線が電氣的に接続される、前記(11)～(13)のいずれか一項に記載の半導体装置。

(15)

前記第1選択FET及び前記第2選択FETのソース又はドレインの他方には、前記第1方向に延伸する第1ビット線又は第2ビット線がそれぞれ電氣的に接続される、前記(11)～(14)のいずれか一項に記載の半導体装置。

(16)

半導体装置を備え、

前記半導体装置は、

n型FET及びp型FETを含む第1反転回路と、

n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に入力に接続された第2反転回路と、

電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、

電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、

前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、
を備える、電子機器。

符号の説明

[0164]	1	半導体装置
	1 0	メモリセル
	1 1	第 1 反転回路
	1 2	p 型 F E T
	1 3	n 型 F E T
	1 4	第 1 強誘電体キャパシタ
	1 5	第 1 選択 F E T
	2 1	第 2 反転回路
	2 2	p 型 F E T
	2 3	n 型 F E T
	2 4	第 2 強誘電体キャパシタ
	2 5	第 2 選択 F E T
	P W R	電源線
	G N D	グラント線
	P L	プレート線
	W L	ワード線
	B L 1	第 1 ビット線
	B L 2	第 2 ビット線

請求の範囲

- [請求項1] n型F E T及びp型F E Tを含む第1反転回路と、
 n型F E T及びp型F E Tを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に inputs が接続された第2反転回路と、
 電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、
 電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、
 前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、
 を備える、半導体装置。
- [請求項2] 前記第1反転回路及び前記第2反転回路の前記n型F E T及び前記p型F E Tは、互いに平行に第1方向に延伸するp型又はn型の活性化領域にそれぞれ設けられる、請求項1に記載の半導体装置。
- [請求項3] 前記第1反転回路及び前記第2反転回路の前記n型F E T及び前記p型F E Tは、前記第1方向と直交する第2方向に延伸するゲート電極にてそれぞれ電氣的に接続される、請求項2に記載の半導体装置。
- [請求項4] 前記第1反転回路の前記ゲート電極から、前記第2反転回路の前記n型F E T及び前記p型F E Tが設けられたp型又はn型の活性化領域のそれぞれに亘って第1シェアコンタクトが設けられ、
 前記第2反転回路の前記ゲート電極から、前記第1反転回路の前記n型F E T及び前記p型F E Tが設けられたp型又はn型の活性化領域のそれぞれに亘って第2シェアコンタクトが設けられる、請求項3に記載の半導体装置。
- [請求項5] 前記第1強誘電体キャパシタは、前記第1シェアコンタクトの内部に設けられ、前記第2強誘電体キャパシタは、前記第2シェアコンタクトの内部に設けられる、請求項4に記載の半導体装置。

- [請求項6] 前記第1強誘電体キャパシタ及び前記第2強誘電体キャパシタは、スタック型シリンドラ形状にて設けられる、請求項5に記載の半導体装置。
- [請求項7] 前記第1シェアコンタクト及び前記第2シェアコンタクトは、折曲した平面形状を有する、請求項5に記載の半導体装置。
- [請求項8] 前記第1シェアコンタクト及び前記第2シェアコンタクトの上には、前記第2方向に延伸する前記プレート線が設けられる、請求項5に記載の半導体装置。
- [請求項9] 前記第1反転回路及び前記第2反転回路の双方において、前記p型FETのソース又はドレインの一方にはそれぞれ電源線が電氣的に接続され、前記p型FETのソース又はドレインの他方にはそれぞれ前記n型FETのソース又はドレインの一方が電氣的に接続され、前記n型FETのソース又はドレインの他方にはそれぞれグランド線が電氣的に接続される、請求項4に記載の半導体装置。
- [請求項10] 前記電源線及び前記グランド線は、前記第1方向に延伸して設けられる、請求項9に記載の半導体装置。
- [請求項11] 前記第1強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第1選択FETと、
前記第2強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第2選択FETと、
をさらに備える、請求項4に記載の半導体装置。
- [請求項12] 前記第1選択FET及び前記第2選択FETは、前記第1反転回路及び前記第2反転回路の前記n型FETが設けられる前記p型の活性化領域にそれぞれ設けられるn型FETである、請求項11に記載の半導体装置。
- [請求項13] 前記第1選択FETは、前記第2シェアコンタクトを挟んで前記第1反転回路の前記前記n型FETと対向する側に設けられ、
前記第2選択FETは、前記第1シェアコンタクトを挟んで前記第

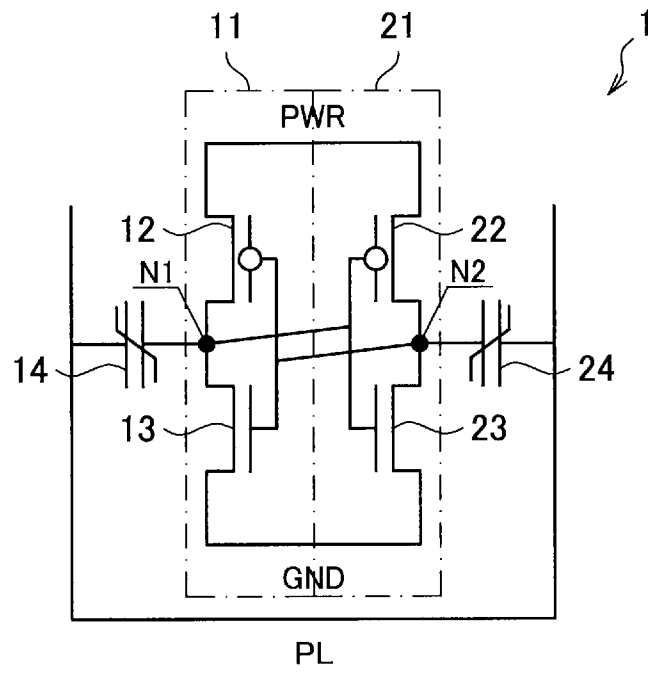
2反転回路の前記前記n型FETと対向する側に設けられる、請求項12に記載の半導体装置。

[請求項14] 前記第1選択FET及び前記第2選択FETのゲートには、前記第2方向に延伸するワード線が電氣的に接続される、請求項11に記載の半導体装置。

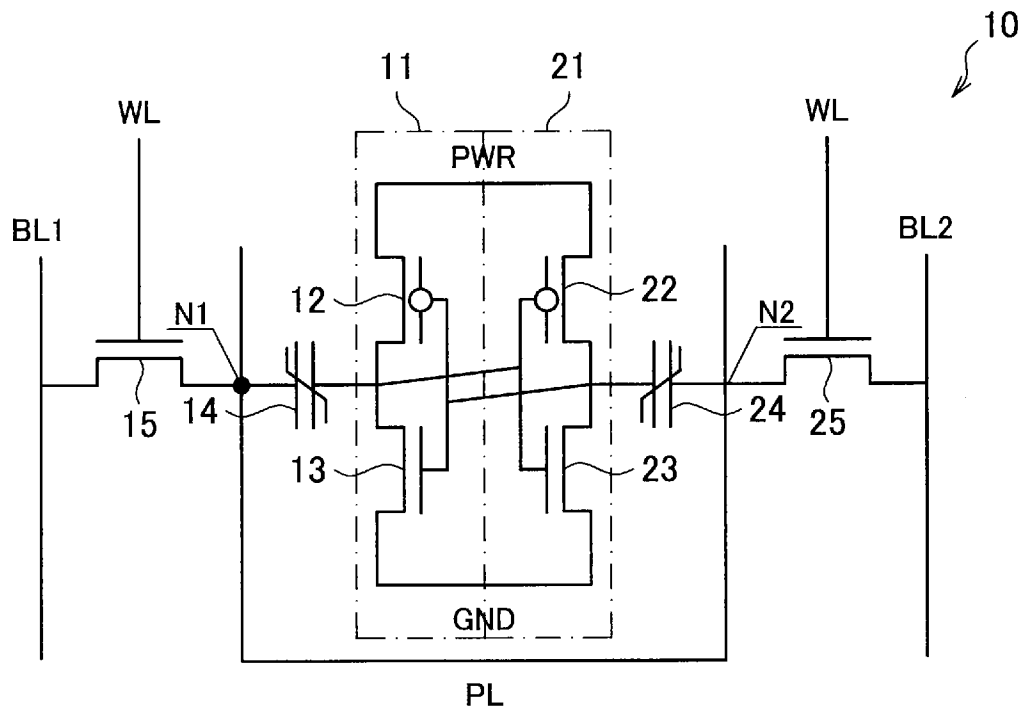
[請求項15] 前記第1選択FET及び前記第2選択FETのソース又はドレインの他方には、前記第1方向に延伸する第1ビット線又は第2ビット線がそれぞれ電氣的に接続される、請求項11に記載の半導体装置。

[請求項16] 半導体装置を備え、
前記半導体装置は、
n型FET及びp型FETを含む第1反転回路と、
n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に inputs が接続された第2反転回路と、
電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、
電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、
前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、
を備える、電子機器。

[図1]

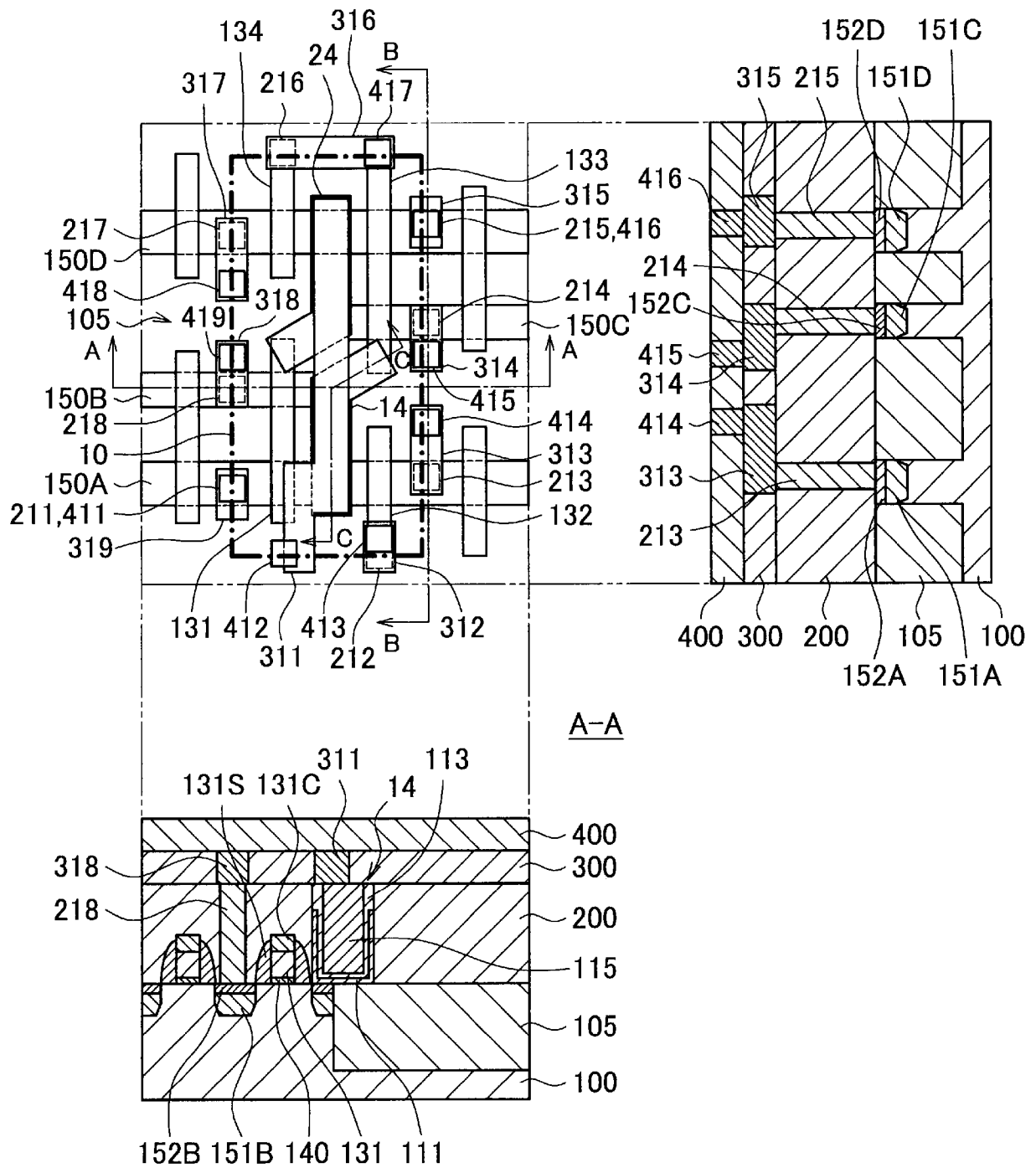


[図2]

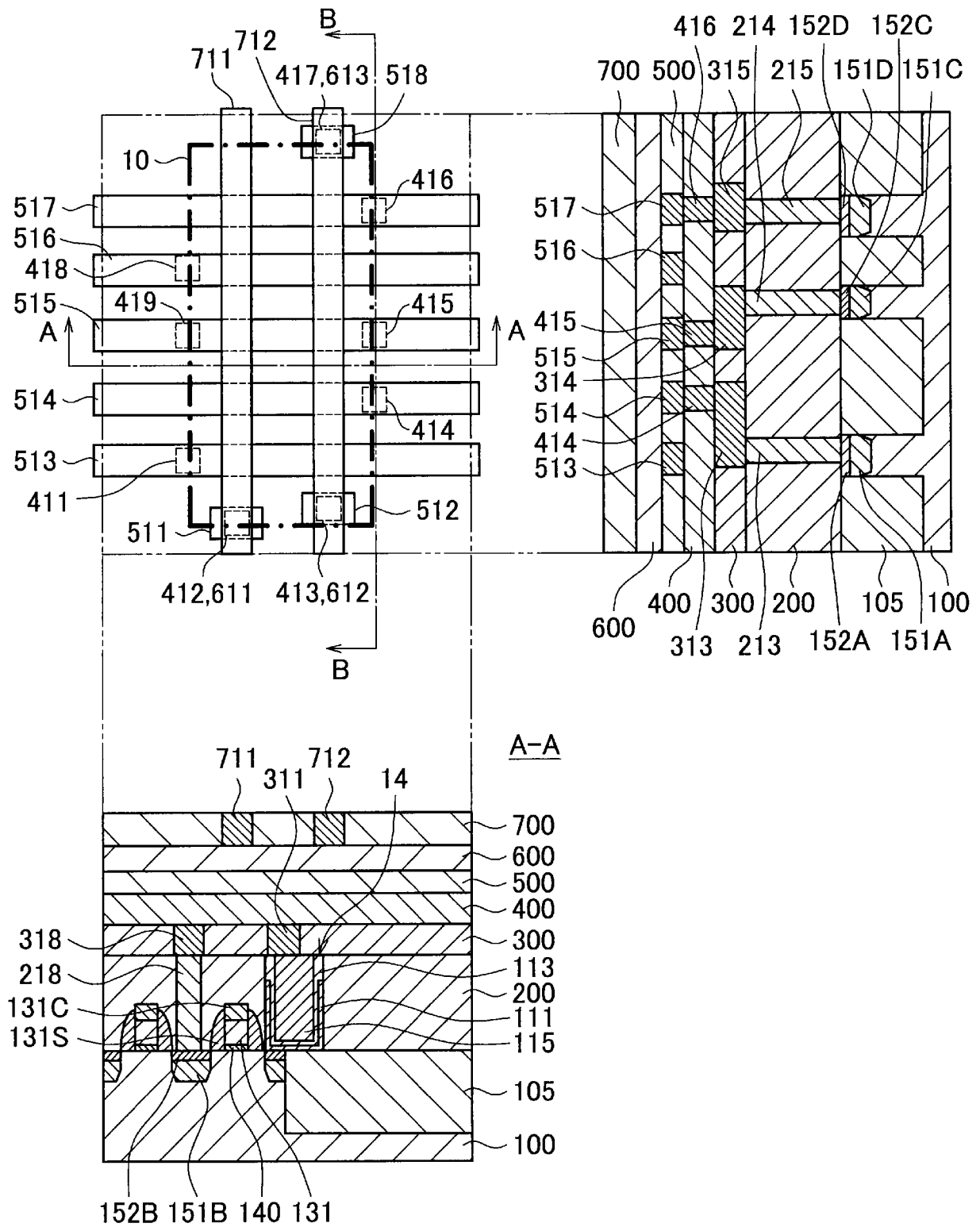


[図3A]

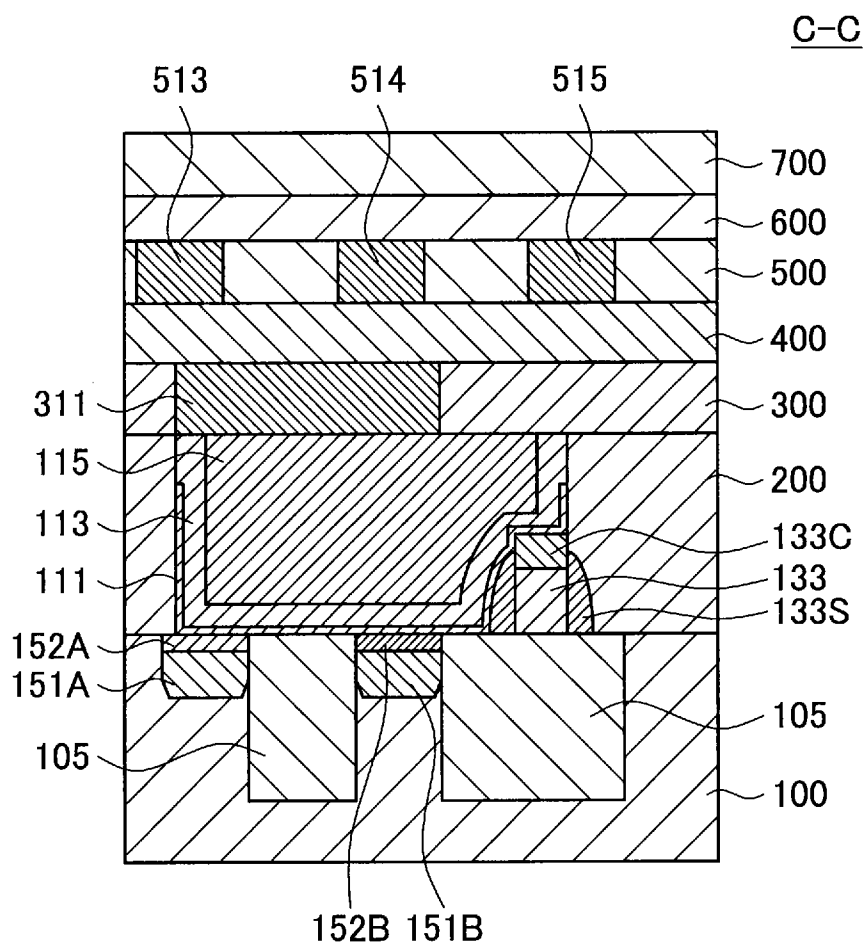
B-B



[図3B]

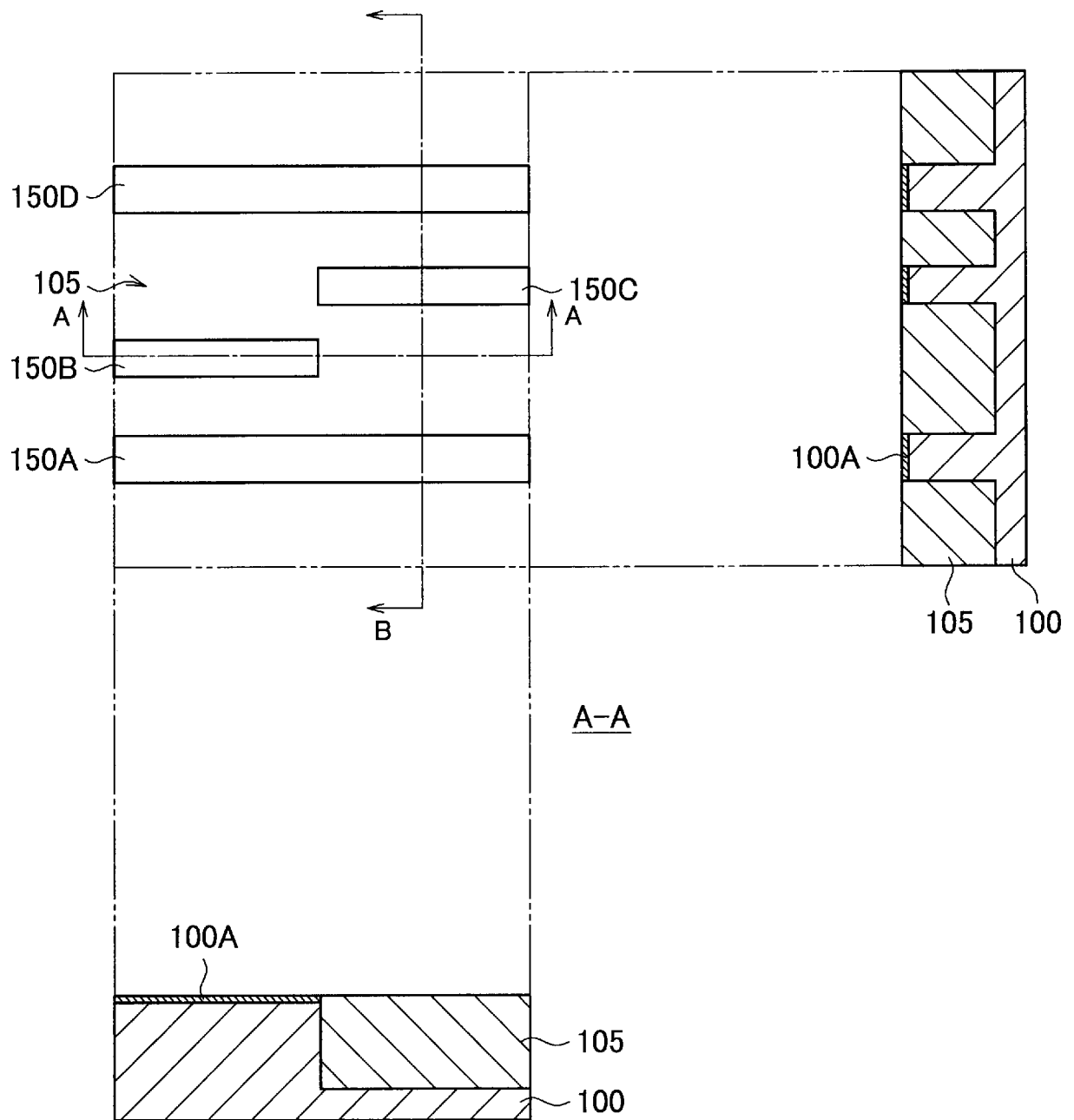
B-B

[図4]

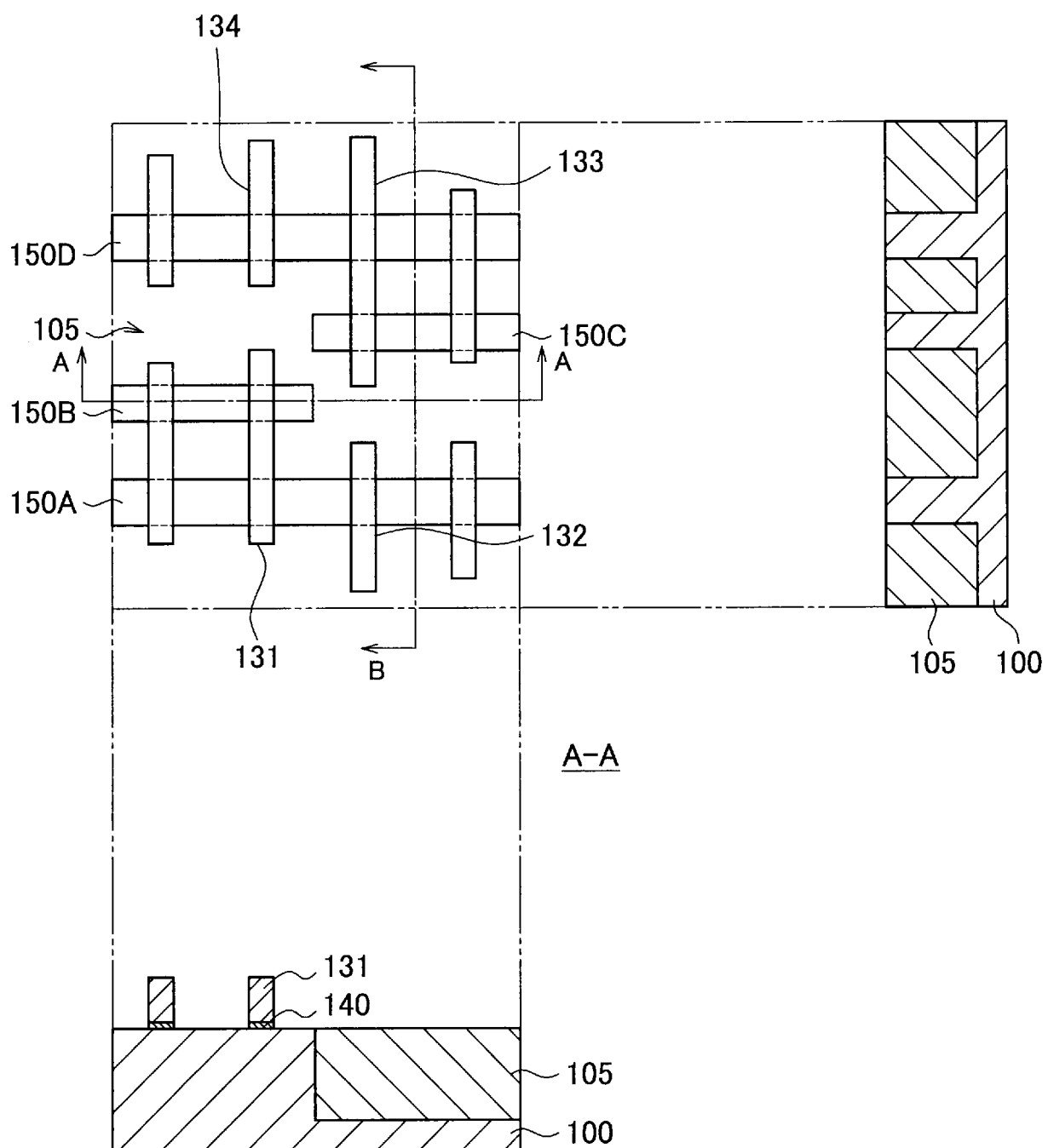


[図5]

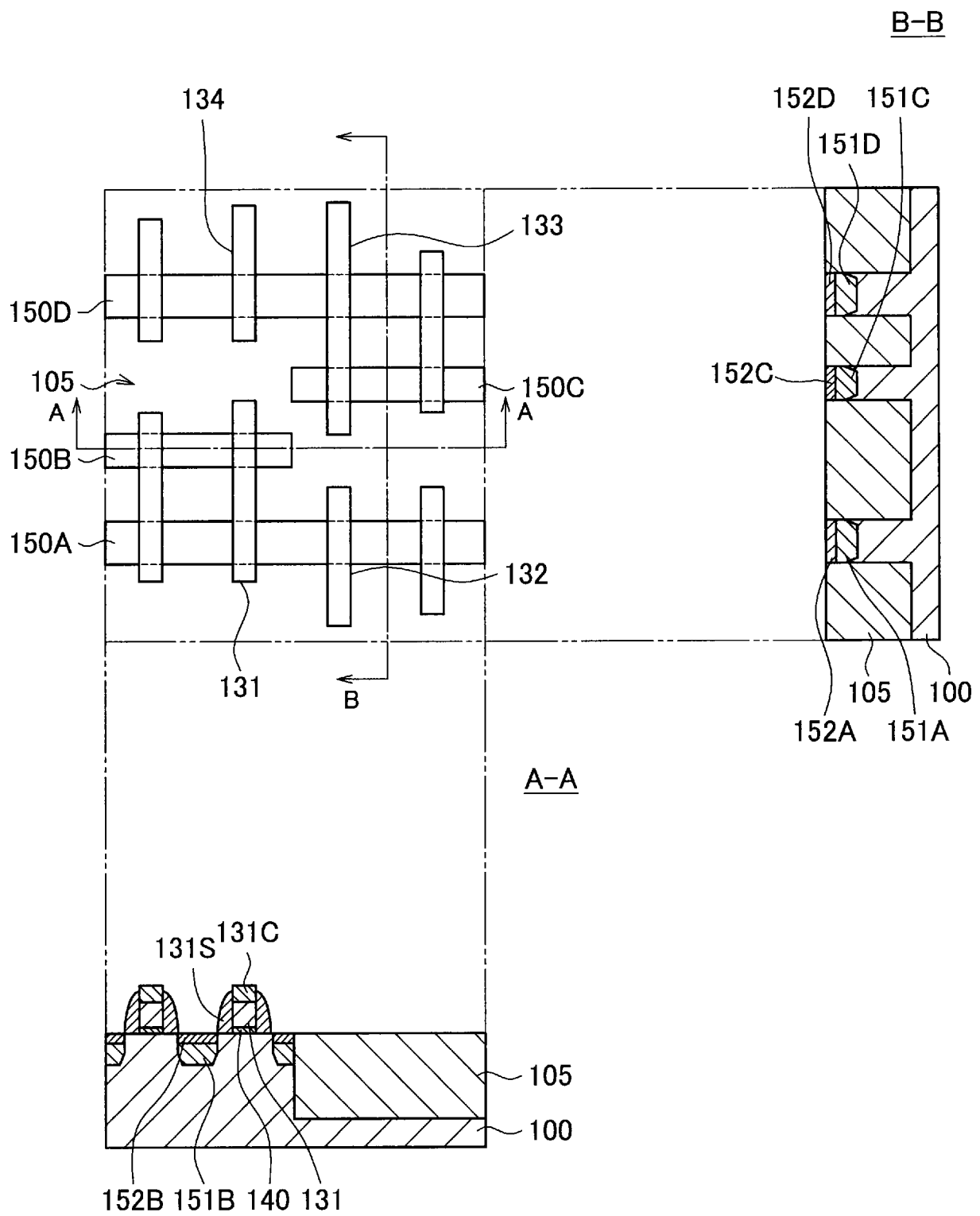
B-B



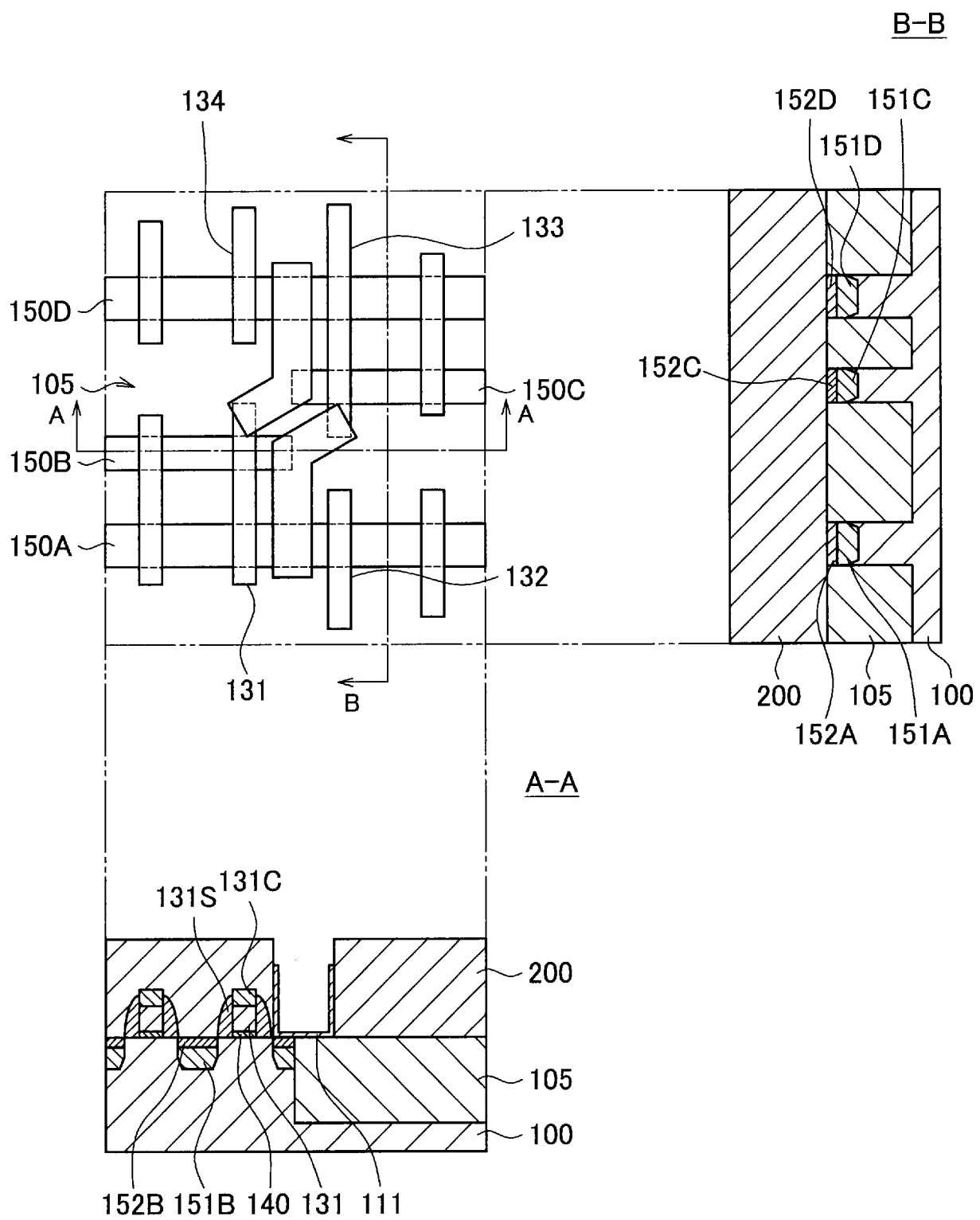
[図6]

B-B

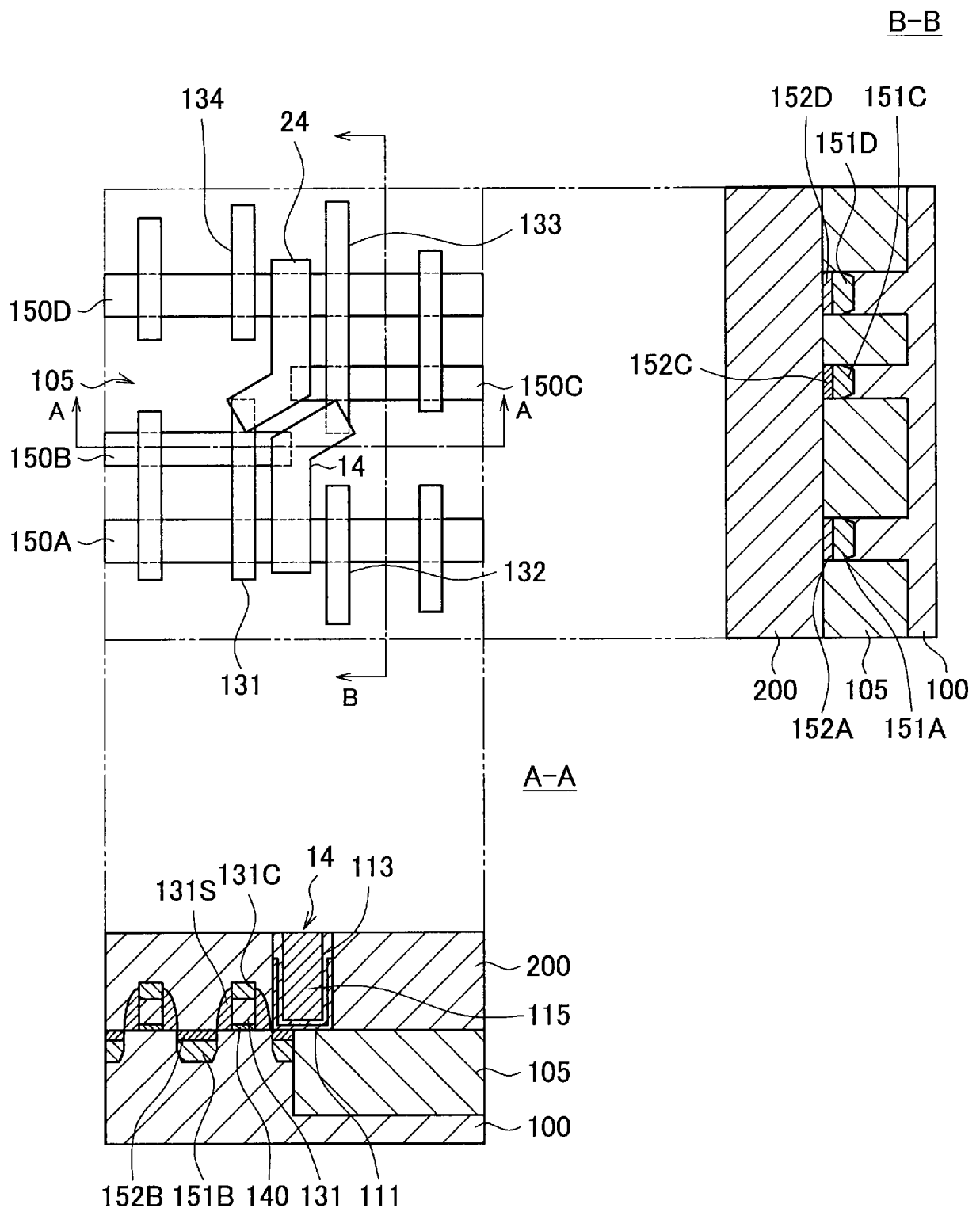
[図7]



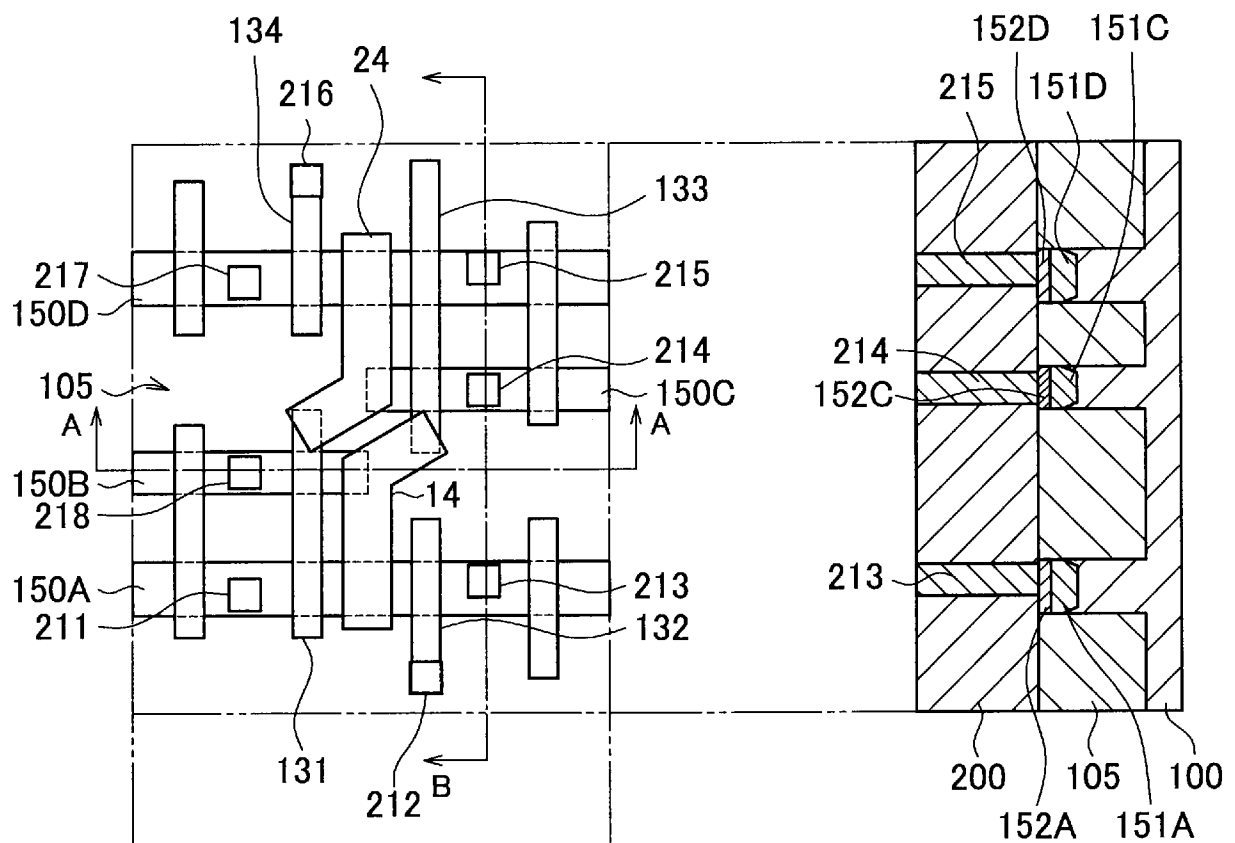
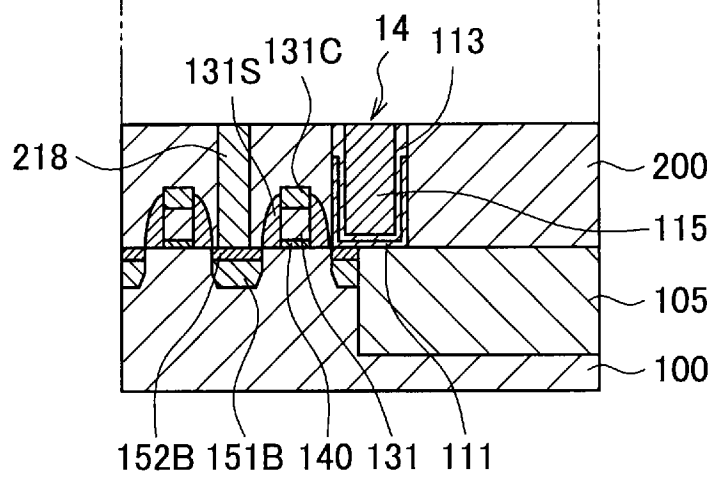
[図8]



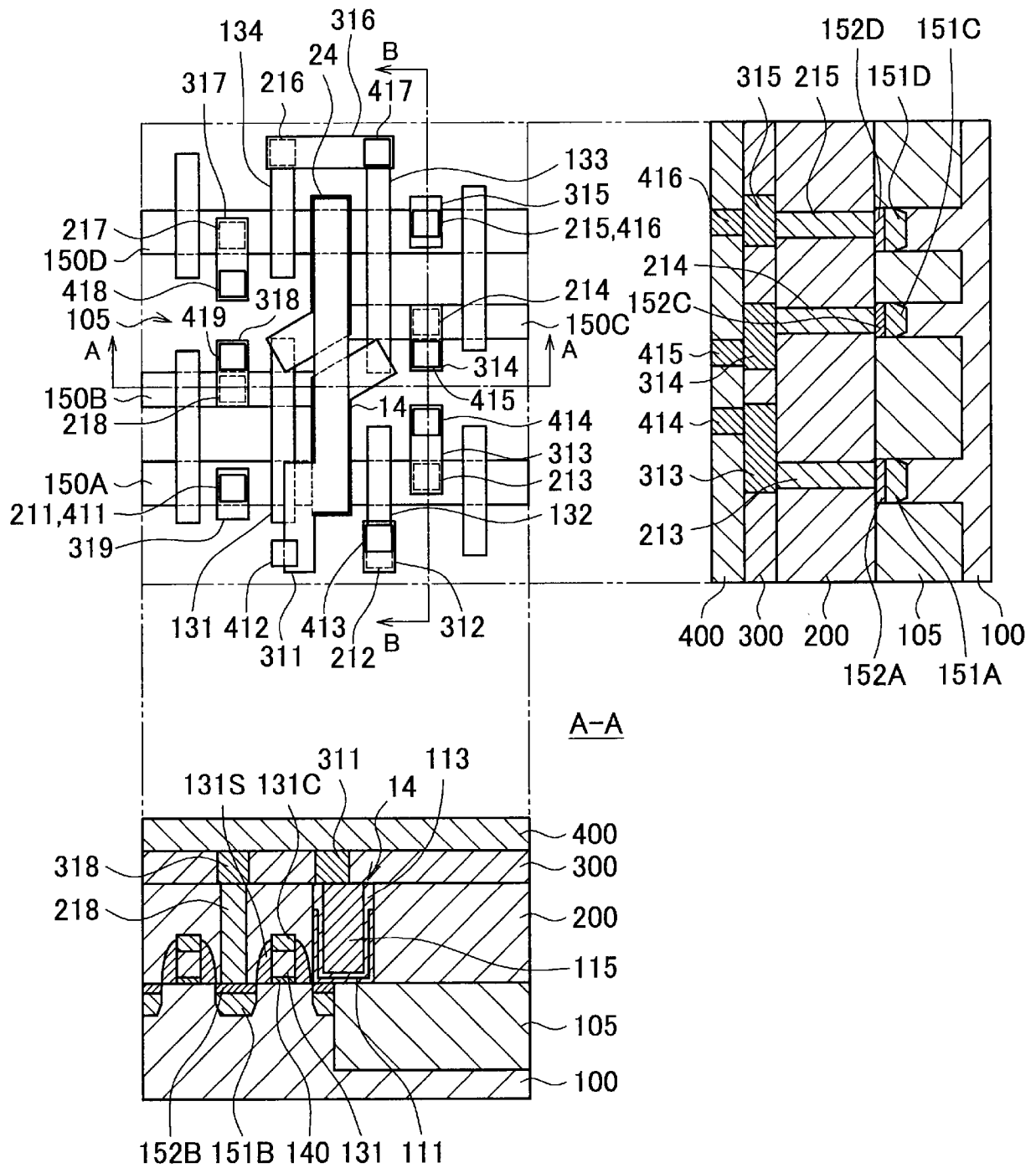
[図9]



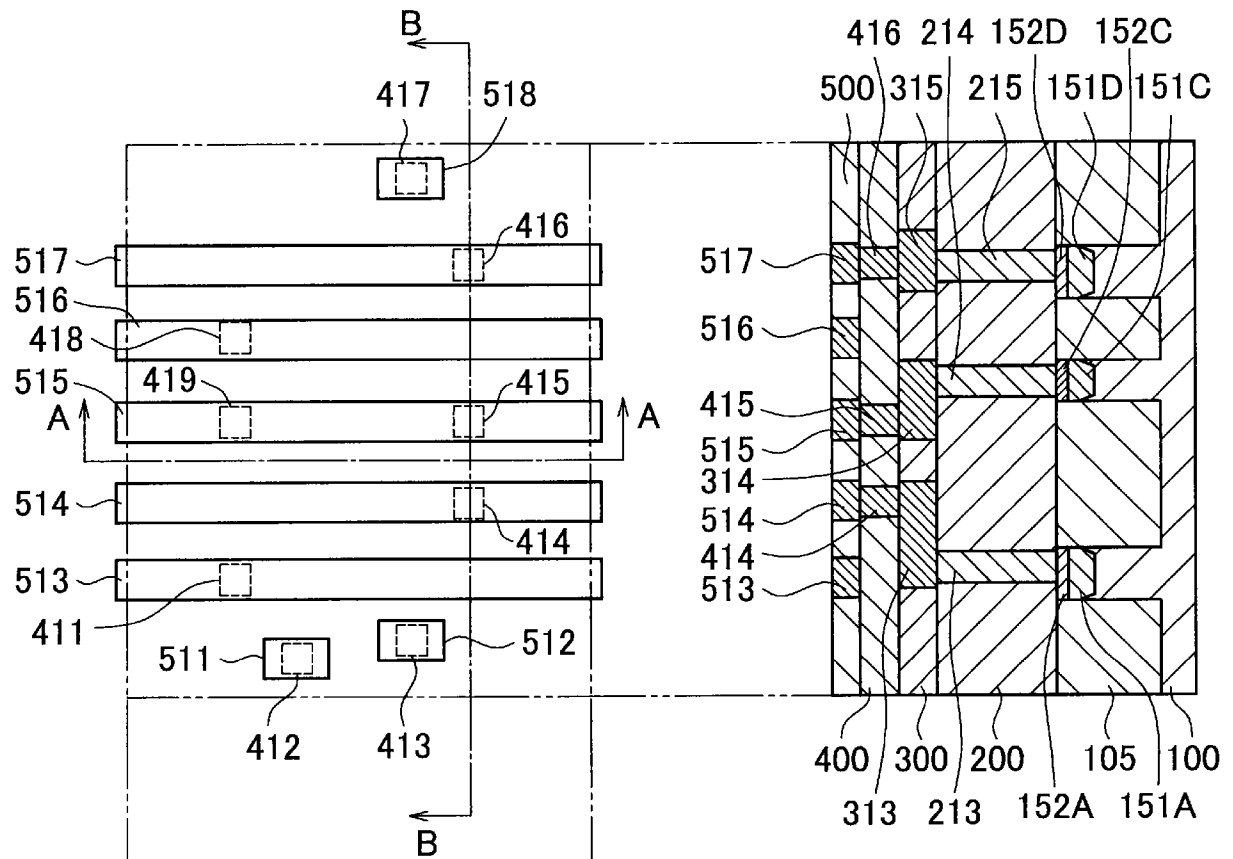
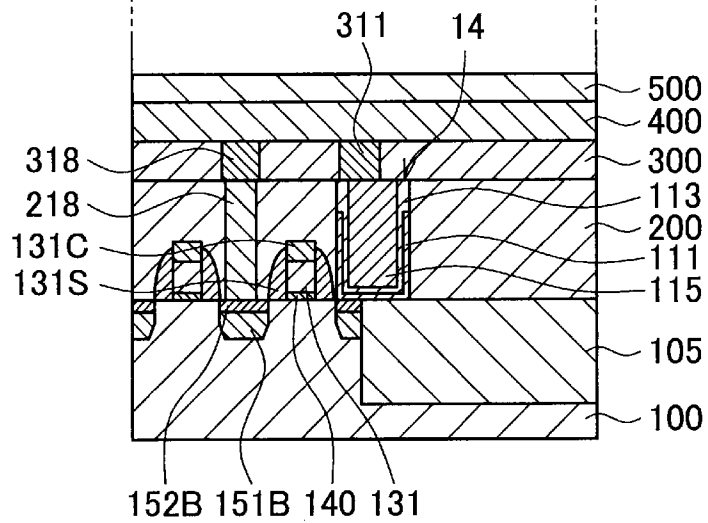
[図10]

B-BA-A

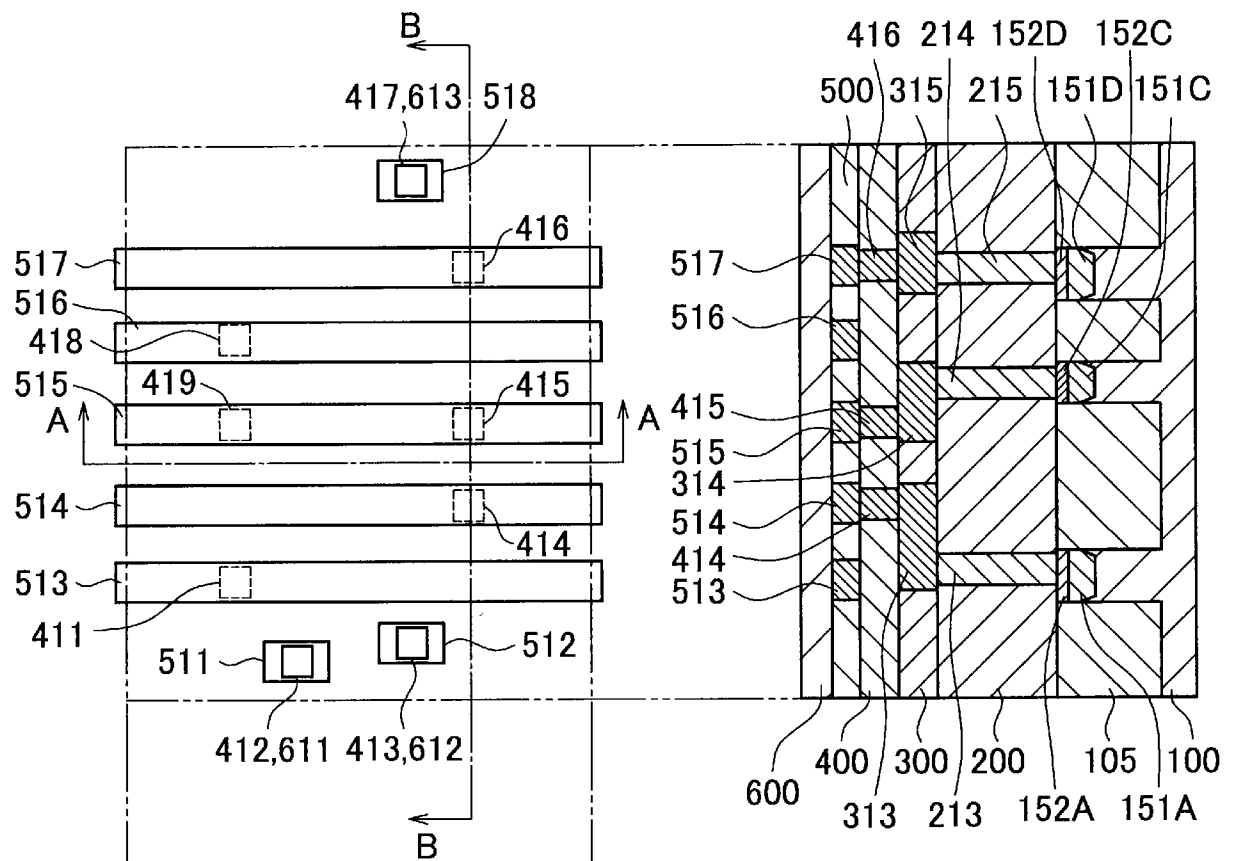
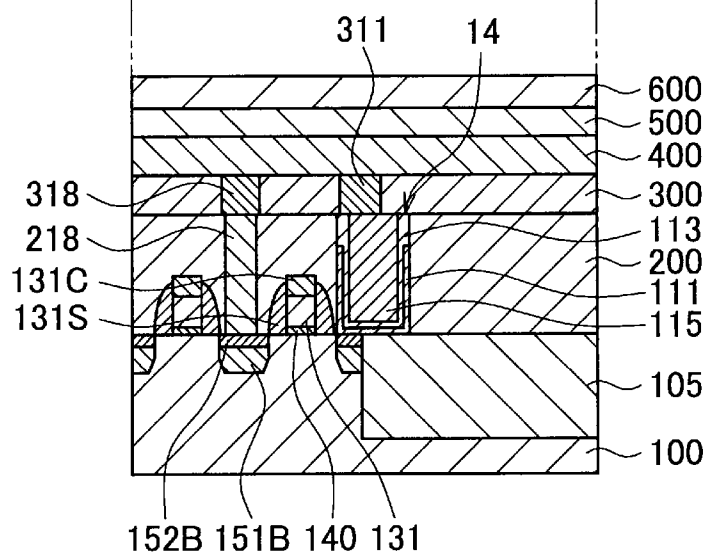
[図12]

B-B

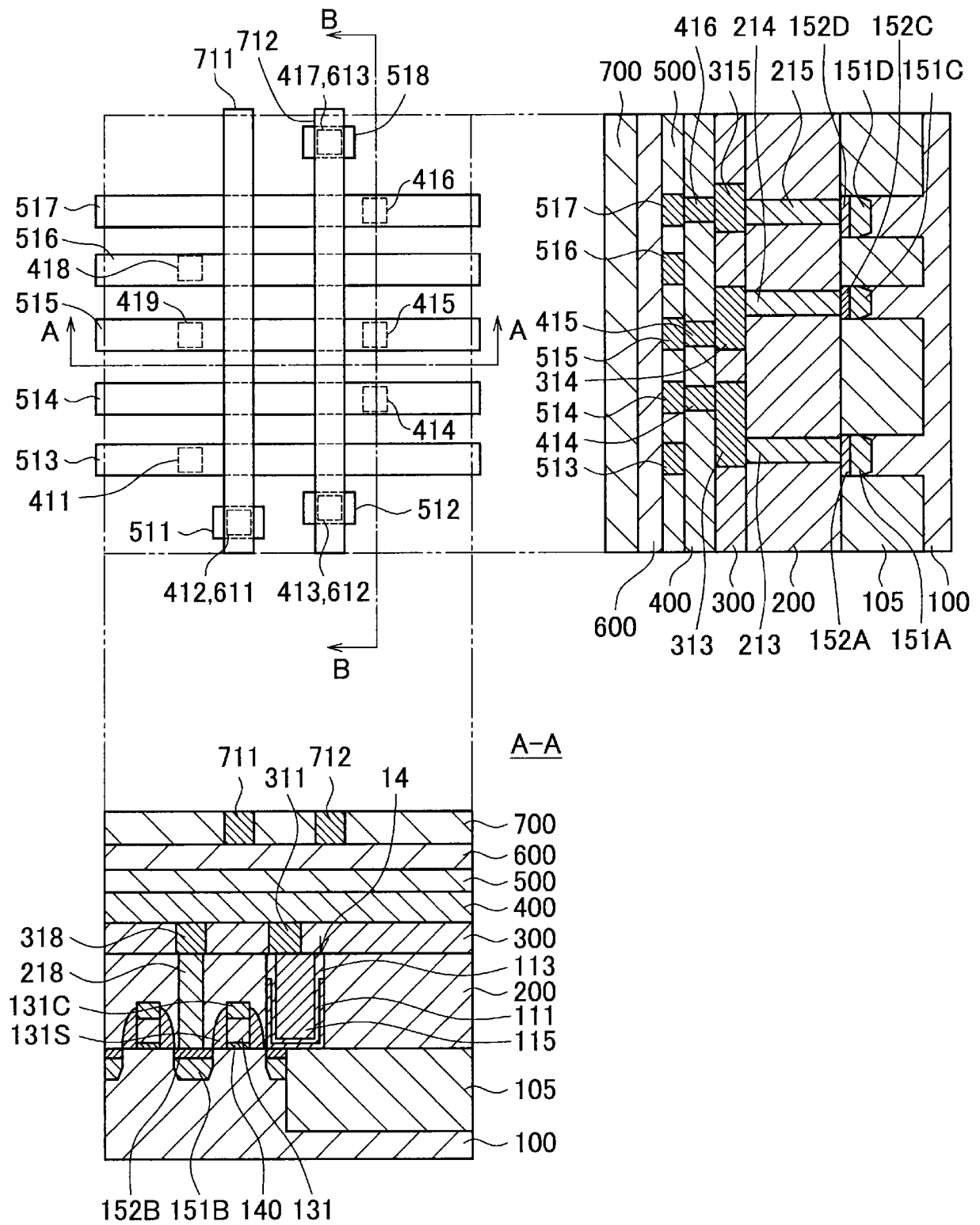
[図13]

B-BA-A

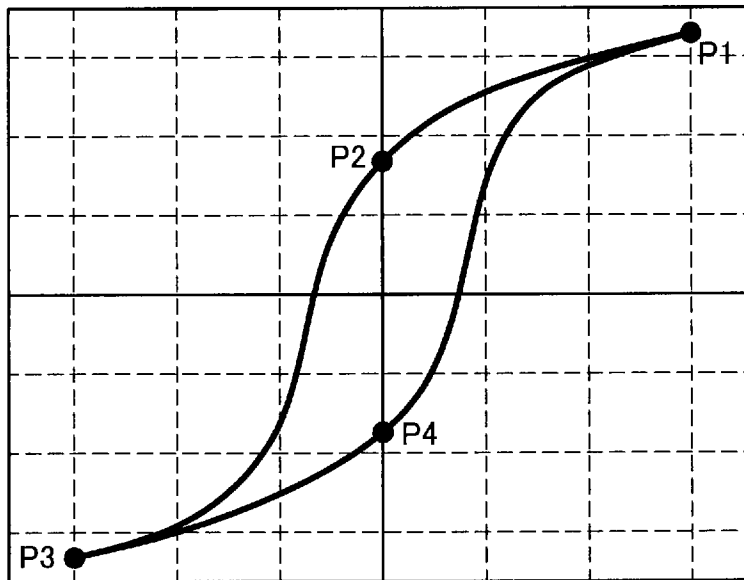
[図14]

B-BA-A

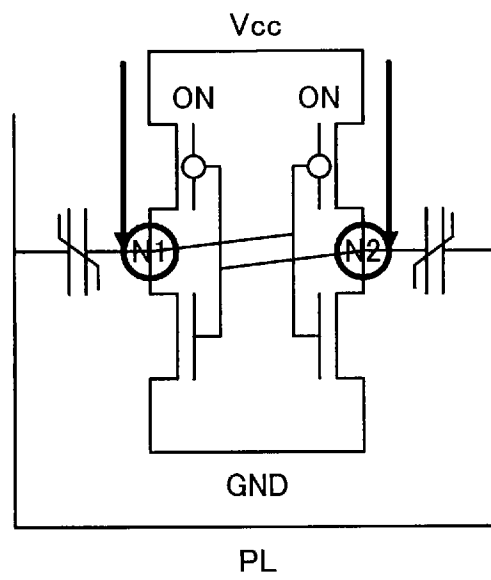
[図15]

B-B

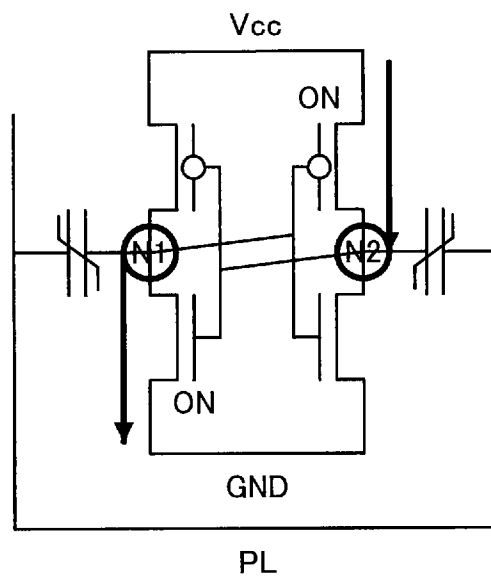
[図16]



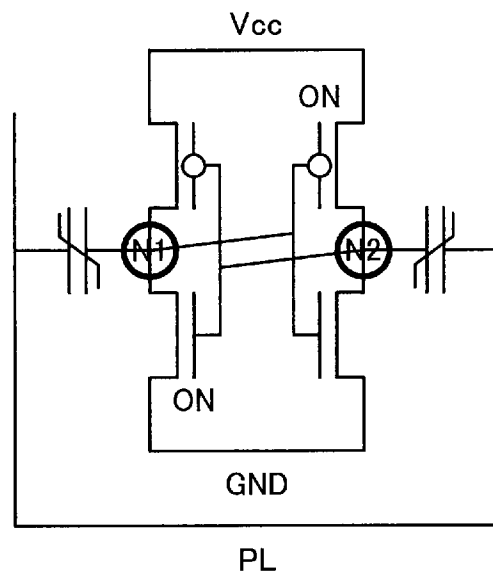
[図17A]



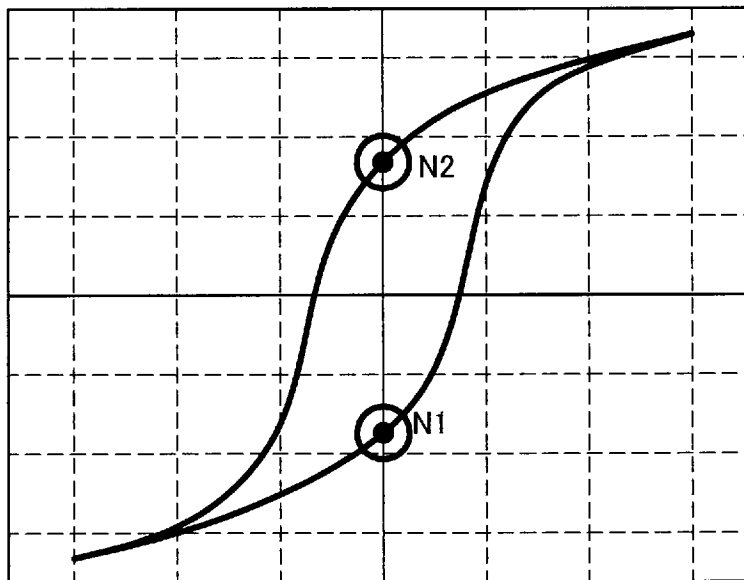
[図17B]



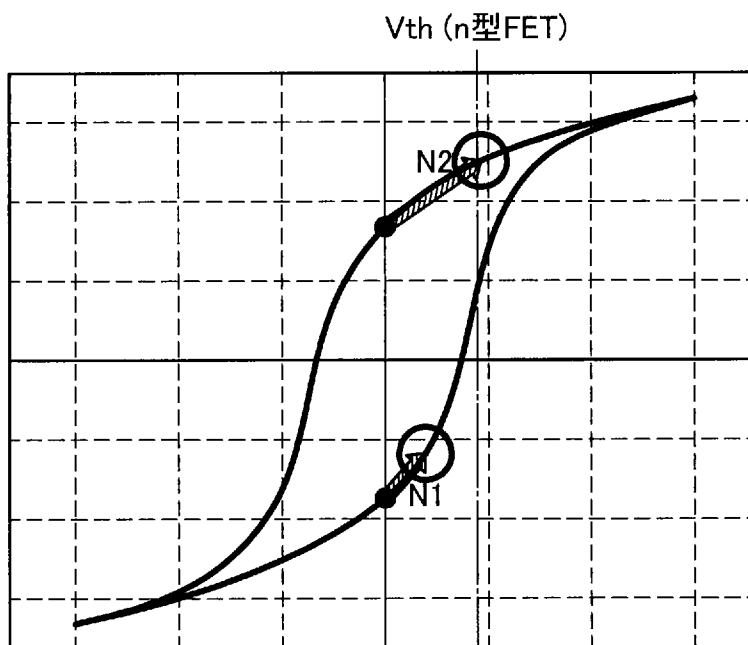
[図17C]



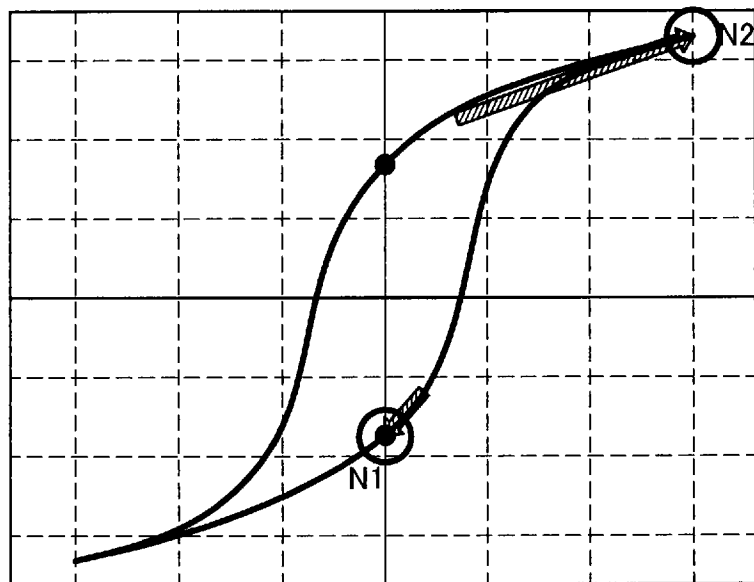
[図18A]



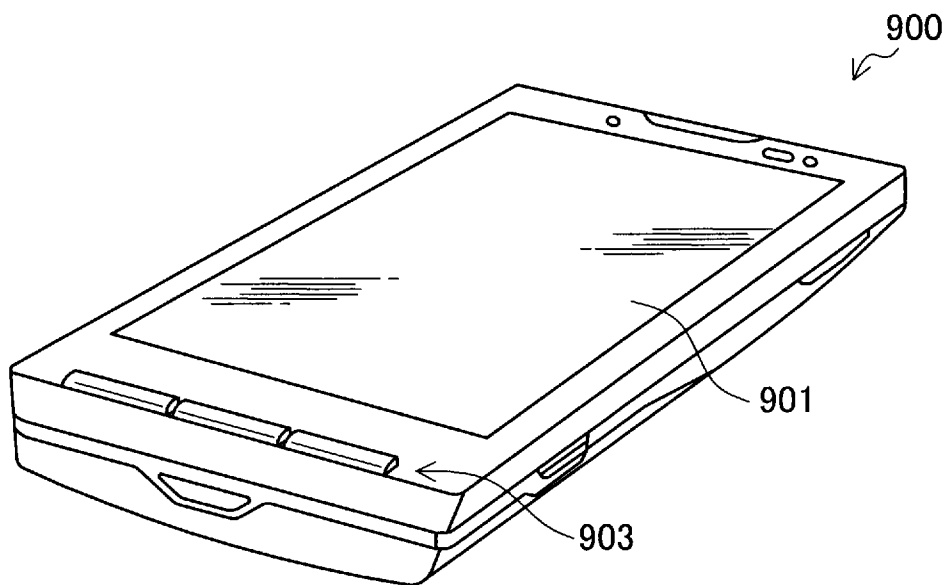
[図18B]



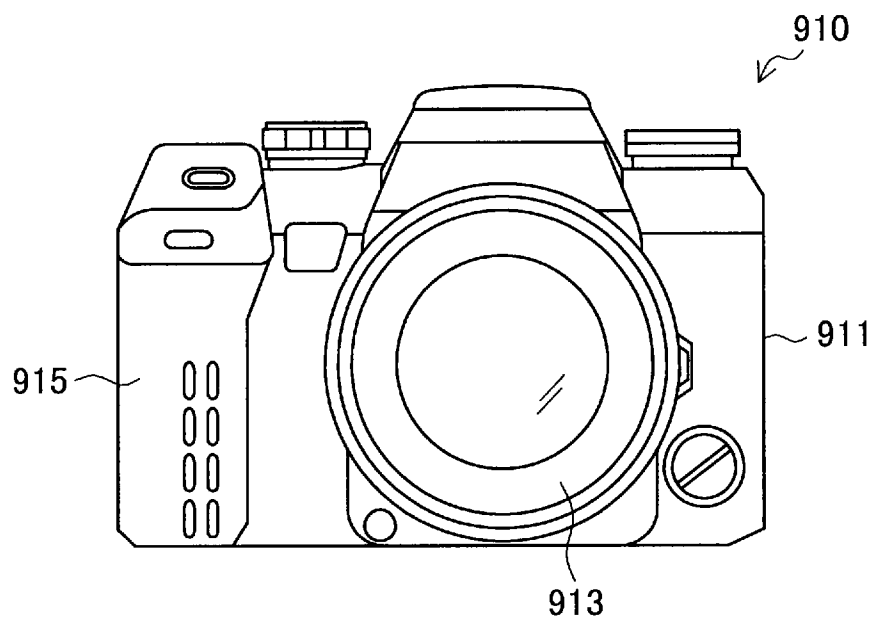
[図18C]



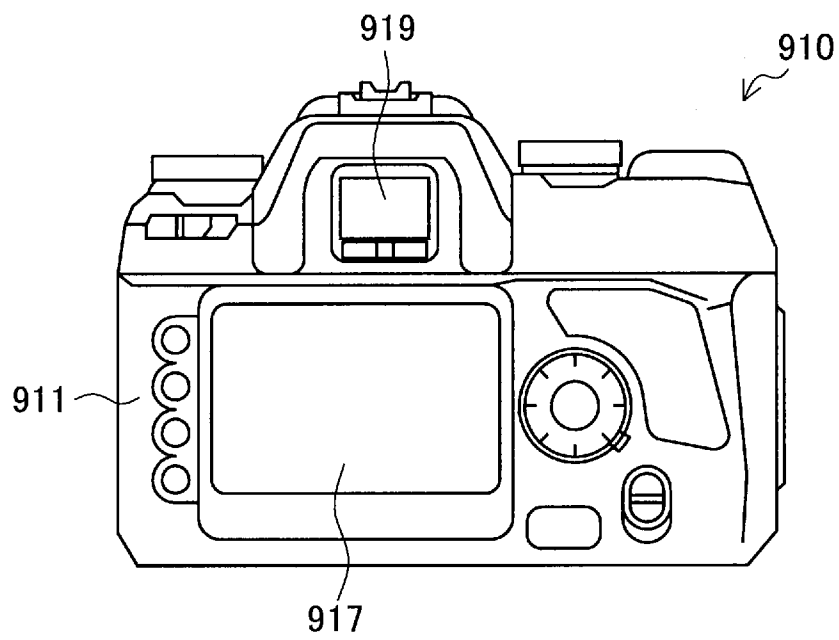
[図19A]



[図19B]



[図19C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/014439

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8239(2006.01)i, G11C11/22(2006.01)i, G11C11/412(2006.01)i, H01L21/8229(2006.01)i, H01L27/102(2006.01)i, H01L27/105(2006.01)i, H01L27/11502(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8239, G11C11/22, G11C11/412, H01L21/8229, H01L27/102, H01L27/105, H01L27/11502

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-207282 A (FUJITSU LIMITED) 22 July 2004, paragraphs [0001], [0016]-[0030], [0065], [0066], [0123], [0124], [0136]-[0139], fig. 1, 2, 5, 11, 14 & US 2004/0173830 A1, paragraphs [0002], [0051]-[0065], [0102], [0103], [0160], [0161], [0173]-[0176], fig. 1, 2, 5, 11, 14	1-3 4, 5, 7, 9, 10, 16 6, 8, 11-15
Y	JP 2004-253730 A (RENESAS TECHNOLOGY CORP.) 09 September 2004, paragraphs [0007], [0008], [0015]-[0018], [0025], [0026], [0036]-[0038], fig. 1, 4, 9, 17 & US 2004/0164360 A1, paragraphs [0006], [0007], [0125]-[0128], [0137]-[0139], [0146]-[0148], fig. 1, 4, 9, 17 & US 2007/0034968 A1 & US 2008/0128855 A1	4, 5, 7, 9, 10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05.06.2019

Date of mailing of the international search report
18.06.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/014439

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-92922 A (FUJITSU LIMITED) 07 April 2005, paragraphs [0031], [0043], [0044], fig. 9 & US 2005/0057957 A1, paragraphs [0076], [0090], [0091], fig. 9	16
A	JP 2002-269969 A (NEC CORPORATION) 20 September 2002, entire text, all drawings & US 2002/0126522 A1, entire text, all drawings & EP 1239492 A2 & KR 10-2003-0009077 A & CN 1374663 A	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/8239(2006.01)i, G11C11/22(2006.01)i, G11C11/412(2006.01)i, H01L21/8229(2006.01)i, H01L27/102(2006.01)i, H01L27/105(2006.01)i, H01L27/11502(2017.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/8239, G11C11/22, G11C11/412, H01L21/8229, H01L27/102, H01L27/105, H01L27/11502

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-207282 A (富士通株式会社) 2004.07.22, 段落[0001], [0016] - [0030], [0065], [0066], [0123], [0124], [0136] - [0139],	1-3
Y	図 1, 2, 5, 11, 14 & US 2004/0173830 A1, 段落[0002], [0051] - [0065], [0102], [0103], [0160], [0161], [0173] - [0176], 図 1, 2, 5, 11, 14	4, 5, 7, 9, 10, 16
A		6, 8, 11-15
Y	JP 2004-253730 A (株式会社ルネサステクノロジ) 2004.09.09, 段落[0007], [0008], [0015] - [0018], [0025], [0026], [0036] -	4, 5, 7, 9, 10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.06.2019

国際調査報告の発送日

18.06.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 博司

5 F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	[0038], 図 1, 4, 9, 17 & US 2004/0164360 A1, 段落[0006], [0007], [0125] - [0128], [0137] - [0139], [0146] - [0148], 図 1, 4, 9, 17 & US 2007/0034968 A1 & US 2008/0128855 A1	
Y	JP 2005-92922 A (富士通株式会社) 2005.04.07, 段落[0031], [0043], [0044], 図 9 & US 2005/0057957 A1, 段落[0076], [0090], [0091], 図 9	16
A	JP 2002-269969 A (日本電気株式会社) 2002.09.20, 全文, 全図 & US 2002/0126522 A1, 全文, 全図 & EP 1239492 A2 & KR 10-2003-0009077 A & CN 1374663 A	1-16