



(12) 发明专利

(10) 授权公告号 CN 101860467 B

(45) 授权公告日 2012. 07. 11

(21) 申请号 201010189327. X

(22) 申请日 2010. 05. 26

(73) 专利权人 株洲南车时代电气股份有限公司
地址 412001 湖南省株洲市石峰区时代路

(72) 发明人 曹洋 蒋国涛 曾嵘 杨卫峰
肖家博 吴正平 周学勋

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 逯长明 王宝筠

(51) Int. Cl.

H04L 12/40 (2006. 01)

H04L 12/56 (2006. 01)

H04L 1/00 (2006. 01)

(56) 对比文件

CN 201074496 Y, 2009. 07. 15, 全文.

CN 200959606 Y, 2007. 10. 10, 全文.

US 20050249189 A1, 2005. 11. 10, 全文.

审查员 赵颖

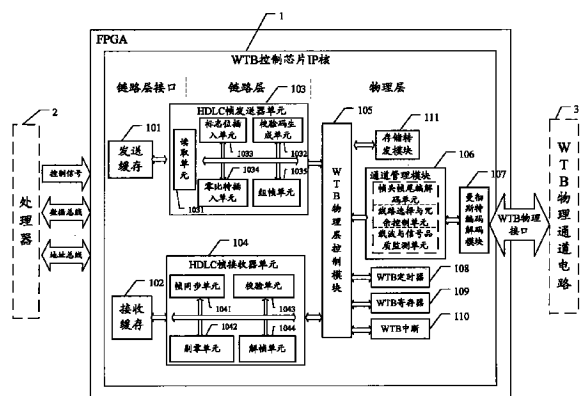
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

一种专用绞线式列车总线控制装置

(57) 摘要

本发明提供一种专用绞线式列车总线控制装置,其特征在在于,链路层接口包括:发送缓存和接收缓存,链路层包括HDLC帧发送器单元和HDLC帧接收器单元,物理层包括物理层控制模块、通道管理模块、曼彻斯特编码解码模块、定时器、中断器和寄存器。本发明提供的专用绞线式列车总线控制装置通用性好。



1. 一种专用绞线式列车总线 WTB 控制装置,其特征在于,包括链路层模块接口、链路层模块和物理层模块,其中所述链路层接口模块包括:发送缓存模块和接收缓存模块,所述链路层模块包括 HDLC 帧发送器单元和 HDLC 帧接收器单元,所述物理层模块包括物理层控制模块、通道管理模块、曼彻斯特编码解码模块、定时器、中断器和寄存器;

其中,所述发送缓存模块用于为待发送数据提供缓存;所述 HDLC 帧发送器单元用于从发送缓存中读取待发送数据,并利用该取出的数据生成循环冗余校验码及形成 HDLC 帧;所述物理层控制模块用于为所述链路层和物理层之间提供接口,所述通道管理模块用于对 WTB 帧头和帧尾进行编码和解码,信号监测和线路选择;所述曼彻斯特编码解码模块用于对所述 HDLC 帧发送器单元生成的 HDLC 帧进行曼彻斯特编码,并将编码后的 WTB 帧头和 WTB 帧尾与编码后的 HDLC 帧组成 WTB 帧,通过外部接口发送至传输通道中,还用于对通过外部接口接收到的 WTB 帧中的 HDLC 帧进行曼彻斯特解码;所述 HDLC 帧接收器单元用于接收曼彻斯特编码解码模块解码后的 HDLC 帧,进行解帧得到 HDLC 帧中的数据,发送至接收缓存模块中。

2. 根据权利要求 1 所述的专用绞线式列车总线 WTB 控制装置,其特征在于,所述 HDLC 帧发送器单元包括:

读取单元,用于从发送缓存中读取待发送数据;

校验码生成单元,用于利用读取单元取出的待发送数据生成循环冗余校验码;

标志位插入单元,用于构建 HDLC 帧的帧头和帧尾,所述 HDLC 帧头和帧尾为‘01111110’;

零比特插入单元,用于对待发送数据进行扫描,在 5 个‘1’后插入一个‘0’;

组帧单元,用于将构建的 HDLC 帧的帧头、经过零比特插入单元插零后的待发送数据、构建的 HDLC 帧的帧尾组成 HDLC 帧,将构建的 HDLC 帧和所述生成的循环冗余校验码发送至物理层控制模块中。

3. 根据权利要求 2 所述的专用绞线式列车总线 WTB 控制装置,其特征在于,所述 HDLC 帧接收器单元包括:

帧同步单元,用于检测 HDLC 帧的帧头;

剔零单元,用于扫描 HDLC 帧中 HDLC 帧头后的数据,剔除 5 个‘1’后面的‘0’;

校验单元,用于根据剔零单元剔除后的 HDLC 帧数据生成循环冗余校验码,并与包括该 HDLC 帧的 WTB 帧中的循环冗余校验码进行比较,完成循环冗余校验;

所述接收缓存模块用于接收从 HDLC 帧接收器单元中经剔零单元剔零后的 HDLC 帧中的数据。

4. 根据权利要求 1 所述的专用绞线式列车总线 WTB 控制装置,其特征在于,所述通道管理模块包括:

帧头帧尾编码解码单元,用于实现 WTB 帧的帧头和帧尾的编码和识别;

线路选择与冗余控制单元,用于实现依据线路上的有效帧和无效帧对线路进行选择;

载波与信号品质监测单元,用于对载波和信号品质进行监测。

5. 根据权利要求 2 或 3 所述的专用绞线式列车总线 WTB 控制装置,其特征在于,所述校验码生成单元为采用并行循环校验生成算法生成循环校验码的校验码生成单元。

6. 根据权利要求 1 至 4 中任意一项所述的专用绞线式列车总线 WTB 控制装置,其特征

在于,所述物理层模块还包括存储转发模块,用于对传输线路上的信号采样并进行存储转发。

一种专用绞线式列车总线控制装置

技术领域

[0001] 本发明属于列车通信网络控制领域,尤其涉及一种专用绞线式列车总线控制装置。

背景技术

[0002] 目前,用于列车通信网络控制技术中的列车通信网络总线(WTB)控制专用芯片的成本高,价格昂贵。WTB是一种串行数据通信总线,主要用于经常连挂和解连的重连车辆。WTB满足IEC-61375标准的要求,支持周期性的过程数据、非周期性的消息数据以及监视数据,能够通过初运行实现列车的自动编址和自动编组。WTB最多可互联32个节点,传输介质为屏蔽双绞线,干线电缆最大长度为860m,工作速率为1Mb/s。WTB采用了硬件冗余,数据在两条介质上同时发送,仲裁逻辑根据收发器提供的载波检测信号在两路接收信号间作出选择。WTB的所有帧格式相同,遵循HDLC(High Level DataLink Control,高级数据链路控制)协议。虽然目前有人开发出了基于FPGA的WTB物理层控制器IP核,但该IP核还只能实现物理层信号编解码、信号监测、线路选择以及冗余管理等物理功能,远远不能符合国际上成熟的标准,例如IEC-61375标准。要实现WTB通信,还需要借助外界器件实现HDLC协议,通用性差。

发明内容

[0003] 有鉴于此,本发明的目的在于提供一种专用绞线式列车总线控制装置,通用性高。

[0004] 为实现上述目的,本发明提供一种专用绞线式列车总线WTB控制装置,包括链路层接口、链路层和物理层,其中所述链路层接口包括:发送缓存和接收缓存,所述链路层包括HDLC帧发送器单元和HDLC帧接收器单元,所述物理层包括物理层控制模块、通道管理模块、曼彻斯特编码解码模块、定时器、中断器和寄存器;

[0005] 其中,所述发送缓存用于为待发送数据提供缓存;所述HDLC帧发送器单元用于从发送缓存中读取待发送数据,并利用该取出的数据生成循环冗余校验码及形成HDLC帧;所述物理层控制模块用于为所述链路层和物理层之间提供接口,所述通道管理模块用于对WTB帧头和帧尾进行编码和解码,信号监测和线路选择;所述曼彻斯特编码解码模块用于对所述HDLC帧发送器单元生成的HDLC帧进行曼彻斯特编码,并将编码后的WTB帧头和WTB帧尾与编码后的HDLC帧组成WTB帧,通过外部接口发送至传输通道中,还用于对通过外部接口接收到的WTB帧中的HDLC帧进行曼彻斯特解码;所述HDLC帧接收器单元用于接收曼彻斯特编码解码模块解码后的HDLC帧,进行解帧得到HDLC帧中的数据,发送至接收缓存中。

[0006] 优选地,所述HDLC帧发送器单元包括:

[0007] 读取单元,用于从发送缓存中读取待发送数据;

[0008] 校验码生成单元,用于利用读取单元取出的待发送数据生成循环冗余校验码;

[0009] 标志位插入单元,用于构建HDLC帧的帧头和帧尾,所述HDLC帧头和帧尾为

‘01111110’；

[0010] 零比特插入单元,用于对待发送数据进行扫描,在 5 个‘1’后插入一个‘0’；

[0011] 组帧单元,用于将构建的 HDLC 帧的帧头、经过零比特插入单元插零后的待发送数据、构建的 HDLC 帧的帧尾组成 HDLC 帧,将构建的 HDLC 帧和所述生成的循环冗余校验码发送至物理层控制模块中。

[0012] 优选地,所述 HDLC 帧接收器单元包括：

[0013] 帧同步单元,用于检测 HDLC 帧的帧头；

[0014] 剔零单元,用于扫描 HDLC 帧中 HDLC 帧头后的数据,剔除 5 个‘1’后面的‘0’；

[0015] 校验单元,用于根据剔零单元剔除后的 HDLC 帧数据生成循环冗余校验码,并与包括该 HDLC 帧的 WTB 帧中的循环冗余校验码进行比较,完成循环冗余校验；

[0016] 所述接收缓存用于接收从 HDLC 帧接收器单元中经剔零单元剔零后的 HDLC 帧中的数据。

[0017] 优选地,所述通道管理模块包括：

[0018] 帧头帧尾编码解码单元,用于实现 WTB 帧的帧头和帧尾的编码和识别；

[0019] 线路选择与冗余控制单元,用于实现依据线路上的有效帧和无效帧对线路进行选择；

[0020] 载波与信号品质监测单元,用于对载波和信号品质进行监测。

[0021] 优选地,所述校验码生成单元在生成循环校验码时采用并行循环校验生成算法。

[0022] 优选地,所述物理层还包括存储转发模块,用于对传输线路上的信号采样并进行存储转发。

[0023] 本发明实施例考虑到了 WTB 总线控制器的全局,在满足物理层各项功能的基础上实现链路层的帧转发功能,通用性好,不受专用的 HDLC 收发芯片的限制。

附图说明

[0024] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0025] 图 1 是 IEC61375 标准规定的线路上理想的 WTB 帧的结构示意图；

[0026] 图 2 是理想线路上的有效 WTB 帧的结构示意图；

[0027] 图 3 是理想线路上的无效 WTB 帧的结构示意图；

[0028] 图 4 是 WTB 帧与 HDLC 帧的关系示意图；

[0029] 图 5 是本发明实施例提供的专用绞线式列车总线控制装置的示意图；

[0030] 图 6 是 HDLC 帧发送器单元的一种内部具体实现电路示意图；

[0031] 图 7 是 WTB 总线控制器发送数据时的流程示意图；

[0032] 图 8 是 HDLC 帧接收器单元的一种内部具体实现电路示意图；

[0033] 图 9 是 WTB 总线控制器接收数据时的流程示意图。

具体实施方式

[0034] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 首先介绍一下 WTB 帧。IEC61375 标准规定一帧信号由帧头开始,接着是帧数据,最后由终止分界符结束。帧头由电平为“1”的起始位 S 开始,随后是若干个(“0”,“1”)对,通常为 7 对,最后以“1”结束。帧数据的开始和结束由标志序列“01111110”进行标识。终止分界符为 2.0BT(1BT = 1 个时间单位)宽的正电平。图 1 示出了线路上理想的 WTB 帧的结构示意图。

[0036] IEC-61375 规范定义了解码器产生的两个信号:载波检测信号(CS)和信号品质错误信号(SQE),分别用于信号品质监视和冗余切换。

[0037] a) 载波检测信号:在检测到图 1 中的规定的 WTB 帧头的最后一位 0.5BT 内,解码器应使载波检测 CS 信号有效。在检测到终止分界符,非‘0’、非‘1’或非中值分界符的最后的 0.5BT 内,解码器应使 CS 信号无效。

[0038] b) 信号品质出错(SQE)信号:在检测到按图 1 中规定的 WTB 帧头的最后一位后的 0.5BT 内,解码器应使 SQE 信号无效。CS 信号有效后,在检测到非‘0’、非‘1’或非终止符的位以后的 0.5BT 内,解码器应使 SQE 信号有效。

[0039] 有效帧是指包含了帧头、一定数目的帧数据以及一个终止分界符的帧,图 2 示出了理想线路上的有效 WTB 帧的格式。当 CS 信号有效后,如果 SQE 信号有效的时间超过 0.5BT,则此帧定义为无效帧,图 3 示出了理想线路上的无效 WTB 帧的格式。冗余切换对信任线的切换就是依据线路上收到的有效帧和无效帧来判断的。

[0040] WTB 所有的帧都具有同样的格式,遵循 HDLC 规范,图 4 示出了 WTB 帧与 HDLC 帧的关系。

[0041] 其中, Preamble 为前同步码, WTB 帧的开始部分的前同步码由曼彻斯特编码器产生,并由曼彻斯特译码器去除。它不属于 HDLC 帧部分。它的长度为 16 到 32 位,16 位是默认值。前同步码主要用于 WTB 帧的位同步。

[0042] Fflag 是 HDLC 帧头标志位, HDLC 帧通常以两个 8bit 标志(例如 01111110)作为分界符,作为帧同步标志。

[0043] DD(目标设备)可以是接收该帧的节点的节点地址(Node_Address)或是广播地址。

[0044] LC(链路控制字段)是链路控制的 8bit 字段,可以用于标识帧类型等。

[0045] SD(源设备)用于表示发送帧的节点地址。

[0046] SIZE 用于标识以字节为单位的链路数据的长度。

[0047] FCS(帧校验序列)可以是 16bit 的帧校验序列,由曼彻斯特编码器产生,由译码器去除。

[0048] ED(结束分界符)由曼彻斯特编码器产生,由译码器去除。

[0049] 下面详细说明本发明实施例提供的专用绞线式列车总线(WTB)控制装置的具体结构,全部是在 FPGA 内部实现。该控制装置连接上层的处理器 2 和 WTB 物理通道电路 3。如图 5 所示,从通信协议分层的角度看,本发明提供的专用绞线式列车总线控制控制装置

分成三个部分,即物理层、链路层和链路层接口。其中链路层接口主要提供与外部处理器之间的接口,为发送数据和接收数据提供缓存空间,作为与其他处理器的数据传输通道;链路层主要实现 HDLC 协议;物理层主要实现 WTB 物理通道的控制、曼彻斯特编解码、定时、中断、FIFO 转发。

[0050] 具体地,在链路层接口部分包括发送缓存 101 和接收缓存 102,其中发送缓存 101 可以是发送双口 RAM,接收缓存 102 可以是接收双口 RAM。发送缓存 101 用于为待发送数据提供缓存,接收缓存 102 用于为接收的数据提供缓存。

[0051] 链路层部分包括 HDLC 帧发送器单元 103 和 HDLC 帧接收器单元 104。发送缓存 101 相当于一个保存从处理器 2 发送过来的待发送数据的池,HDLC 帧发送器单元 103 不断从这个池中取出待发送数据组成 HDLC 帧。HDLC 帧发送器单元 103 用于从发送缓存 101 中读取待发送数据,并利用该取出的数据生成循环冗余校验 (CRC) 码,并形成 HDLC 帧。HDLC 帧接收器单元 104 用于接收曼彻斯特编解码模块 107 解码后的 HDLC 帧,进行解帧得到 HDLC 帧中的数据,发送至接收缓存 102 中。

[0052] HDLC 帧发送器单元 103 具体地可以包括读取单元 1031、校验码生成单元 1032、标志位插入单元 1033、零比特插入单元 1034、组帧单元 1035。

[0053] 其中,读取单元 1031 用于从发送缓存 101 中读取待发送数据;

[0054] 校验码生成单元 1032 用于利用读取单元 1031 读取的待发送数据生成循环冗余校验码。进行循环冗余校验可以采用 CRC-16 校验,产生 16 位的 CRC 校验码,其生成多项式为: $g(x) = x^{16} + x^{12} + x^5 + 1$ 。为了进一步提高控制装置性能和处理速度,该发明采用并行 CRC 算法。

[0055] 标志位插入单元 1033 用于构建 HDLC 帧的帧头和帧尾,例如,根据 ISO3309 标准定义的一个 HDLC 格式,每个 HDLC 帧又应该由标识符 '01111110' 开始,同时由相同的标识符结束,此时,帧头和帧尾均为 '01111110'。在实际 HDLC 帧发送的过程中,在发送数据前先插入 HDLC 帧头发送,当帧数据发送完毕后再插入相同的标识符作为 HDLC 帧尾。

[0056] 零比特插入单元 1034 用于对待发送数据进行扫描,对待发送数据中出现与 HDLC 帧的帧头和帧尾的形式相同的位串的最后一位前插入零。如果在数据位中出现与作为 HDLC 帧头和帧尾的标识符相同的数据,接收端会将该标识符识别为 HDLC 帧的帧头或帧尾,从而产生识别错误,为了防止这种现象的发生,对数据进行扫描,在 5 个 '1' 后插入一个 '0',这个插入的 '0' 在接收端将被剔除以恢复数据,例如,当待发送的数据为 '011101111110' 时,经过插零后实际发送的数据是 '0111011111010'。

[0057] 组帧单元 1035 用于将构建的 HDLC 帧的帧头,经过零比特插入单元 1034 插零后的待发送数据、构建的 HDLC 帧的帧尾组成 HDLC 帧,并将构建的 HDLC 帧和生成的循环冗余校验码发送至物理层控制模块中。

[0058] 在实际中可以设置一个发送状态控制模块,用于采用状态机的方式对 HDLC 帧发送器单元进行控制,控制 HDLC 帧头发送、生成循环冗余校验码、实现零比特插入、数据发送、HDLC 帧尾发送。图 6 示出了引入发送状态控制模块后的 HDLC 帧发送器单元的一种内部具体实现电路示意图。图 7 示出了 WTB 总线控制器发送数据时的流程示意图。

[0059] HDLC 帧接收器单元 104 具体地可以包括:

[0060] 帧同步单元 1041,用于检测 HDLC 帧的帧头;

[0061] 剔零单元 1042,用于扫描 HDLC 帧,并提出剔除连续 5 个 '1' 后的 '0';

[0062] 校验单元 1043,用于根据剔零单元 1042 剔零后的 HDLC 帧数据生成循环冗余校验码,并与包括该 HDLC 帧数据的 WTB 帧中的循环冗余校验码进行比较,完成循环冗余检验。由上面描述可知,在发送方的 HDLC 帧发送器单元构建 HDLC 帧的过程中针对其中的数据生成循环冗余校验码,并加入到 WTB 帧中发送到接收方,当接收方接收到该 HDLC 帧后,针对接收到的 HDLC 帧中的数据重新生成循环冗余校验码,采用的算法与发送方相同,如果接收的数据没有出现差错,接收方再次生成的循环冗余校验码与从发送方接收的循环冗余校验码(即包括该 HDLC 帧数据的 WTB 帧中携带的循环冗余校验码)应该相同;

[0063] 解帧单元 1044,用于将来自剔零单元 1042 的 HDLC 帧,去掉帧头标识符和帧尾标识符,并将处理后的数据送到校验单元 1043 进行 CRC 校验。

[0064] 在实际中可以设置一个接收状态控制模块,用于采用状态机的方式对 HDLC 帧接收器单元中的各个部分进行控制,控制 HDLC 帧头识别、码元同步、数据的解码、剔除被发送方填充的零比特并完成 HDLC 帧的校验,最后发送至接收缓存。图 8 示出了引入接收状态控制模块后的 HDLC 帧接收器单元的一种内部具体实现电路示意图。图 9 为 WTB 总线控制器接收数据时的流程示意图。

[0065] 最后详细说明物理层的构成。

[0066] 物理层主要实现 WTB 物理通道控制、曼彻斯特编码和解码、定时、中断和信号再生。具体地,物理层可以包括 WTB 物理层控制模块 105、通道管理模块 106、曼彻斯特编码解码模块 107、WTB 定时器 108、WTB 寄存器 109 和 WTB 中断 110。

[0067] 其中,通道管理模块 106 用于对 WTB 帧头和帧尾进行编码和解码,信号监测和线路选择;具体地,通道管理模块 106 可以包括:帧头帧尾编码解码单元 1061、线路选择与冗余控制单元 1062 和载波与信号品质监测单元 1063。其中,帧头帧尾编码解码单元 1061 用于实现 WTB 帧的帧头和帧尾的编码和识别;线路选择与冗余控制单元 1062 用于实现依据线路上的有效帧和无效帧对线路进行选择;载波与信号品质监测单元 1063 用于对载波和信号品质进行监测。

[0068] 根据 IEC61375 规定的 WTB 的帧头是由起始位‘1’和结束位‘1’及夹在中间的 7~15 对(‘0’‘1’)对组成,通常夹在中间(‘0’‘1’)对总共为 7 对。WTB 帧尾是由一个 2 个位宽的高脉冲和 2 个位宽的低脉冲组成,其中低脉冲不是必需的。发送通道在发送帧数据前会根据链路控制层信号先插入 WTB 帧头发送,等数据发送完毕后再插入帧尾发送,接收通道通过监测到帧头和帧尾对数据进行同步。

[0069] 根据 IEC61375 的规定进行信号品质监测主要用于信号质量监测和冗余切换,产生载波检测信号(CS)和信号品质错误信号(SQE)反馈给上层,用于判断帧是否有效,依据线路上的有效帧和无效帧来对线路进行选择。

[0070] 根据 IEC61375 规定的 WTB 通信传输的是曼彻斯特信号,曼彻斯特编码解码模块 107 编码的目的是实现 NRZ 信号与曼彻斯特码的转换。具体地,将链路层 HDLC 帧的 NRZ 信号与 1M 时钟信号做异或逻辑后,用 D 触发器锁存输出曼彻斯特码,完成曼彻斯特编码的过程;采用 16M 时钟采样 WTB 传输线上的曼彻斯特码,同时做同步校正,判断跳沿类型译出‘1’还是‘0’,作为 NRZ 信号传输给链路层。

[0071] 曼彻斯特编码解码模块 107 对所述 HDLC 帧发送器单元 103 生成的 HDLC 帧进行曼彻斯特编码,并将编码后的 WTB 帧头和 WTB 帧尾与编码后的 HDLC 帧组成 WTB 帧,通过外部

接口（在实际中可以是控制装置对外的 WTB 物理接口）发送至传输通道中，还用于对通过外部接口接收到的 WTB 帧中的 HDLC 帧进行曼彻斯特解码。

[0072] WTB 定时器是在 WTB 总线控制装置中设置的多个参数寄存器，根据用户的需求，可以对寄存器参数进行相应设置实现相应的功能。WTB 定时器包括在 WTB 总线控制装置中设置的多个延时定时器和线路监测定时器，用于监测网络运行。信号接收完成、信号发送完成、定时器和 MAU 报告等通过 WTB 中断及中断状态寄存器反馈给用户。

[0073] WTB 物理层控制模块 105 是 HDLC 链路层与物理层之间的接口，用来协调物理层各模块配合工作，传递上层的指示信号和反映物理层状态。表 1 示出了 WTB 物理层控制模块 105 提供的一种 WTB 物理接口的具体实现，表 2 示出了 WTB 物理层控制模块 105 提供的一种链路层接口的具体实现。

[0074] 表 1

[0075]

| 信号 | 功能描述 | 方向 |
|----------------|--------------|----|
| WTB_IN1A | 方向 1A 通道输入 | 输入 |
| WTB_IN2A | 方向 2A 通道输入 | 输入 |
| WTB_IN1B | 方向 1B 通道输入 | 输入 |
| WTB_IN2B | 方向 2B 通道输入 | 输入 |
| WTB_OUT1A | 方向 1A 通道正向输出 | 输出 |
| WTB_OUT1A_L | 方向 1A 通道反向输出 | 输出 |
| WTB_OUT1B | 方向 1B 通道正向输出 | 输出 |
| WTB_OUT1B_L | 方向 1B 通道反向输出 | 输出 |
| WTB_OUT2A | 方向 2A 通道正向输出 | 输出 |
| WTB_OUT2A_L | 方向 2A 通道反向输出 | 输出 |
| WTB_OUT2B | 方向 2B 通道正向输出 | 输出 |
| WTB_OUT2B_L | 方向 2B 通道反向输出 | 输出 |
| WTB_CONTROLA_L | A 通道终端设定控制 | 输出 |
| WTB_CONTROLB_L | B 通道终端设定控制 | 输出 |

[0076] 表 2

[0077]

| 信号 | 功能描述 | 方向 |
|------------|---------|---------|
| ADDR(23:0) | 地址信号 | 输入 |
| DATA(15:0) | 数据信号 | 输入 / 输出 |
| WR | 写信号 | 输入 |
| RD | 读信号 | 输入 |
| CS(3:0) | 片选信号 | 输入 |
| GPIO(10:0) | 通用 IO 口 | 输入 / 输出 |
| INT(3:0) | 中断信号 | 输出 |

[0078] 另外,本发明实施例优选地,在物理层中还包括:存储转发模块 111。随着列车总线长度的增加,列车通信必须面对信号衰减引起的问题。增加了存储转发模块 111,可以实现信号的再生和放大,延长信号的传输距离,起到一个中继器的作用。该存储转发模块 111 根据上层控制信号和输入信号质量对信号采样存储转发。在实际中,即便提供了存储转发模块 111,也可以根据用户需要设置该功能是否有效。

[0079] 综上所述可知,本发明实施例提供的控制装置考虑到了 WTB 总线控制器的全局,在满足物理层各项功能的基础上实现链路层的帧转发功能,通用性好,不受专用的 HDLC 收发芯片的限制。

[0080] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

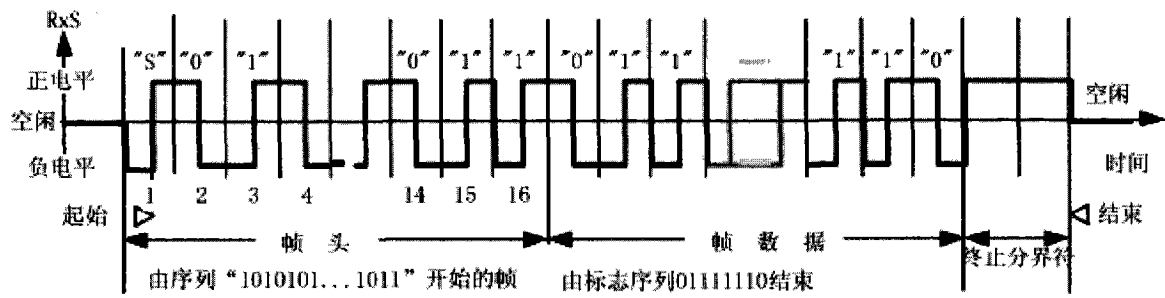


图 1

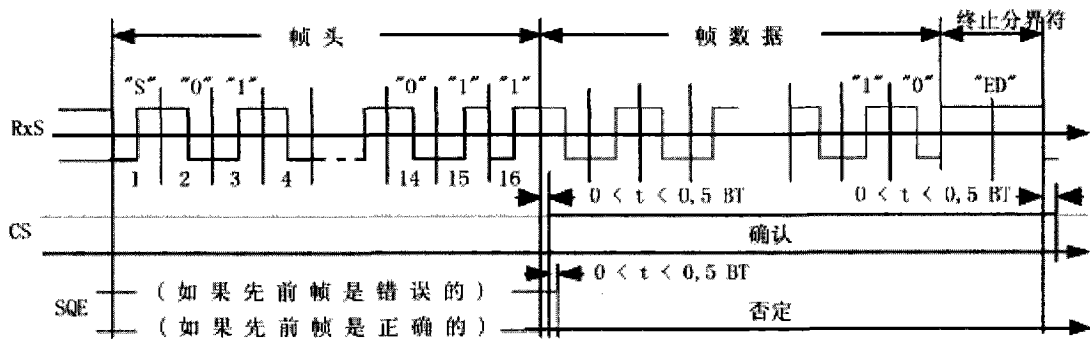


图 2

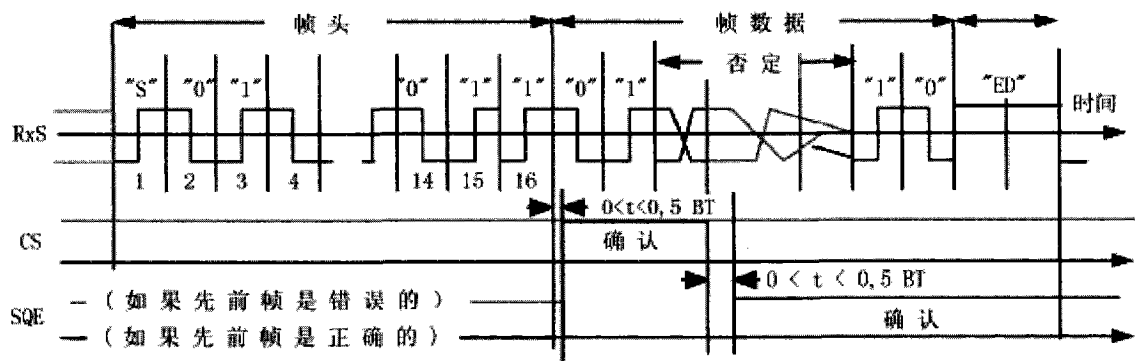


图 3

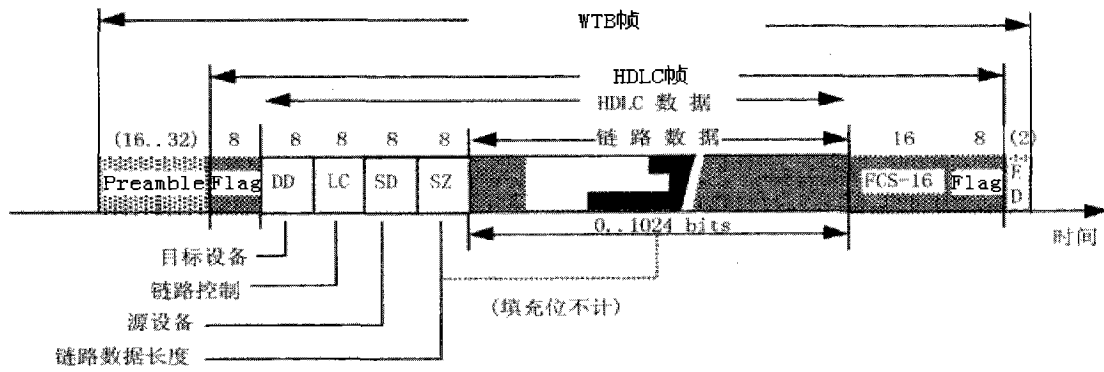


图 4

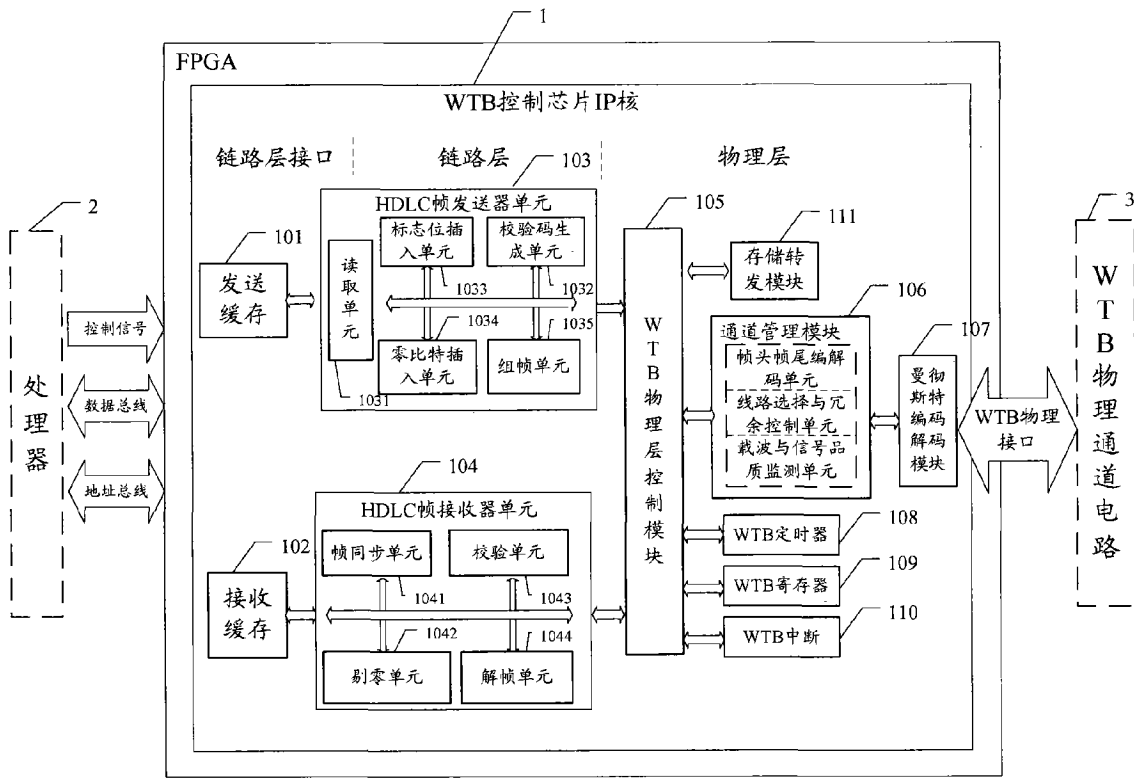


图 5

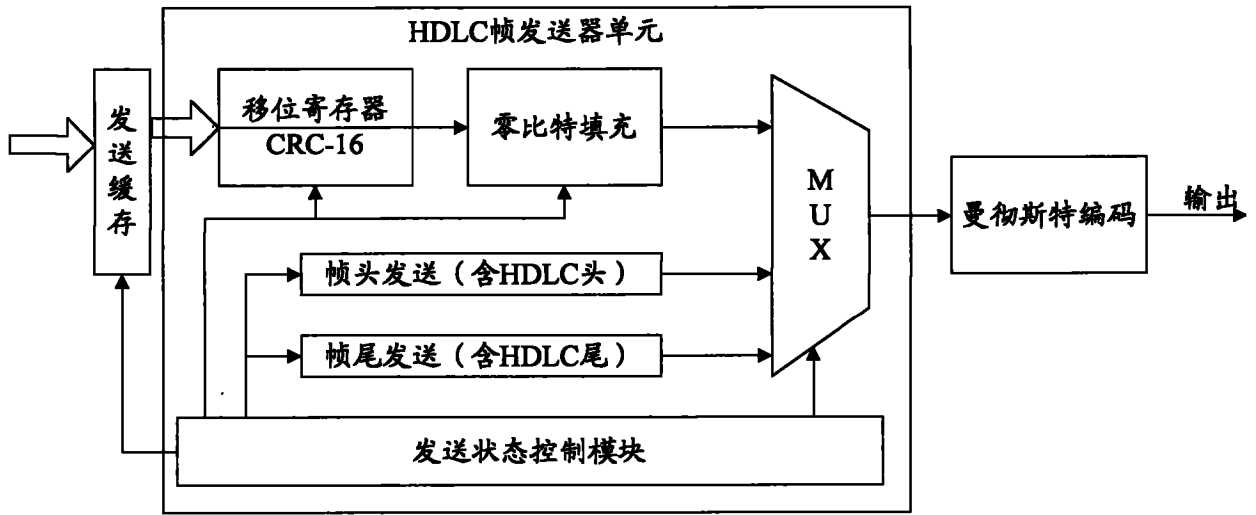


图 6

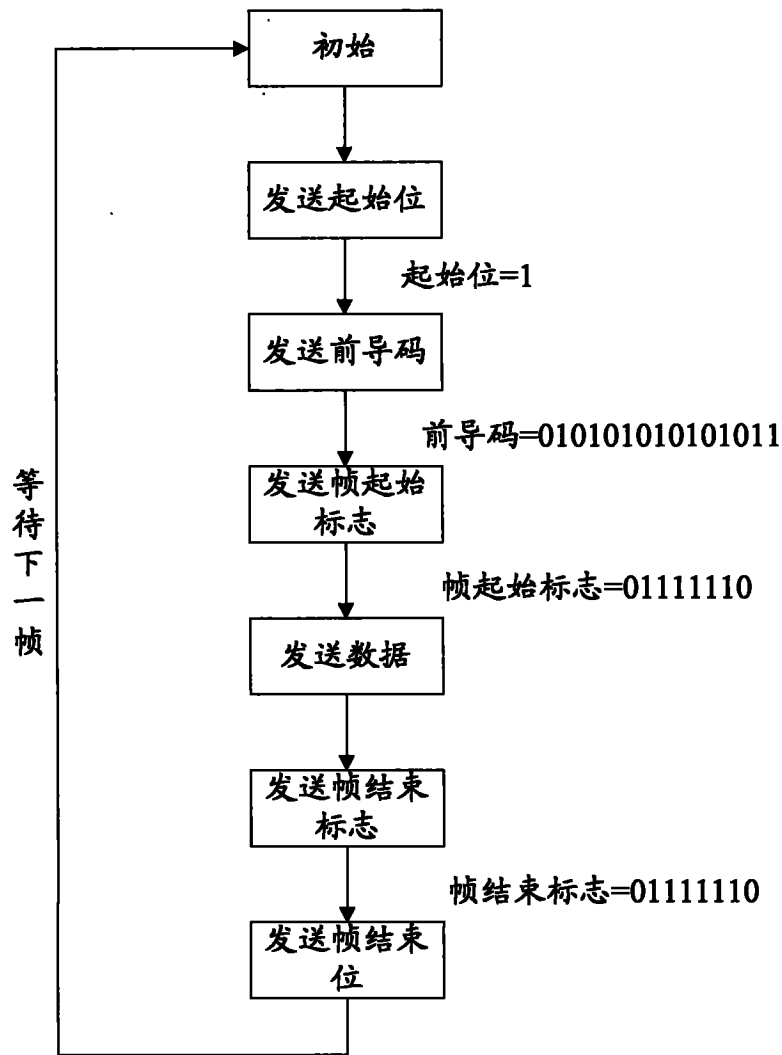


图 7

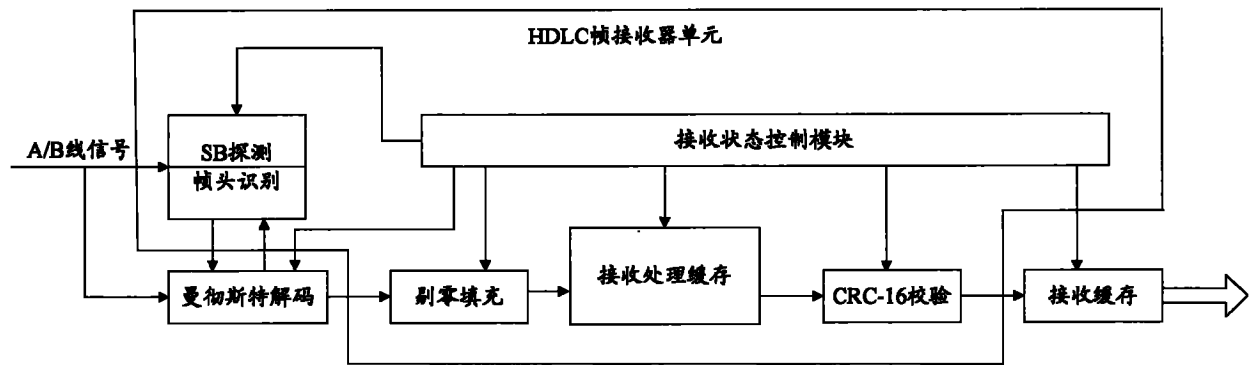


图 8

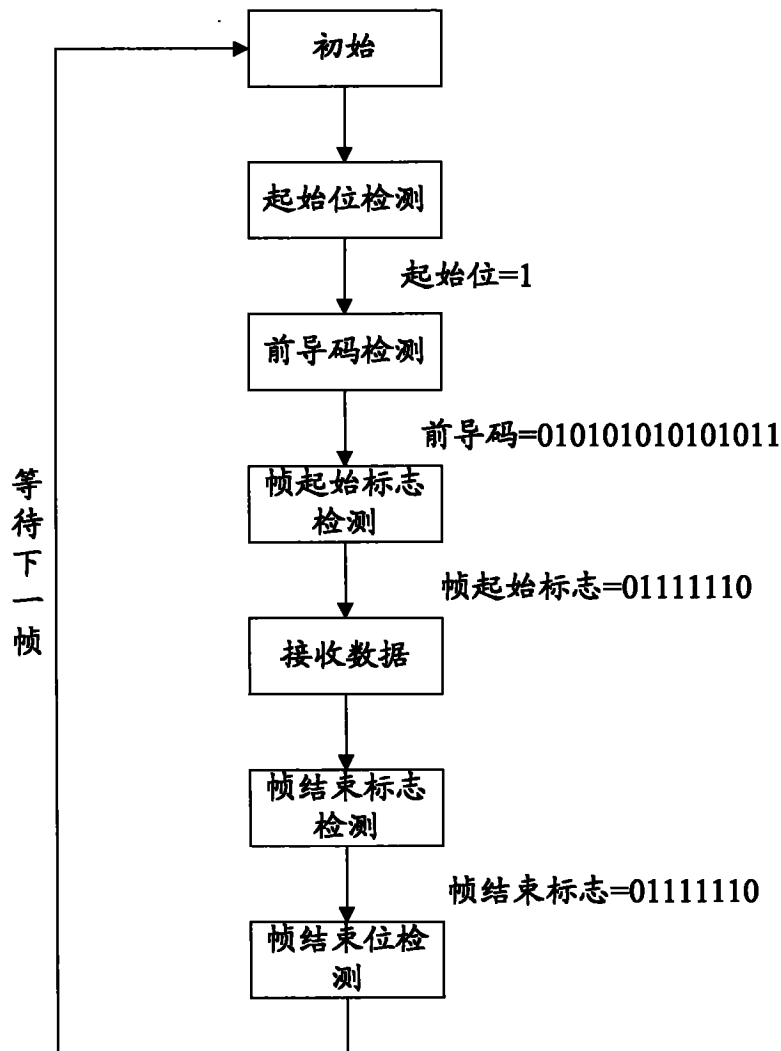


图 9