(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第5589891号
(P5589891)
(45)発行日 平成26年9月17日(2014.9.17)　(24)登録日 平成26年8月8日(2014.8.8)

(51)Int.Cl.　F I
H01G 4/252 (2006.01)　H01G 1/14 V
H01G 4/228 (2006.01)　H01G 1/14 F
H01G 4/232 (2006.01)　H01G 4/12 361
H01G 4/12 (2006.01)　H01G 4/12 352
H01G 4/30 (2006.01)　H01G 4/12 364

請求項の数 10　(全 16 頁)　最終頁に続く

(21)出願番号 特願2011-36860 (P2011-36860)
(22)出願日 平成23年2月23日 (2011.2.23)
(65)公開番号 特開2012-9813 (P2012-9813A)
(43)公開日 平成24年1月12日 (2012.1.12)
審査請求日 平成24年10月24日 (2012.10.24)
(31)優先権主張番号 特願2010-121867 (P2010-121867)
(32)優先日 平成22年5月27日 (2010.5.27)
(33)優先権主張国 日本国 (JP)

(73)特許権者 000006231
株式会社村田製作所
京都府長岡京市東神足１丁目１０番１号
(74)代理人 110001232
特許業務法人 宮▲崎▼・目次特許事務所
(72)発明者 西坂 康弘
京都府長岡京市東神足１丁目１０番１号
株式会社村田製作所内
(72)発明者 眞田 幸雄
京都府長岡京市東神足１丁目１０番１号
株式会社村田製作所内
(72)発明者 佐藤 浩司
京都府長岡京市東神足１丁目１０番１号
株式会社村田製作所内

最終頁に続く

(54)【発明の名称】セラミック電子部品及びその製造方法

(57)【特許請求の範囲】
【請求項１】
セラミック素体と、前記セラミック素体の上に形成されている外部電極とを備えるセラミック電子部品であって、
前記外部電極は、前記セラミック素体の上に形成されている下地電極層と、前記下地電極層の上に形成されている第１のＣｕめっき膜とを有し、
前記下地電極層は、Ｃｕに拡散し得る金属と、セラミック結合材とを含み、
前記第１のＣｕめっき膜の少なくとも前記下地電極層側の表層には、前記Ｃｕに拡散し得る金属が拡散している、セラミック電子部品。
【請求項２】
前記下地電極層は、前記セラミック素体の上に導電性ペーストを塗布し、焼成することにより形成されている、請求項１に記載のセラミック電子部品。
【請求項３】
前記第１のＣｕめっき膜には、粒界が存在しており、前記Ｃｕに拡散し得る金属は、前記第１のＣｕめっき膜の粒界に沿って拡散している、請求項１または２に記載のセラミック電子部品。
【請求項４】
前記Ｃｕに拡散し得る金属は、前記第１のＣｕめっき膜の前記下地電極層とは反対側の表面にまで拡散している、請求項１～３のいずれか一項に記載のセラミック電子部品。
【請求項５】

前記Ｃｕに拡散し得る金属は、Ｎｉ，Ａｇ，Ｐｄ及びＡｕからなる群から選ばれた一種以上の金属である、請求項１～４のいずれか一項に記載のセラミック電子部品。

【請求項６】

前記外部電極は、前記第１のＣｕめっき膜の上に形成されている第２のＣｕめっき膜をさらに有し、前記第２のＣｕめっき膜には、前記Ｃｕに拡散し得る金属は拡散していない、請求項１～５のいずれか一項に記載のセラミック電子部品。

【請求項７】

前記下地電極層には、前記第１のＣｕめっき膜からＣｕが拡散している、請求項１～６のいずれか一項に記載のセラミック電子部品。

【請求項８】

セラミック素体と、前記セラミック素体の上に形成されている外部電極とを備えるセラミック電子部品の製造方法であって、

セラミック素体の上に、Ｃｕに拡散し得る金属と、セラミック結合材とを含む下地電極層を形成し、さらに前記下地電極層の上に第１のＣｕめっき膜を形成した後に、前記下地電極層と前記第１のＣｕめっき膜とを加熱することにより、前記第１のＣｕめっき膜の少なくとも前記下地電極層側の表層に前記Ｃｕに拡散し得る金属を拡散させることにより前記外部電極を形成する、セラミック電子部品の製造方法。

【請求項９】

前記下地電極層と前記第１のＣｕめっき層とを加熱することにより、前記第１のＣｕめっき膜の少なくとも前記下地電極層側の表層に前記Ｃｕに拡散し得る金属を拡散させた後に、前記第１のＣｕめっき膜の上に、第２のＣｕめっき膜をさらに形成することにより前記外部電極を形成する、請求項８に記載のセラミック電子部品の製造方法。

【請求項１０】

前記下地電極層と前記第１のＣｕめっき膜とを、３５０℃～８００℃まで加熱することにより、前記第１のＣｕめっき膜の少なくとも前記下地電極層側の表層に前記Ｃｕに拡散し得る金属を拡散させることにより前記外部電極を形成する、請求項８または９に記載のセラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、セラミック電子部品及びその製造方法に関する。特に、本発明は、配線基板に埋め込まれて使用される埋め込み型セラミック電子部品として好適に使用できるセラミック電子部品及びその製造方法に関する。

【背景技術】

【０００２】

近年、携帯電話機や携帯音楽プレイヤーなどの電子機器の小型化や薄型化に伴い、電子機器に搭載される配線基板の小型化が進んでいる。

【０００３】

配線基板を小型化する方法としては、例えば、下記の特許文献１において、セラミック電子部品を配線基板の内部に埋め込み、かつ、セラミック電子部品の上に形成されたビアホール導体により、セラミック電子部品への配線を構成する方法が提案されている。この方法によれば、配線基板の表面にセラミック電子部品を配置する領域を確保する必要がないばかりか、セラミック電子部品への配線を設ける領域を、セラミック電子部品が設けられる領域とは別個に確保する必要がない。従って、部品内蔵配線基板を小型化することができる。

【０００４】

セラミック電子部品接続用のビアホールは、例えば、CO_2レーザーなどのレーザーを用いて形成される。レーザーを用いてビアホールを形成する場合、レーザーがセラミック電子部品の外部電極に直接照射されることとなる。このため、外部電極は、レーザーを高い反射率で反射するＣｕめっき膜を有するものであることが好ましい。外部電極のレーザ

ーに対する反射率が低いと、レーザーがセラミック電子部品の内部にまで至り、セラミック電子部品が損傷してしまう場合があるためである。
【先行技術文献】
【特許文献】
【０００５】
【特許文献１】特開２００２－１００８７５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
ところで、配線基板の内部に埋め込まれるセラミック電子部品に対しては、配線基板の厚みを薄くする観点から、低背化が強く求められている。
【０００７】
セラミック電子部品を低背化する方法としては、外部電極のうち、セラミック素体の直上に位置する下地電極層を、内部電極を含むセラミック素体と同時焼成する、すなわちコファイアにより形成することが好ましい。このようにすることにより、例えば、ディップにより塗布した導電性ペーストを焼き付けることによって下地電極層を形成した場合よりも、下地電極層の最大厚みを小さくできるためである。
【０００８】
しかしながら、下地電極層をコファイアにより形成する場合、セラミック素体と下地電極層との高い密着性を確保するために、セラミック材料などのセラミック接合材の下地電極層における含有量を多くする必要がある。ところが、下地電極層におけるセラミック接合材の含有量を多くすると、下地電極層における金属成分の含有量が少なくなる。このため、下地電極層と、下地電極層の上に形成されためっき層との密着性が低下してしまう。従って、電子部品の信頼性が低下してしまうという問題がある。
【０００９】
本発明は、かかる点に鑑みてなされたものであり、その目的は、セラミック素体の上に形成された下地電極層と、下地電極層の上に形成されたＣｕめっき膜とを有する外部電極を備えるセラミック電子部品であって、高い信頼性を有するセラミック電子部品を提供することにある。
【課題を解決するための手段】
【００１０】
本発明に係るセラミック電子部品は、セラミック素体と、外部電極とを備えている。外部電極は、セラミック素体の上に形成されている。外部電極は、下地電極層と、第１のＣｕめっき膜とを有する。下地電極層は、セラミック素体の上に形成されている。第１のＣｕめっき膜は、下地電極層の上に形成されている。下地電極層は、Ｃｕに拡散し得る金属と、セラミック結合材とを含む。第１のＣｕめっき膜の少なくとも下地電極層側の表層には、Ｃｕに拡散し得る金属が拡散している。
【００１１】
本発明に係るセラミック電子部品のある特定の局面では、前記下地電極層は、前記セラミック素体の上に導電性ペーストを塗布し、焼成することにより形成されている。
また、本発明に係るセラミック電子部品の他の特定の局面では、第１のＣｕめっき膜には、粒界が存在している。Ｃｕに拡散し得る金属は、第１のＣｕめっき膜の粒界に沿って拡散している。
【００１２】
本発明に係るセラミック電子部品の他の特定の局面では、Ｃｕに拡散し得る金属は、第１のＣｕめっき膜の下地電極層とは反対側の表面にまで拡散している。この構成によれば、第１のＣｕめっき膜と下地電極層との密着性をより高めることができる。
【００１３】
本発明に係るセラミック電子部品の別の特定の局面では、Ｃｕに拡散し得る金属は、Ｎｉ，Ａｇ，Ｐｄ及びＡｕからなる群から選ばれた一種以上の金属である。

【００１４】
　本発明に係るセラミック電子部品のさらに別の特定の局面では、外部電極は、第１のＣｕめっき膜の上に形成されている第２のＣｕめっき膜をさらに有し、第２のＣｕめっき膜には、Ｃｕに拡散し得る金属は拡散していない。この構成では、Ｃｕに拡散し得る金属が拡散していない第２のＣｕめっき膜が設けられているため、外部電極に入射するレーザー光の外部電極における反射率をより高くすることができる。このため、レーザー光を外部電極に照射した場合であっても、セラミック素体が損傷しにくい。従って、埋め込み型セラミック電子部品として好適に使用することができる。
【００１５】
　本発明に係るセラミック電子部品のまた他の特定の局面では、下地電極層には、第１のＣｕめっき膜からＣｕが拡散している。この場合、下地電極層と第１のＣｕめっき膜との密着性をより高めることができる。
【００１６】
　本発明に係るセラミック電子部品の製造方法は、セラミック素体と、セラミック素体の上に形成されている外部電極とを備えるセラミック電子部品の製造方法に関する。本発明に係るセラミック電子部品の製造方法では、セラミック素体の上に、Ｃｕに拡散し得る金属と、セラミック結合材とを含む下地電極層を形成し、さらに下地電極層の上に第１のＣｕめっき膜を形成する。その後に、下地電極層と第１のＣｕめっき膜とを加熱することにより、第１のＣｕめっき膜の少なくとも下地電極層側の表層にＣｕに拡散し得る金属を拡散させることにより外部電極を形成する。
【００１７】
　本発明に係るセラミック電子部品の製造方法のある特定の局面では、下地電極層と第１のＣｕめっき層とを加熱することにより、第１のＣｕめっき膜の少なくとも下地電極層側の表層にＣｕに拡散し得る金属を拡散させた後に、第１のＣｕめっき膜の上に、第２のＣｕめっき膜をさらに形成することにより外部電極を形成する。この場合、Ｃｕに拡散し得る金属が拡散していない第２のＣｕめっき膜が設けられているため、外部電極に入射するレーザー光の外部電極における反射率がより高く、埋め込み型セラミック電子部品として好適に使用することができるセラミック電子部品を製造することができる。
【００１８】
　本発明に係るセラミック電子部品の製造方法の他の特定の局面では、下地電極層と第１のＣｕめっき膜とを、３５０℃～８００℃まで加熱することにより、第１のＣｕめっき膜の少なくとも下地電極層側の表層にＣｕに拡散し得る金属を拡散させることにより外部電極を形成する。この場合、Ｃｕに拡散し得る金属がより好適に拡散する。
【発明の効果】
【００１９】
　本発明では、第１のＣｕめっき膜の少なくとも下地電極層側の表層には、下地電極層に含まれているＣｕに拡散し得る金属が拡散している。このため、下地電極層と第１のＣｕめっき膜との密着性を高めることができる。従って、セラミック電子部品の信頼性を高めることができる。
【図面の簡単な説明】
【００２０】
【図１】第１の実施形態に係るセラミック電子部品の略図的斜視図である。
【図２】第１の実施形態に係るセラミック電子部品の略図的側面図である。
【図３】図１の線ＩＩＩ－ＩＩＩにおける略図的断面図である。
【図４】図３の線ＩＶで囲まれた部分を拡大した略図的断面図である。
【図５】第１の外部電極の一部分を拡大した模式的断面図である。
【図６】図３の線ＶＩ－ＶＩにおける略図的断面図である。
【図７】導電パターンが形成されたセラミックグリーンシートの略図的平面図である。
【図８】マザー積層体の略図的平面図である。
【図９】第２の実施形態に係るセラミック電子部品の一部を拡大した略図的断面図である

。
【図１０】第３の実施形態に係るセラミック電子部品の略図的断面図である。
【図１１】第４の実施形態に係るセラミック電子部品の略図的断面図である。
【図１２】第５の実施形態に係るセラミック電子部品の略図的側面図である。
【図１３】第６の実施形態に係るセラミック電子部品の略図的断面図である。
【図１４】第７の実施形態に係るセラミック電子部品の高さ方向Ｈ及び長さ方向Ｌに沿った略図的断面図である。
【図１５】第７の実施形態に係るセラミック電子部品の高さ方向Ｈ及び長さ方向Ｌに沿った略図的断面図である。
【図１６】変形例における第１の外部電極の一部分を拡大した模式的断面図である。
【発明を実施するための形態】
【００２１】
（第１の実施形態）
以下、本発明の好ましい実施形態について、図１に示すセラミック電子部品１を例に挙げて説明する。但し、セラミック電子部品１は、単なる例示である。本発明は、以下に示すセラミック電子部品１及びその製造方法に何ら限定されない。
【００２２】
図１は、第１の実施形態に係るセラミック電子部品の略図的斜視図である。図２は、第１の実施形態に係るセラミック電子部品の略図的側面図である。図３は、図１の線ＩＩＩ－ＩＩＩにおける略図的断面図である。図４は、図３の線ＩＶで囲まれた部分を拡大した略図的断面図である。図５は、第１の外部電極の一部分を拡大した模式的断面図である。図６は、図３の線ＶＩ－ＶＩにおける略図的断面図である。
【００２３】
まず、図１～図６を参照しながら、セラミック電子部品１の構成について説明する。
【００２４】
図１～図３及び図６に示すように、セラミック電子部品１は、セラミック素体１０を備えている。セラミック素体１０は、セラミック電子部品１の機能に応じた適宜のセラミック材料からなる。具体的には、セラミック電子部品１がコンデンサである場合は、セラミック素体１０を誘電体セラミック材料により形成することができる。誘電体セラミック材料の具体例としては、例えば、$BaTiO_3$、$CaTiO_3$、$SrTiO_3$、$CaZrO_3$などが挙げられる。なお、セラミック素体１０には、所望するセラミック電子部品１の特性に応じて、上記セラミック材料を主成分として、例えば、Ｍｎ化合物、Ｍｇ化合物、Ｓｉ化合物、Ｆｅ化合物、Ｃｒ化合物、Ｃｏ化合物、Ｎｉ化合物、希土類化合物などの副成分を適宜添加してもよい。
【００２５】
セラミック電子部品１がセラミック圧電素子である場合は、セラミック素体１０を圧電セラミック材料により形成することができる。圧電セラミック材料の具体例としては、例えば、ＰＺＴ（チタン酸ジルコン酸鉛）系セラミック材料などが挙げられる。
【００２６】
セラミック電子部品１がサーミスタ素子である場合は、セラミック素体１０を半導体セラミック材料により形成することができる。半導体セラミック材料の具体例としては、例えば、スピネル系セラミック材料などが挙げられる。
【００２７】
セラミック電子部品１が、インダクタ素子である場合は、セラミック素体１０を磁性体セラミック材料により形成することができる。磁性体セラミック材料の具体例としては、例えば、フェライトセラミック材料などが挙げられる。
【００２８】
セラミック素体１０の形状は特に限定されない。本実施形態では、セラミック素体１０は、直方体状に形成されている。図１～図３に示すように、セラミック素体１０は、長さ方向Ｌ及び幅方向Ｗに沿って延びる第１及び第２の主面１０ａ、１０ｂを有する。セラミ

ック素体１０は、図１、図２及び図６に示すように、高さ方向Ｈ及び長さ方向Ｌに沿って延びる第１及び第２の側面１０ｃ、１０ｄを有する。また、図２、図３及び図６に示すように、高さ方向Ｈ及び幅方向Ｗに沿って延びる第１及び第２の端面１０ｅ、１０ｆを備えている。

【００２９】

なお、本明細書において、「直方体状」には、角部や稜線部が面取り状またはＲ面取り状である直方体が含まれるものとする。すなわち、「直方体状」の部材とは、第１及び第２の主面、第１及び第２の側面並びに第１及び第２の端面とを有する部材全般を意味する。また、主面、側面、端面の一部または全部に凹凸などが形成されていてもよい。

【００３０】

セラミック素体１０の寸法は、特に限定されないが、セラミック素体１０は、セラミック素体１０の厚み寸法をＴ、長さ寸法をＬ、幅寸法をＷとしたときに、Ｔ≦Ｗ＜Ｌ、（１／５）Ｗ≦Ｔ≦（１／２）Ｗ、Ｔ≦０．３ｍｍが満たされるような薄型のものであることが好ましい。具体的には、０．１ｍｍ≦Ｔ≦０．３ｍｍ、０．４ｍｍ≦Ｌ≦１ｍｍ、０．２ｍｍ≦Ｗ≦０．５ｍｍであることが好ましい。

【００３１】

図３及び図６に示すように、セラミック素体１０の内部には、略矩形状の複数の第１及び第２の内部電極１１，１２が高さ方向Ｈに沿って等間隔に交互に配置されている。第１及び第２の内部電極１１，１２のそれぞれは、第１及び第２の主面１０ａ、１０ｂと平行である。第１及び第２の内部電極１１，１２は、高さ方向Ｈにおいて、セラミック層１０ｇを介して、互いに対向している。

【００３２】

なお、セラミック層１０ｇの厚さは、特に限定されない。セラミック層１０ｇの厚さは、例えば、０．５μｍ～１０μｍ程度とすることができる。第１及び第２の内部電極１１，１２のそれぞれの厚さも、特に限定されない。第１及び第２の内部電極１１，１２のそれぞれの厚さは、例えば、０．２μｍ～２μｍ程度とすることができる。

【００３３】

第１及び第２の内部電極１１，１２は、適宜の導電材料により形成することができる。第１及び第２の内部電極１１，１２は、例えば、Ｎｉ、Ｃｕ，Ａｇ，Ｐｄ，Ａｕなどの金属や、Ａｇ－Ｐｄ合金などの、これらの金属の一種以上を含む合金により形成することができる。

【００３４】

図１～図３に示すように、セラミック素体１０の表面の上には、第１及び第２の外部電極１３，１４が形成されている。第１の外部電極１３は、第１の内部電極１１に電気的に接続されている。第１の外部電極１３は、第１の主面１０ａの上に形成されている第１の部分１３ａと、第２の主面１０ｂの上に形成されている第２の部分１３ｂと、第１の端面１０ｅの上に形成されている第３の部分１３ｃとを備えている。本実施形態では、第１の外部電極１３は、第１及び第２の側面１０ｃ、１０ｄの上には実質的に形成されていない。

【００３５】

一方、第２の外部電極１４は、第２の内部電極１２に電気的に接続されている。第２の外部電極１４は、第１の主面１０ａの上に形成されている第１の部分１４ａと、第２の主面１０ｂの上に形成されている第２の部分１４ｂと、第２の端面１０ｆの上に形成されている第３の部分１４ｃとを備えている。本実施形態では、第２の外部電極１４は、第１及び第２の側面１０ｃ、１０ｄの上には実質的に形成されていない。

【００３６】

次に、第１及び第２の外部電極１３，１４の構成について説明する。なお、本実施形態では、第１及び第２の外部電極１３，１４は、実質的に同じ膜構成を有する。このため、ここでは、第１及び第２の外部電極１３，１４の構成について、第１の外部電極１３の一部分が描画されている図４を主として参照しながら説明する。

【００３７】
図４に示すように、第１及び第２の外部電極１３，１４のそれぞれは、下地電極層１５と、第１及び第２のＣｕめっき膜１６，１７との積層体により構成されている。下地電極層１５は、セラミック素体１０の上に形成されている。第１のＣｕめっき膜１６は、下地電極層１５の上に形成されている。第２のＣｕめっき膜１７は、第１のＣｕめっき膜１６の上に形成されている。

【００３８】
下地電極層１５は、第１及び第２の外部電極１３，１４と、セラミック素体１０との密着強度を高めるための層である。このため、下地電極層１５は、下地電極層１５とセラミック素体１０との密着強度が高くなると共に、下地電極層１５と第１のＣｕめっき膜１６との密着性も高くなるような組成を有する。具体的には、下地電極層１５は、Ｃｕに拡散し得る金属と、セラミック結合材とを含んでいる。

【００３９】
下地電極層１５における、Ｃｕに拡散し得る金属の含有量は、例えば、５０体積％～７０体積％の範囲内であることが好ましい。下地電極層１５におけるセラミック結合材の含有量は、例えば、３０体積％～５０体積％の範囲内であることが好ましい。

【００４０】
セラミック結合材は、セラミック素体１０に対する密着強度を高めるための成分である。セラミック結合材は、例えば、セラミック素体が下地電極層と同時に焼成される際に、セラミック素体の収縮の挙動と下地電極層の収縮の挙動を近づけるようにして、その種類が選択される。セラミック結合材は、セラミック素体１０に含まれるセラミック材料の主成分を構成する元素を含むことが好ましく、中でも、セラミック素体１０に含まれるセラミック材料と主成分が同じセラミック材料であることが望ましい。

【００４１】
一方、Ｃｕに拡散し得る金属（以下、「拡散可能金属」とすることがある。）は、第１のＣｕめっき膜１６に対する密着強度を向上するための成分である。本実施形態では、この拡散可能金属が第１のＣｕめっき膜１６の少なくとも下地電極層１５側の表層に拡散している。また、下地電極層１５には、第１のＣｕめっき膜１６からＣｕが拡散している。本実施形態では、この相互拡散により、下地電極層１５と第１のＣｕめっき膜１６との高い密着性が実現されている。

【００４２】
より具体的には、本実施形態では、第１のＣｕめっき膜１６には、粒界が存在しており、この粒界に沿って拡散可能金属が拡散している。そして、図５に示すように、第１のＣｕめっき膜１６のうち、拡散可能金属が拡散している拡散部分１６ａは、第１のＣｕめっき膜１６の下地電極層１５とは反対側の表面にまで至っている。一方、下地電極層１５の第１のＣｕめっき膜１６側の表層には、Ｃｕが拡散している拡散部分１５ａが存在している。

【００４３】
なお、拡散可能金属が拡散していることは、セラミック電子部品１の側面をＷ方向の中心付近まで研磨し、反対側の側面と平行な断面を露出させ、その断面を集束イオンビーム（ＦＩＢ）を用いて処理し、ＷＤＸ（波長分散型）の元素マッピングすることにより検出することができる。

【００４４】
拡散可能金属の種類は特に限定されない。拡散可能金属は、例えば、Ｎｉ，Ａｇ，Ａｕからなる群から選ばれた一種以上の金属により構成することができる。なかでも、拡散可能金属としては、Ｎｉを用いることが好ましい。

【００４５】
但し、本実施形態では、第２のＣｕめっき膜１７には、拡散可能金属は拡散していない。このため、第２のＣｕめっき膜１７は、Ｃｕにより実質的に形成されている。

【００４６】

なお、下地電極層１５の最大厚みは、例えば、１μｍ～２０μｍ程度とすることができる。第１のＣｕめっき膜１６の最大厚みは、例えば、２μｍ～６μｍ程度であることが好ましい。第２のＣｕめっき膜１７の最大厚みは、例えば、３μｍ～６μｍ程度であることが好ましい。

【００４７】

次に、本実施形態のセラミック電子部品１の製造方法の一例について説明する。

【００４８】

まず、セラミック素体１０を構成するためのセラミック材料を含むセラミックグリーンシート２０（図７を参照）を用意する。次に、図７に示すように、そのセラミックグリーンシート２０の上に、導電性ペーストを塗布することにより、導電パターン２１を形成する。なお、導電パターンの塗布は、例えば、スクリーン印刷法などの各種印刷法により行うことができる。導電性ペーストは、導電性微粒子の他に、公知のバインダーや溶剤を含んでいてもよい。

【００４９】

次に、導電パターン２１が形成されていない複数枚のセラミックグリーンシート２０、第１または第２の内部電極１１，１２に対応した形状の導電パターン２１が形成されているセラミックグリーンシート２０、及び導電パターン２１が形成されていない複数枚のセラミックグリーンシート２０をこの順番で積層し、積層方向に静水圧プレスすることにより、図８に示すマザー積層体２２を作製する。

【００５０】

次に、マザー積層体２２の上に、第１及び第２の外部電極１３，１４の下地電極層１５の第１及び第２の部分１３ａ、１３ｂを構成している部分に対応した形状の導電パターン２３を、スクリーン印刷法などの適宜の印刷法により形成する。なお、この導電パターン２３の形成に用いる導電性ペーストは、拡散可能金属と、セラミック結合材とを含んでいる。

【００５１】

次に、仮想のカットラインＬに沿ってマザー積層体２２をカッティングすることにより、マザー積層体２２から複数の生のセラミック積層体を作製する。なお、マザー積層体２２のカッティングは、ダイシングや押切により行うことができる。

【００５２】

生のセラミック積層体作成後、バレル研磨などにより、生のセラミック積層体の稜線部及び稜線部の面取りまたはＲ面取り及び表層の研磨を行うようにしてもよい。

【００５３】

次に、生のセラミック積層体の両端面に導電性ペーストを塗布することにより第１及び第２の外部電極１３，１４の下地電極層１５の第３の部分１３ｃを構成している部分に対応した形状の導電パターンを形成する。この導電性ペーストの塗布は、例えば、ディップやスクリーン印刷などにより行うことができる。なお、この導電パターンの形成に用いる導電性ペーストは、拡散可能金属と、セラミック結合材とを含んでいる。

【００５４】

次に、生のセラミック積層体の焼成を行う。この焼成工程において、下地電極層１５並びに第１及び第２の内部電極１１，１２が同時焼成される（コファイア）。焼成温度は、使用するセラミック材料や導電性ペーストの種類により適宜設定することができる。焼成温度は、例えば、９００℃～１３００℃程度とすることができる。

【００５５】

次に、下地電極層１５の上にＣｕめっきを施すことにより、第１のＣｕめっき膜１６を形成する。本実施形態では、その後、セラミック積層体に熱処理を施すことにより、第１のＣｕめっき膜１６と下地電極層１５とを加熱する。この加熱工程により、第１のＣｕめっき膜１６の少なくとも下地電極層１５側の表層に、下地電極層１５に含まれていた拡散可能金属が拡散する。それと共に、第１のＣｕめっき膜１６のＣｕが下地電極層１５の少なくとも第１のＣｕめっき膜１６側の表層に拡散する。すなわち、下地電極層１５と第１

のＣｕめっき膜１６との間で、相互拡散が進行する。

【００５６】

第１のＣｕめっき膜１６と下地電極層１５との熱処理工程において、第１のＣｕめっき膜１６と下地電極層１５とを３５０℃〜８００℃まで加熱することが好ましく、５５０℃〜６５０℃まで加熱することがより好ましい。第１のＣｕめっき膜１６と下地電極層１５との加熱温度が低すぎると、十分に拡散が進行しない場合がある。一方、第１のＣｕめっき膜１６と下地電極層１５との加熱温度が高すぎると、第１のＣｕめっき膜１６に含まれるＣｕが融解してしまう場合がある。

【００５７】

上記熱処理工程は、窒素やアルゴンなどの不活性ガス雰囲気中で行うことが好ましい。これにより、第１のＣｕめっき膜１６等の酸化を抑制することができる。

【００５８】

その後、第１のＣｕめっき膜１６の上に、Ｃｕめっきにより、第２のＣｕめっき膜１７を形成することにより、図１に示すセラミック電子部品１を完成させる。このように、本実施形態では、第１のＣｕめっき膜１６及び下地電極層１５の熱処理後に第２のＣｕめっき膜１７を形成する。このため、第１のＣｕめっき膜１６には拡散可能金属が拡散するものの、第２のＣｕめっき膜１７には拡散可能金属が実質的に拡散しない。従って、第２のＣｕめっき膜１７は、実質的にＣｕからなるものとなる。

【００５９】

以上説明したように、本実施形態では、コファイアにより下地電極層１５を形成する。このため、第１及び第２の外部電極１３，１４の第１及び第２の部分１３ａ、１４ａ、１３ｂ、１４ｂを薄く形成することができる。従って、セラミック電子部品１の厚みを薄くすることができる。

【００６０】

また、下地電極層１５は、セラミック結合材を含んでいる。このため、下地電極層１５をコファイアにより形成した場合であっても、下地電極層１５とセラミック素体１０との密着性を高めることができる。

【００６１】

さらに、下地電極層１５は、Ｃｕに拡散し得る金属を含んでおり、そのＣｕに拡散し得る金属が、第１のＣｕめっき膜１６の少なくとも下地電極層１５側の表層に拡散している。このため、下地電極層１５と第１のＣｕめっき膜１６との密着性を高めることができる。特に、Ｃｕに拡散し得る金属が、第１のＣｕめっき膜１６の下地電極層１５とは反対側の表面にまで拡散している場合は、下地電極層１５と第１のＣｕめっき膜１６との密着性をさらに高めることができる。

【００６２】

また、本実施形態では、第１のＣｕめっき膜１６の上に、実質的にＣｕからなる第２のＣｕめっき膜１７が形成されている。このため、第１及び第２の外部電極１３，１４にレーザー光を照射した場合であっても、レーザー光が高い反射率で第１及び第２の外部電極１３，１４において反射される。従って、第１及び第２の外部電極１３，１４にレーザー光を照射した場合であっても、セラミック素体１０が損傷しにくい。すなわち、本実施形態のセラミック電子部品１は、レーザー光に対する耐性が高い。

【００６３】

このように、本実施形態では、セラミック電子部品１の厚みを薄くでき、セラミック素体１０、下地電極層１５及び第１のＣｕめっき膜１６間の密着性を高めることができ、かつ、第１及び第２の外部電極１３，１４におけるレーザー光の反射率を高くすることができる。従って、本実施形態の高い信頼性を有するセラミック電子部品１は、埋め込み型のセラミック電子部品として好適に使用される。本実施形態のセラミック電子部品１を埋め込み型のセラミック電子部品として用いた場合、レーザー光を用いて、セラミック電子部品１の第１及び第２の外部電極１３，１４の上部にビアホールを、セラミック電子部品１を損傷させることなく、好適に形成することができる。

【００６４】
　また、本実施形態では、セラミック電子部品が、少なくとも一対の内部電極と、第１及び第２の外部電極を備えている例について説明した。但し、本発明は、この構成に限定されない。本発明において、セラミック電子部品は、少なくとも一つの外部電極を有していればよく、例えば、内部電極を有していなくてもよい。
【００６５】
　以下、本発明の好ましい実施形態の他の例について説明する。但し、以下の説明において、上記第１の実施形態と実質的に共通の機能を有する部材を共通の機能で参照し、説明を省略する。
【００６６】
　（第２の実施形態）
　図９は、第２の実施形態に係るセラミック電子部品の一部を拡大した略図的断面図である。
【００６７】
　上記第１の実施形態では、第１及び第２の外部電極１３，１４が、下地電極層１５並びに第１及び第２のＣｕめっき膜１６，１７の積層体により形成されている例について説明した。但し、本発明は、この構成に限定されない。外部電極は、下地電極層と、下地電極層の上に積層された少なくとも一つのＣｕめっき膜を有する限りにおいて特に限定されない。
【００６８】
　例えば、図９に示すように、第１及び第２の外部電極１３，１４のそれぞれは、下地電極層１５と、下地電極層１５の上に形成されている第１のＣｕめっき膜１６との積層体により形成されていてもよい。この場合、下地電極層１５に含まれている拡散可能金属は、第１のＣｕめっき膜１６の下地電極層１５とは反対側の表面にまで拡散していないことが好ましい。すなわち、第１のＣｕめっき膜１６の下地電極層１５とは反対側の表層は、Ｃｕからなることが好ましい。
【００６９】
　但し、第１のＣｕめっき膜１６の下地電極層１５とは反対側の表面にまで拡散可能金属が拡散しないように制御するのは困難である。このため、第１及び第２の外部電極１３，１４のセラミック素体１０とは反対側の表層を、確実にＣｕからなるものとするためには、第２のＣｕめっき膜１６を形成することが好ましい。
【００７０】
　（第３の実施形態）
　図１０は、第３の実施形態に係るセラミック電子部品の略図的断面図である。
【００７１】
　上記第１の実施形態では、第１及び第２の主面１０ａ、１０ｂのうち、第１または第２の外部電極１３，１４が形成されている部分と、第１または第２の外部電極１３，１４が形成されていない部分とが面一に形成されている例について説明した。但し、本発明はこの構成に限定されない。第１及び第２の主面１０ａ、１０ｂのうち、第１または第２の外部電極１３，１４が形成されている部分と、第１または第２の外部電極１３，１４が形成されていない部分とは、面一でなくてもよい。
【００７２】
　例えば、図１０に示すように、第１及び第２の主面１０ａ、１０ｂのうち、第１または第２の外部電極１３，１４が形成されている部分は、第１または第２の外部電極１３，１４が形成されていない部分よりも高さ方向Ｈにおける内側に位置していてもよい。この場合は、セラミック電子部品１をより低背化することができる。
【００７３】
　（第４の実施形態）
　図１１は、第４の実施形態に係るセラミック電子部品の略図的断面図である。
【００７４】

上記第１の実施形態では、第１及び第２の外部電極１３，１４のそれぞれが、第１及び第２の主面１０ａ、１０ｂの両方の上に形成されている例について説明した。但し、本発明は、この構成に限定されない。第１及び第２の外部電極１３，１４のそれぞれは、セラミック素体１０の表面のいずれかの部分の上に形成されていればよい。

【００７５】

例えば、図１１に示すように、第１及び第２の外部電極１３，１４のそれぞれを、第１及び第２の主面１０ａ、１０ｂのうちの第２の主面１０ｂの上にのみ形成してもよい。このように、第１及び第２の外部電極１３，１４のそれぞれを、第１及び第２の主面１０ａ、１０ｂのうちの少なくとも一方の上に形成することにより、セラミック電子部品１の実装容易性を高めることができる。

【００７６】

（第５の実施形態）

図１２は、第５の実施形態に係るセラミック電子部品の略図的側面図である。

【００７７】

上記第１の実施形態では、第１及び第２の側面１０ｃ、１０ｄ上には、第１及び第２の外部電極１３，１４が実質的に形成されない例について説明した。但し、図１２に示すように、第１及び第２の外部電極１３，１４を、第１及び第２の側面１０ｃ、１０ｄ上にも形成してもよい。

【００７８】

（第６の実施形態）

図１３は、第６の実施形態に係るセラミック電子部品の略図的断面図である。

【００７９】

上記第１の実施形態では、第１及び第２の内部電極１１，１２を第１または第２の端面１０ｅ、１０ｆに引き出すと共に、第１及び第２の端面１０ｅ、１０ｆの上に、第１または第２の外部電極１３，１４を形成することにより、第１及び第２の内部電極１１，１２を第１または第２の外部電極１３，１４と電気的に接続する例について説明した。但し、本発明は、この構成に限定されない。

【００８０】

例えば、図１３に示すように、ビアホール電極３１，３２を形成し、第１及び第２の内部電極１１，１２を第１及び第２の主面１０ａ、１０ｂに引き出し、第１及び第２の主面１０ａ、１０ｂにおいて、第１及び第２の外部電極１３，１４と電気的に接続させてもよい。この場合は、第１及び第２の外部電極１３，１４は、第１及び第２の主面１０ａ、１０ｂの少なくとも一方に形成されていればよく、第１及び第２の側面１０ｃ、１０ｄや第１及び第２の端面１０ｅ、１０ｆの上には、第１及び第２の外部電極１３，１４は、必ずしも形成されていなくてもよい。

【００８１】

（第７の実施形態）

図１４及び図１５は、第７の実施形態に係るセラミック電子部品の高さ方向Ｈ及び長さ方向Ｌに沿った略図的断面図である。

【００８２】

上記第１の実施形態では、第１及び第２の内部電極１１，１２が、第１及び第２の主面１０ａ、１０ｂと平行に形成されており、かつ、第１または第２の端面１０ｅ、１０ｆに引き出されている例について説明した。但し、本発明は、この構成に限定されない。

【００８３】

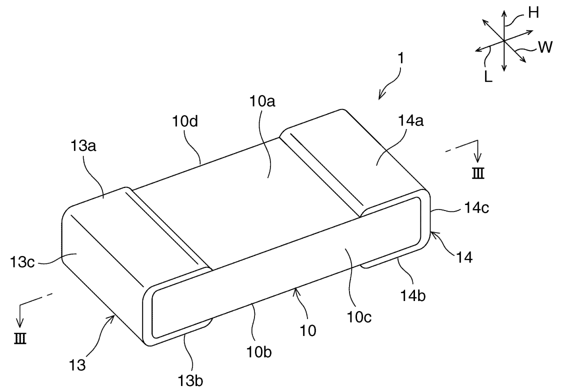
例えば、図１４及び図１５に示すように、第１及び第２の内部電極１１，１２を高さ方向Ｈ及び長さ方向Ｌに沿って平行に形成し、第１及び第２の内部電極１１，１２を幅方向Ｗに沿って積層するようにしてもよい。この場合は、第１及び第２の内部電極１１，１２を第１及び第２の主面１０ａ、１０ｂの少なくとも一方に直接引き出して、第１及び第２の主面１０ａ、１０ｂの少なくとも一方の上に形成されている第１または第２の外部電極１３，１４に直接接続するようにしてもよい。

【００８４】
（変形例）
図１６は、変形例における第１の外部電極の一部分を拡大した模式的断面図である。
【００８５】
上記第１の実施形態では、図５に示すように、拡散部分１６ａが第１のＣｕめっき膜１６の下地電極層１５とは反対側の表面にまで至っている例について説明した。但し、本発明は、この構成に限定されない。例えば、図１６に示すように、拡散部分１６ａが第１のＣｕめっき膜１６の下地電極層１５とは反対側の表面にまで至っていなくてもよい。
【００８６】
（実施例１）
本実施例では、上記第１の実施形態に係るセラミック電子部品１と同様の構成を有する、セラミックコンデンサとしてのセラミック電子部品を、上記第１の実施形態で説明した製造方法で、以下の条件に基づいて作製した。
【００８７】
セラミック電子部品の寸法：１．０ｍｍ×０．５ｍｍ×０．１５ｍｍ
セラミック電子部品の容量：１０ｎＦ
セラミック電子部品の定格電圧：６．３Ｖ
セラミック素体を構成するセラミック材料の主成分：$ＢａＴｉＯ_3$
下地電極層：Ｃｕに拡散し得る金属として、Ｎｉを５０体積％含む。また、セラミック結合材を５０体積％含む。
【００８８】
下地電極層の形成条件：１２００℃で２時間焼成
下地電極層の厚み：５μｍ
第１のＣｕめっき膜の厚み：４μｍ
第２のＣｕめっき膜の厚み：４μｍ
第１のＣｕめっき膜にＮｉを拡散させる熱処理の条件：６００℃（最高温度）で１０分保持、総熱処理時間：１時間、雰囲気は、酸素濃度１０ｐｐｍ以下の不活性ガス雰囲気
【００８９】
上記作製のセラミック電子部品の側面をＷ方向の中心付近まで研磨し、反対側の側面と平行な断面を露出させ、その断面を収束イオンビーム（ＦＩＢ）を用いて処理し、ＷＤＸ（波長分散型）の元素マッピングを行うことにより、第１のＣｕめっき膜にＮｉが拡散していることを確認した。
【００９０】
（比較例１）
第１のＣｕめっき膜にＮｉを拡散させる熱処理を行わなかったこと以外は、上記実施例１と同様にしてセラミック電子部品を作製した。
【００９１】
上記作製のセラミック電子部品を切断することにより、外部電極の断面を露出させ、電子顕微鏡を用いて観察した結果、第１のＣｕめっき膜にＮｉが拡散していないことを確認した。
【００９２】
（テープ剥離試験）
上記実施例１及び比較例１のそれぞれで作製したセラミック電子部品の第２の主面側を導電性接着剤を用いてガラスエポキシ基板に接着した。その後、セラミック電子部品の第１の主面側に粘着テープ（積水化学社製セロテープ（登録商標）Ｎｏ．２５２）を貼り付け、セラミック電子部品の長さ方向に沿って、一定の張力で引っ張ることにより剥離させた（１８０°剥離試験）。その後、電子顕微鏡を用いてめっき膜に剥がれが生じているか否かを観察した。この試験を、実施例１及び比較例１につき、各１００サンプル行い、めっき膜に剥離が観察されたサンプルの割合を測定した。その結果、実施例１では、いずれのサンプルにおいても剥離は観察されなかった。それに対して、比較例１では、７５％の

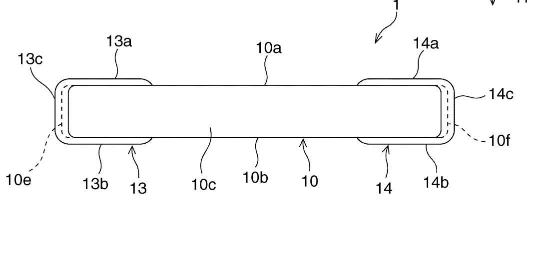
サンプルで剥離が観察された。
【００９３】
　この結果から、第１のＣｕめっき膜に下地電極層に含まれていた金属を拡散させることにより、第１のＣｕめっき膜の密着強度を高めることができることが分かる。
【００９４】
　（剪断試験）
　上記実施例１及び比較例１のそれぞれで作製したセラミック電子部品の第２の主面側を導電性接着剤を用いてガラスエポキシ基板に接着した。その後、荷重治具を用いてセラミック電子部品の長さ方向両側から０．５ｍｍ／秒で外部電極が剥離するまで荷重を加えた。
【００９５】
　その結果、比較例１では、Ｃｕめっき膜の剥離が観察されたが、実施例１では、セラミック素体が破壊されるまで試験を継続してもＣｕめっき膜の剥離は観察されなかった。
【００９６】
　この結果からも、第１のＣｕめっき膜に下地電極層に含まれていた金属を拡散させることにより、第１のＣｕめっき膜の密着強度を高めることができることが分かる。
【００９７】
　（耐湿負荷試験）
　実施例１及び比較例１のそれぞれにおいて作製したセラミック電子部品のサンプル各７２個を、共晶半田を用いてガラスエポキシ基板に実装した。その後、サンプルを、８５℃、相対湿度８３％ＲＨの高温高湿槽内にて、６．３Ｖの電圧を１０００時間印加した。この耐湿負荷試験後のサンプルの絶縁抵抗値が、１０ＧΩ以下となったものを不良としてカウントした。その結果、実施例１では、７２個のサンプルのうち、不良と判定されたサンプルは、０個であった。一方、比較例１では、７２個のサンプルのうち、３０個のサンプルが不良と判定された。
【００９８】
　この結果から、第１のＣｕめっき膜に下地電極層に含まれていた金属を拡散させることにより、セラミック電子部品の耐湿性を改善できることが分かる。
【符号の説明】
【００９９】
１…セラミック電子部品
１０…セラミック素体
１０ａ…セラミック素体の第１の主面
１０ｂ…セラミック素体の第２の主面
１０ｃ…セラミック素体の第１の側面
１０ｄ…セラミック素体の第２の側面
１０ｅ…セラミック素体の第１の端面
１０ｆ…セラミック素体の第２の端面
１０ｇ…セラミック層
１１…第１の内部電極
１２…第２の内部電極
１３…第１の外部電極
１３ａ…第１の外部電極の第１の部分
１３ｂ…第１の外部電極の第２の部分
１３ｃ…第１の外部電極の第３の部分
１４…第２の外部電極
１４ａ…第２の外部電極の第１の部分
１４ｂ…第２の外部電極の第２の部分
１４ｃ…第２の外部電極の第３の部分
１５…下地電極層

１５ａ…粒界
１６…第１のＣｕめっき膜
１７…第２のＣｕめっき膜
２０…セラミックグリーンシート
２１…導電パターン
２２…マザー積層体
２３…導電パターン
３１，３２…ビアホール電極

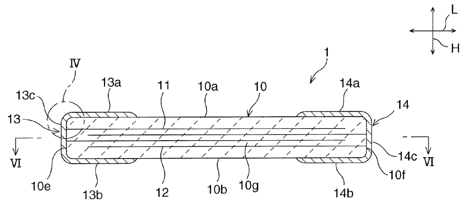
【図１】



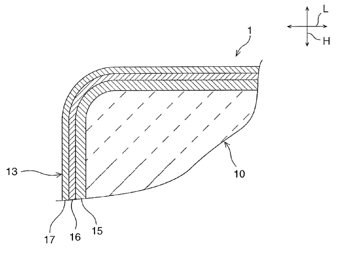
【図２】



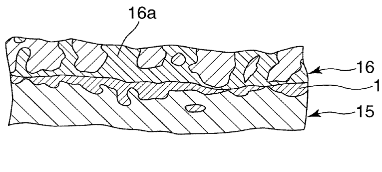
【図３】



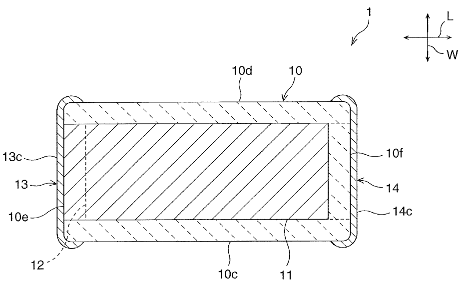
【図４】



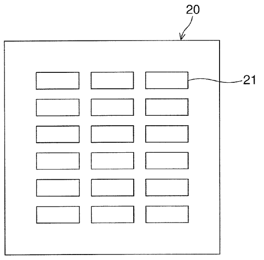
【図５】



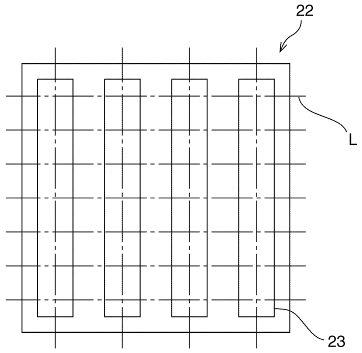
【図６】



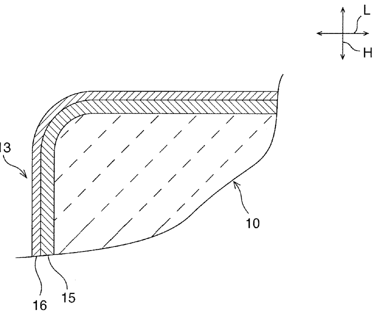
【図７】



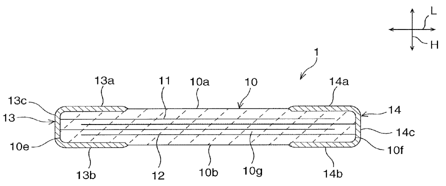
【図８】



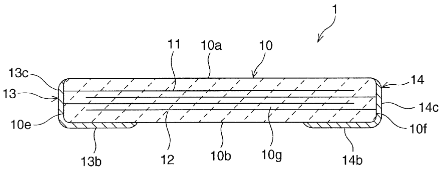
【図９】



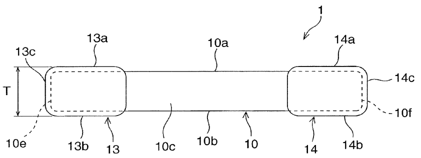
【図１０】



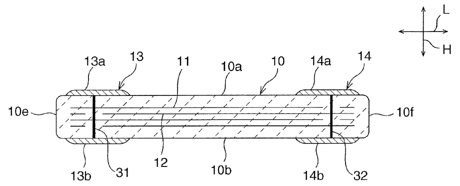
【図１１】



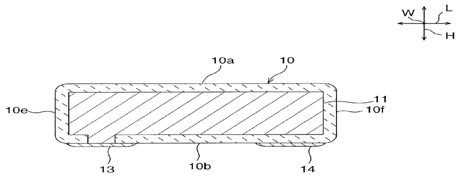
【図１２】



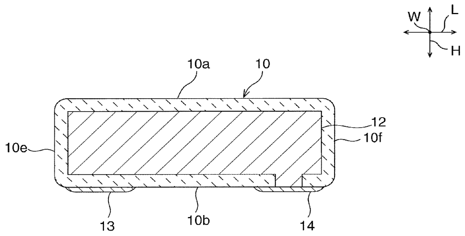
【図１３】



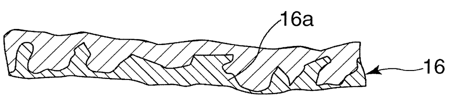
【図１４】



【図１５】



【図１６】



フロントページの続き

(51)Int.Cl.　　　　　　　　　　　ＦＩ
　　　　　　　　　　　　　　　　　Ｈ０１Ｇ　4/30　　３０１Ｂ
　　　　　　　　　　　　　　　　　Ｈ０１Ｇ　4/30　　３１１Ｅ

(72)発明者　松本　誠一
　　　　京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内

審査官　田中　晃洋

(56)参考文献　特開２０１０－０３４２２５（ＪＰ，Ａ）
特開２００９－２９５６８７（ＪＰ，Ａ）
特開２００８－０７２０７２（ＪＰ，Ａ）
特開平０８－２６４３７１（ＪＰ，Ａ）
特開平０８－２６４３７２（ＪＰ，Ａ）
特開平０７－０５７９５９（ＪＰ，Ａ）
特開２００２－２３１５６９（ＪＰ，Ａ）
特開２０１０－０３４５０３（ＪＰ，Ａ）
特開２０１０－０１６３０６（ＪＰ，Ａ）
特開平１１－０８７１６７（ＪＰ，Ａ）
特開２００２－００８９３８（ＪＰ，Ａ）
特開２００７－０４３１４４（ＪＰ，Ａ）
特開２００９－２１２２９８（ＪＰ，Ａ）
特開２００５－１０９１２５（ＪＰ，Ａ）
特開２００２－２０３７３４（ＪＰ，Ａ）
国際公開第２００８／０５９６６６（WO，Ａ１）
特開２０００－１００６４７（ＪＰ，Ａ）
特公昭５５－０３５８４５（ＪＰ，Ｂ１）
特開２０１０－２６７６８７（ＪＰ，Ａ）
特開２００８－２２７５１５（ＪＰ，Ａ）
特開平５－３４３２５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｃ　７／０２－７／２２
Ｈ０１Ｆ　１７／００－２１／１２
Ｈ０１Ｆ　２７／００
Ｈ０１Ｆ　２７／０２
Ｈ０１Ｆ　２７／０６
Ｈ０１Ｆ　２７／０８
Ｈ０１Ｆ　２７／２３
Ｈ０１Ｆ　２７／２９
Ｈ０１Ｆ　２７／３６
Ｈ０１Ｆ　２７／４２
Ｈ０１Ｆ　３０／００
Ｈ０１Ｆ　３８／４２
Ｈ０１Ｇ　４／００－４／２２
Ｈ０１Ｇ　４／２２８－４／４０
Ｈ０１Ｇ　１３／００－１７／００