

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 17 年 5 月 19 日 (2005.5.19)

【公開番号】特開 2000-339973 (P2000-339973A)  
 【公開日】平成 12 年 12 月 8 日 (2000.12.8)  
 【出願番号】特願 平 11-155131  
 【国際特許分類第 7 版】

G 1 1 C 14/00  
 G 1 1 C 11/22  
 G 1 1 C 11/405

【F I】

G 1 1 C 11/34 3 5 2 A  
 G 1 1 C 11/22  
 G 1 1 C 11/34 3 5 2 B

【手続補正書】

【提出日】平成 16 年 7 月 15 日 (2004.7.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

強誘電体キャパシタの両電極をそれぞれ第 1 の MOS トランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、

前記メモリセルユニットの各第 1 の MOS トランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、

前記メモリセルユニットの一端に接続されたプレート線と、

前記メモリセルユニットの他端にブロック選択用スイッチ素子を介して接続された第 1 のビット線と、

前記第 1 のビット線およびこれと相補的な第 2 のビット線からなるビット線対の電位を比較増幅するセンスアンプと、

前記ブロック選択用スイッチ素子とセンスアンプとの間に挿入された第 2 の MOS トランジスタとを具備し、

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第 2 の MOS トランジスタのゲート電位の最小値を  $V_{PP1}$ 、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第 2 の MOS トランジスタのゲート電位の最大値を  $V_{PP2}$  とすると、 $V_{PP1} < V_{PP2}$  であることを特徴とする強誘電体メモリ。

【請求項 2】

少なくとも 1 個の強誘電体キャパシタの一端に第 1 の MOS トランジスタの一端が接続されてなるメモリセルが複数個配列されたメモリセルアレイと、

前記第 1 の MOS トランジスタのゲートに接続されたワード線と、

前記第 1 の MOS トランジスタの前記強誘電体キャパシタ接続側とは反対側のノードに接続された第 1 のビット線と、

前記強誘電体キャパシタの前記第 1 の MOS トランジスタ接続側とは反対側のノードに接続されたプレート線と、

前記第 1 のビット線およびこれと相補的な第 2 のビット線からなるビット線対の電位を

比較増幅するセンスアンプと、

前記第 1 のビット線とセンスアンプとの間に挿入された第 2 の MOS トランジスタとを具備し、

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第 2 の MOS トランジスタのゲート電位の最小値を  $V_{PP1}$ 、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第 2 の MOS トランジスタのゲート電位の最大値を  $V_{PP2}$  とすると、 $V_{PP1} < V_{PP2}$  であることを特徴とする強誘電体メモリ。

【請求項 3】

強誘電体キャパシタの両電極をそれぞれ第 1 の MOS トランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、

前記メモリセルユニットの各第 1 の MOS トランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、

前記メモリセルユニットの一端に接続されたプレート線と、

前記メモリセルユニットの他端にブロック選択用スイッチ素子を介して接続された第 1 のビット線と、

前記第 1 のビット線およびこれと相補的な第 2 のビット線からなるビット線対の電位を比較増幅するセンスアンプと、

前記第 1 および第 2 のビット線からなるビット線対間に接続され、所定のタイミングで前記ビット線対を 0 V にイコライズするイコライズ回路と、

前記ブロック選択用スイッチ素子とセンスアンプとの間に挿入された第 2 の MOS トランジスタ

とを具備したことを特徴とする強誘電体メモリ。

【請求項 4】

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われていない時の前記第 2 の MOS トランジスタのゲート電位の最大値を  $V_{PP3}$  とすると、 $V_{PP1} < V_{PP3}$  であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の強誘電体メモリ。

【請求項 5】

前記ビット線対の電位をそれぞれの制御電極で受け、それぞれの一端間に前記センスアンプの一对の入出力ノードが接続される一对の第 3 のトランジスタと、

前記センスアンプの一对の入出力ノードと前記ビット線対との間に挿入され、前記センスアンプによる比較増幅が行われた出力データを前記プレート線の電位が 0 V に落とされた後にオン状態に制御されることによって前記ビット線対に伝達する一对の第 4 のトランジスタ

とをさらに具備することを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 6】

0 V または 0 V 近辺の閾値を有する少なくとも 1 個の第 1 の MOS トランジスタおよびその一端に接続された少なくとも 1 個の情報記憶用キャパシタが接続されてなるメモリセルと、

前記第 1 の MOS トランジスタのゲートに接続されたワード線と、

前記第 1 の MOS トランジスタの前記情報記憶用キャパシタ接続側とは反対側のノードに接続されたビット線と、

前記ビット線の電位を参照電位と比較増幅するセンスアンプ

とを具備することを特徴とする半導体メモリ。