

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年5月19日(2005.5.19)

【公開番号】特開2000-339973(P2000-339973A)

【公開日】平成12年12月8日(2000.12.8)

【出願番号】特願平11-155131

【国際特許分類第7版】

G 1 1 C 14/00

G 1 1 C 11/22

G 1 1 C 11/405

【F I】

G 1 1 C 11/34 3 5 2 A

G 1 1 C 11/22

G 1 1 C 11/34 3 5 2 B

【手続補正書】

【提出日】平成16年7月15日(2004.7.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

強誘電体キャパシタの両電極をそれぞれ第1のMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、

前記メモリセルユニットの各第1のMOSトランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、

前記メモリセルユニットの一端に接続されたプレート線と、

前記メモリセルユニットの他端にブロック選択用スイッチ素子を介して接続された第1のビット線と、

前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと、

前記ブロック選択用スイッチ素子とセンスアンプとの間に挿入された第2のMOSトランジスタとを具備し、

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最小値をVPP1、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最大値をVPP2とすると、VPP1 < VPP2であることを特徴とする強誘電体メモリ。

【請求項2】

少なくとも1個の強誘電体キャパシタの一端に第1のMOSトランジスタの一端が接続されてなるメモリセルが複数個配列されたメモリセルアレイと、

前記第1のMOSトランジスタのゲートに接続されたワード線と、

前記第1のMOSトランジスタの前記強誘電体キャパシタ接続側とは反対側のノードに接続された第1のビット線と、

前記強誘電体キャパシタの前記第1のMOSトランジスタ接続側とは反対側のノードに接続されたプレート線と、

前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を

比較増幅するセンスアンプと、

前記第1のビット線とセンスアンプとの間に挿入された第2のMOSトランジスタとを具備し、

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最小値をV<sub>PP1</sub>、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最大値をV<sub>PP2</sub>とすると、V<sub>PP1</sub> < V<sub>PP2</sub>であることを特徴とする強誘電体メモリ。

【請求項3】

強誘電体キャパシタの両電極をそれぞれ第1のMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、

前記メモリセルユニットの各第1のMOSトランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、

前記メモリセルユニットの一端に接続されたプレート線と、

前記メモリセルユニットの他端にブロック選択用スイッチ素子を介して接続された第1のビット線と、

前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと、

前記第1および第2のビット線からなるビット線対間に接続され、所定のタイミングで前記ビット線対を0Vにイコライズするイコライズ回路と、

前記ブロック選択用スイッチ素子とセンスアンプとの間に挿入された第2のMOSトランジスタ

とを具備したことを特徴とする強誘電体メモリ。

【請求項4】

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われていない時の前記第2のMOSトランジスタのゲート電位の最大値をV<sub>PP3</sub>とすると、V<sub>PP1</sub> < V<sub>PP3</sub>であることを特徴とする請求項1乃至3のいずれか1項記載の強誘電体メモリ。

【請求項5】

前記ビット線対の電位をそれぞれの制御電極で受け、それぞれの一端間に前記センスアンプの一対の入出力ノードが接続される一対の第3のトランジスタと、

前記センスアンプの一対の入出力ノードと前記ビット線対との間に挿入され、前記センスアンプによる比較増幅が行われた出力データを前記プレート線の電位が0Vに落とされた後にオン状態に制御されることによって前記ビット線対に伝達する一対の第4のトランジスタ

とをさらに具備することを特徴とする請求項1記載の強誘電体メモリ。

【請求項6】

0Vまたは0V近辺の閾値を有する少なくとも1個の第1のMOSトランジスタおよびその一端に接続された少なくとも1個の情報記憶用キャパシタが接続されてなるメモリセルと、

前記第1のMOSトランジスタのゲートに接続されたワード線と、

前記第1のMOSトランジスタの前記情報記憶用キャパシタ接続側とは反対側のノードに接続されたビット線と、

前記ビット線の電位を参照電位と比較増幅するセンスアンプとを具備することを特徴とする半導体メモリ。