(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108
H01L 21/90

(45) 공고일자 1997년04월10일
(11) 공고번호 특1997-0004953
(24) 등록일자 1997년04월10일

(21) 출원번호 특1993-0002893
(22) 출원일자 1993년02월27일
(65) 공개번호 특1993-0020703
(43) 공개일자 1993년10월20일

(30) 우선권주장 92-044827 1992년03월02일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 시기 모리야
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 타다 게니찌
일본국 효고겡 이다미시 미즈하라 4쪼메 1반찌 미쓰비시 덴끼 가부시끼가이샤 기다이 다미세이사꾸쇼나이
(74) 대리인 김영길

심사관 : 양희용 (책자공보 제4932호)

(54) 반도체 장치의 도전층 접속구조

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치의 도전층 접속구조

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예의 도식적인 단면도.

제2도에서 제6도는 본 발명의 제1실시예의 제조공정의 제1공정에서 제5공정을 도시한 실리콘 기판의 단면도.

제7도 내지 제9도는 발명의 제2실시예의 제조공정의 제1공정에서 제3공정을 도시한 실리콘 기판의 단면도.

제10도는 종래의 반도체 기억장치를 도시한 블록도.

제11도는 제10도에 도시한 반도체 기억장치의 확대된 평면도.

제12도는 제11도에서 화살표에 의해 표시된 선을 따라 얻어진 단면도.

제13도 내지 제19도는 종래의 DRAM의 제조방법의 제1공정에서 제7공정을 도시한 실리콘 기판의 단면도.

제20도는 스퍼터링법을 사용하여 상부 도전층을 형성하는 제1상태를 나타낸 도면.

제21도는 스퍼터링법을 사용하여 상층 도전층을 형성하는 제2상태를 나타낸 도면.

제22도는 텅스텐막(27c)이 남은 반도체 기억장치의 확대된 단면도.

제23도는 알루미늄막(29a)과 텅스텐막(27a) 사이의 접속이 파괴된 실리콘 기판의 단면도.

* 도면의 주요부분에 대한 부호의 설명

3b,3c : 불순물 영역
19 : 실리콘 산화막
23a,23b : 스루홀
25a,25b : 장벽 금속막
27a,27b : 텅스텐막
29a,29b : 알루미늄막

[발명의 상세한 설명]

본 발명의 상부 도전층과 하부 도전층을 전기적으로 접속한 반도체 기억장치의 도전층 접속구조에 관한 것으로 특히, 장벽 금속층을 가지는 도전층 접속구조에 관한 것이다.

제10도는 종래의 반도체 기억 장치의 블록 다이어그램이다.

실리콘 기판(1)은 메모리 셀 영역과 주변 회로의 영역을 포함한다.

제11도는 제10도에 도시한 반도체 기억장치를 확대 평면도이다. 이 반도체 기억장치는 DRAM(Dynamic Random Access Memory)이다. 필드 산화막(field oxide film)(5)이 실리콘 기판 위에 형성된다. 워드선(9a,9b,9c,9d), 게이트 전극선(10)과 알루미늄막(비트선)(29a,29b,29c)은 거리를 두고 실리콘 기판 위에 형성된다.

(11)은 기억 노드(storage node)를 나타낸다. 셀 플레이트는 도시되지 않았다.

제12도는 화살표 방향으로 자른 제11도의 상태를 나타낸 단면도이다.

불순물 영역(3a,3b,3c)은 거리를 두고 실리콘 기판(1)의 주표면 위에 형성된다. (5)는 필드 산화막을 나타낸다.

워드선(9a,9b,9c,9d)과 게이트 전극선(10)은 거리를 두고 실리콘 기판(1)위에 형성된다.

이 배선층은 실리콘 산화막(17)으로 피복되어 있다.

기억 노드(11)는 불순물 영역(3a)과 전기적으로 접속된다.

유전체막(13)이 기억 노드(11)의 표면 위에 형성된다.

셀 플레이트(15)는 유전체막(13)의 표면 위에 형성된다.

실리콘 산화막(19)은 셀 플레이트(15)를 감싸기 위해 실리콘 기판(1)위에 형성된다.

불순물 영역(3b)으로 연장되는 스루홀(through-hole)(23a)이 실리콘 산화막(19)에 형성된다.

장벽 금속막(25a)은 스루홀(23a)의 측벽과 스루홀내의 불순물 영역(3b)위에 형성된다.

텅스텐(27a)은 스루홀(23a)을 채우기 위해 장벽 금속막(25a)위에 형성된다.

알루미늄막(29a)는 텅스텐(27a)과 접속된다.

공극(31)이 장벽 금속막(25a)과 알루미늄막(29a)사이에 형성된다.

또한, 동일한 구성이 불순물 영역(3c)위에 형성된다.

(23b)는 스루홀, (25b)는 장벽 금속막, (27b)는 텅스텐, (29b)는 알루미늄막, 그리고 (31)은 공극을 나타낸다.

알루미늄막(29a)과 불순물 영역(3b)을 접속하는 방법은 이하에서 설명될 것이다.

제13도에 도시한 바와 같이, 불순물 영역(3b,3c) 위에 스루홀(23a,23b)을 형성하기 위해 마스크로서 레지스트(21)을 사용하여 에칭에 의해 실리콘 산화막(19)이 선택적으로 제거된다.

제14도에 도시한 바와같이, 장벽 금속막(25)은 스퍼터링법(sputtering method) 또는 CVD법에 의해 형성된다.

텅스텐막(27)은 CVD법을 사용하여 장벽 금속막(25)위에 형성된다.

장벽 금속막(25)의 두께가 얇기 때문에, 스퍼터링법에 의해 형성될 수 있다. 장벽 금속막(25)을 형성하는 한가지 이유가 다음에 설명된다.

텅스텐막(27)과 불순물 영역(3b)이 직접 접속될 때 상호 확산(mutual diffusion)에 의해 텅스텐이 불순물 영역(3b)에 들어가고, 이를 합금 스파이크 현상(alloy spike phenomenon)이라 한다.

합금 스파이크 현상에 의해 불순물 영역(3b)내로 들어간 텅스텐이 실리콘 기판(1)으로 확장하기 위해 더욱 증가된다면, 실리콘 기판(1)과 불순물 영역(3b) 사이의 PN 접합이 파괴된다.

PN 접합의 파괴는 전류 누설(current leak)의 발생 등과 같은 문제를 발생시킨다.

따라서, 장벽 금속막(25)은 텅스텐막(27)이 불순물 영역(3b)으로 확산하는 것을 말한다.

장벽 금속막(25)을 형성하는 다른 이유는 실리콘 산화막(19)과 텅스텐막(27) 사이의 나쁜 점착성을 개선하기 위한 것이다.

장벽 금속막(25)은 실리콘 산화막(19) 및 텅스텐막(27)과 좋은 점착성을 가지고 있다.

이하, 방법에 대하여 설명하면 다음과 같다.

제15도에 도시한 바와 같이, 텅스텐막(27)의 에칭 속도가 장벽 금속막(25)의 에칭 속도보다 더 큰 에칭법(예를 들어, F그룹 가스에 의한 이방성 에칭)을 사용하여, 스루홀(23a,23b)내에 텅스텐막(27)이 남도록 텅스텐막(27)이 전체적으로 에칭된다.

스루홀(23a)내의 텅스텐을 이하 27a라 한다.

스루홀(23b)내의 텅스텐을 이하 27b라 한다.

(27b)는 텅스텐막의 전면 에칭시에 에칭되지 않고 남는다.

제14도를 참조하면, 텅스텐막(27)에서 A로 표시된 부분과 B에 의해 표시된 부분은 두께가 다르다.

A에 의해 표시된 두가지 기준으로 한 텅스텐막(27)의 에칭에 의해 제15도에 도시한 바와같이 텅스텐막(27)의 에칭이 스루홀(23a,23b)의 입구에서 정지할 수 있다.

그러나, B에 의해 표시된 부분(제14도 참조)이 A에 의해 표시된 부분(제14도 참조)보다 두껍기 때문에, 텅스텐막의 일부분이 B에 의해 표시된 부분위에 남는다.

제16도에 도시한 바와같이, 텅스텐막(27a,27b,27c)이 텅스텐막(27c)을 제거하기 위해 에칭된다.

따라서, 텅스텐막(27a)의 상부표면이 스루홀(23a)의 입구보다 아래에 존재하고, 텅스텐막(27b)도 아래에 존재한다.

제17도에 도시한 바와같이, 장벽 금속막(25)의 에칭속도가 텅스텐막(27a,27b)의 에칭 속도보다 더 큰 에칭법(예를 들어, Cl_2 그룹 가스에 의한 이방성 에칭)을 사용하여, 스루홀(23a,23b)내에 장벽 금속막(25)이 남도록 장벽 금속막(25)의 전면이 에칭된다.

스루홀(23a,23b)내의 장벽 금속막을 각각 25a, 25b라 한다.

25c는 장벽 금속막을 나타낸다.

장벽 금속막(25c)은 상술한 텅스텐막의 경우와 같은 방법으로 생성된다.

즉, 제16도에 도시한 바와같이, 장벽 금속막(25)에서 C에 의해 표시된 부분과 D에 의해 표시된 부분은 두께가 다르다.

따라서, C에 의해 표시된 부분을 기준으로 하여 장벽 금속막(25)이 에치된다면, D에 의해 표시된 부분내의 장벽 금속막(25)이 전부 에치 제거되지 않고, 장벽 금속막(25)의 일부분이 남는다.

제18도에 도시된 바와같이, 장벽 금속막(25c)을 제거하기 위해 장벽 금속막이 더 에칭되어 제거된다.

E는 스루홀(23a)의 입구와 텅스텐막(27a)의 상부표면 사이의 거리를 나타낸다.

F는 스루홀(23a)의 입구와 장벽 금속막(25a)의 상부표면 사이의 거리를 나타낸다.

F로 표시된 거리가 E에 표시된 거리보다 길다는 사실은 다음에 설명하는 2가지 이유로 인하여 발생된다.

하나는 로딩 효과(loading effect)에 의해 발생된다.

로딩 효과는 에치된 면적이 커지는만큼 에칭 속도가 느린 현상이다.

텅스텐막(27a,27b)의 에칭된 면적은 장벽 금속막(25a,25b)의 에칭된 면적보다 훨씬 넓다.

따라서, 장벽 금속막(25c)이 에치 제거될 때까지 수직방향에서 장벽 금속막(25a,25b)의 에칭된 양이 텅스텐막(27c)이 에칭 제거될 때까지 수직방향에서 텅스텐막(27a와 27b)의 에칭된 양보다 많다.

다른 하나는 장벽 금속막(25)의 에칭속도가 텅스텐막(27a,27b)의 에칭 속도보다 큰 에칭방법을 사용하여 장벽 금속막(25)의 에칭에 의해 발생한다.

제19도에 도시한 바와같이, 알루미늄막(29)은 스퍼터링법에 의해 실리콘 산화막(19)위에 형성된다.

텅스텐막(27a)의 상부표면(28), 장벽 금속막(25a)의 상부 표면(26), 및 스루홀(23a)의 측벽에 의해 둘러싸인 개구 영역(opening region, 開口 領域)은 작다.

따라서, 알루미늄막(29)를 형성하기 위해 스퍼터링을 적용한다면, 알루미늄은 공간으로 들어갈 수 없고, 결과적으로 공극(31)이 형성된다.

제12도에 도시한 바와같이, 소정의 패터닝(patterning)이 알루미늄막(29)에 실행된다.

장벽 금속막과 CVD법에 의해 형성된 텅스텐막을 사용하여 알루미늄과 불순물 확산층을 전기적으로 접속하는 방법이, 예를 들어 Mat. Res. Soc. Symp. Proc, VLSIV. 1990 Materials Research Socity의 MAGNETICALLY-ENHANCED ETCHING FOR TUNGSTEN CONTACT PLUG FABRICATION에 발표되었다.

알루미늄 대신에 텅스텐(27a)이 스루홀(23a)내에 형성되는 이유가 이하에서 설명될 것이다.

알루미늄의 저항이 텅스텐의 저항보다 작기 때문에 알루미늄이 스루홀내에 적절하게 형성된다.

반도체 기억장치의 소형화로 인하여, 스루홀의 종횡비(aspect ratio)(스루홀의 깊이/스루홀의 개구 치수)가 증가되는 경향이 있다.

스퍼터링법에 의한 도전막의 형상에 있어서, 종횡비가 커지므로써 도전막내에 갭(gap)이 발생한다.

제20도는 스퍼터링을 사용하여 상부 도전층(41)의 형성 상태를 나타내는 도면이다.

35는 하부 도전층, 37는 층간 절연층, 그리고 39는 스루홀을 나타낸다.

스루홀(39)의 측벽상에, 스퍼터된 도전물질 (A)부분은 쉽게 붙고, 반면에 스퍼터된 도전물질 (B)부분은 어렵게 붙는다.

다시 말하면, (A)부분의 상층 도전층의 형성 속도가 (B)부분의 형성 속도보다 빠르다.

따라서, 이 조건하에서 상부 도전층의 형성과정후에 제21도에 도시한 바와같이 간격(gap)(43)이 발생한다.

갭(43)은 스루홀(39)내의 상부 배선층(41)의 저항값의 증가를 발생시킨다.

알루미늄막은 스퍼터링에 의해서만 형성될 수 있다.

스루홀의 종횡비가 클 때 스루홀내의 알루미늄의 형성후에 간격이 스루홀내의 알루미늄막에 형성된다.

반대로, CVD는 큰 종횡비에도 불구하고 간격을 막을 수 있다.

텅스텐은 CVD에 의해 형성될 수 있다.

텅스텐의 저항값이 크기 때문에 상부 배선층으로 사용되는 대신에 스루홀내의 텅스텐만이 남는다.

다음에, 텅스텐막(27c)이 전부 제거되는 이유를 설명한다.

제22도는 텅스텐막(27c)이 남아 있는 반도체 기억장치의 확대된 평면도이다.

알루미늄막(비트선)(29a,29b,29c)의 형성전의 상태를 나타낸다.

텅스텐막(27c)이 남아 있으며, 알루미늄막(29a,29b,29c)형성의 경우에 알루미늄막(29a)과 알루미늄막(29c)이 짧게 될 것이다.

실리콘 산화막의 형성이 공극(31)에 남는 것과 같은 공정이 열처리를 포함할 때, 공극(31) 내의 기체가 열에 의해 확장되고, 결과적으로 제23도에 도시한 바와같이, 텅스텐막(27a,27b)과 알루미늄막(29a,29b)사이가 파괴된다.

본 발명은 상기 설명된 종래의 문제를 해결하기 위한 것이다.

본 발명의 목적은 상부 도전층과 스루홀내에 형성된 도전층 사이의 전기적 접속을 양호하게 실행할 수 있는 반도체 장치의 도전층 접속 구조의 제조방법을 제공하기 위한 것이다.

본 발명의 다른 목적은 상부 도전층과 스루홀내에 형성된 도전층 사이의 전기적 접속을 양호하게 실행할 수 있는 반도체 장치의 도전층 접속구조를 제공하기 위한 것이다.

본 발명의 제1국면(局面)은 반도체 장치의 도전층 접속구조의 제조 방법을 나타낸다.

본 발명의 제1국면은 하부 도전층 위에 상부 주표면을 가지는 절연층을 형성하는 공정; 상기 절연층에 하부 도전층으로 연장하는 스루홀을 형성하는 공정; 스루홀의 측벽, 스루홀내에 하부 도전층 및 절연층 위에 장벽 금속막을 형성하는 공정; 장벽 금속층 위에 제1도전층 형성하는 제1도전층으로 스루홀을 채우는 공정; 스루홀에만 제1도전층이 남도록 제1도전층을 에칭 제거하는 공정; 스루홀내에 장벽 금속층만을 남기되, 스루홀내에 장벽 금속층의 상부 표면이 스루홀내의 제1도전층의 상부 표면보다 절연층의 상부 주표면으로부터 낮게 위치하도록 장벽 금속층을 에치 제거하는 공정; 스루홀내의 장벽 금속층의 상부 표면위의 장벽 금속층과 제1도전층 사이의 레벨차를 줄이기 위해 단차감소 구조를 형성하는 공정; 및 절연층위에 제1도전층을 전기적으로 접속하는 상부 도전층을 형성하는 공정을 포함한다.

본 발명의 제2국면은 반도체 장치의 도전층 접속구조의 제조방법을 나타낸다.

본 발명의 제2국면은 하부 도전층 위에 상기 주표면을 가지는 절연층을 형성하는 공정; 하부 도전층의 상부 표면을 노출하기 위해 절연층에 스루홀을 형성하는 공정;' 절연층, 스루홀의 측벽 및 상부 도전층의 노출된 상부 표면 위에 상기 주표면을 가지는 장벽 금속층을 형성하는 공정; 장벽 금속층 위에 제1도전층을 형성하고 스루홀을 채우는 공정; 장벽 금속의 상부 주 표면으로붜 제1도전층을 에칭하여 스루홀내에 제1도전층을 남기는 공정; 절연층의 상부 주표면으로부터 장벽 금속을 에칭하여 스루홀내에 장벽 금속을 남기는 공정; 장벽 금속층의 상부 주표면과 스루홀내의 도전층 위에 물질층을 형성하고 절연층위와 스루홀내에 상부 도전층을 형성하는 공정을 포함한다.

본 발명의 제3국면은 반도체 장치의 도전층 접속구조을 나타낸다.

본 발명의 제3국면은 상부 도전층과 하부 도전층을 전기적으로 접속하는 반도체 장치의 도전층 접속구조에 있어서, 상기 하부 도전층상에 형성되고 상부 주표면과 상기 상부 주표면으로부터 상기 하부 도전층으로 연장하는 스루홀을 가지는 절연층; 상기 스루홀에 매입되어 상기 상부 도전층과 하부 도전층을 전기적으로 접속하는 제1도전층; 상기 스루홀의 측벽과 사이 제1도전층 사이 및 상기 하부 도전층의 주표면과 상기 제1도전층의 하부 표면 사이에 형성된 장벽 금속층으로서, 상기 스루홀내의 장벽 금속층의 상부 표면이 상기 제1도전층의 상부 표면보다 상기 절연층의 상부 주표면으로부터 하부에 위치하는 장벽 금속층; 상기 장벽 금속의 상부 표면과 상기 제1도전층의 상부 표면사이의 상기 절연층의 상부 주표면으로부터 레벨차를 감소시키기 위해 상기 스루홀내의 장벽 금속층의 상부 표면상에 형성되는 단차감소 구조를 포함하며, 상기 제1도전층, 장벽 금속층 및 단차감소 구조는 각각 다른 물질이며, 상기 단자 감소구조가 상기 제1도전층의 노출된 상부 표면에 형성되는 것을 특징으로 한다.

본 발명의 제1국면에 따르면, 장벽 금속층과 제1도전층 사이의 레벨차를 줄이는 단차감소 구조가 스루홀내의 장벽 금속층의 상부 표면위에 형성된다.

따라서, 장벽 금속층의 상부 표면, 제1도전층의 상부 표면과 스루홀의 측벽에 의해 둘러싸인 개구(開口) 영역의 깊이가 '0'이 되거나 감소될 수 있다. 즉, 상부 도전층이 스퍼터링에 의해 형성된다 할지라도, 상부 도전층 아래의 공극(제12도의 31)의 체적이 '0'이 되거나 작아질 수 있다.

공극이 존재하지 않는 경우에 있어서, 상부 도전층의 형성후에 열처리를 포함하는 공정을 거친다 할지라도 상부 도전층과 제1도전층 사이의 접속이 파괴되지 않는다.

공극이 존재한다고 할지라도, 공극의 체적이 종래의 체적보다 작기 때문에 상부 도전층의 형성후에 열처리를 포함하는 공정을 거쳐도 공극내의 기체의 확장을 줄일 수 있기 때문에, 상부 도전층과 제1도전층 사이의 접속이 파괴될 가능성이 적어진다.

본 발명의 제2국면에 따르면, 제1도전층의 상부 주표면과 스루홀내의 장벽 금속층의 상부 주표면 위에 물질층이 형성된다.

따라서, 장벽 금속층과 제1도전층 사이의 레벨차가 감소될 수 있다.

본 발명의 제3국면에 따르면, 상기 서술된 제1국면의 작용(action)이 실행될 수 있고, 이는 장벽 금속층

과 제1도전층 사이의 레벨차를 줄이는 단차감소 구조가 스루홀내의 장벽 금속층의 상부 표면위에 형성되기 때문이다.

본 발명의 목적 및 다른 목적, 특징, 국면과 장점은 첨부한 도면과 관련시키는 다음의 본 발명의 상세한 설명에서 더 명백해질 것이다.

[실시예 1]

제1도는 본 발명의 제1실시예의 도식적인 단면도이다

이는 DRAM을 나타낸다.

실리콘 기판(1) 위에 간격을 두고 불순물 영역(3a,3b,3c)이 형성된다.

실리콘 기판(1) 위에 스루홀(23a와 23b)를 가지는 실리콘 산화막(19)이 형성된다.

장벽 금속막(25a)이 스루홀(23a)의 측면과 저면(底面)에 형성되고, 스루홀(23b)가 장벽 금속막(25b)와 유사하게 설치된다.

예를 들어, TiN, TiW, NiCr, Ni, Cr, TiON, TiNW, Ra, MoSi, WSi 및 TiSi가 본 발명을 위해 이용할 수 있는 장벽 금속막(25a,25b)으로서 사용된다.

장벽 금속막(25a,25b)의 두께는 1000Å 정도이다.

스루홀(23a,23b)내에 텅스텐막(27a와 27b)이 매입되어 있다.

CVD법에 의해 형성이 수행될 수 있으나 텅스텐 이외의 도전 물질도 가능하다.

텅스텐막(27a)의 상부 표면(28), 장벽 금속막(25a)의 상부 표면(26) 및 스루홀(23a)의 측벽에 의해 형성된 개구 영역이 텅스텐막(33a)로 채워진다.

CVD법에 의해 형성될 수 있는 다른 도전 물질, 예를 들어 Ti, Cr, Mo, 및 TiN과 같은 고융점 내와성 금속이 텅스텐막(33a) 대신에 이용될 수 있다. (33b)는 텅스텐막이다.

알루미늄막(29a,29b)은 각각(33a,33b)위에 형성된다.

기억 노드(11)이 불순물 영역(3a)내에 전기적으로 접속되어 있다.

유전체막(13)이 기억 노드(11) 위에 형성된다.

셀 플레이트(15)가 유전체막(13) 위에 형성된다.

워드선(9a,9b,9c,9d)과 게이트 전극선(10)이 간격을 두고 실리콘 기판(1)위에 형성된다. (5)는 필드 산화막을 나타낸다.

(17)은 실리콘 산화막을 나타낸다.

워드선(9)은 필드 산화막(5) 위에 형성되어 실리콘 산화막(17)으로 피복된다.

본 발명의 제1실시예의 제조 방법을 이하에서 설명한다.

제2도에 도시한 구조에 이르는 공정, 즉, 제13도 내지 제18도는 종래의 경우와 같다.

제2도는 제18도와 일치한다.

텅스텐막(27a)의 상부 표면(28), 장벽 금속막(25a)의 상부 표면(26) 및 스루홀(23a)의 측벽에 의해 형성된 개구 영역을 채우기 위해 제3도에 도시한 바와같이 CVD법을 사용하여 텅스텐막(33)이 형성된다.

텅스텐막(33)의 전면이 제4도에 도시한 바와같이 실리콘 산화막(19)의 표면을 노출하기 위해 에치된다.

스루홀(23a,23b)내의 텅스텐막(33)은 이후에 각각 텅스텐막(33a,33b)이라 한다. (33c)는 텅스텐막이다.

텅스텐막(33c)은 종래의 예에서 설명된 텅스텐막(27c)(제15도 참조)과 장벽 금속막(25c)(제17도 참조)과 같은 방법으로 생성된다.

텅스텐막(33a,33b,33c)이 제5도에 도시한 바와같이 텅스텐막(33c)을 제거하기 더 에치된다.

텅스텐막(33a)의 도전물(導電率 때문에 텅스텐막(27a)의 상부 표면이 노출될 때까지 에치될 수 있다.

이어서, 제6도에 도시한 바와같이 알루미늄막(29)가 스퍼터링법을 사용하여 실리콘 산화막(19) 위에 형성된다.

제1도는 알루미늄막(29)으로 소정의 패터닝 효과에 의해 알루미늄막(29a,29b)을 형성하는 상태를 나타낸다.

[실시예 2]

제13도 내지 제18도와 같은 고정이 본 실시예에 적용된다.

제2실시예에서, 텅스텐막(27a)의 상부 표면(28), 장벽 금속막(25a)의 상부 표면(26) 및 스루홀(23a)의 측벽에 의해 형성된 개구 영역이 제7도에 도시한 바와같이 CVD법에 의해 형성된 실리콘 산화막(47)로 채워진다.

실리콘 산화막(47)이 제8도에 도시한 바와같이 실리콘 산화막(19) 위의 실리콘 산화막(47)을 제거하기 위해 전면 에치된다.

스루홀(23a,23b)내의 실리콘 산화막(47)을 각각 실리콘 산화막(47a,47b)이라 한다.

실리콘 산화막(47a,47b)가 절연막이므로, 실리콘 산화막(47)은 텅스텐막(27a,27b)의 상부 표면을 노출하기 위해 에치된다.

알루미늄막이 스퍼터링법에 의해 실리콘 산화막(19) 위에 형성되고, 제9도에 도시한 바와같이 소정의 패터닝이 그 위에 실행된다.

제1도와 같은 참조 부호가 동일의 것에 대응하는 부분을 가리킨다.

제1 및 제2실시예는 본 발명의 DRAM에 적용될 수 있는 경우를 나타낸 것이지만, 본 발명은 마이크로 컴퓨터, EPROM(Erasable Programmable Read-Only Memory)또는 그와 같은 것으로의 응용성을 가진다.

본 발명의 제1국면에서, 제1도전층을 전기적으로 접속하는 상부 도전층을 형성하기 이전에 장벽 금속층과 제1도전층 사이의 레벨차를 줄이기 위한 단차감소 구조가 스루홀내의 장벽 금속층의 상부 표면위에 형성된다.

따라서, 장벽 금속층의 상부 표면, 제1도전층의 상부 표면과 스루홀의 측벽에 의해 둘러싸인 개구 영역의 깊이가 '0'이 되거나 작아질 수 있다.

따라서, 상층 도전층의 형성후에 열처리를 포함하는 공정을 거친다 할지라도 제1도전층과 상부 도전층사이의 접속이 파괴되지 않는다.

장벽 금속층과 제1도전층 사이의 레벨차를 줄이기 위해 스루홀내의 장벽 금속층의 상부 표면 위에 형성된 단차감소 구조가 본 발명의 제3국면에 제공되고, 상부 도전층의 형성후에 열처리를 포함하는 공정을 거친다 할지라도 상부 도전층과 제1도전층 사이의 접속이 분리될 수 없다.

본 발명이 상세하게 설명되고 예시되었다 할지라도, 설명과 예시와 방식이 같으며, 그 방식에 제한되지 않고, 본 발명의 정신과 범위는 첨부한 청구범위에 의해서만 한정된다.

(57) 청구의 범위

청구항 1

상부 도전층과 하부 도전층을 전기적으로 접속하는 반도체 장치의 도전층 접속구조에 있어서, 상기 하부 도전층상에 형성되고 상부 주표면과 상기 상부 주표면으로부터 상기 하부 도전층으로 연장하는 스루홀을 가지는 절연층; 상기 스루홀에 매입되어 상기 상부 도전층과 하부 도전층을 전기적으로 접속하는 제1도전층; 상기 스루홀의 측벽과 상기 제1도전층사이 및 상기 하부 도전층의 주표면과 상기 제1도전층의 하부 표면사이에 형성된 장벽 금속층으로서, 상기 스루홀내의 장벽 금속층의 상부 표면이 상기 제1도전층의 상부 표면보다 상기 절연층의 상부 주표면으로부터 하부에 위치하는 장벽 금속층; 상기 장벽 금속층의 상부 표면과 상기 제1도전층의 상부 표면사이의 상기 절연층의 상부 주표면으로부터 레벨차를 감소시키기 위해 상기 스루홀내의 장벽 금속층의 하부 표면상에 형성되는 단차감소 구조를 포함하며, 상기 제1도전층, 장벽 금속층 및 단차구소 구조는 각각 다른 물질이며, 상기 단차감소 구조가 상기 제1도전층의 노출된 상부 표면에 형성되는 것을 특징으로 하는 반도체 장치의 도전층 접속구조.

청구항 2

제1항에 있어서, 상기 단차감소 구조는 도전성이고 상기 제1도전층을 피복하는 반도체 장치의 도전층 접속구조.

청구항 3

제2항에 있어서, 상기 단차감소 구조는 고융점 내화성 금속막으로 형성되는 반도체 장치의 도전층 접속구조.

청구항 4

제1항에 있어서, 상기 단차감소 구조는 고융점 내화성 금속막으로 형성되는 반도체 장치의 도전층 접속구조.

청구항 5

제1항에 있어서, 상기 제1도전층이 DRAM의 비트선의 일부분을 구성하는 반도체 장치의 도전층 접속구조.

청구항 6

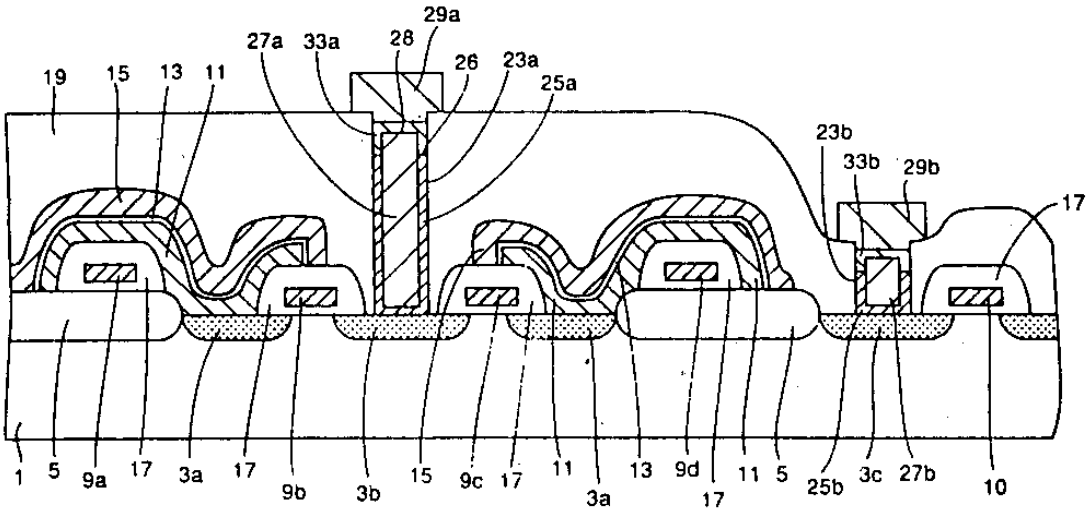
제1항에 있어서, 상기 단자 감소구조는 절연막을 구비하는 반도체 장치의 도전층 접속구조.

청구항 7

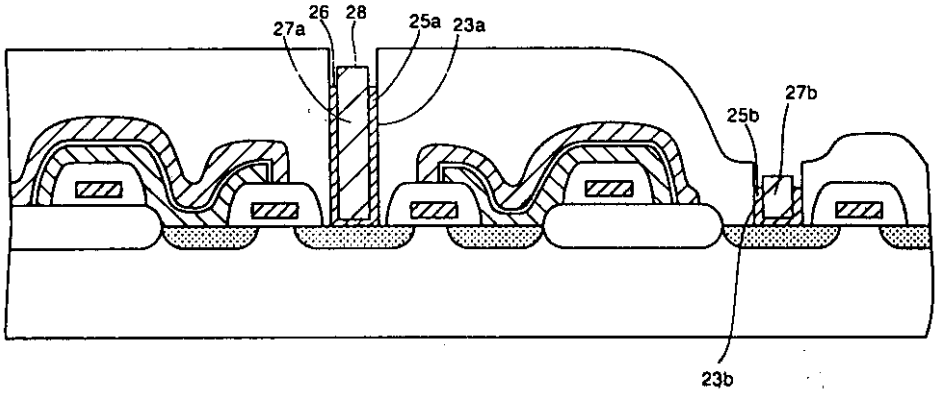
제1항에 있어서, 상기 단차감소 구조는 고융점 내화성 금속막과 절연막을 구비하는 반도체 장치의 도전층 접속구조.

도면

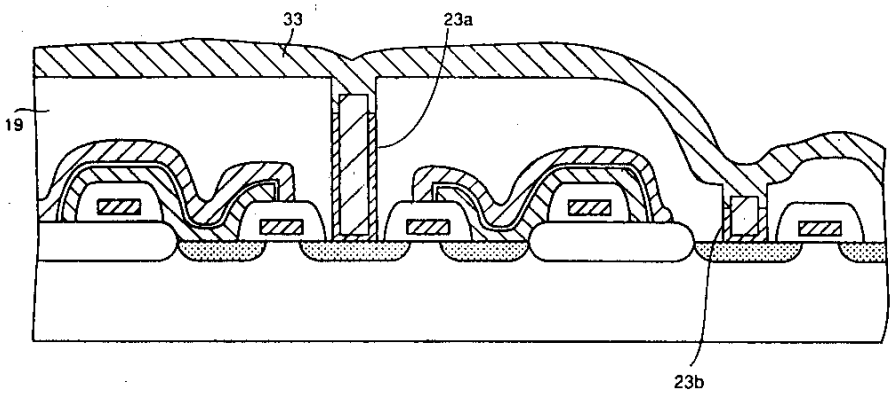
도면1


19
15
13
11
27a
33a
28
29a
26
23a
25a
23b
33b
29b
17
1
5
9a
17
3a
17
9b
3b
15
9c
17
11
3a
13
9d
17
11
5
25b
3c
27b
10

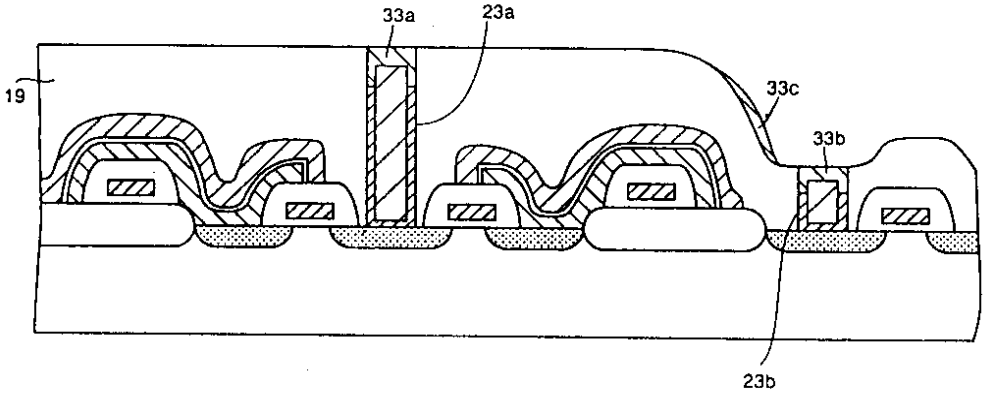
도면2


27a
26
28
25a
23a
25b
27b
23b

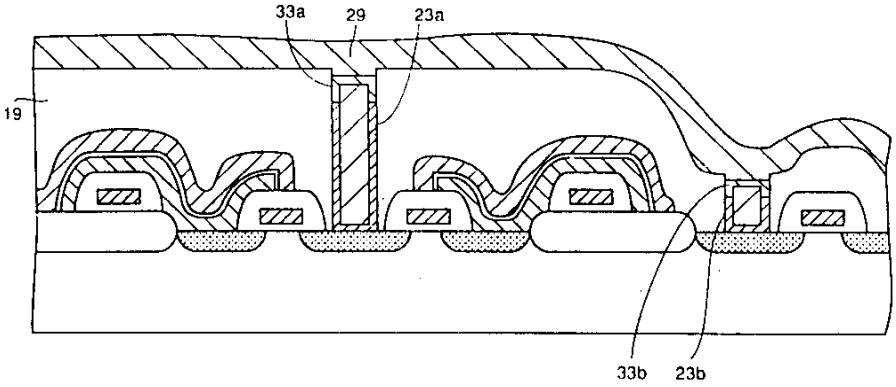
도면3



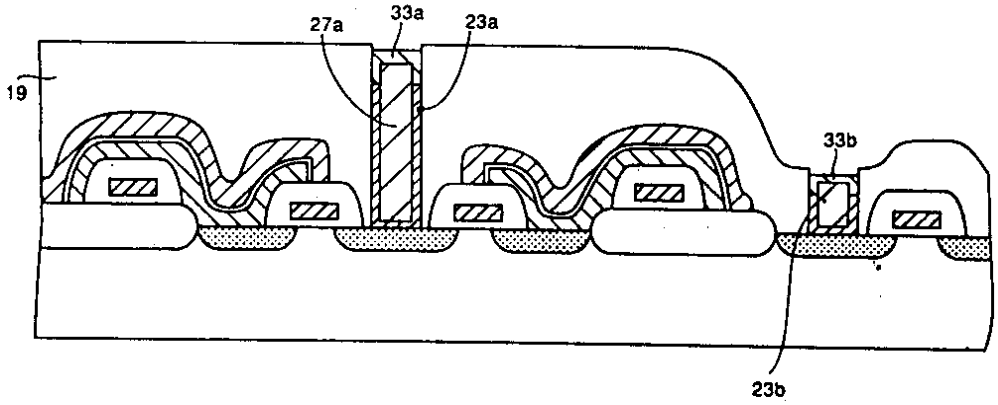
도면4



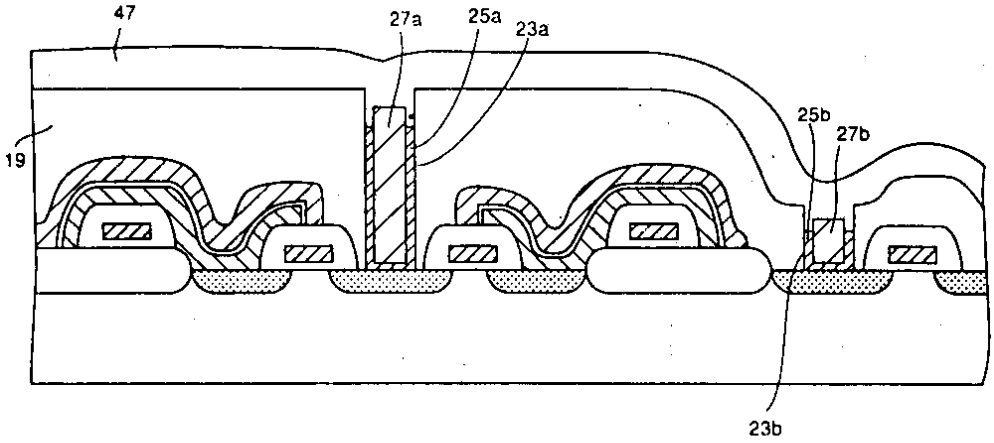
도면5



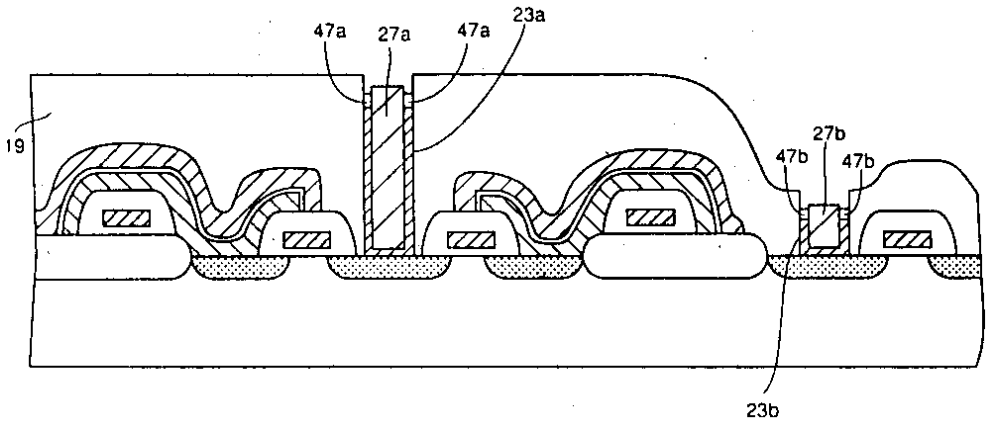
도면6



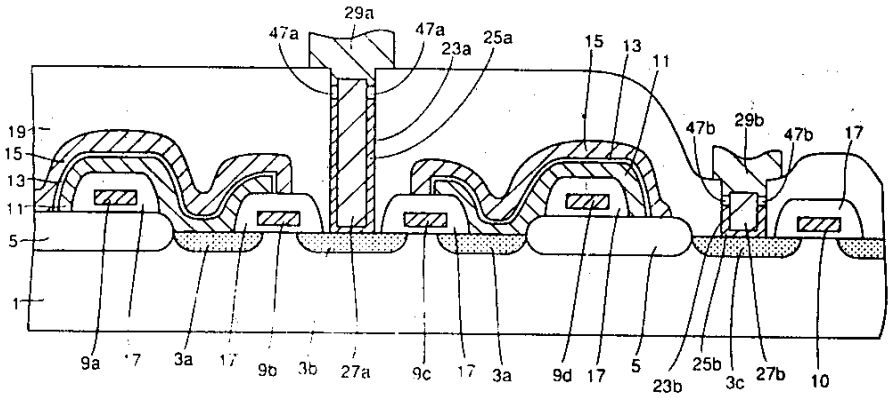
도면7



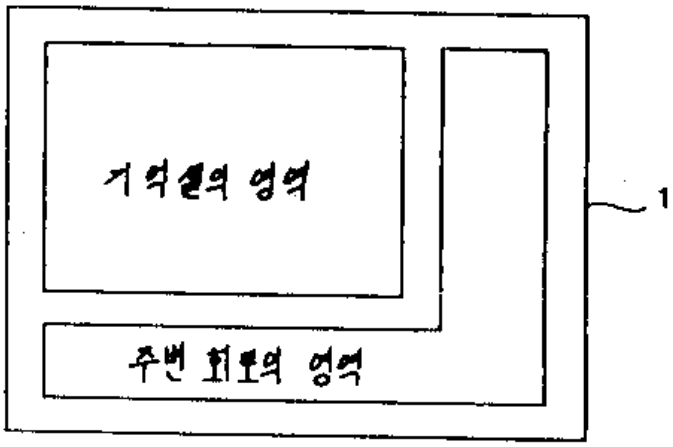
도면8


47a
27a
47a
23a
19
27b
47b
47b
23b

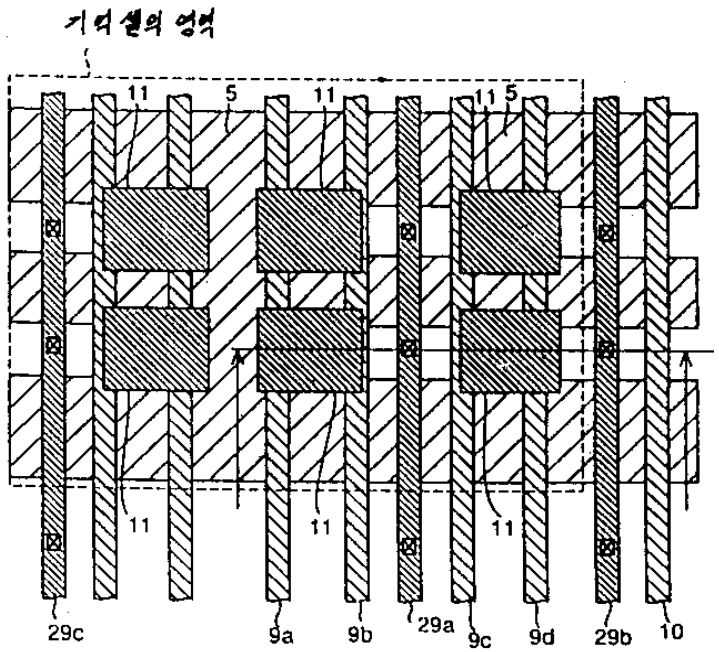
도면9


29a
47a
47a
23a
25a
15
13
11
47b
29b
47b
17
19
15
13
11
5
1
9a
7
3a
17
9b
3b
27a
9c
17
3a
9d
17
5
23b
25b
3c
27b
10

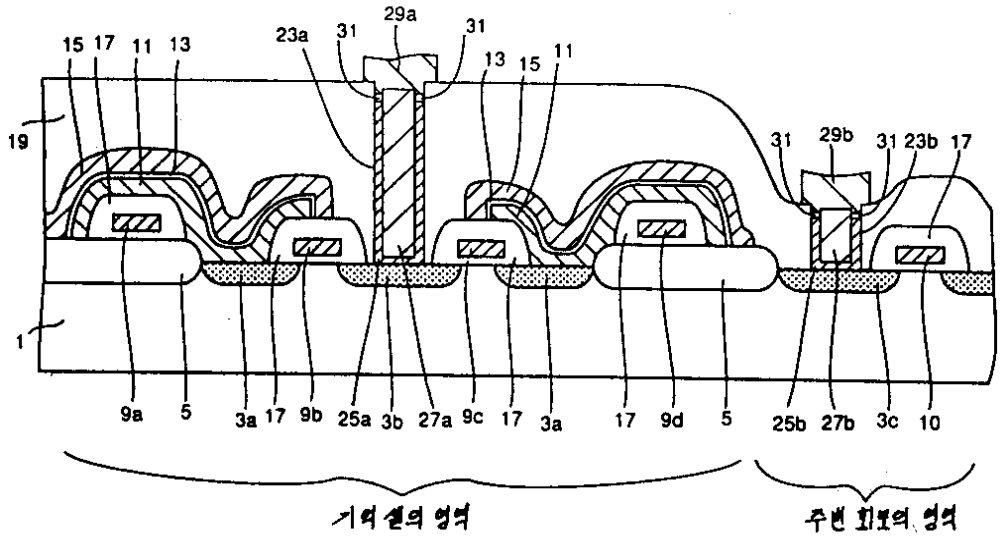
도면10


기억셀의 영역
주변 회로의 영역
1

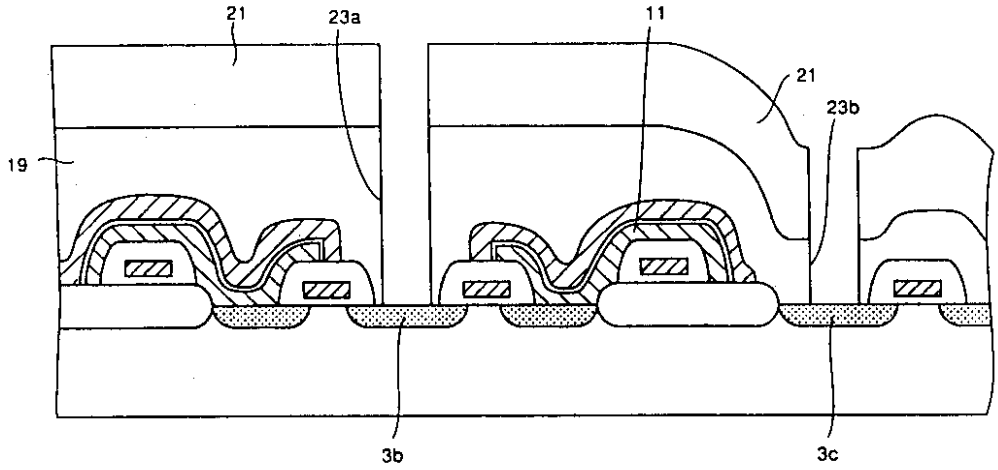
도면11


기억셀의 영역
11
5
11
11
5
11
11
11
29c
9a
9b
29a
9c
9d
29b
10

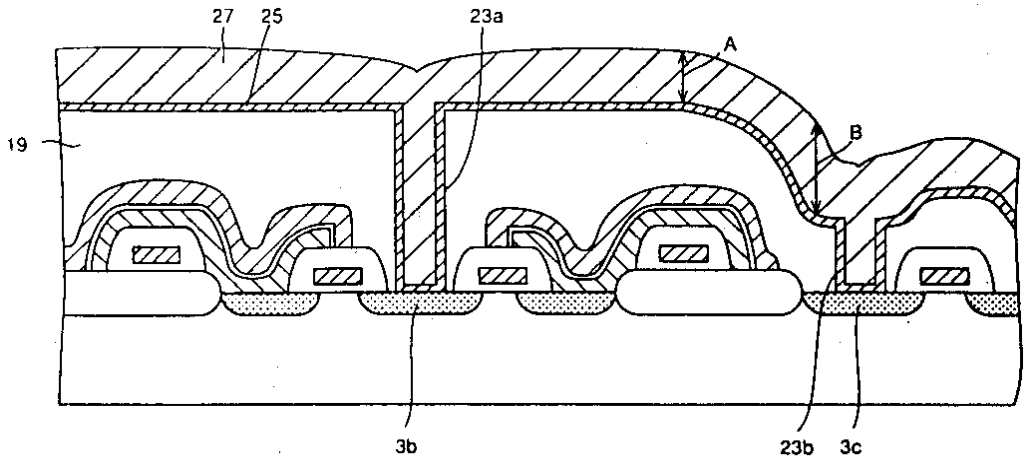
도면12


15 17 11 13
23a
31
29a
31
13 15 11
31
29b
31 23b 17
19
1
9a 5 3a 17 9b 25a 3b 27a 9c 17 3a 17 9d 5 25b 27b 3c 10
기억셀의 영역
주변 회로의 영역

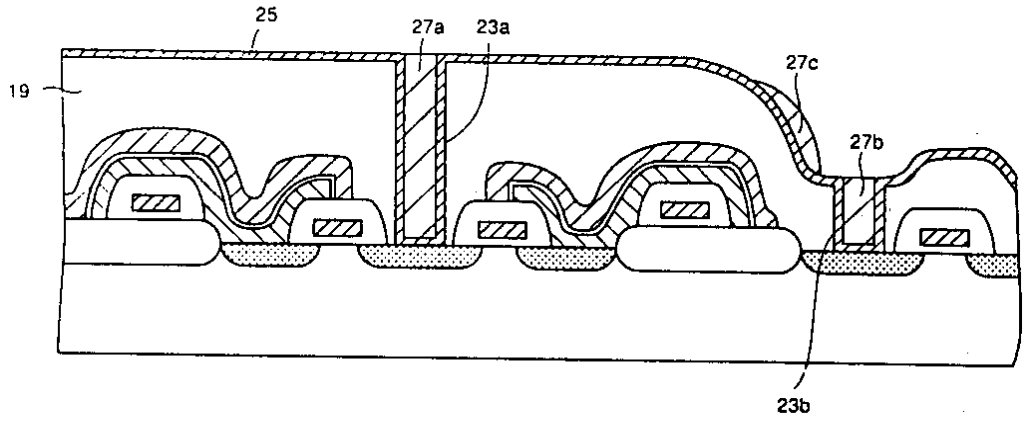
도면13


21
23a
11
21
23b
19
3b
3c

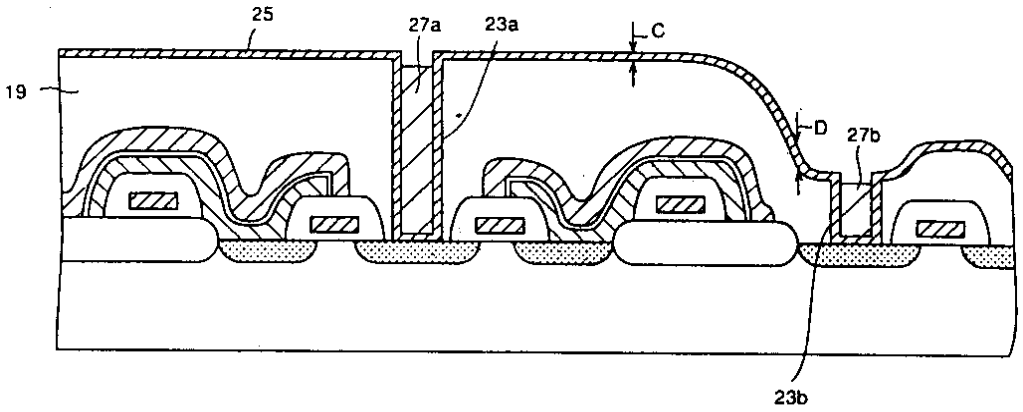
도면14



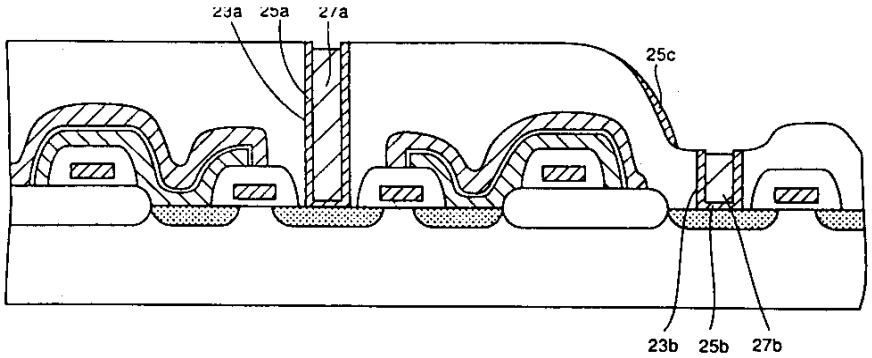
도면15



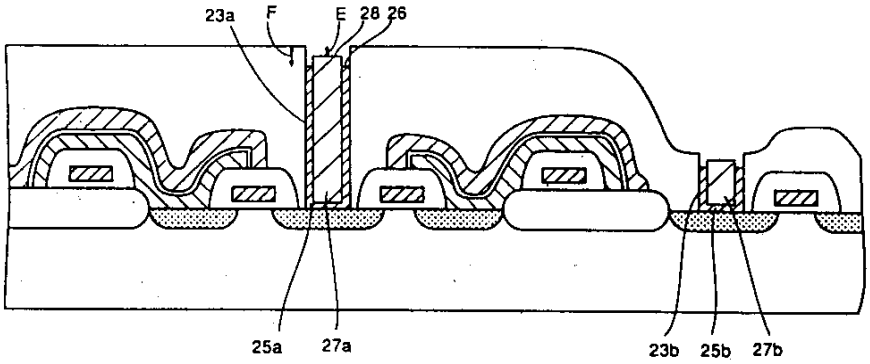
도면16



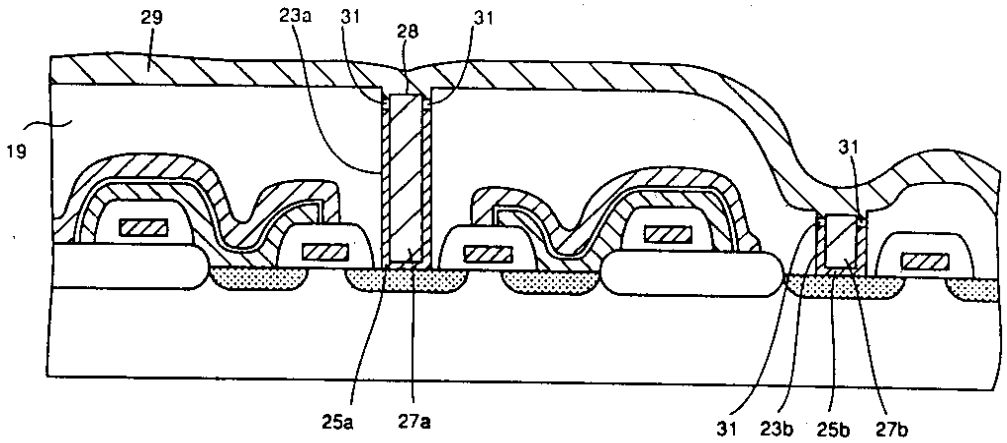
도면17



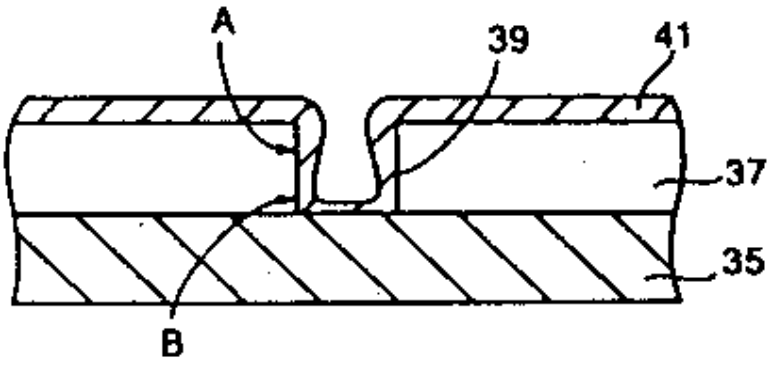
도면18


23a
F
E
28
26
25a
27a
23b
25b
27b

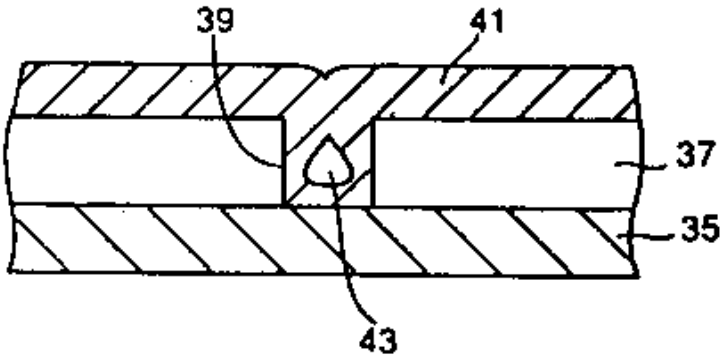
도면19


29
23a
31
28
31
19
31
25a
27a
31
23b
25b
27b

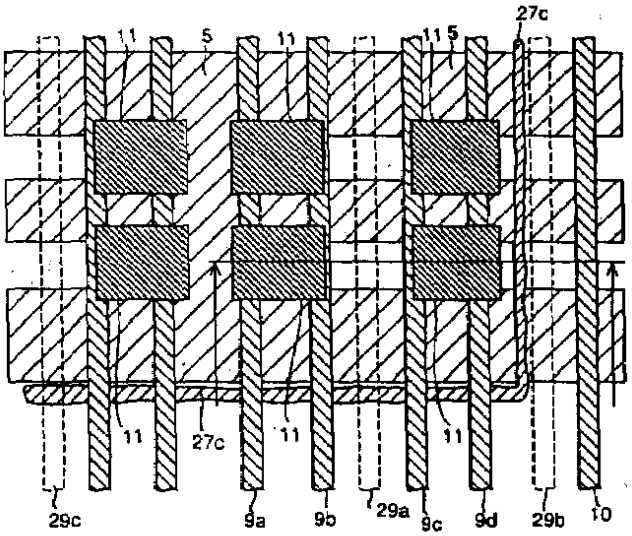
도면20



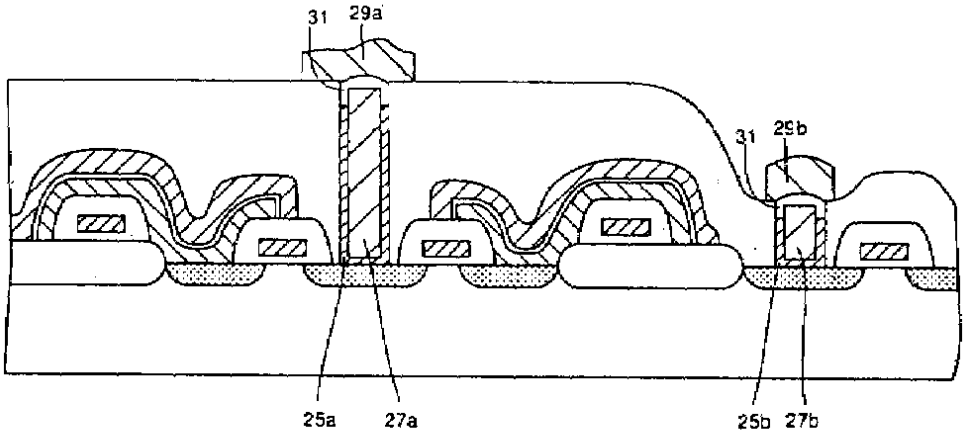
도면21



도면22


27c
11
5
11
11
5
11
27c
11
11
29c
9a
9b
29a
9c
9d
29b
10

도면23


31
29a
31
29b
25a
27a
25b
27b