

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-194462

(P2017-194462A)

(43) 公開日 平成29年10月26日(2017. 10. 26)

(51) Int.Cl.		F I				テーマコード (参考)
GO 1 R 19/00	(2006.01)	GO 1 R	19/00	A		2 G O 3 5
HO 1 H 83/02	(2006.01)	HO 1 H	83/02	E		5 G O 3 0

審査請求 有 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2017-79517 (P2017-79517) (22) 出願日 平成29年4月13日 (2017. 4. 13) (31) 優先権主張番号 10-2016-0047193 (32) 優先日 平成28年4月18日 (2016. 4. 18) (33) 優先権主張国 韓国 (KR)	(71) 出願人 593121379 エルエス産電株式会社 L S I S C O . , L T D . 大韓民国京畿道安養市東安区LS路LSタワー127 127 LS Tower, LS-ro, Dongan-gu, Anyang-si , Gyeonggi-Do, 14119, Republic of Korea (74) 代理人 100099759 弁理士 青木 篤 (74) 代理人 100092624 弁理士 鶴田 準一 (74) 代理人 100114018 弁理士 南山 知広
---	---

最終頁に続く

(54) 【発明の名称】 アナログ信号検出回路

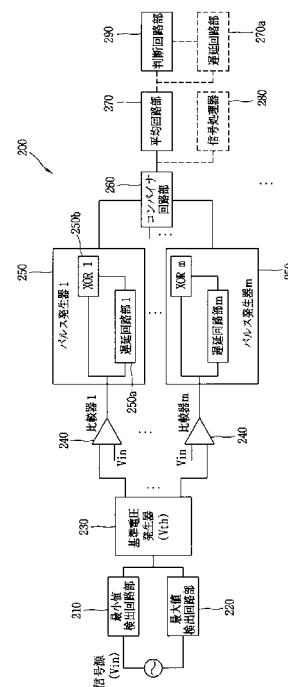
(57) 【要約】

【課題】安定化時間を必要とせず、安価で製作することができ、急激に変化するアナログ信号も高い信頼性で検出することができるアナログ信号検出回路を提供する。

【解決手段】本発明によるアナログ信号検出回路200は、入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に応じて数に変化する複数の基準電圧を発生して複数の基準電圧出力端を介して出力する基準電圧発生器230と、前記アナログ信号の電圧と基準電圧発生器230から出力される各基準電圧とをそれぞれ比較する複数の比較器240と、前記アナログ信号の周波数に応じて変化するパルス間隔を有する複数のパルス信号を発生して出力する複数のパルス発生器250と、複数のパルス発生器250からのパルス信号を合わせて出力するコンバイナ(COMBINER)回路部260とを含む。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に応じて数に変化する複数の基準電圧を発生して出力する基準電圧発生器と、

前記アナログ信号の電圧と前記基準電圧発生器から出力される各基準電圧とをそれぞれ比較する複数の比較器と、

前記アナログ信号の周波数に応じて変化するパルス間隔を有する複数のパルス信号を発生して出力する複数のパルス発生器と、

前記複数のパルス発生器からのパルス信号を合わせて出力するコンバイナ回路部とを含む、アナログ信号検出回路。

10

【請求項 2】

前記アナログ信号の最小電圧値を検出して前記基準電圧発生器に供給する最小値検出回路部と、

前記アナログ信号の最大電圧値を検出して前記基準電圧発生器に供給する最大値検出回路部とをさらに含む、請求項 1 に記載のアナログ信号検出回路。

【請求項 3】

前記パルス発生器は、

対応する前記比較器の出力信号を時間遅延させて出力する遅延回路部と、

対応する前記比較器の出力信号を受信する第 1 入力端及び前記遅延回路部から出力される遅延出力信号を受信する第 2 入力端を有し、対応する前記比較器の出力信号の論理値と前記遅延回路部の遅延出力信号の論理値とが異なる場合にパルス信号を発生する排他的論理和回路部とを含む、請求項 1 に記載のアナログ信号検出回路。

20

【請求項 4】

前記コンバイナ回路部に接続され、前記コンバイナ回路部から出力されるパルス信号の平均値を出力する平均回路部をさらに含む、請求項 1 に記載のアナログ信号検出回路。

【請求項 5】

前記平均回路部から出力される平均値と予め設定された漏電遮断器のトリップ基準値とを比較し、トリップ制御信号を出力するか否かを決定する判断回路部をさらに含む、請求項 4 に記載のアナログ信号検出回路。

【請求項 6】

前記平均回路部と前記判断回路部との間に設けられ、前記平均回路部から出力される平均値を所定時間遅延させて前記判断回路部に出力する遅延回路部をさらに含む、請求項 5 に記載のアナログ信号検出回路。

30

【請求項 7】

前記コンバイナ回路部から出力されるパルス信号に基づいて、パルス信号の数をカウントして時間で除算することでアナログ信号の周波数を算出したり、パルス信号の数に所定の比例係数を乗算してアナログ信号の大きさを算出する信号処理部をさらに含む、請求項 1 に記載のアナログ信号検出回路。

【請求項 8】

前記基準電圧発生器は、入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に比例する数の基準電圧を発生するように構成される、請求項 1 に記載のアナログ信号検出回路。

40

【請求項 9】

前記複数のパルス発生器は、前記アナログ信号の周波数が低いほど、パルス間隔の広い複数のパルス信号を発生する、請求項 1 に記載のアナログ信号検出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号検出回路に関し、特にアナログ信号の大きさと周波数を同時に検出することにより異常信号を高い信頼性で検出することができるアナログ信号検出回路

50

に関する。

【背景技術】

【0002】

本発明は、漏電遮断器や回路遮断器用のアナログ信号検出回路であって、漏電電流や短絡電流などの事故電流のアナログ信号を高い信頼性で検出することができるアナログ信号検出回路に関する。このようなアナログ信号検出回路の従来技術について図5及び図6を参照して説明する。

【0003】

図5は従来技術の一例によるアナログ信号検出回路の構成を示すブロック図である。図5を参照すると、従来技術の一例によるアナログ信号検出回路は、アナログ／デジタル変換部（ADC）10、RMS検出器20、周波数検出器30及び信号処理器40を含む。

10

【0004】

アナログ／デジタル変換部10は、アナログ信号をデジタル信号に変換する。

【0005】

RMS検出器20は、所定時間の間にアナログ／デジタル変換部10から出力されたデジタル信号の実効値、すなわち二乗平均平方根（Root Mean Square; RMS）値、つまり二乗値の平均を求めてさらにその二乗平均値のルートを取った値を算出する。

【0006】

周波数検出器30は、アナログ／デジタル変換部10から出力されたデジタル信号におけるロジック・ハイ、すなわち1又はロジック・ロー、すなわち0の所定時間の数をカウント（計数）して時間で除算することで周波数を算出し、算出した周波数に基づいて下記数式6の公知の周期と周波数の関係式を用いて周期を算出する。

20

【0007】

[数式6]

【数1】

$$T = \frac{1}{2\pi f}$$

30

【0008】

ここで、Tは周期であり、fは周波数である。

【0009】

RMS検出器20により検出された実効値（アナログ信号の大きさ）と周波数検出器30により検出された周波数及び周期は、後段の信号処理器40に送られ、信号処理器40は、送られたアナログ信号の大きさ（実効値）と周波数を予め設定された基準値と比較処理する。

【0010】

一方、図6は従来技術の他の例によるアナログ信号検出回路の構成を示すブロック図である。図6を参照すると、従来技術の他の例によるアナログ信号検出回路は、変流器1及びピーク検出回路2を含む。

40

【0011】

変流器1は、アナログ信号として回路に流れる電流を検出してピーク検出回路2に供給する。

【0012】

ピーク検出回路2は、半波整流器及びコンデンサを含み、検出された電流を整流及び平滑してその直流平滑値と予め設定された異常決定基準値とを比較し、前記直流平滑値が前記異常決定基準値を超えると、トリップ制御信号をトリップ機構（trip mechanism）3aに出力する。

50

【0013】

前記トリップ制御信号によりトリップ機構3aが閉路位置(closing position)に動作すると、トリップ機構3aに連動する遮断機構(開閉機構(switching mechanism))3bが回路を遮断する位置にトリップ(trip)動作することにより、負荷を漏電電流や短絡電流などの事故電流(異常電流)から保護する。

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかし、図5に示すような従来技術の一例によるアナログ信号検出回路は、価格が高く、かつサイズが小さくないので、漏電遮断器や回路遮断器への適用には向かないという問題があった。

10

【0015】

また、RMS検出器は信号の値を正確に検出するために安定化時間を必要とするが、漏電遮断器や回路遮断器は規格で定められた所定の瞬時動作時間内に回路を遮断しなければならないので、前記安定化時間により、要求される瞬時動作時間内に漏電電流や短絡電流を遮断することに失敗することがあるという問題もあった。

【0016】

一方、図6に示すような従来技術の他の例によるアナログ信号検出回路は、落雷などの原因により短時間で急激に大きな電流がアナログ信号として回路に流入した場合、ピーク検出回路がその検出電流を整流及び平滑できないという問題があった。

20

【0017】

本発明は、このような従来技術の問題を解決するためになされたものであり、安定化時間を必要とせず、安価で製作することができ、急激に変化するアナログ信号も高い信頼性で検出することができるアナログ信号検出回路を提供することを目的とする。

【課題を解決するための手段】

【0018】

本発明の上記目的は、入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に応じて数に変化する複数の基準電圧を発生して出力する基準電圧発生器と、前記アナログ信号の電圧と前記基準電圧発生器から出力される各基準電圧とをそれぞれ比較する複数の比較器と、前記アナログ信号の周波数に応じて変化するパルス間隔を有する複数のパルス信号を発生して出力する複数のパルス発生器と、前記複数のパルス発生器からのパルス信号を合わせて出力するコンバイナ(COMBINER)回路部とを含む、本発明によるアナログ信号検出回路を提供することにより達成することができる。

30

【0019】

本発明の好ましい一態様によれば、本発明によるアナログ信号検出回路は、前記アナログ信号の最小電圧値を検出して前記基準電圧発生器に供給する最小値検出回路部と、前記アナログ信号の最大電圧値を検出して前記基準電圧発生器に供給する最大値検出回路部とをさらに含む。

【0020】

本発明の好ましい他の態様によれば、前記パルス発生器は、対応する前記比較器の出力信号を時間遅延させて出力する遅延回路部と、対応する前記比較器の出力信号を受信する第1入力端及び前記遅延回路部から出力される遅延出力信号を受信する第2入力端を有し、対応する前記比較器の出力信号の論理値と前記遅延回路部の遅延出力信号の論理値とが異なる場合にパルス信号を発生する排他的論理和回路部とを含む。

40

【0021】

本発明の好ましいさらに他の態様によれば、本発明によるアナログ信号検出回路は、前記コンバイナ回路部に接続され、前記コンバイナ回路部から出力されるパルス信号の平均値を出力する平均回路部をさらに含む。

【0022】

本発明の好ましいさらに他の態様によれば、本発明によるアナログ信号検出回路は、前

50

記平均回路部から出力される平均値と予め設定された漏電遮断器のトリップ基準値とを比較し、トリップ制御信号を出力するか否かを決定する判断回路部をさらに含む。

【0023】

本発明の好ましいさらに他の態様によれば、本発明によるアナログ信号検出回路は、前記平均回路部と前記判断回路部との間に設けられ、前記平均回路部から出力される平均値を所定時間遅延させて前記判断回路部に出力する遅延回路部をさらに含む。

【0024】

本発明の好ましいさらに他の態様によれば、本発明によるアナログ信号検出回路は、前記コンバイナ回路部から出力されるパルス信号に基づいて、パルス信号の数をカウントして時間で除算することでアナログ信号の周波数を算出したり、パルス信号の数に所定の比例係数を乗算してアナログ信号の大きさを算出する信号処理器をさらに含む。

10

【0025】

本発明の好ましいさらに他の態様によれば、前記基準電圧発生器は、入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に比例する数の基準電圧を発生するように構成される。

【0026】

本発明の好ましいさらに他の態様によれば、前記複数のパルス発生器は、前記アナログ信号の周波数が低いほど、パルス間隔の広い複数のパルス信号を発生する。

【発明の効果】

【0027】

本発明によるアナログ信号検出回路においては、基準電圧発生器によりアナログ信号の最小電圧値と最大電圧値との間の電圧幅に比例する数の複数の基準電圧を発生し、それに対応する数の比較器によりアナログ信号の電圧と各基準電圧とをそれぞれ比較して出力することにより、安定化時間の遅延を伴うことなくアナログ信号の大きさに比例する数のパルス信号を出力することができる。また、本発明によるアナログ信号検出回路においては、複数の基準電圧に対応する複数のパルス発生器によりパルス間隔をアナログ信号の周波数に応じて変化させて出力することにより、アナログ信号の周波数を反映したパルス信号を出力することができる。これにより、後段の信号処理器又は判断回路部において正常信号とノイズを明確に区別して検出対象のアナログ信号のみを正確に処理することができるので、漏電遮断器又は回路遮断器などの応用分野において回路における監視対象の漏電電流や短絡電流などの事故電流の発生を正確に判別することができる。よって、本発明によるアナログ信号検出回路においては、漏電遮断器又は回路遮断器の動作信頼性を向上させるという効果がある。

20

30

【0028】

本発明によるアナログ信号検出回路においては、前記アナログ信号の最小電圧値を検出して前記基準電圧発生器に供給する最小値検出回路部と、前記アナログ信号の最大電圧値を検出して前記基準電圧発生器に供給する最大値検出回路部とをさらに含むことにより、アナログ信号の最小電圧値と最大電圧値との差の値、すなわちアナログ信号の大きさを決定できるという効果がある。

【0029】

本発明によるアナログ信号検出回路において、前記複数のパルス発生器は、それぞれ、遅延回路部と排他的論理和回路部とを含むので、遅延回路部の遅延時間に対応するパルス幅を有するパルス信号を供給できるという効果がある。

40

【0030】

本発明によるアナログ信号検出回路においては、コンバイナ回路部から出力されるパルス信号の平均値を出力する平均回路部をさらに含むことにより、一時的なノイズによる影響が最小限に抑えられ、後段の判別回路においてアナログ信号に対する評価、すなわち漏電有無の判断、事故電流有無の判断を高い信頼性で行えるという効果がある。

【0031】

本発明によるアナログ信号検出回路においては、判断回路部をさらに含むことにより、

50

平均回路部から出力される平均値と予め設定された漏電遮断器のトリップ基準値とを比較し、トリップ制御信号を出力するか否かを決定することができる。

【0032】

本発明によるアナログ信号検出回路においては、平均回路部から出力される平均値を所定時間遅延させて前記判断回路部に出力する遅延回路部をさらに含むことにより、一時的なノイズの混入によるアナログ信号の急激な変化に起因する漏電又は回路故障電流の検出における誤動作を防止することができる。

【0033】

本発明によるアナログ信号検出回路においては、前記コンバイナ回路部から出力されるパルス信号に基づいて、パルス信号の数をカウントして時間で除算することでアナログ信号の周波数を算出したり、パルス信号の数に所定の比例係数を乗算してアナログ信号の大きさを算出する信号処理器をさらに含むことにより、アナログ信号の大きさと周波数をそれぞれ別途検出できるという効果がある。

【0034】

本発明によるアナログ信号検出回路において、前記基準電圧発生器は、入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅が大きいほど多くの数の基準電圧を発生するように構成されるので、大きいアナログ信号に対しては多くの基準電圧との比較を行うことにより、当該アナログ信号の特性を反映したパルス信号を発生することができる。

【0035】

本発明によるアナログ信号検出回路において、前記複数のパルス発生器は、前記アナログ信号の周波数が低いほど、パルス間隔の広い複数のパルス信号を発生するので、アナログ信号の周波数を反映したパルス信号を出力でき、これにより、後段の信号処理器又は判断回路部において正常信号とノイズを明確に区別して検出対象のアナログ信号のみを正確に処理できるという効果がある。

【図面の簡単な説明】

【0036】

【図1】本発明の好ましい一実施形態によるアナログ信号検出回路の構成を示すブロック図である。

【図2】本発明の好ましい一実施形態によるアナログ信号検出回路を含む漏電遮断器の回路構成を示すブロック図である。

【図3】異なる2つのアナログ信号の大きさを検出するための本発明の好ましい一実施形態によるアナログ信号検出回路のコンバイナ回路部及び平均回路部の出力波形を示す波形図である。

【図4】異なる2つのアナログ信号の周波数を検出するための本発明の好ましい一実施形態によるアナログ信号検出回路のコンバイナ回路部及び平均回路部の出力波形を示す波形図である。

【図5】従来技術の一例によるアナログ信号検出回路の構成を示すブロック図である。

【図6】従来技術の他の例によるアナログ信号検出回路の構成を示すブロック図である。

【発明を実施するための形態】

【0037】

前述した本発明の目的とそれを達成する本発明の構成及びその作用効果は、添付の図1～図4を参照した本発明の好ましい実施形態についての以下の説明によりさらに明確に理解できるであろう。

【0038】

図1は本発明の好ましい一実施形態によるアナログ信号検出回路の構成を示すブロック図であり、図2は本発明の好ましい一実施形態によるアナログ信号検出回路を含む漏電遮断器の回路構成を示すブロック図であり、図3は異なる2つのアナログ信号の大きさを検出するための本発明の好ましい一実施形態によるアナログ信号検出回路のコンバイナ回路部及び平均回路部の出力波形を示す波形図であり、図4は異なる2つのアナログ信号の周

10

20

30

40

50

波数を検出するための本発明の好ましい一実施形態によるアナログ信号検出回路のコンバイナ回路部及び平均回路部の出力波形を示す波形図である。

【0039】

本発明の好ましい一実施形態によるアナログ信号検出回路（アナログ信号検出器）200は、基準電圧発生器230、複数の比較器240、複数のパルス発生器250及びコンバイナ（COMBINER）回路部260を含む。

【0040】

基準電圧発生器230は、複数の基準電圧を発生し、複数の基準電圧出力端を介して出力する回路部である。前記複数の基準電圧の数は、入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に応じて変化する。

10

【0041】

本発明の好ましい一実施形態によるアナログ信号検出回路200は、最小値検出回路部210及び最大値検出回路部220をさらに含んでもよい。

【0042】

最小値検出回路部210は、前記アナログ信号の最小電圧値を検出して基準電圧発生器230に供給する。

【0043】

最大値検出回路部220は、前記アナログ信号の最大電圧値を検出して基準電圧発生器230に供給する。

【0044】

基準電圧発生器230は、例えば、マイクロコンピュータなどの演算回路部と電圧分配回路部とを含んでもよい。

20

【0045】

例えば、前記複数の基準電圧において、第1基準電圧値とそれに隣接する第2基準電圧値との電圧差の値が所定の値、例えば1ボルトに予め定められた場合、前記アナログ信号の最小電圧値と最大電圧値との間の電圧幅が6.3ボルトであると、基準電圧の数は下記数式1により求められる。

【0046】

[数式1]

【数2】

30

$$N = \frac{V_{DEF}}{V_{REFD}} + 1 \text{----(1)}$$

【0047】

ここで、Nは基準電圧の数であって自然数であり、 V_{DEF} はアナログ信号の最小電圧値と最大電圧値との間の電圧幅であり、 V_{REFD} は基準電圧の差の値（例えば1ボルト）である。

40

【0048】

つまり、隣接する基準電圧値の電圧差の値が1ボルト、アナログ信号の最小電圧値と最大電圧値との間の電圧幅が6.3ボルトの場合、上記数式1に代入すると、基準電圧の数は7となる。

【0049】

図3に示す例において、基準電圧発生器230は、2つのアナログ信号、すなわち V_{in_a} と V_{in_b} のうち最小電圧値と最大電圧値との間の電圧幅が小さいアナログ信号 V_{in_a} に対して、3つの基準電圧信号、すなわち V_{th1_a} 、 V_{th2_a} 、 V_{th3_a} を出力する。

【0050】

50

図 3 に示す例において、基準電圧発生器 230 は、2 つのアナログ信号、すなわち V_{in_a} と V_{in_b} のうち最小電圧値と最大電圧値との間の電圧幅が大きいアナログ信号 V_{in_b} に対して、5 つの基準電圧信号、すなわち V_{th1_b} 、 V_{th2_b} 、 V_{th3_b} 、 V_{th4_b} 、 V_{th5_b} を出力する。

【0051】

前記電圧分配回路部は、好ましい一実施形態によれば、所定の基準電圧源に直列に接続される複数の直列抵抗と、これら各直列抵抗の両端から引き出される基準電圧出力端と、基準電圧出力端の選択回路とを含んでもよい。

【0052】

複数の比較器 240 は、基準電圧発生器 230 の複数の基準電圧出力端に接続される基準電圧入力端と、前記アナログ信号を入力する信号入力端とを有し、前記アナログ信号の電圧と基準電圧発生器 230 から出力される各基準電圧とをそれぞれ比較する。

10

【0053】

特に、複数の比較器 240 のうち、前記基準電圧入力端を介して基準電圧発生器 230 からの基準電圧信号が入力された比較器 240 のみ、前記基準電圧信号と前記信号入力端を介して入力された前記アナログ信号とを比較することができ、出力信号を出力することができる。

【0054】

複数のパルス発生器 250 は、複数の比較器 240 の出力端にそれぞれ対応して接続される入力端を有し、前記アナログ信号の周波数に応じて変化するパルス間隔を有する複数のパルス信号を発生して出力する。

20

【0055】

図 4 を参照すると、基準電圧発生器 230 は、大きさ（最大電圧値と最小電圧値との差の値）が同じで周波数は異なる 2 つのアナログ信号、すなわち V_{in_f1} と V_{in_f2} に対して、これら 2 つのアナログ信号の大きさが同じであるので、それぞれ 3 つの基準電圧を発生する。また、図 4 を参照すると、複数のパルス発生器 250 は、周波数の高いアナログ信号 V_{in_f1} に対してはパルス間隔の短いパルス信号を出力し、周波数の低いアナログ信号 V_{in_f2} に対してはパルス間隔の長いパルス信号を出力する。

【0056】

複数のパルス発生器 250 は、それぞれ、遅延回路部 250a と排他的論理和回路部 250b とを含んでもよい。

30

【0057】

遅延回路部 250a は、対応する比較器 240 の出力信号を時間遅延させて出力する。

【0058】

排他的論理和回路部 250b は、対応する比較器 240 の出力信号を受信する第 1 入力端と、遅延回路部 250a から出力される遅延出力信号を受信する第 2 入力端とを有する。

【0059】

排他的論理和回路部 250b は、対応する比較器 240 の出力信号の論理値と遅延回路部 250a の遅延出力信号の論理値とが異なる場合、ハイ (HIGH) の論理値を有するパルス信号を発生する。

40

【0060】

比較器 240 の出力信号が、最初は論理値 1 のパルス幅のほとんどない短パルス信号であったが、論理値がロー (LOW)、すなわち 0 (ZERO) となった場合、比較器 240 の出力信号の論理値が 0 となっても遅延回路部 250a の出力信号はまだ 1 であるので、排他的論理和回路部 250b は遅延時間の間論理値 1 の出力を維持する。

【0061】

よって、複数のパルス発生器 250 から出力されるパルス信号は、遅延回路部 250a の遅延時間に対応するパルス幅を有するパルス信号となる。

【0062】

50

このように遅延時間に対応するパルス幅を有するパルス信号を発生するのは、後段の信号処理においてパルス幅のほとんどない短パルス信号は認識及び処理が困難であるので、確実に認識及び処理できるように所定以上のパルス幅を有する信号にするためである。

【0063】

コンバイナ回路部260は、複数のパルス発生器250の出力端に接続される入力端を有し、複数のパルス発生器250からのパルス信号を合わせて（合成して）出力する。

【0064】

コンバイナ回路部260により合わせられたパルス信号は、図3又は図4にコンバイナ出力と示すパルス信号の全体であり、複数のパルス発生器250の各出力端を介して出力されるパルス信号は、図3又は図4にコンバイナ出力と示すパルス信号のそれぞれである。

10

【0065】

図3に示す例を参照すると、コンバイナ回路部260から出力されるパルス信号の数は、信号Vin__aに対して6であり、信号Vin__bに対して10である。基準電圧の発生数は、信号Vin__aに対して3であり、信号Vin__bに対して5である。すなわち、コンバイナ回路部260から出力されるパルス信号の数は基準電圧の発生数の2倍である。

【0066】

本発明の好ましい一実施形態によるアナログ信号検出回路200は、平均回路部270をさらに含んでもよい。

20

【0067】

平均回路部270は、コンバイナ回路部260の出力端に接続される入力端を有する。

【0068】

また、平均回路部270は、コンバイナ回路部260から出力されるパルス信号の平均値を出力する。ここで、平均回路部270から出力されるパルス信号の平均値は、所定時間のパルス信号の値を加算して時間で除算した値であって、アナログ値である。

【0069】

図3において、信号Vin__aと信号Vin__bに対して、例えば、パルス出力の大きさが1ボルトと一定であり、かつ1周期が6秒と同じであると仮定すると、信号Vin__aの平均値1は下記数式2のように算出され、信号Vin__bの平均値2は下記数式3のように算出される。

30

【0070】

[数式2]

【数3】

$$\text{平均値1} = (1 \times 6) / 6 = 1$$

【0071】

[数式3]

【数4】

$$\text{平均値2} = (1 \times 10) / 6 \approx 1.67$$

【0072】

このように、信号Vin__bの平均値2のほうが信号Vin__aの平均値1より大きく、これは図3の平均値1の波形と平均値2の波形との比較によっても確認することができる。

【0073】

50

一方、図 4 において、大きさ（最大値と最小値との差の値）は同じで周波数は異なる信号 V_{in_f1} と信号 V_{in_f2} に対して、例えば、パルス出力の大きさが 1 ボルトと一定であり、かつ信号 V_{in_f1} の 1 周期が 6 秒、信号 V_{in_f2} の 1 周期が 12 秒であると仮定すると、6 秒間の信号 V_{in_f1} の平均値 1 は下記数式 4 のように算出され、同時期の信号 V_{in_f2} の平均値 2 は下記数式 5 のように算出される。

【0074】

[数式 4]

【数 5】

$$\text{平均値1} = (1 \times 6) / 6 = 1$$

10

【0075】

[数式 5]

【数 6】

$$\text{平均値2} = (1 \times 4) / 6 \div 0.67$$

【0076】

20

このように、信号 V_{in_f2} の平均値 2 のほうが信号 V_{in_f1} の平均値 1 より小さく、これは図 4 の平均値 1 の波形と平均値 2 の波形との比較によっても確認することができる。

【0077】

このようにして平均回路部 270 により得られる平均値は、監視対象のアナログ信号の大きさを高い信頼性で提供できるようにする。

【0078】

本発明の好ましい一実施形態によるアナログ信号検出回路 200 は、信号処理器 280 をさらに含んでもよい。図 1 に示すように、信号処理器 280 は、コンバイナ回路部 260 に接続され、平均回路部 270 とは並列に接続される。

30

【0079】

信号処理器 280 は、平均回路部 270 により得られるアナログ平均値の代わりに、監視対象のアナログ信号の大きさと周波数をデジタル信号として得るために提供される。

【0080】

信号処理器 280 は、コンバイナ回路部 260 から出力されるパルス信号に基づいて、パルス信号の数をカウントして時間で除算することでアナログ信号の周波数を算出したり、パルス信号の数に所定の比例係数を乗算してアナログ信号の大きさを算出する。

【0081】

このような機能を実行するために、信号処理器 280 は、コンバイナ回路部 260 から出力されるパルス信号を認識するための比較器と、前記比較器の出力信号をカウントするためのカウンタ回路と、前記カウンタ回路の出力を時間で除算して周波数を算出する演算処理用マイクロコンピュータとを含んでもよい。前記マイクロコンピュータは、前記カウンタ回路の出力に前記所定の比例係数を乗算してアナログ信号の大きさを算出するようにしてもよい。

40

【0082】

本発明の好ましい一実施形態によるアナログ信号検出回路 200 は、図 2 に示すような判断回路部（弁別器）290 をさらに含んでもよい。

【0083】

判断回路部 290 は、平均回路部 270 から出力される平均値と予め設定された漏電遮断器のトリップ基準値とを比較し、トリップ制御信号を出力するか否かを決定する。

50

【0084】

このために、判断回路部290は、比較器と信号発生器回路部とを含んでもよい。

【0085】

本発明の好ましい一実施形態によるアナログ信号検出回路200は、平均回路部270と判断回路部290との間に設けられ、平均回路部270から出力される平均値を所定時間遅延させて判断回路部290に出力する遅延回路部270aをさらに含んでもよい。

【0086】

平均回路部270と判断回路部290との間に遅延回路部270aが設けられた場合、判断回路部290は、現在入力されている平均回路部270の出力信号と遅延回路部270aの出力信号とを比較するさらなる比較器をさらに含んでもよい。

10

【0087】

前記さらなる比較器の比較の結果、現在入力されている平均回路部270の出力信号と遅延回路部270aの出力信号とが同じ場合は、平均回路部270の出力信号が一定に維持されていて信頼できるので、判断回路部290は、現在入力されている平均回路部270の出力信号とトリップ基準値とを比較し、トリップ制御信号を出力するか否かを決定する。

【0088】

前記さらなる比較器の比較の結果、現在入力されている平均回路部270の出力信号と遅延回路部270aの出力信号とが異なる場合は、ノイズ信号が混入していて平均回路部270の出力信号を信頼できないので、判断回路部290は、現在入力されている平均回路部270の出力信号とトリップ基準値とを比較するのではなく廃棄する。

20

【0089】

図2において、符号1は、監視対象の電力回路に設けられて回路を流れる電流量に比例する電圧信号を前記監視対象のアナログ信号として供給する変流器(Current Transformer; CT)である。

【0090】

図2において、符号3aは、漏電遮断器又は回路遮断器のトリップ(自動回路遮断)動作をトリガ(trigger)するトリップ機構であって、公知のように、電磁石と当該電磁石により駆動されるアーマチュア(armature)とを含むように構成されてもよい。

【0091】

30

図2において、符号3bは、漏電遮断器又は回路遮断器の開閉機構であって、公知のように、実際に回路を開閉する可動接触子(movable contact arm)及び接点(contact)、前記可動接触子を回路開放位置に駆動する駆動機構としてのシャフト(shaft)、リンク(link)、トリップスプリングなどを含むように構成されてもよい。

【0092】

以下、前述したように構成される本発明の好ましい一実施形態によるアナログ信号検出回路200の動作について図1～図4を参照して説明する。

【0093】

図2において、監視対象の電力回路に設けられた変流器1から、回路を流れる電流量に比例する電圧信号として前記監視対象のアナログ信号(当該アナログ信号は図1においてVin(信号源)で示されている)が供給されると、最小値検出回路部210は、前記アナログ信号の最小電圧値を検出して基準電圧発生器230に供給し、最大値検出回路部220は、前記アナログ信号の最大電圧値を検出して基準電圧発生器230に供給する。

40

【0094】

基準電圧発生器230は、最小値検出回路部210と最大値検出回路部220から入力されるアナログ信号の最小電圧値と最大電圧値との間の電圧幅に応じて上記数式1のように数が決定される複数の基準電圧を発生し、複数の基準電圧出力端を介して出力する。

【0095】

すると、決定された数に対応する数の比較器240が出力される基準電圧と前記アナログ信号とを比較する。

50

【0096】

このとき、複数の比較器240のうち、前記基準電圧入力端を介して基準電圧発生器230からの基準電圧信号が入力された比較器240のみ、前記基準電圧信号と前記信号入力端を介して入力された前記アナログ信号とを比較し、出力信号を出力する。

【0097】

複数のパルス発生器250は、複数の比較器240に対応する数が設けられ、複数の比較器240の出力信号に基づいて、例えば、比較器240の出力信号の論理値がハイ（HIGH）であればパルス信号を出力する。

【0098】

また、複数のパルス発生器250は、前記アナログ信号の周波数に応じて変化するパルス間隔を有する複数のパルス信号を発生して出力する。

10

【0099】

図4を参照すると、基準電圧発生器230は、例えば、大きさ（最大電圧値と最小電圧値との差の値）が同じで周波数は異なる2つのアナログ信号、すなわちVin_f1とVin_f2に対して、これら2つのアナログ信号の大きさが同じであるので、同様に3つの基準電圧を発生し、複数のパルス発生器250は、周波数の高いアナログ信号Vin_f1に対してはパルス間隔の短いパルス信号を出力し、周波数の低いアナログ信号Vin_f2に対してはパルス間隔の長いパルス信号を出力する。

【0100】

すると、コンバイナ回路部260は、複数のパルス発生器250からのパルス信号を合わせて（合成して）出力する。

20

【0101】

平均回路部270は、コンバイナ回路部260から出力されるパルス信号の平均値を出力する。ここで、平均回路部270から出力されるパルス信号の平均値は、所定時間のパルス信号の値を加算して時間で除算した値であって、アナログ値である。

【0102】

すると、判断回路部290は、平均回路部270から出力される平均値と予め設定された漏電遮断器のトリップ基準値とを比較し、トリップ制御信号を出力するか否かを決定する。

【0103】

平均回路部270から出力される平均値が前記トリップ基準値以上の場合、判断回路部290は、トリップ制御信号を出力する。

30

【0104】

従って、トリップ機構3aがトリガすることによって開閉機構3bが動作し、開閉機構3bに含まれる可動接触子に対応する固定接触子（stationary contact arm）から分離することにより、回路が自動で遮断（トリップ）される。

【0105】

よって、漏電電流又は短絡電流などの事故電流から負荷を保護することができる。

【0106】

平均回路部270から出力される平均値が前記トリップ基準値未満の場合、判断回路部290は、トリップ制御信号を出力しない。

40

【0107】

従って、トリップ機構3aも開閉機構3bも動作しないので、可動接触子に対応する固定接触子に接触した状態を維持し、回路において電源から負荷側への電力供給が正常に行われる。

【符号の説明】

【0108】

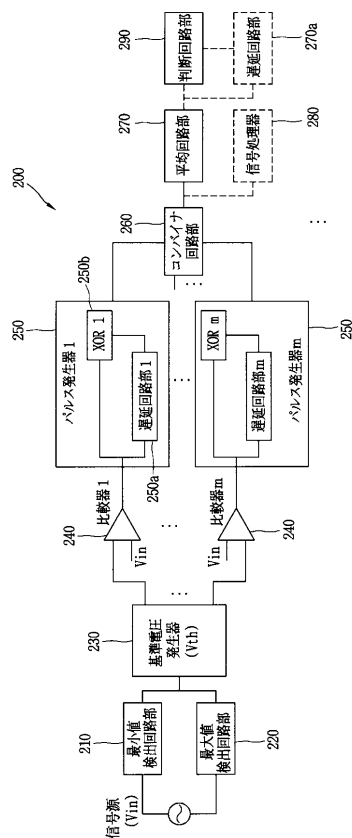
- 1 変流器
- 3a トリップ機構
- 3b 開閉機構

50

200	アナログ信号検出回路
210	最小値検出回路部
220	最大値検出回路部
230	基準電圧発生器
240	比較器
250	パルス発生器
260	コンバイナ回路部
270	平均回路部
280	信号処理部
290	判断回路部

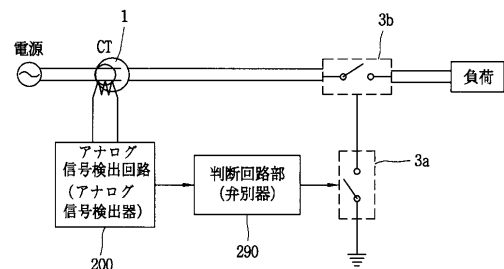
【図1】

図1



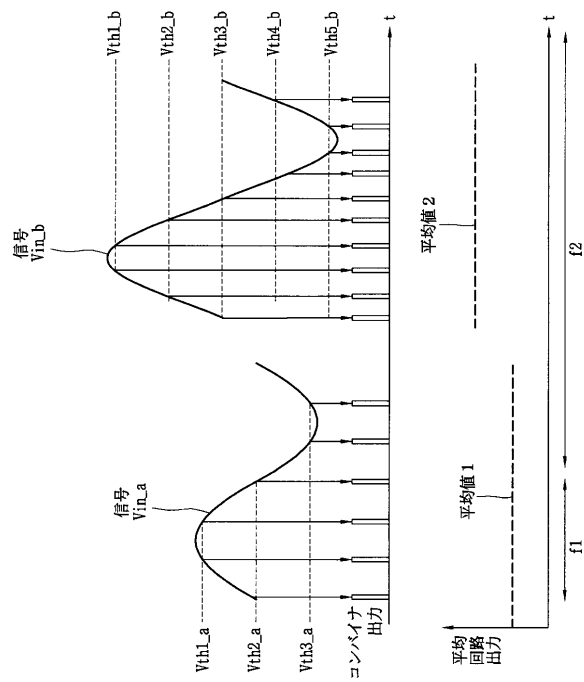
【図2】

図2



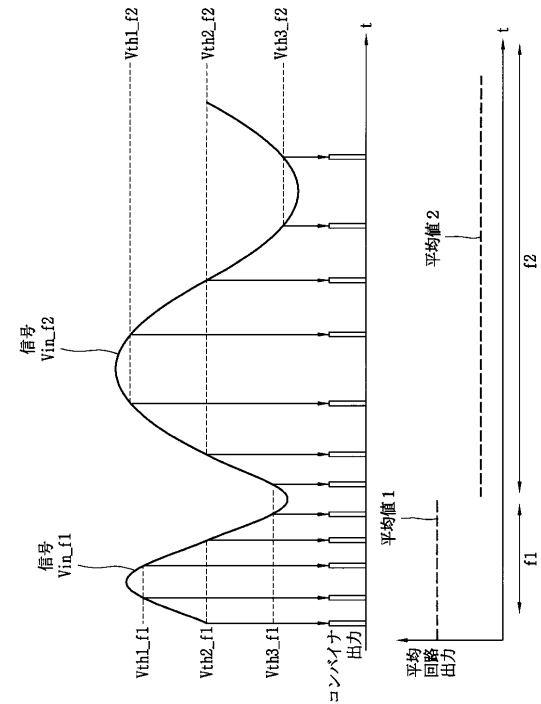
【図 3】

図3



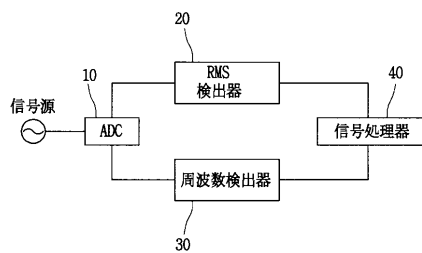
【図 4】

図4



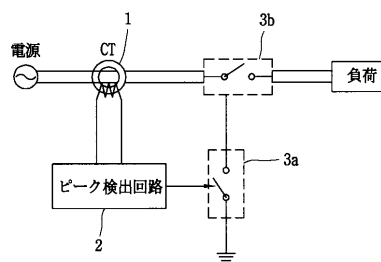
【図 5】

図5



【図 6】

図6



フロントページの続き

(74)代理人 100165191

弁理士 河合 章

(74)代理人 100151459

弁理士 中村 健一

(74)代理人 100159259

弁理士 竹本 実

(72)発明者 ソン チョンクク

大韓民国, キョンギード 14118, アニャンーシ, トンアンーク, エルエスーロ 116 ボン
ーギル, 40, エルエスアイエス アールアンドディー キャンパス

Fターム(参考) 2G035 AA13 AB04 AC03 AC19 AD19 AD23 AD27 AD28 AD47 AD56

AD61

5G030 YY13