



(21)申請案號：102141046 (22)申請日：中華民國 102 (2013) 年 11 月 12 日

(51)Int. Cl. : **H01L33/02 (2010.01)**

(30)優先權：2012/12/06 美國 13/706,473

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)
美國

(72)發明人：達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK (IN)；陳漢威 THEN, HAN WUI (MY)；拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；喬 羅伯特 CHAU, ROBERT S. (US)

(74)代理人：林志剛

(56)參考文獻：

US	2003/0183160A1	US	2005/0093099A1
US	2009/0189188A1	US	2012/0235115A1

審查人員：王世賢

申請專利範圍項數：10 項 圖式數：4 共 46 頁

(54)名稱

三族氮化物矽上半導體結構和技術

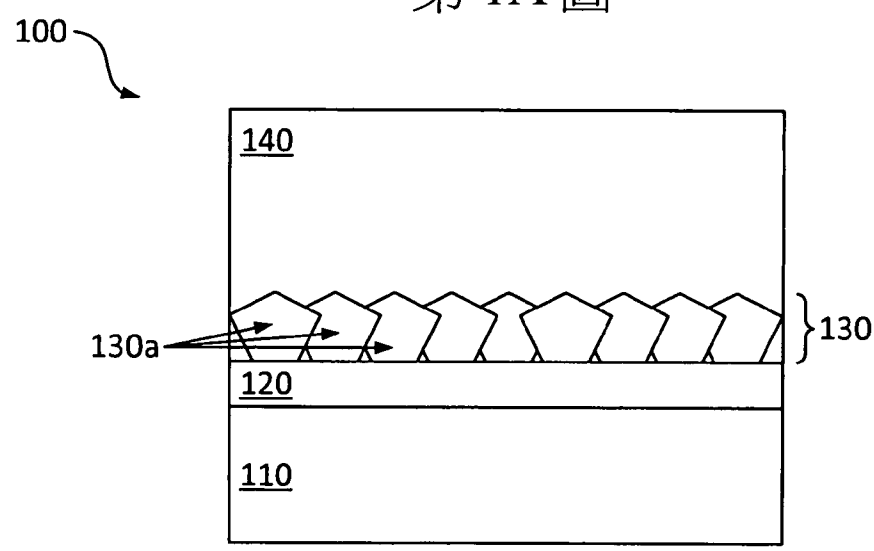
III-N SEMICONDUCTOR-ON-SILICON STRUCTURES AND TECHNIQUES

(57)摘要

揭示三族氮化物矽上半導體積體電路結構和技術。在若干情況中，結構包含形成於成核層上之第一半導體層，第一半導體層包含三維 GaN 層及二維 GaN 層，三維 GaN 層係在成核層上且具有複數個三維半導體結構，二維 GaN 層係在三維 GaN 層上。結構亦可包含形成於第一半導體層上或在第一半導體層內之第二半導體層，其中第二半導體層包含 AlGaIn 於二維 GaN 層上及 GaN 層於 AlGaIn 層上。另一結構包含第一半導體層及第二半導體層，第一半導體層係形成於成核層上，第一半導體層包含二維 GaN 層於成核層上，第二半導體層係形成於第一半導體層上或在第一半導體層內，其中第二半導體層包含 AlGaIn 於二維 GaN 層上及 GaN 層於 AlGaIn 層上。

III-N semiconductor-on-silicon integrated circuit structures and techniques are disclosed. In some cases, the structure includes a first semiconductor layer formed on a nucleation layer, the first semiconductor layer including a 3-D GaN layer on the nucleation layer and having a plurality of 3-D semiconductor structures, and a 2-D GaN layer on the 3-D GaN layer. The structure also may include a second semiconductor layer formed on or within the first semiconductor layer, wherein the second semiconductor layer includes AlGaIn on the 2-D GaN layer and a GaN layer on the AlGaIn layer. Another structure includes a first semiconductor layer formed on a nucleation layer, the first semiconductor layer comprising a 2-D GaN layer on the nucleation layer, and a second semiconductor layer formed on or within the first semiconductor layer, wherein the second semiconductor layer includes AlGaIn on the 2-D GaN layer and a GaN layer on the AlGaIn layer.

第 1A 圖



- 100 . . . 積體電路 (IC)
- 110 . . . 基板
- 120 . . . 成核層
- 130 . . . 三維半導體層
- 130a . . . 似島狀結構
- 140 . . . 二維半導體層

發明摘要

※申請案號：102141046

※申請日：102年11月12日

※IPC分類：

【發明名稱】(中文/英文)

H01L33/02

(2010,01)

三族氮化物矽上半導體結構和技術

III-N Semiconductor-on-silicon structures and techniques

● 【中文】

揭示三族氮化物矽上半導體積體電路結構和技術。在若干情況中，結構包含形成於成核層上之第一半導體層，第一半導體層包含三維 GaN 層及二維 GaN 層，三維 GaN 層係在成核層上且具有複數個三維半導體結構，二維 GaN 層係在三維 GaN 層上。結構亦可包含形成於第一半導體層上或在第一半導體層內之第二半導體層，其中第二半導體層包含 AlGaN 於二維 GaN 層上及 GaN 層於 AlGaN 層上。另一結構包含第一半導體層及第二半導體層，第一半導體層係形成於成核層上，第一半導體層包含二維 GaN 層於成核層上，第二半導體層係形成於第一半導體層上或在第一半導體層內，其中第二半導體層包含 AlGaN 於二維 GaN 層上及 GaN 層於 AlGaN 層上。

【 英文 】

III-N semiconductor-on-silicon integrated circuit structures and techniques are disclosed. In some cases, the structure includes a first semiconductor layer formed on a nucleation layer, the first semiconductor layer including a 3-DGaN layer on the nucleation layer and having a plurality of 3-D semiconductor structures, and a 2-DGaN layer on the 3-DGaN layer. The structure also may include a second semiconductor layer formed on or within the first semiconductor layer, wherein the second semiconductor layer includes AlGaN on the 2-DGaN layer and a GaN layer on the AlGaN layer. Another structure includes a first semiconductor layer formed on a nucleation layer, the first semiconductor layer comprising a 2-D GaN layer on the nucleation layer, and a second semiconductor layer formed on or within the first semiconductor layer, wherein the second semiconductor layer includes AlGaN on the 2-D GaN layer and a GaN layer on the AlGaN layer.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：積體電路（IC）

110：基板

120：成核層

130：三維半導體層

130a：似島狀結構

140：二維半導體層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

三族氮化物矽上半導體結構和技術

III-N Semiconductor-on-silicon structures and techniques

【技術領域】

本發明是關於三族氮化物矽上半導體結構和技術。

【先前技術】

在深次微米處理節點中之積體電路 (IC) 設計 (例如，32 奈米及 32 奈米以上) 包含許多重要的挑戰，且矽 (Si) 上氮化鎵 (GaN) 裝置已面臨特殊複雜的因素。連續的處理縮放將易於加重該等問題。

【圖式簡單說明】

第 1A 圖係依據本發明實施例所組構之積體電路 (IC) 的側面橫剖面視圖；

第 1B 圖係依據本發明另一實施例所組構之 IC 的側面橫剖面視圖；

第 1C 圖係依據本發明另一實施例所組構之 IC 的側面橫剖面視圖；

第 1D 圖係依據本發明另一實施例所組構之 IC 的側面橫剖面視圖；

第 2A 圖係依據本發明實施例所組構之 IC 的橫剖面視圖；

第 2B 圖係依據本發明另一實施例所組構之 IC 的橫剖面視圖；

第 3A 圖係依據本發明實施例所組構之 IC 的橫剖面視圖；

第 3B 圖係依據本發明另一實施例所組構之 IC 的橫剖面視圖；

第 4 圖描繪依據本發明實施例實施例之以本文所揭示之一或多個缺陷密度及／或裂紋密度降低技術予以形成之積體電路結構或裝置所實施的計算系統。

如將予以理解地，該等圖式不一定按比例繪製，或意圖限制所申請專利之發明至所示的特定組態。例如，雖然若干圖式概括地指示直線、直角、及平滑表面，但所給定之實施例的實際實施可具有不太完美的直線、直角、等等，且若干特性可具有表面形態或係非平滑的，而給定積體電路（IC）製造的現實限制。簡而言之，該等圖式僅係提供以顯示實施例結構。在圖式中，描繪於各種圖式中之各相同或幾乎相同的組件係由相似的符號所代表。為清楚之緣故，並非每個組件均可被標記於每個圖式中。本發明實施例的該等及其他特性將藉由一起研讀詳細說明及在此所敘述之該等圖式，而被較佳地瞭解。

【發明內容及實施方式】

本發明揭示三族氮化物矽上半導體積體電路結構和技術。在若干情況中，結構包含形成於成核層上之第一半導體層，第一半導體層包含三維 GaN 層及二維 GaN 層，三維 GaN 層係在成核層上且具有複數個三維半導體結構，二維 GaN 層係在三維 GaN 層上。結構亦包含形成於第一半導體層上或在第一半導體層內之第二半導體層，其中第二半導體層包含 AlGaN 於二維 GaN 層上及 GaN 層於 AlGaN 層上。另一結構包含第一半導體層及第二半導體層，第一半導體層係形成於成核層上，第一半導體層包含二維 GaN 層於成核層上，第二半導體層係形成於第一半導體層上或在第一半導體層內，其中第二半導體層包含 AlGaN 於二維 GaN 層上及 GaN 層於 AlGaN 層上。其可使用所揭示之技術而予以形成的若干實例結構可包含，但無需一定要受限於矽上氮化鎵（Si 上 GaN）、矽上氮化鋁鎵（Si 上 AlGaN）、矽上氮化鋁銦（Si 上 AlInN）、等等。在若干情況中，使用所揭示之技術而予以提供之給定的結構可顯現例如：（1）降低之缺陷密度；（2）降低之表面裂紋密度；及／或（3）改善的表面平滑度；（例如，結構之頂部／主動層的表面平滑度）。在若干情況中，當同時排除表面裂紋時，則可一起降低缺陷密度並增進或保存表面平滑度。許多組態及變化將根據此揭示而呈明顯。

概括綜覽

如前面所指示地，可發生有許多重要的問題而使矽（

Si) 上氮化鎵 (GaN) 裝置複雜。例如，一重要的問題關於 GaN 與 Si (100) (亦即，矽具有 [100] 之晶體取向) 間具有約 42% 之晶格不匹配的事實。該等材料之相異的晶格產生螺紋狀差排缺陷，而抑制低缺陷密度三族氮化物矽 (100) 上材料的磊晶成長。另一重要的問題關於 GaN 與 Si 間具有約 116% 之熱不匹配的事實。與用於 GaN 的高成長溫度連結之此大的熱不匹配造成頂部 / 主動磊晶層之所不欲的高表面裂紋密度，而使它們不適用於裝置製造。在其他應用中，該等實例複雜的因素已妨礙例如，Si (100) 上 GaN 在系統單晶片 (SoC) 高壓及射頻 (RF) 裝置中以及在互補金氧半 (CMOS) 電晶體中的使用。

解決該等重要問題之一可能的方法可使用多重氮化鋁 (AlN) 層，其係插入 Si (100) 上 GaN 成長之間。然而，如將根據此發明而被理解地，在防止諸如螺紋狀差排之缺陷遷移至生成的堆疊之頂部 (例如，裝置之主動層) 中，此方法可能失敗，且可導致缺陷密度在 $3 \times 10^{10} / \text{cm}^2$ 或更大的範圍中 (例如，當藉由平面觀察透射電子顯微鏡或 PVTEM 而予以測量時) 。再者，表面平滑度可與該等 AlN 層的使用嚴重地妥協，而導致頂部 / 主動層具有所不欲之粗糙及有凹痕的表面，其通常並不適用於裝置製造。

因此，且依據本發明之實施例，技術係揭示於此，用以提供三族氮化物矽上半導體結構。在若干情況中，所揭示之技術可被使用以提供積體電路 (IC) 結構，其包含三維之三族氮化物半導體材料的層 (例如，氮化鎵或 GaN) ；

氮化鋁鎵或 AlGaN；氮化鋁銦或 AlInN；等等），亦即，就整體而言，由複數個三維半導體結構（例如，島狀物、奈米佈線，等等）所形成。如下文所討論地，此三維半導體結構的層可使用寬廣種類之技術的任一者而予以形成（例如，在三維成長模式中之沈積或磊晶成長；原位之圖案化；非原位之圖案化；等等）。之後，例如，可一層一層地成長二維之半導體材料的層（例如，GaN、AlGaN、AlInN、等等）於三維半導體層上，以恢復表面平滑度之所欲程度。在若干情況中，例如，可將相似的及／或不同的半導體材料之額外的層設置在該二維半導體層上，以改變總結構的應力狀態。在若干進一步的情況中，如所欲供給定應用或末端使用之用（例如，電子裝置、光電子應用、等等），可選擇包含相似的及／或不同的半導體材料之帽蓋層。許許多多的組態將根據此發明而呈明顯。

在若干情況中，使用所揭示之技術而予以提供的結構可顯現例如：（1）降低之缺陷密度；（2）降低之表面裂紋密度；及／或（3）改善的表面平滑度（例如，結構之頂部／主動層的表面平滑度）。使用所揭示之技術而予以提供的若干結構可顯現降低的缺陷密度，及表面平滑度，而實質地不具有表面裂紋（或具有極少數目的表面裂紋）。例如，在一特定的實例實施例中，可使用所揭示之技術以提供具有缺陷密度大約 $2-3 \times 10^9 / \text{cm}^2$ 或更少之範圍中的 Si（100）上 GaN 結構（亦即，具有 [100] 之晶體取向的矽上 GaN）。在若干該等情況中，可獲得此一缺陷密度

中的降低，且同時，可降低表面裂紋密度。例如，在若干實例情況中，可將該 Si (100) 上 GaN 結構的表面裂紋密度降低成為在小於或等於大約 200 裂紋/mm² 的範圍中（例如，約 150 裂紋/mm² 或更少；約 100 裂紋/mm² 或更少；約 50 裂紋/mm² 或更少；約 10 裂紋/mm² 或更少；約 5 裂紋/mm² 或更少；等等）。然而，應注意的是，本申請專利發明並未受限於此，如在若干其他的情況中，表面裂紋可被完全地排除（例如，表面裂紋密度可約為零或等於零）。在更一般性的觀點中，缺陷密度及表面裂紋密度可自一實施例變化至下一者，且本申請專利發明並不打算要受限於任何特殊的範圍。

而且，如前面所告知地，使用所揭示之技術而予以提供之結構的若干實施例可顯現改善的（或保存的）表面平滑度。例如，在一實施例實施例中，可使用所揭示之技術以提供具有均方根（RMS）表面粗糙度於小於或等於大約 15 奈米的範圍中（例如，約 12 奈米或更小；約 6 奈米或更小；約 3 奈米或更小；約 2 奈米或更小；約 1.5 奈米或更小；等等）之 Si (100) 上 GaN 結構，其可提供例如，適用於寬廣種類之裝置製造處理的任一者之 Si (100) 上 GaN 結構。可使用所揭示之技術而達成的其他缺陷密度、表面裂紋密度、及／或表面粗糙度範圍將根據所給定之範圍而定，且將根據此發明而呈明顯。

例如，將根據此發明而被進一步理解的是，可在寬廣種類之領域的任一者中之寬廣種類之應用或末端使用的任

一者中使用本發明之若干實施例，諸如，但未受限之；無線電通訊/傳輸；功率管理，轉換，及傳輸；電動車；發光二極體（LED），雷射，及其他的三族氮化物光電子裝置；及/或固態照明（SSL）。例如，可使用若干實施例於例如，系統單晶片（SoC）電路中，其可被使用於寬廣範圍之電子裝置的任一者中，包含，但未受限之：智慧型手機；筆記型電腦；平板電腦；個人電腦（PC）；等等。而且，可使用本發明之若干實施例於例如，使用直流電池高壓開關電晶體的電子裝置中（例如，功率管理 IC；輸出濾波器中及驅動器電路中之 DC 至 DC 轉換）。例如，將根據此發明而被進一步理解的是，在若干情況中，可使所揭示之技術以製造 GaN 為基之裝置（例如，電子裝置、LED/雷射、等等）於大面積的 Si（100）基板上，而可降低生產成本及/或致能高容積製造。本發明的一或多個實施例之其他合適的使用將根據所給定之應用而定，且將根據此發明而呈明顯。

例如，將根據此發明而被理解，且依據實施例，所揭示之技術/結構的使用可藉由例如，給定 IC 及其他裝置之目視或其他檢查（例如，掃描電子顯微鏡或 SEM；透射電子顯微鏡或 TEM；等等）及/或材料分析（例如，能量分散式 X 射線光譜儀或 EDX；二次離子質譜儀或 SIMS；高解析度 TEM；等等），而被偵測，該給定 IC 及其他裝置具有如本文所敘述而予以組構之三族氮化物矽上半導體結構。

三維及二維的 GaN 結構

第 1A 圖係依據本發明實施例所組構之積體電路 (IC) 100 的側面橫剖面視圖。如可被觀察到的是，IC100 可包含基板 110、成核層 120、三維半導體結構之層 130、及二維半導體層 140，成核層 120 係設置於基板 110 上，三維半導體結構之層 130 係設置於成核層 120 上，以及二維半導體層 140 係設置於三維半導體層 130 上。例如，將根據此發明而被理解的是，IC100 可包含來自此處所敘述的該等者之額外的、少許的、及 / 或不同的元件或組件，以及本申請專利發明並不打算要受限於任何特殊的 IC 組態，但可在許多應用中被使用以許許多多的組態。

依據實施例，基板 110 可具有寬廣範圍之組態的任一者。例如，如將根據此發明而呈明顯的是，用於基板 110 之若干合適的組態可包含，但未受限於：(1) 巨形基板；(2) 絕緣體上半導體 (XOI，其中 X 係諸如矽、鍺、富鍺矽、等等之半導體材料)；(3) 晶圓；(4) 多層結構；及 / 或 (5) 任何其他合適之組態。再者，且依據實施例，基板 110 可包含寬廣範圍之材料的任一者。用於基板 110 之若干實例的合適材料可包含，但無需一定要受限於：(1) 具有 [100] 之晶體取向的矽 (Si) - 在下文中稱作 Si (100) - 且選擇地具有朝向直至約 11 度或更小之 [110] 方向的邊角料；(2) 具有 [110] 之晶體取向的 Si - 在下文中稱作 Si (110) - 且選擇地具有朝向直至約 6 度或更小之

[111]方向的邊角料；及／或（3）具有[111]之晶體取向的Si-在下文中稱作Si（111）。然而，本申請專利發明並未受限於此，且用於基板110之其他合適的材料、晶體學取向、及／或組態將根據所給定的應用而定，以及根據此發明而呈明顯。

如前面所告知地，且依據實施例，例如，可將成核層120設置於基板110上，用以幫助著手於IC 100上的半導體材料之一或多層的成長（例如，諸如GaN、AlGaN、AlInN、等等之一或多個三族氮化物半導體材料，如下文所討論地）。在其中基板110包含Si（100）之若干情況中，例如，成核層120可包含諸如，但未受限於氮化鋁（AlN）、AlGaN、上述任何者之合金、及／或上述任何者之組合的半導體材料。然而，本申請專利發明並未受限於此，且用於成核層120之其他合適的材料將根據基板110及／或層130（討論於下文）之所給定的材料組成而定，以及將根據此發明而呈明顯。在更一般性的觀點中，層120可係適用於以對層130提供成核位置之任何材料。

依據實施例，成核層120可使用寬廣範圍之技術的任一者而被形成（例如，被沈積、被成長、等等）於基板110上。若干實例之合適的形成技術可包含，但未受限於分子束磊晶沈積（MBE）、金屬有機氣相磊晶沈積（MOVPE）、等等。同時，且依據實施例，成核層120可被設置以任何給定的厚度，如用於所給定之應用或末端使用所欲地。在若干實施例中，成核層120可具有厚度在大

約單層至約 300 奈米或更大的範圍中（例如，約 100-200 奈米或更大，或在約 1-300 奈米或更大的範圍內之任何其他子範圍）。在若干情況中，成核層 120 可具有橫跨下面基板 110 所提供之形態的實質均勻厚度。惟，本申請專利發明並未受限於此，如在若干其他的情況中，成核層 120 可在該形態上被設置以非均勻或變化的厚度。例如，在若干情況中，成核層 120 的第一部分可具有在第一範圍內之厚度，而其第二部分具有在第二、不同範圍內之厚度。用於成核層 120 之其他合適的形成技術及／或厚度範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

如前面所告知地，且依據實施例，三維半導體層 130 可予以設置在成核層 120 上。在若干情況中，半導體層 130 可包含例如，諸如，但未受限之：（1）氮化鎵（GaN）；（2）氮化鋁鎵（AlGa_N），具有 Al 濃度在大約 0% 至 10% 的範圍中（例如，約 5% 或更小）；（3）氮化鋁銻（AlInN），具有 Al 濃度在大約 0% 至 10% 的範圍中（例如，約 5% 或更小）；及／或（4）上述任何者之組合的三族氮化物半導體材料。用於三維半導體層 130 之其他合適的材料將根據成核層 120 及／或 IC100 之應用之所給定的材料組成而定，且將根據此發明而呈明顯。

依據實施例，三維半導體層 130 可具有寬廣範圍之組態的任一者。例如，依據實施例，三維半導體層 130 可包含複數個三維半導體結構（例如，似島狀結構 130a、奈米佈線 130b、等等，如下文所討論地）；就整體而言，

其界定一或多個半導體材料之三維的層於成核層 120 上。再者，且依據實施例，三維半導體層 130 可被設置以任何的厚度，如用於所給定之應用或末端使用所欲地。例如，在若干實例實施例中，三維半導體層 130 可具有厚度在大約 1-250 奈米或更大的範圍中（例如，約 50-100 奈米或更大；約 100-150 奈米或更大；約 150-200 奈米或更大；約 200-250 奈米或更大；或在大約 1-250 奈米或更大的範圍內之任何其他子範圍）。例如，將根據此發明而被理解的是，以及依據實施例，三維半導體層 130 可被設置為一般不連續層（例如，由於其組分結構 130a、130b、等等，如下文所討論地）。視所欲地，三維半導體層 130 的厚度可橫跨在下面的形態而變化（例如，由下面的成核層 120 所提供）。用於三維半導體層 130 之其他合適的結構性組態及／或厚度範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

如自第 1A 圖可被觀察到的是，例如，在若干情況中，三維半導體層 130 可包含複數個似島狀半導體結構 130a。依據實施例，似島狀結構 130a 可彼此互相充分地緊鄰而被設置，以便彼此互相大致地重疊或合併，且同時，實質地保持分立，而不致形成連續層以橫跨下面之成核層 120 的形態。依據實施例，複數個似島狀結構 130a 可使用寬廣範圍之技術的任一者而被形成於成核層 120 上，如下文所討論地。在若干情況中，所給定的似島狀結構 130a 可顯現一般多邊形之橫剖面幾何形狀（例如，約略

六邊形之橫剖面幾何形狀，如自由上而下的制高點所觀視地）。然而，本申請專利發明並未受限於此，且若干其他的實施例可包含非多邊形（例如，彎曲的、銜接的、等等）橫剖面幾何形狀之似島狀結構 130a 之三維半導體層 130。而且，在若干情況中，所給定之似島狀結構 130a 可具有寬度（例如，如其最遠端頂點之間所決定）或直徑於大約 1-200 奈米或更大的範圍中。如前面所告知地，在若干實例情況中，三維半導體層 130 可具有厚度在大約 1-250 奈米的範圍中，且因此，在若干該等情況中，所給定之似島狀結構 130a 可具有高度/深度在大約 1-250 奈米或更大的範圍中（例如，約 100 奈米或更大）。用於似島狀結構 130a 之其他合適的幾何形狀及／或尺寸將根據所給定之應用而定，且將根據此發明而呈明顯。

依據實施例，三維半導體層 130 之似島狀結構 130a 可使用寬廣範圍之技術的任一者而被形成（例如，被沈積、被成長、等等）於成核層 120 上。例如，在若干實施例中（例如，諸如藉由第 1A 圖而予以描繪之該者），包含似島狀半導體結構 130a 之三維半導體層 130 可使用諸如，但未受限之分子束磊晶沈積（MBE）、金屬有機氣相磊晶沈積（MOVPE）、等等的處理，而由三維成長模式中之沈積或磊晶成長所形成。依據實施例，使用該等處理之三維半導體層 130 的形成可藉由調整一或多個成長參數，而予以部分地或全部地控制。例如，當設置包含複數個似島狀 GaN 結構 130a 之三維半導體層 130 時，提供以下可

係所欲的：（1）具有三甲基鎵（ $\text{Ga}(\text{CH}_3)_3$ 或 TMGa ）對氨（ NH_3 ）之低五族/三族比的氣體流；（2）低成長溫度（例如，在大約 $500\text{-}800^\circ\text{C}$ 或更低的範圍中）；及/或（3）高成長壓力（例如，在大約 100-200 托爾或更大的範圍中）。用以設置 GaN 或其他半導體材料的三維半導體層 130 之其他合適的參數範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

在若干其他的實例實施例中，包含似島狀半導體結構 130a 之三維半導體層 130 可藉由原位之圖案化而在三維模式中被迫使成長，以予以形成。例如，考慮第 1B 圖，其係依據本發明實施例之包含由複數個似島狀結構 130a 所形成的三維半導體層 130 之 IC 100 的側面橫剖面視圖，而該複數個似島狀結構 130a 係藉由原位之圖案化以予以形成。如可被觀察到的是，IC 100 可選擇地包含被設置在成核層 120 上之絕緣體層 124。在其中成核層 120 包含 AlN 的情況中，例如，絕緣體層 124 可包含諸如，但未受限之二氧化矽（ SiO_2 ）、氮化矽（ SiN_x ）、二氮化鎢（ WN_2 ）、鎢及鈦氮化物、氧化鋁（ Al_2O_3 ）、等等的絕緣體材料。用於絕緣體層 124 之其他合適的絕緣體材料將根據成核層 120 之所定的材料組成及/或 IC 100 的應用而定，且將根據此發明而呈明顯。

依據實施例，絕緣體層 124 可使用例如，寬廣範圍之技術的任一者，包含，但未受限之金屬有機氣相磊晶沈積（MOVPE）、等等，而被形成（例如，被沈積、被成長

、等等)於成核層 120 上。在若干情況中，依據實施例，可將絕緣體層 124 形成為複數個小的特徵(例如，原位之島狀物、碎片、等等)，其可幫助以確保半導體層 130 之隨後的形成係三維的(例如，由複數個似島狀半導體結構 130a 所組成)。在若干實例情況中，絕緣體層 124 之該等小的、雜湊的特徵可具有厚度(例如，高度/深度)在大約 10 奈米或更小的範圍中(例如，約 5-10 奈米或更小；約 1-5 奈米或更小；單層；等等)。由於提供該可選擇的絕緣體層 124，可致使似島狀結構 130a 成長或形成於其之該等特徵之間，如可自第 1B 圖而被觀察到地。用於絕緣體層 124 之其他合適的組態、幾何形狀、及/或厚度將根據所給定之應用而定，且將根據此發明而呈明顯。

然而，應注意的是，本申請專利發明並未受限於僅包含複數個似島狀之半導體結構 130a 之三維半導體結構 130。例如，在若干情況中，半導體層 130 可選擇性地包含複數個奈米佈線結構 130b，其形成係藉由非原位之圖案化而在三維模式中被迫使成長，如下文所討論地。例如，考慮第 1C 圖，其係依據本發明實施例之包含由複個奈米佈線 130b 所形成的三維半導體層 130 之 IC 100 的側面橫剖面視圖，而該複數個奈米佈線 130b 係藉由非原位之圖案化予以形成。如可被觀察到的是，在若干實施例中，IC 100 可選擇性地包含被設置在成核層 120 上且以一或多個縫隙特徵 126a 予以圖案化的絕緣體層 126。在其中成核層 120 包含 AlN 的情況中，例如，絕緣體層 126 可包含

諸如，但未受限之二氧化矽（ SiO_2 ）、氮化矽（ SiN_x ）、二氮化鎢（ WN_2 ）、鎢及鈦氮化物、氧化鋁（ Al_2O_3 ）、等等的絕緣體材料。用於絕緣體層 126 之其他合適的絕緣體材料將根據成核層 120 及／或半導體層 130 之所給定的材料組成及／或 IC 100 的應用而定，且將根據此發明而呈明顯。

依據實施例，絕緣體層 126 可使用例如，寬廣範圍之技術的任一者，包含，但未受限之金屬有機氣相磊晶沈積（MOVPE）、等等，而被形成（例如，被沈積、被成長、等等）於成核層 120 上。在若干情況中，依據實施例，絕緣體層 126 可以以一或多個縫隙特徵 126a 予以圖案化，其可幫助以確保半導體層 130 之隨後的形成係三維的（例如，由複數個奈米佈線 130b 所組成）。如將根據此發明而被理解地，且依據實施例，所給定之縫隙特徵 126a 的尺寸可視需要地予以客製化，且在若干實例情況中，可具有寬度在大約 1-250 奈米或更大的範圍中。在若干情況中，所給定之縫隙特徵 126a 可具有高度/深度在大約 1-250 奈米或更大的範圍中。由於提供該可選擇的絕緣體層 126，可致使奈米佈線 130b 成長或形成於縫隙特徵 126a 之間且變寬/擴展自該處，如可自第 1C 圖而被觀察到地。用於絕緣體層 126 之其他合適的組態、幾何形狀、及／或厚度將根據所給定之應用而定，且將根據此發明而呈明顯。

例如，將根據此發明而被理解的是，所給定之奈米佈

線 130b 的尺寸至少可部分地根據其中奈米佈線 130b 係由其所形成之所給定的縫隙特徵 126a 之尺寸而定。因此，在若干情況中，所給定之奈米佈線 130b 可具有寬度在大約 1-250 奈米或更大的範圍中。而且，在若干實施例中，所給定之奈米佈線 130b 可具有高度/深度在大約 1-250 奈米或更大的範圍中。用於所給定之奈米佈線 130b 之其他合適的尺寸將根據所給定之應用而定，且將根據此發明而呈明顯。

由於其組態，且依據實施例，三維半導體層 130（例如，具備其組成之複數個似島狀結構 130a、奈米佈線 130b、等等）可用以幫助降低 IC 100 的缺陷密度。為描繪之緣故，將考慮第 1D 圖，其係依據本發明實施例所組構之 IC 100 的側面橫剖面視圖。如可被觀察到的，螺紋狀差排可由於其中半導體層 130 之三維半導體結構合併/重疊的各種介面之任一者處的差排相互作用，而被彎曲/被終止（例如，予以湮滅或予以縮短）。因此，由於其組態，三維半導體層 130 可作用以制止/捕捉靠近基板 110 之螺紋狀差排缺陷（例如，在三維半導體層 130 之最先的 20-200 奈米內），而藉以防止或降低該等缺陷穿過 IC 100 而遷移至其頂部/主動層的能力。如將根據此發明而被理解地，在可被准許以遷移至 IC 100 之頂部/主動層的螺紋狀差排之數目中的降低可在 IC 100 的頂部/主動層處產生表面裂紋之密度的降低，其可依序改善或增強裝置性能、可靠度、及/或產能。而且，在若干實施例中，三維半導

體層 130 可幫助以降低 IC 100 後冷卻的拉伸應變狀態。

如前面所告知地，依據實施例，IC 100 可包含二維半導體層 140 於三維半導體層 130 上。在若干情況中，例如，二維半導體層 140 可包含諸如，但未受限之：（1）氮化鎵（GaN）；（2）氮化鋁鎵（AlGaN），具有 Al 濃度在大約 0% 至 20% 的範圍中（例如，約 10% 或更小）；及／或（3）上述任何者之組合的三族氮化物半導體材料。然而，本申請專利發明並未受限於此，且用於所給定之二維半導體層 140 的其他合適材料將根據三維半導體層 130 之所給定的材料組成及／或 IC 100 的應用而定，且將根據此發明而呈明顯。

依據實施例，二維半導體層 140 可使用寬廣範圍之技術的任一者而在由下面之三維半導體層 130 所呈現的形態上，以例如，實質二維之方式，被一層一層地形成（例如，被沈積、被成長、等等）。若干實例之合適的形成技術包含分子束磊晶沈積（MBE）、金屬有機氣相磊晶沈積（MOVPE）、等等，但並未受到限制。同時，且依據實施例，二維半導體層 140 可被設置以任何給定的厚度，如用於所給定之應用或末端使用所欲地。例如，二維半導體層 140 可在若干實施例中被設置為單層（例如，具有所使用的半導體材料之單一原子/分子的厚度），而在若干其他的實施例中，層 140 可具有厚度在大約 5 奈米至 5 微米或更大的範圍中（例如，在約 1.2-1.5 微米或更大的範圍中、或在約 5 奈米至 5 微米的範圍內之任何其他子範

圍)。用於二維半導體層 140 之其他合適的形成技術及／或厚度範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

依據實施例，使用該等處理之二維半導體層 140 的形成可藉由調整一或多個成長參數，而予以部分地或全部地控制。例如，當設置包含 GaN 的二維半導體層 140 時，提供以下可係所欲的：(1) 具有三甲基鎵 ($\text{Ga}(\text{CH}_3)_3$ 或 TMGa) 對氨 (NH_3) 之高五族/三族比的氣體流 (例如，在如前面所討論之例如，包含複數個似島狀 GaN 結構 130a 之三維半導體層 130 之形成中所使用的五族/三族比之 1 至 10 倍的範圍中)；(2) 高成長溫度 (例如，在大約 800-1100°C 或更低的範圍中)；及／或 (3) 低成長壓力 (例如，在大約 10-100 托爾或更低的範圍中)。用以設置 GaN 或其他半導體材料的二維半導體層 140 之其他合適的成長參數範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

由於其組態，依據實施例，所給定之二維半導體層 140 可幫助以恢復用於 IC 100 之表面平滑度的所欲程度 (例如，其可能已由於三維半導體層 130 之似島狀結構 130a、奈米佈線結構 130b、等等所呈現的比較粗糙之表面形態而喪失)。當與現有之設計/結構相較時，具有三維半導體層 130 及覆蓋在上面的二維半導體層 140 之 IC 100 的若干實例實施例可顯現：(1) 降低之缺陷密度；(2) 降低之表面裂紋密度；及／或 (3) 改善的 (或保存

的) 表面平滑度(例如, 結構之頂部/主動層的表面平滑度)。例如, 在若干情況中, IC 100 可顯現缺陷密度在大約 $2-3 \times 10^9/\text{cm}^2$ 的範圍中。而且, 在若干情況中, IC 100 可顯現少於或等於大約 200 裂紋/ mm^2 的表面裂紋密度(例如, 約 150 裂紋/ mm^2 或更少; 約 100 裂紋/ mm^2 或更少; 約 50 裂紋/ mm^2 或更少; 約 10 裂紋/ mm^2 或更少; 約 5 裂紋/ mm^2 或更少; 等等)。再者, 在若干情況中, IC 100 可顯現小於或等於大約 5 奈米的均方根(RMS)表面粗糙度(例如, 約 2 奈米或更小; 約 1.8 奈米或更小; 約 1.6 奈米或更小; 等等)。

多重 AlN 中間層結構

第 2A 圖係依據本發明實施例所組構之積體電路(IC) 200a 的橫剖面視圖。如可被觀察到地, IC 200a 可包含基板 110、成核層 120、及二維半導體層 140, 成核層 120 係設置在基板 110 上, 二維半導體層 140 係設置在成核層 120 上。例如, 將根據此發明而被理解的是, 上文參照第 1A 至 1D 圖所提供之用於基板 110、成核層 120、及半導體層 140 的合適材料、形成技術/處理、及組態之討論可在此被同樣地施加。如可被進一步觀察到地, 且依據實施例, 可將一或多個半導體層 150 (150a、150b、等等) 設置在半導體層 140 上(例如, 以鄰接或毗鄰方式堆疊在一起), 以及可將最終的半導體層 160' (討論於下文) 設置在最後的或最上面的該等半導體層 150 上。例

如，將根據此發明而被進一步理解的是，IC 200a 可包含來自此處所敘述的該等者之額外的、少許的、及／或不同的元件或組件（例如，在若干實施例中，IC 200a 可不包含任何半導體層 150 及／或最終的半導體層 160'），以及本申請專利發明並不打算要受限於任何特殊的 IC 組態，但可在許多應用中被使用以許許多多的組態。

依據實施例，所給定的半導體層 150（150a、150b、等等）可包含寬廣範圍之半導體材料的任一者。若干實例之合適的半導體材料可包含：（1）氮化鋁鎵（AlGa₂N）；（2）氮化鋁銻（AlInN）；（3）氮化鎵（Ga₂N）；及／或（4）上述之任何者的組合，但無需一定要受到限制。用於所給定的半導體層 150（150a、150b、等等）之其他合適的材料將根據下面的及／或鄰接的層（例如，半導體層 140、毗鄰之半導體層 150、等等）之所給定的材料組成及／或 IC 200a 的應用而定，且將根據此發明而呈明顯。

如將根據此發明而被理解的是，當 IC 200a 的溫度減少（例如，在製造處理期間向下傾斜）時，則例如，由於層 140 的半導體材料及基板 110 之熱不匹配（例如，在使用 GaN 及 Si 的若干情況中，其間之熱不匹配約可約 116% 或更大，如前面所告知地），堆疊的結構可在拉伸應力下形成。然而，一或多個半導體層 150（150a、150b、等等）的包含可用以例如，在二維半導體層 140 中誘發壓縮應力，且因此，在 IC 200a 之製造末端處（例如，在磊晶

成長後之其冷卻期間)，協助以改變結構的應力狀態。由於拉伸與壓縮應力間的平衡，在若干情況中，可完全排除或實質降低 IC 200a 之頂部/主動層中的表面裂紋。

依據實施例，所給定的半導體層 150 (150a、150b、等等) 可使用寬廣範圍之技術的任一者，而被形成 (例如，被沈積、被成長、等等) 於下面的層上。例如，在若干情況中，所給定的半導體層 150 可使用諸如，但未受限之分子束磊晶沈積 (MBE)、金屬有機氣相磊晶沈積 (MOVPE)、等等的處理，而由磊晶成長所形成。如將根據此發明而被理解地，且依據實施例，使用該等處理之所給定的半導體層 150 之形成可藉由調整一或多個成長參數，包含，但未受限之：(1) 氣體流；(2) 成長溫度；及/或 (3) 壓力，而予以部分地或全部地控制。例如，為幫助降低表面裂紋，在若干情況中，形成所給定的半導體層 150 於大約 250-1000°C 或更低之範圍中的成長溫度處 (例如，約 500-600°C；約 600-700°C；約 700-800°C；或在約 500-800°C 的範圍內之任何其他的子範圍)，可係所欲的。用以提供所給定的半導體層 150 之其他合適的技術將根據所給定之應用而定，且將根據此發明而呈明顯。

依據實施例，如用於所給定之應用或末端使用所欲地，可將所給定的半導體層 150 (150a、150b、等等) 設置以任何的厚度。在若干實施例中，例如，所給定的半導體層 150 可具有厚度在大約 1-100 奈米或更大的範圍中 (例如，約 20 奈米或更小；約 50 奈米或更小；約 80 奈

米或更小；或在約 1-100 奈米或更大的範圍內之任何其他子範圍）。在其中所給定的半導體層 150 包含具有高濃度之 Al（例如，大於約 5%）的 AlGa_N 之若干實例情況中，例如，該半導體層 150 可具有厚度在大約 1-20 奈米或更小的範圍中。在其中所給定的半導體層 150 包含具有低濃度之 Al（例如，小於或等於約 5%）的 AlGa_N 之若干實例情況中，例如，該半導體層 150 可具有厚度在大約 10-100 奈米或更小的範圍中。如將根據此發明而被理解的是，可將任何數量之半導體層 150 全部地堆疊在 IC 200a 中。在若干情況中，所給定的半導體層 150 可具有實質均勻的厚度跨越由下面的層（例如，二維的半導體層 140、毗鄰的半導體層 150、等等）所提供之形態。然而，本申請專利發明並未受限於此，如在若干其他的情況中，所給定的半導體層 150 可在該形態上被設置以非均勻或變化的厚度。例如，在若干情況中，半導體層 150 的第一部分可具有在第一範圍內之厚度，而其第二部分具有在第二、不同範圍內之厚度。用於所給定之個別的及／或堆疊的半導體層 150（150a、150b、等等）之其他合適的形成技術及／或厚度範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

在若干情況中，以及依據實施例，一或多個額外的二維半導體層可以以與 IC 200a 之該者相似的堆疊組態予以分散。例如，考慮第 2B 圖，其係依據本發明實施例而予以組構之積體電路（IC）200b 的橫剖面視圖。如可被觀

察到地，IC 200b 係以與 IC 200a 極為相同的方式予以結構，而具有實例差異在於，IC 200b 的半導體層 150（150a、150b、等等）可以以憑藉包含二維半導體層 160（160a、160b、等等）於毗鄰的半導體層 150 之間的分散組態予以設置。例如，如所欲地，可將第一個二維半導體層 160a 設置於毗鄰的半導體層 150a 及 150b 之間，可將第二個二維半導體層 160b 設置於毗鄰的半導體層 150b 及 150c 之間，等等。如可被進一步觀察到地，最終的半導體層 160' 可被設置在 IC 200b 之該等半導體層 150（150a、150b、等等）的最後者之上。例如，將根據此發明而被理解的是，IC 200b 可包含來自此處所敘述的該等者之額外的、較少的、及／或不同的元件或組件，且本申請專利發明並不打算要受限於任何特殊的 IC 組態，但可在許多應用中被使用以許許多多的組態。

依據實施例，就一或多個半導體層 160（160a、160b、160'、等等）的情況而言，上文參照第 1A-1D 圖所提供之用於二維半導體層 140 之材料、形成技術／處理、及組態的討論可被同樣地施加於此。而且，依據實施例，可將所給定的半導體層 160 設置以任何給定的厚度，如用於所給定之應用或末端使用所欲地。在若干實施例中，所給定的半導體層 160 可具有厚度在大約 10-1000 奈米或更大的範圍中。用於所給定的半導體層 160（160a、160b、160'、等等）之其他合適的材料、形成技術／處理、厚度及／或組態將根據所給定之應用而定，且將根據此發明而

呈明顯。

具有多重 AlN 中間層結構的三維及二維 GaN

在若干情況中，且依據實施例，可將 IC 100 的結構整合以 IC 200a/200b 的結構，而提供 IC 300a/300b（討論於下文），其可顯現例如：（1）降低之缺陷密度；（2）降低之表面裂紋密度（例如，無裂紋或其最小限度的存在）；及／或（3）實質平滑的頂部/主動層表面。

第 3A 圖係依據本發明實施例所組構之積體電路（IC）300a 的橫剖面視圖。如可被觀察到地，IC 300a 可包含基板 110、成核層 120、三維半導體層 130、及二維半導體層 140，成核層 120 設置於基板 110 上，三維半導體層 130 係設置於成核層 120 上，二維半導體層 140 係設置於三維半導體層 130 上，如上文在第 1A-1D 圖的情況中，所相似討論地。如將根據此發明而被理解地，上文參照第 1A-1D 圖及第 2A-2B 圖所提供之用於基板 110、成核層 120、三維半導體層 130、及二維半導體層 140 之合適的材料、形成技術/處理、及組態之討論可被同樣地施加於此。

如可由第 3A 圖所進一步觀察到地，在若干實施例中，IC 300a 可包含一或多個半導體層 150（150a、150b、等等），其係設置在二維半導體層 140 上。在若干實施例中，IC 300a 可包含最終的半導體層 160'，其係設置在該一或該多個半導體層 150 的最後者或最上面者之

上。再者，在若干實施例中，IC 300a 可包含選用的帽蓋層 170（討論於下文），其係設置在最終的半導體層 160' 上。如將根據此發明而被理解的是，IC 300a 可包含來自此處所敘述的該等者之額外的、較少的、及／或不同的元件或組件，且本申請專利發明並不打算要受限於任何特殊的 IC 組態，但可在許多應用中被使用以許許多多的組態。

第 3B 圖係依據本發明實施例而予以組構之積體電路（IC）300b 的橫剖面視圖。如可被觀察到地，IC 300b 係以與 IC 300a 極為相同的方式予以組構，而具有實例差異在於，IC 300b 的半導體層 150（150a、150b、等等）可以以憑藉包含二維半導體層 160（160a、160b、等等）於毗鄰的半導體層 150 之間的分散組態予以設置。例如，如所欲地，可將第一個二維半導體層 160a 設置於毗鄰的半導體層 150a 及 150b 之間，可將第二個二維半導體層 160b 設置於毗鄰的半導體層 150b 及 150c 之間，等等。如可被進一步觀察到地，最終的半導體層 160' 可被設置在 IC 300b 之該等半導體層 150（150a、150b、等等）的最後者之上。仍進一步地，IC 300b 可包含選用的帽蓋層 170（討論於下文），其係設置在最終的半導體層 160' 上。例如，將根據此發明而被理解的是，IC 300b 可包含來自此處所敘述的該等者之額外的、較少的、及／或不同的元件或組件，本申請專利發明並不打算要受限於任何特殊的 IC 組態，但可在許多應用中被使用以許許多多的組

態。

如前面所告知地，且如自第 3A-3B 圖可被觀察到地，IC 300a/300b 可選用地包含帽蓋層 170，其係設置在最終的半導體層 160'上。如將根據此發明而被理解地，且依據實施例，視所欲地，選用的帽蓋層 170 可予以客製化，以供 IC 300a/300b 之所給定的應用或末端使用之用。例如，在若干情況中（例如，諸如在電子裝置應用中），可配置包含氮化鋁銦（AlInN）或 AlGaIn 的帽蓋層 170。在若干其他的情況中（例如，諸如用於光電子裝置應用），可配置包含氮化銦鎵（InGaIn）或 AlGaIn 的帽蓋層 170。用於所給定之選用帽蓋層 170 的其他合適材料將根據所給定之應用而定，且將根據此發明而呈明顯。

依據實施例，可使用寬廣範圍之技術的任一者而形成（例如，沈積、成長、等等）選用的帽蓋層 170 於最終的半導體層 160'上。若干實例之合適的形成技術包含分子束磊晶沈積（MBE）、金屬有機氣相磊晶沈積（MOVPE）、等等，但並未受到限制。同時，且依據實施例，視所欲地，可以以任何給定的厚度配置選用的帽蓋層 170，以供所給定的應用或末端使用之用。在若干實施例中，選用的帽蓋層 170 可具有厚度在大約 1-50 奈米或更大的範圍中（例如，約 2-25 奈米或更大，或在約 1-50 奈米的範圍內之任何其他子範圍）。在若干情況中，選用的帽蓋層 170 可具有實質均勻的厚度橫跨由下面之最終半導體層 160'所提供的形態。惟，本申請專利發明並未受

限於此，如在若干其他的情況中，選用的帽蓋層 170 可以以非均勻的厚度或變化的厚度而被設置在該形態上。例如，在若干情況中，選用的帽蓋層 170 之第一部分可具有厚度在第一範圍內，而其第二部分具有厚度在第二、不同的範圍內。用於選用的帽蓋層 170 之其他合適的形成技術及／或厚度範圍將根據所給定之應用而定，且將根據此發明而呈明顯。

實例系統

第 4 圖描繪依據本發明實例實施例之實施以積體電路結構或裝置的計算系統 1000，該等積體電路結構或裝置係藉由本文所揭示之一或多個缺陷密度及／或裂紋密度降低技術而予以形成。如可被觀察到地，計算系統 1000 收容插件板 1002。插件板 1002 可包含若干組件，包含，但未受限之處理器 1004 及至少一通訊晶片 1006，其各者可被實體及電性耦接至插件板 1002，或被整合於其中。如將被理解的是，插件板 1002 可係例如，任何印刷電路板，不論是否主機板、安裝在主機板上的子板、或系統 1000 的單一板、等等。根據其應用，計算系統 1000 可包含一或多個其他的組件，其可以或可能未實體及電性地耦接至插件板 1002。該等其他組件包含揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編

碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、陀螺儀、揚聲器、相機、及主儲存裝置（諸如硬碟驅動器、小型碟片（CD）、數位多功能碟片（DVD）、及其類似物），但並未受到限制。包含於計算系統 1000 中之該等組件的任一者可包含依據本發明之實例實施例之一或多個積體電路結構或裝置，該等積體電路結構或裝置係藉由本文所揭示之一或多個缺陷密度及／或裂紋密度降低技術而予以形成。在若干實施例中，多重功能可能可被整合至一或多個晶片內（例如，請注意的是，通訊晶片 1006 可係處理器 1004 的一部分，或可被整合至處理器 1004 內）。

通訊晶片 1006 致能無線電通訊，用於資料至計算系統 1000 及來自計算系統 1000 之資料的轉移。“無線電”之用語及其衍生之用語可被使用以敘述電路、裝置、系統、方法、技術、通訊頻道、等等，而可透過非固態媒體之調變電磁輻射的使用以通訊資料。該用語並未暗指相關聯的裝置不包含任何佈線，雖然在若干實施例中，它們可不包含。通訊晶片 1006 可實施許多無線電標準或協定的任一者，包含 Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生物、以及被指明為 3G、4G、5G、及以上之任何其他的無電線協定，但並未受到限制。計算系統 1000 可包含

複數個通訊晶片 1006。例如，第一通訊晶片 1006 可予以專用於諸如 Wi-Fi 及藍牙之較短距離無線電通訊，以及第二通訊晶片 1006 可被專用於諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、及其類似者之較長距離無線電通訊。

計算系統 1000 的處理器 1004 包含被封裝於處理器 1004 內之積體電路晶粒。在本發明之若干實施例中，該處理器的積體電路晶粒包含板載記憶體電路，其係實施以藉由一或多個缺陷密度及／或裂紋密度降低技術而予以形成之一或多個積體電路結構或裝置，如本文多態樣敘述地。“處理器”之用語可意指任何裝置或部分之裝置，其處理例如，來自暫存器及／或記憶體之電子資料，以轉換該電子資料成為可被儲存於暫存器及／或記憶體中之其他的電子資料。

通訊晶片 1006 亦可包含被封裝於該通訊晶片 1006 內之積體電路晶粒。依據若干該等實例實施例，通訊晶片的積體電路晶粒包含如本文所敘述之由一或多個缺陷密度及／或裂紋密度降低技術所形成之一或多個積體電路結構或裝置。如將根據本發明而被理解地，請注意的是，多重標準之無線功能可予以直接整合至處理 1004 之內（例如，其中任何晶片 1006 的功能係整合至處理器 1004 之內，而非具有分離的通訊晶片）。進一步地，請注意的是，處理器 1004 可係具有該等無線功能之晶片組。簡而言之，可使用任何數目之處理器 1004 及／或通訊晶片 1006。同樣

地，任一個晶片或晶片組可具有被整合於其中之多重功能。

在種種實施中，計算裝置 1000 可係膝上型個人電腦、小筆電、筆記型個人電腦、智慧型手機、平板電腦、個人數位助理（PDA）、超級行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜帶式音樂播放器、數位錄影機、或可處理資料或使用如本文多態樣敘述之藉由一或多個缺陷密度及／或裂紋密度降低技術而予以形成的一或多個積體電路結構或裝置之任何其他的電子裝置。

許許多多的實施例將根據此發明而呈明顯。本發明之一實例實施例提供積體電路，其包含結晶矽基板、成核層、及第一半導體層，成核層係形成於基板上，第一半導體層係形成於成核層上，第一半導體層包含三維氮化鎵（GaN）層及二維 GaN 層，三維氮化鎵（GaN）層係在成核層上且具有複數個三維半導體結構，二維 GaN 層係在三維 GaN 層上。在若干情況中，成核層包含氮化鋁（AlN）、氮化鋁鎵（AlGaN）、及／或上述任何者之組合的至少一者，且該積體電路進一步包含圖案化的絕緣層於成核層上，圖案化的絕緣層包含二氧化矽（SiO₂）、氮化矽（SiN_x）、二氮化鎢（WN₂）、鎢和鈦氮化物、氧化鋁（Al₂O₃）、及／或上述任何者之組合的至少一者。在若干情況中，積體電路進一步包含第二半導體層，係形成於第一半導體層上或在第一半導體層內，其中第二半導體

層包含氮化鋁鎵 (AlGaN) 於二維 GaN 層上及 GaN 層於該 AlGaN 層上。在若干該等情況中，第二半導體層包含 AlGaN 及 GaN 之多重交變層。在若干其他之該等情況中，第二半導體層係在二維 GaN 層內。在若干情況中，三維 GaN 層包含複數個似島狀半導體結構及／或複數個奈米佈線的至少一者。在若干情況中，基板具有 [100] 的晶體取向。在若干情況中，積體電路進一步包含帽蓋層，其包含 AlGaN、氮化鋁銦 (AlInN)、及／或氮化銦鎵 (InGaN) 的至少一者。在若干實例情況中，積體電路顯現大約 $3 \times 10^9 / \text{cm}^2$ 或更小之缺陷密度、大約 200 裂紋 / mm^2 或更少之表面裂紋密度、及／或大約 5 nm 或更小之均方根 (RMS) 表面粗糙度的至少一者。在若干情況中，提供包含該積體電路的系統單晶片。在若干情況中，提供包含該積體電路的行動計算系統。

本發明之另一實例實施例提供積體電路，其包含結晶矽基板、成核層、第一半導體層、及第二半導體層，成核層係形成於基板上，第一半導體層係形成於成核層上，第一半導體層包含二維氮化鎵 (GaN) 層於成核層上，第二半導體層係形成於第一半導體層上或在第一半導體層內，其中第二半導體層包含氮化鋁鎵 (AlGaN) 層在該二維 GaN 層上及 GaN 層在該 AlGaN 層上。在若干情況中，成核層包含氮化鋁 (AlN)、氮化鋁鎵 (AlGaN)、及／或上述任何者之組合的至少一者。在若干情況中，第二半導體層包含 AlGaN 及 GaN 之多重交變層。在若干情況中，

第二半導體層係在二維 GaN 層內。在若干情況中，基板具有 [100] 的晶體取向。在若干情況中，積體電路進一步包含帽蓋層，其包含 AlGaIn、氮化鋁銦 (AlInN)、及／或氮化銦鎵 (InGaIn) 的至少一者。在若干實例情況中，積體電路顯現大約 $3 \times 10^9 / \text{cm}^2$ 或更小之缺陷密度、大約 200 裂紋 / mm^2 或更少之表面裂紋密度、及／或大約 5 nm 或更小之均方根 (RMS) 表面粗糙度的至少一者。在若干情況中，提供包含該積體電路的系統單晶片。在若干情況中，提供包含該積體電路的行動計算系統。

本發明之另一實例實施例提供積體電路之形成方法，該方法包含形成成核層於結晶矽基板上，以及形成第一半導體層於成核層上，第一半導體層包含三維氮化鎵 (GaN) 層於成核層上及二維 GaN 層於三維 GaN 層上或二維 GaN 層於成核層上，三維 GaN 層具有複數個三維半導體結構，其中，回應包含二維 GaN 層於形成核層上的第一半導體層，方法進一步包含形成第二半導體層於第一半導體層上或在第一半導體層內，其中第二半導體層包含氮化鋁鎵 (AlGaIn) 層於二維 GaN 層上及 GaN 層於 AlGaIn 層上。在若干情況中，該方法進一步包含在形成第一半導體層之前，形成圖案化的絕緣層於成核層上，其中圖案化的絕緣層包含二氧化矽 (SiO_2)、氮化矽 (SiN_x)、二氮化鎢 (WN_2)、鎢和鈦氮化物、氧化鋁 (Al_2O_3)、及／或上述任何者之組合的至少一者。在若干情況中，形成第一半導體層包含原位之圖案化處理。在

若干其它情況中，形成第一半導體層包含非原位之圖案化處理。在若干情況中，至少一半導體層係使用分子束磊晶（MBE）處理及／或金屬有機氣相磊晶（MOVPE）處理的至少一者，而予以形成。

本發明實施例之上述說明已針對解說及敘述之目的而予以呈現。其並非詳盡無遺或要限制本發明於所揭示之精確形式。根據此揭示，許多修正及變化係可能的。所打算的是，本發明的範疇不應受限於此詳細說明，而是應藉由附加於此申請專利範圍予以限制。

【符號說明】

100, 200a-b, 300a-b：積體電路(IC)

110：基板

120：成核層

130：三維半導體層

140：二維半導體層

130a：似島狀結構

130b：奈米佈線

124, 126：絕緣體層

126a：縫隙特徵

150, 150a, 150b, 150c, 160', 160a-b：半導體層

170：帽蓋層

1000：計算系統

1002：插件板

1004 : 處理器

1006 : 通訊晶片

申請專利範圍

1. 一種積體電路，包含：

結晶矽基板；

在該結晶矽基板上的成核層；以及

形成於該成核層上的第一半導體層，該第一半導體層包含：

在該成核層上且包含複數個離散的三維半導體結構的非連續三維氮化鎵（Ga₂N）層；及

在該三維 Ga₂N 層上的二維 Ga₂N 層。

2. 如申請專利範圍第 1 項之積體電路，其中：

該成核層包含氮化鋁（AlN）、氮化鋁鎵（AlGa₂N）、及／或上述任何者之組合的至少一者，且

該積體電路進一步包含圖案化的絕緣體層於該成核層上，該圖案化的絕緣體層包含二氧化矽（SiO₂）、氮化矽（SiN_x）、二氮化鎢（WN₂）、鎢和鈦氮化物、氧化鋁（Al₂O₃）、及／或上述任何者之組合的至少一者。

3. 如申請專利範圍第 1 項之積體電路，進一步包含形成於該第一半導體層上的第二半導體層，該第二半導體層包含：

於該二維 Ga₂N 層上的氮化鋁鎵（AlGa₂N）層；以及

於該 AlGa₂N 層上的 Ga₂N 層。

4. 如申請專利範圍第 3 項之積體電路，其中該第二半導體層包含 AlGa₂N 及 Ga₂N 之多重交變層。

5. 如申請專利範圍第 1 項之積體電路，其中該非連

續三維 GaN 層包含複數個似島狀半導體結構及／或複數個奈米佈線的至少一者。

6. 如申請專利範圍第 1 項之積體電路，其中該結晶矽基板具有[100]的晶體取向。

7. 如申請專利範圍第 1 項之積體電路，進一步包含帽蓋層，該帽蓋層包含 AlGa_N、氮化鋁銦（AlInN）、及／或氮化銦鎵（InGa_N）的至少一者。

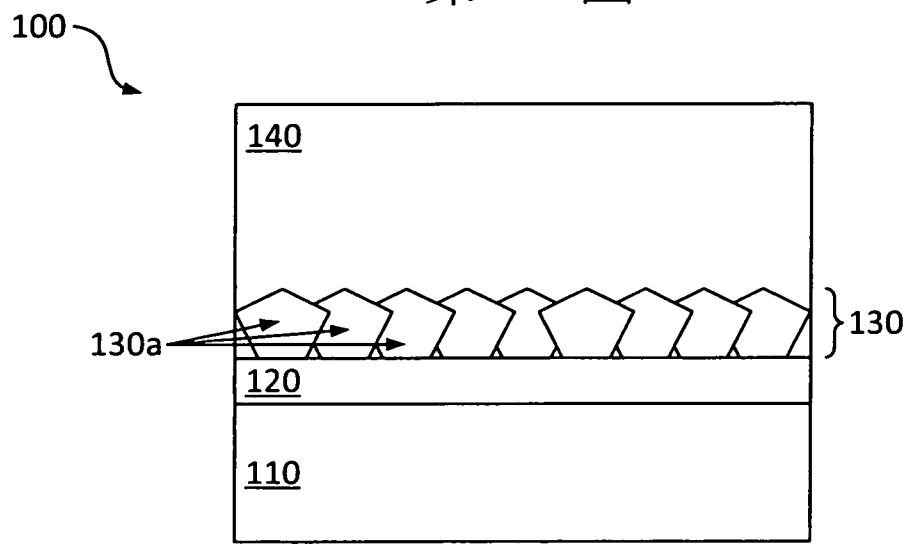
8. 如申請專利範圍第 1 項之積體電路，其中該積體電路顯現大約 $3 \times 10^9 / \text{cm}^2$ 或更小之缺陷密度、大約 200 裂紋/ mm^2 或更少之表面裂紋密度、及／或大約 5 nm 或更小之均方根（RMS）表面粗糙度的至少一者。

9. 一種系統單晶片，包含如申請專利範圍第 1 至 8 項中任一項之積體電路。

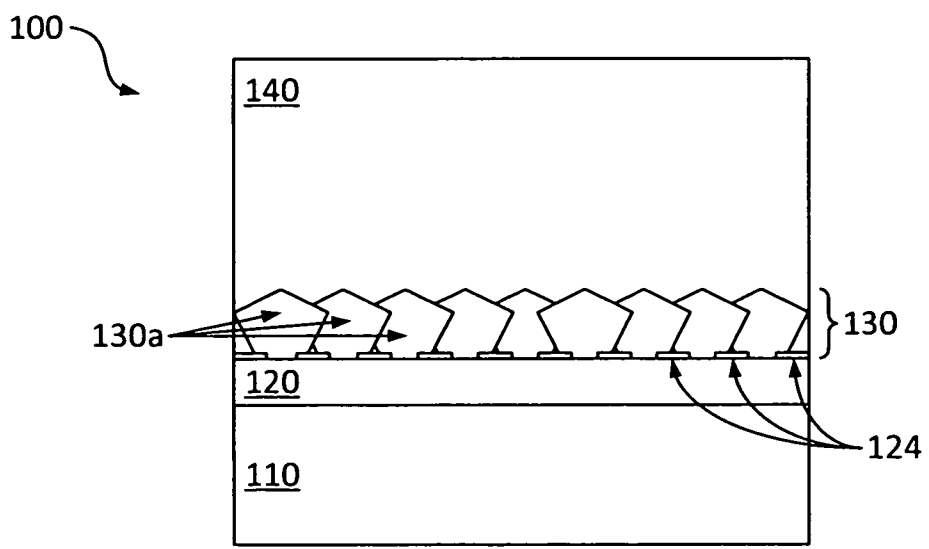
10. 一種行動計算系統，包含如申請專利範圍第 1 至 8 項中任一項之積體電路。

圖式

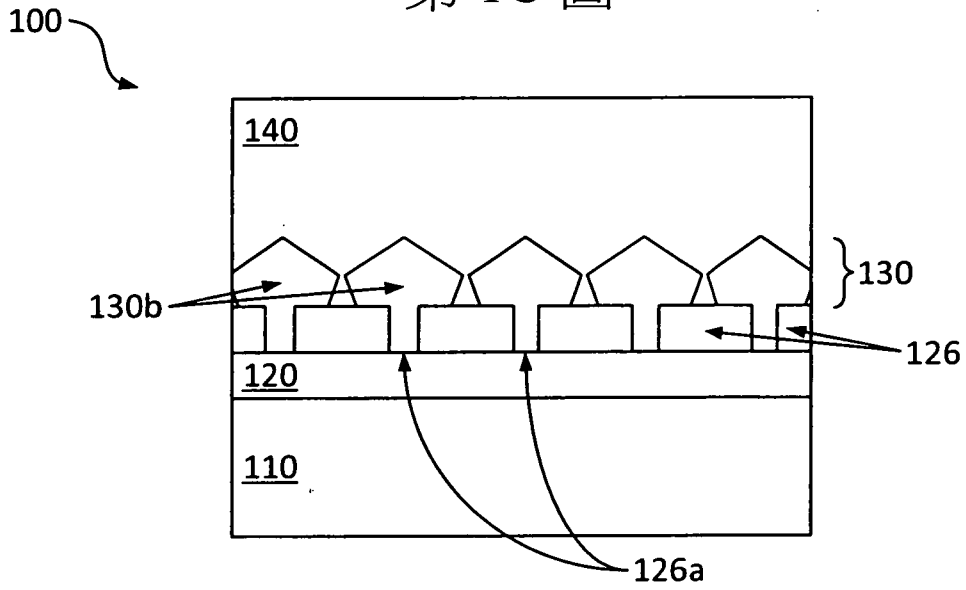
第 1A 圖



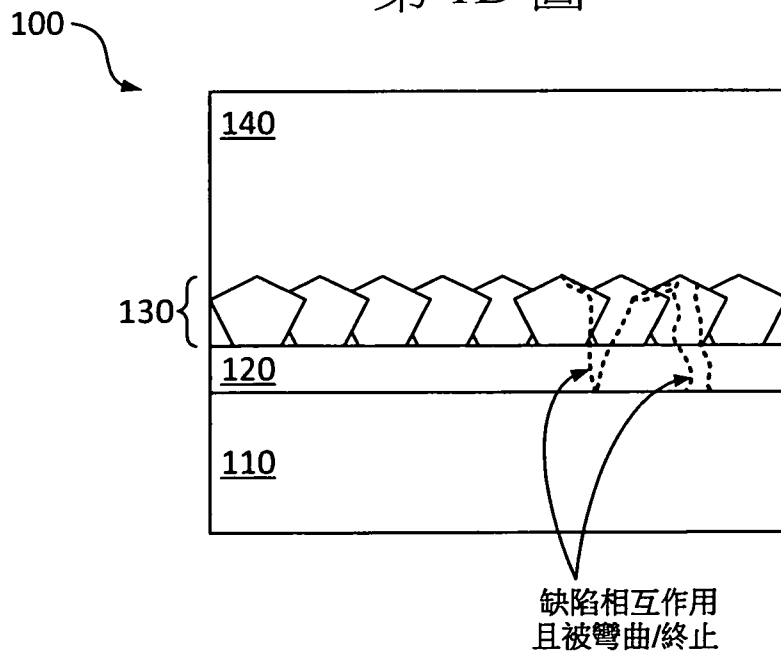
第 1B 圖



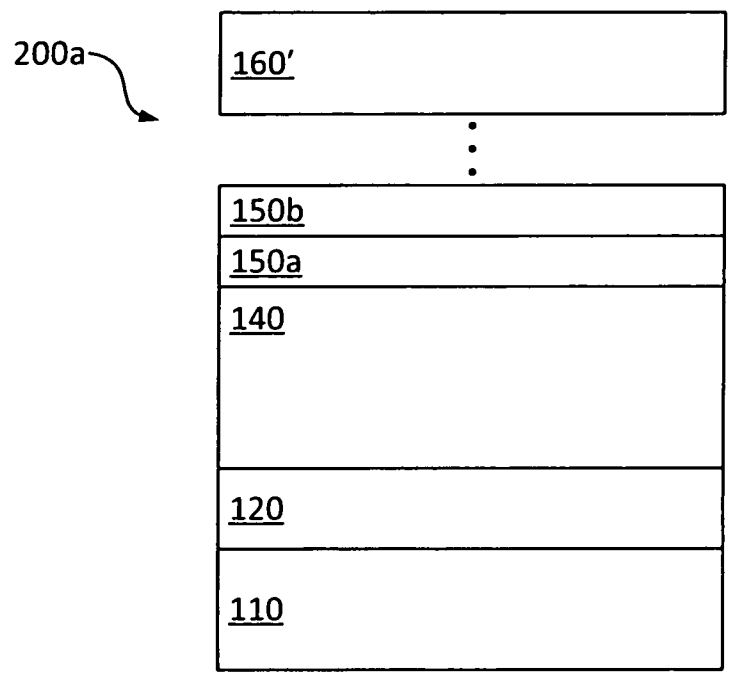
第 1C 圖



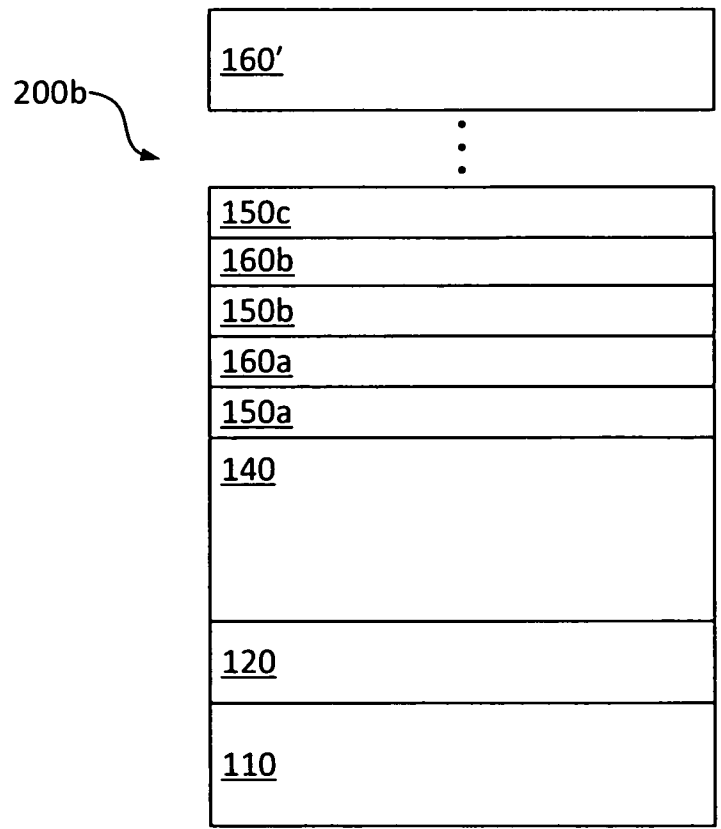
第 1D 圖



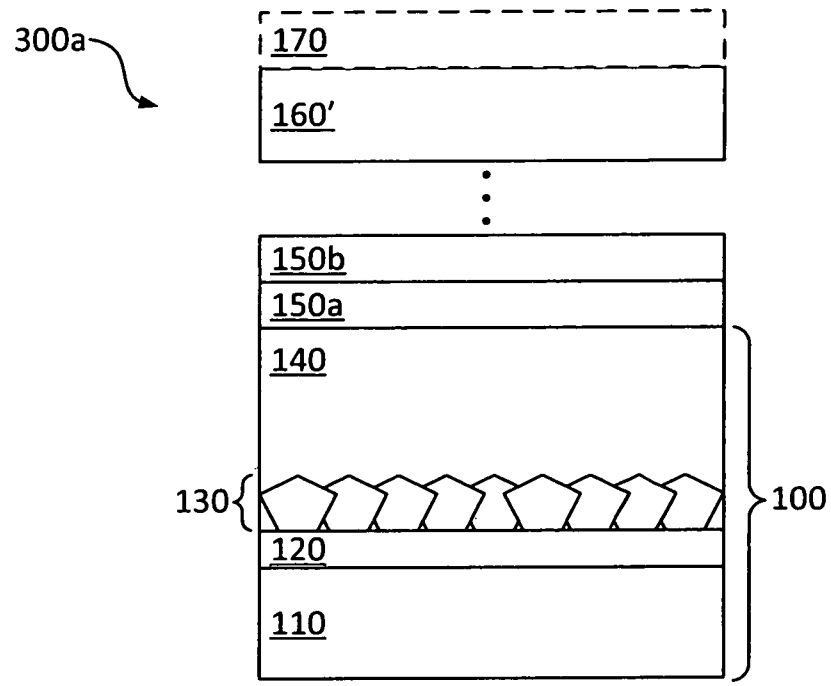
第 2A 圖



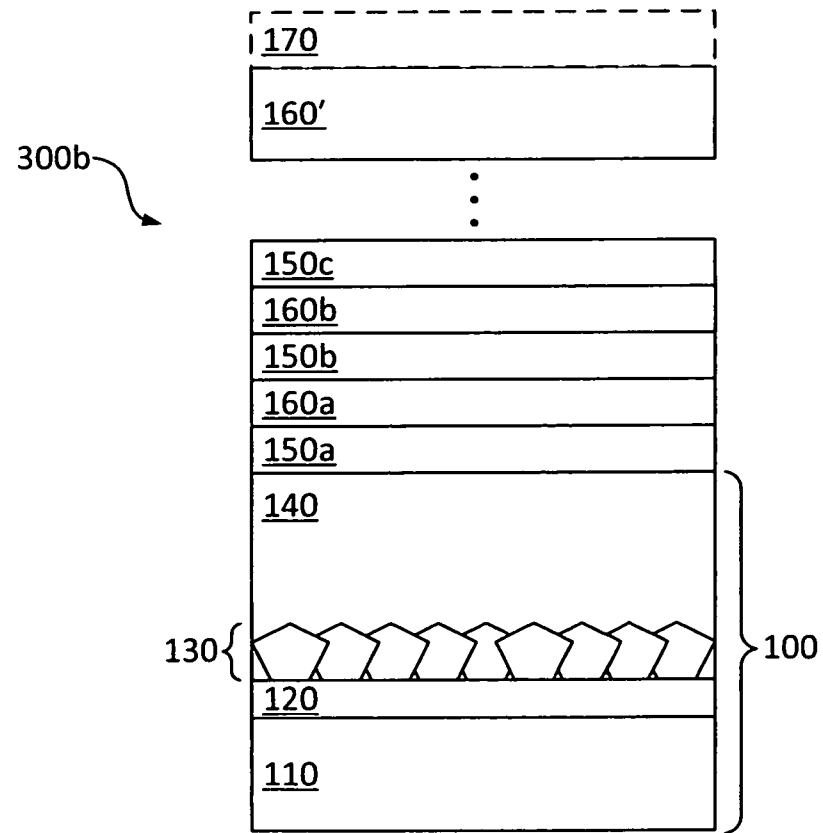
第 2B 圖



第 3A 圖



第 3B 圖



第 4 圖

