

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95137224

※申請日期：95.10.5

※IPC分類：H01L 21/8239 (2006.01)

## 一、發明名稱：(中文/英文)

單一電晶體型和巨集電晶體型之半導體裝置的製造方法與結構  
**Method and Structure for a 1T-RAM Bit Cell and Macro**

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

代表人：(中文/英文) 張忠謀/CHANG, CHUNGMOU

住居所或營業所地址：(中文/英文)

新竹市新竹科學工業園區力行六路八號

NO.8, LI-HSIN RD.6, SCIENCE-BASED INDUSTRIAL PARK,  
HSIN-CHU, TAIWAN 300, R.O.C.

國籍：(中文/英文)

中華民國 R.O.C.

## 三、發明人：(共 5 人)

姓名：(中文/英文)

1. 呂昇達/ LIU, SHENGDA

2. 陳宏瑋/ CHEN, HUNGWEI

3. 張長昀/ CHANG, CHANGYUN

4. 鐘堂軒/ ZHONG, TANGXUAN

5. 徐祖望/ HSU, JUWANG

國籍：(中文/英文)

1. 中華民國 R.O.C.

2. 中華民國 R.O.C.

3. 中華民國 R.O.C.

4. 中華民國 R.O.C.

5. 中華民國 R.O.C.

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、2005/10/7、11/246,318

2.

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明

### 【發明所屬之技術領域】

本發明是有關於一種半導體裝置的製造與結構，且特別是有關於一種整合裝置的製造方法，其中此整合裝置包含有平面金屬氧化電晶體、一或多個金屬/絕緣體/金屬(Metal-Insulator-Metal; MIM)電容器、和/或一或多個鰭式場效電晶體(finFET)，以形成記憶體記憶單元，例如：單一電晶體位元晶胞、和包含一或多個記憶單元之巨集晶胞(Macro Cells)。

### 【先前技術】

於半導體的技藝中，所希望的是將 RAM(Random Access Memory; 隨機存取記憶體)儲存裝置加入至積體電路上，此積體電路亦包含有其他電路，例如：微處理器電路(Microprocessor Circuits; MPUs)、微控制器電路(Micro Controller Circuits; MCUs)、數位處理器(Digital Signal Processors; DSPs)、使用儲存資料或參數資訊的射頻或濾波器、類比數位轉換器和其類似裝置，或其他需要資料或程式儲存裝置來被可程式化或邏輯電路快速存取的高級電路。在習知技藝中，此種需求係藉由所謂「嵌入(Embedded)式」RAM電路來達成，此嵌入式 RAM 電路可至少包含多電晶體 SRAM(Static Access Memory; 靜態隨機存取記憶體)記憶晶胞，或電晶體加電容性儲存晶胞，而有時每一個儲存晶胞係由一個電晶體和一電容所形成，即所謂的 1T-RAM 位元晶胞。例如：

Leung 等人於西元 2000 年 IEEE International ASIC Conference and Exhibits, 會議記錄第 32 至 36 頁的論文(題目為“The Ideal SoC Memory: 1T-SRAM”)中描述到具有一電容之 1T-儲存晶胞的應用，此 1T-儲存晶胞並使用透明(隱藏)更新技術來建構“SRAM”記憶晶胞。

具有嵌入式 RAM 電路之半導體裝置可分為不同的區域，以讓相容但不相同之製程步驟和材料被用來建構具有不同物理特性的裝置，例如：一種 BiCMOS(雙載子互補式金屬氧化半導體)半導體裝置之週邊電路包括有大型驅動電路，當內部或核心邏輯電路僅為 CMOS 技術時，此 BiCMOS 半導體裝置可包含用以驅動緩衝區之雙載子電晶體，此 CMOS 技術係實施在平面技術中。在其他習知製程中，其他的嵌入式電路可被製成 SOI(Silicon On Insulator; 絕緣層上有矽)或 SIMOX (Separation by Implantation Oxygen; 氧植入隔離)裝置，其係位於平面電路上，而平面電路係形成於矽基材之表面上。此些整合或嵌入式技術需被使用來設置系統在積體電路上(SOICs)或系統在晶片上(SOC); 或建構目前正在設計或日後將要設計之高度積集的微處理器和信號處理器。

電容為半導體裝置中用以儲存電荷的元件。某些位準之儲存電荷的存在或消失可代表資料值，例如：資料值‘0’和‘1’係用於典型之二進制電路中。在半導體記憶裝置、或包含有嵌入式記憶陣列之半導體積體電路的一部分中，可使用電容為資料儲存元件，此資料儲存元件的讀取和/或寫入係透過存取電晶體來進行，而此存取電晶體係耦接電容儲存元件至位

元線，此位元線可用來提供儲存用之寫入資料；或在讀取模式中感測儲存電荷並將此電荷譯成讀取資料。在某些記憶體陣列中，電晶體和電容係被排列形成 1T-RAM 晶胞。最受歡迎的記憶體形式為「靜態」或 SRAM，而許多不同的記憶晶胞均可製作成 SRAM 記憶晶胞，但這些記憶晶胞通常需使用 6 個或甚至 8 個電晶體來建構，比起類似之電容儲存記憶晶胞，其實質佔用較多的面積。電容可能需透過自記憶晶胞讀取儲存電荷和將儲存電荷寫回至記憶晶胞來被定期更新。此種情形之記憶晶胞一般係被稱為「動態」RAM 或 DRAM 記憶晶胞。然而，若電容係用於 1T-RAM 之位元晶胞，其中電容所需之更新相當不頻繁，故可透過自動電路板上電路而讓電容的更新動作不被得知，並在其他操作時進行(一種所謂「隱藏」(Hidden)或「透明」(Transparent)更新)，其可稱為擬靜態(Pseudo-static) RAM 記憶晶胞或正好是 1T-RAM(單一電晶體 RAM)位元晶胞。

與多電晶體型 SRAM 記憶晶胞相較，1T-RAM 位元晶胞之一大優點為其設置 1 面積小，故可於小矽面積中提供更多的記憶容量。對系統在晶片上(SoC 或 SOIC)或應用導向積體電路(Application Specific Integrated Circuit; ASIC)而言，此記憶晶胞面積的優點在嵌入式 RAM 陣列中係特別重要。以下列舉三個美國專利案為本發明之參考：Tzeng 等人之美國專利第 6,638,813 號(名稱為“Method of Forming a Composite Spacer to Eliminate Polysilicon Stringers Between Elements in a Pseudo SRAM Cell”)、Huang 等人之美國專利第 6,528,422

號(名稱為“Method to Modify 0.25  $\mu$  M 1T-RAM by Extra Resist Protect Oxide(RPO) Blocking”)、和 Chen 等人申請之美國專利第 6,420,226 號(名稱為“Method to Defining a Buried Stack Capacitor Structure for a One Transistor RAM Cells”)，這些專利案皆讓渡給本發明之受讓人，並描述使用電容儲存元件之各種 1T-RAM 位元晶胞。

巨集晶胞可製造成包含有 1T-RAM 位元晶胞、及如驅動電路、緩衝區、時脈扇出電路、不需電容之其他週邊電路的其他邏輯電路；這些其他相關電路所使用的電晶體可與儲存記憶晶胞相同或相異；此些巨集晶胞係被組織在一起以成為功能性電路，而形成應用導向積體電路，藉由提供已驗證和重覆使用之巨集晶胞形式的預設功能，可大幅地減少具有新或修正功能之積體電路的設計時間。巨集晶胞可簡單為少數幾個電晶體、或複雜成嵌入式 RAM、ROM、快閃(Flash)或 EEPROM (Electrically Erasable Programmable Read Only Memory；電性可抹除可程式化唯讀記憶體)陣列、暫存器檔案或 FIFO(First In First Out；先進先出)記憶緩衝區；或巨集晶胞可為包含有嵌入式 ROM、RAM 和可程式化處理器之完整數位訊號處理器(DSP)裝置。

半導體裝置中之電容係透過提供至少兩個導電板來形成，此些導電平板係被絕緣層或介電層、或多層絕緣材料層所分離。電容量、或針對兩導電板間之施加電位電容所存之電荷量，係根據例如導電板面積、兩導電板間之距離和兩導電板間之絕緣體的介電常數等許多參數來決定。除做為儲存

元件外，嵌入於積體電路之電容尚有許多其他應用，包括有 RC(電阻電容)電路中之元件，用於濾波電路、類比-數位轉換器和數位-類比轉換器和交換式電容網路，並可與應用於其他使用電容量做為電路元件之任何電路排列。

MIM(Metal-Insulator-Metal; 金屬/絕緣體/金屬)電容為儲存電容之特別重要的類型。MIM 電容係由堆疊材料所形成，而此堆疊材料包含有金屬或多晶矽之第一電極或第一導電板、含有包括高 K 介電材料之各種介電質的絕緣層、可為金屬或多晶矽材料之第二電極或第二導電板。MIM 電容對於整合嵌入式應用的優點為：MIM 電容可形成於矽基材上之層間絕緣層，因而可有效地提供 MIM 電容而不會消耗基材本身之有用的主動區域。此外，MIM 電容可被提供在基材的上方，而可設置平面 MOS 電晶體裝置於 MIM 電容的下方，或若使用 SOI 或 SIMOX 方式，甚至可置於 MIM 電容的上方。經常，此些導電板之至少一者係被形成於半導體裝置之金屬化層或金屬內連線層中。另一電容導電板則可被形成於一般較接近基材表面之多晶矽層或多晶(Poly)層中；當然，MIM 電容亦可形成在位於遠離基材上方的材料層中。平面或「基材內」電容亦可見於 Tu 等人所申請之美國專利第 6,720,232 號(名稱為“Method of Fabricating an Embedded DRAM for Metal-Insulator-Metal (MIM) Capacitor Structure”)，此專利案係讓渡於本發明之專利受讓人，在此亦列為本發明之參考，其係描述形成 MIM 電容於 RAM 位元晶胞之基材上方之層間絕緣層中的方法。

由習知技術可知，若以織構導電板來增加導電板的有效面積，可增加整合電容的電容量。已知可使用各種材料和技術來製造出用於電容之粗糙或具有特定結構的表面，例如：可使用沉積和特殊回火、或化學處理或沉積後蝕刻材料，來產生所謂的半球狀晶粒(Hemispherical Grain Material; HGS)材料。這些方法皆可應用於 MIM 電容。

例如：可使用絕緣層中之各種所謂的高介電常數(k)材料來進一步加強電容效能。習知使用在半導體技術上的介電材料為二氧化矽，其介電常數(k)為 3.9。介電常數大於 3.9 之介電材料可稱為“高介電常數(k)”之介電材料。例如：Ding 等人所發表之論文(“High-Performance MIM Capacitor using ALD High-*k* HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> Laminate Dielectrics”，發表於 IEEE Electron Device Letters, Vol. 24, No. 12, December 2003, pp.730-732)，其係描述具有由兩種材料所形成之介電層的 MIM 電容，此兩種材料為氧化鈦(HfO<sub>2</sub>)和氧化鋁(Al<sub>2</sub>O<sub>3</sub>)，其係使用原子層沉積技術(Atomic Layer Deposition; ALD)來製成類似薄層之層壓“三明治”結構。Yang 等人所發表之論文(“High-Density MIM Capacitors using AlTaO<sub>x</sub> Dielectrics”，發表於 IEEE Electron Device Letters, Vol. 24, No.5, May 2003, pp. 306-308)係類似地描述於積體電路之 MIM 儲存電容中使用氧化鋁鈮(AlTaO<sub>x</sub>)介電材料而獲得之所欲得到的結果。

第 1 圖係繪示習知包含 MIM 儲存電容位元晶胞之半導體裝置 100 的剖面示意圖(其係用於圖示說明，而其元件並未按比例繪示，故僅具描述性)。半導體裝置 100 包含具有記憶體

區和邏輯區之基材 101。基材 101 可為例如具有其他習知之晶格方向 (Crystal Orientation) 的矽基材、矽鍺基材或用於半導體技藝之其他習知基材。此矽基材可為例如於 SOI 製程中沉積或長成於絕緣體上的矽層。

基材係具有形成於其中之摻雜井區，如第 1 圖所示之 N 型井 103 和 P 型井 105。可使用各種習知之半導體製程步驟來形成這些摻雜井，包括摻雜離子之離子佈植法和其後之熱退火，或其他習知製程步驟。例如：這些井可在形成剖面所示之其他特徵前形成；或於沉積閘介電層後，使用高能量離子穿透層之植入法來形成。如此技藝所習知，週期表之第五族中之一或多個元素可做為形成 N 型井之摻質。亦如此技藝所習知，週期表之第三族中之一或多個元素則可做為形成 P 型井之摻質。如此技藝所習知，亦可植入惰性材料以改善元件之電性特性。

淺溝渠隔離 (Shallow Trench Isolation; STI) 區 107 係形成於基材中，且具有比 N 型井 103 和 P 型井 105 稍淺的深度。如習知技藝所知，淺溝渠隔離區 107 提供許多優點：包括由淺溝渠隔離區 107 所分開之半導體區域的電性隔離。淺溝渠隔離區 107 可填充有例如高密度電漿 (High Density Plasma; HDP) 氧化物材料之絕緣材料。

複數個電晶體係形成於基材 101 中和上，邏輯區中之電晶體 113 和 115 形成平面 MOS 電晶體，其可用於行各種邏輯或電性功能。電晶體 113 係具有形成於 N 井 103 中之源極區和汲極區的 P 通道元件，此源極區和汲極區係被覆蓋有閘極

介電層或氧化層之通道所隔離，而平面電晶體 115 則係具有形成於 P 井 105 中之源極區和汲極區的 N 道通元件，此源極區和汲極區係被覆蓋有閘極介電層或氧化層之通道所隔離。每一個平面電晶體 113 和 115 亦具有多晶矽或金屬閘極端，且於第 1 圖中，源極區、汲極區和閘極區皆繪示有降阻抗之矽化鈦層，此矽化鈦層係覆蓋或束縛源極、汲極和閘極，此為可造成較佳元件效能的特徵選項。藉由形成於層間氧化層 153、155 和 157 中之介層堆疊窗 (Via Stack) 131，淺溝渠隔離區 107 可提供讓導電金屬層 151 接觸多晶矽導體 111 的連接處。導電金屬層 149 係藉由延伸穿過層間氧化層 153、155 和 157 之介層堆疊窗 129 而電性耦接至 N 型通道的平面電晶體 115。電晶體 113 和 115 圍一 P 通道和 N 道組之 CMOS 邏輯電晶體，並可形成例如反向器 (Inverter)，但是亦可分開使用；或如此技藝所習知，改變金屬材料層的連接處以做為二極體、開關電晶體或產生其他功能。

形成於記憶體區之 N 型井 103 中的電晶體 119 至少包含如第 1 圖所示之 RAM 儲存晶胞的存取電晶體。雖第 1 圖係繪示單一存取電晶體和電容，但實際裝置可具有數千個此些晶胞於典型的設置中。MIM 電容 121 係形成於基材 101 上之層間氧化層 153 和 155 中，並具有穿過層間氧化層 157 的接觸插塞 123，用以提供電性接觸至 P 通道電晶體 119 之源極區 / 汲極區。此電容係 MIM 電容或 MIS (Metal-Insulator-Semiconductor；金屬 / 絕緣體 / 半導體) 電容，其係形成為如圖所示之垂直電容。接觸插塞 123 係提供電性

接觸至 MIM 電容的底導電板，且介層窗 177 係電性接觸至 MIM 電容的頂導電板，其係電性耦接至金屬導電層 143。

如第 1 圖所示之習知裝置係提供平面邏輯電晶體和嵌入式記憶體電路於單一積體電路裝置中。製造第 1 圖之習知裝置的製程步驟將簡明地描述如下。

第 2 圖係繪示製造如第 1 圖所示之嵌入式記憶體晶胞之製程的早期步驟。於第 2 圖中，基材 101 係以剖面繪示，且未按比例繪示。基材 101 為習知所使用的矽單結晶 (Monocrystalline) 基材，但亦可使用其他習知半導體基材材料。基材 101 可為主體矽基材 (Bulk Silicon Substrate)，或沉積於絕緣體上之 SOI 區。在此所示之例子中，基材 101 為 P 型材料，但亦可使用此技藝所知之其他基材型式。墊氧化 (Pad Oxide) 層 102 係形成於基材 101 上。典型地，墊氧化層 102 為如二氧化矽之習知墊氧化層材料，而其他來長成或沉積的方式可使用例如包含有四乙氧基矽烷 (TEOS) 和二氧化矽、或氮氧化物或閘極介電層的複合氧化物。墊氧化層 102 可被熱長成於例如溫度 800°C 至 1000°C 之氧蒸氣環境中。墊氧化層 102 具有多種厚度，例如可為介於約 30 埃至約 300 埃之厚度。可用來製造墊氧化層的其他氧化製程包含有：於高壓或低壓、高溫或低溫環境中之乾氧氣和無水氯化氫氣中的氧化製程，亦可使用快速熱氧化製程。

材料層 104 為形成於墊氧化層 102 上的氮化層。氮化材料層 104 可由例如氮化矽 ( $\text{Si}_3\text{N}_4$ ) 所製成，並可使用習知沉積技術來沉積成氮化層，此習知沉積技術包含有低壓化學氣相

沉積法 (Low Pressure Chemical Vapor Deposition ; LPCVD) 或電漿輔助氣相沉積法 (Plasma Enhanced Chemical Vapor Deposition ; PECVD) 之製程，例如，使用如  $\text{NH}_4$  和  $\text{SiH}_4$  之氣體為反應物於  $400^\circ\text{C}$  至  $800^\circ\text{C}$  間之溫度；及 300 毫托爾至 400 毫托爾間之壓力。其他方法包含使用 LPCVD 或 PECVD 設備；、使用如二氯化矽 ( $\text{SiCl}_2\text{H}_2$ ) 和氨 ( $\text{NH}_3$ ) 之其他氣體為反應物。

第 3 圖係繪示淺溝渠隔離區 107 為使用習知光學微影圖案化製程 (未繪示) 後由習知蝕刻製程所初始形成。例如，可使用電漿蝕刻來去除氮化層、墊氧化層，並蝕刻淺溝渠隔離區 107 中之基材。在如此技藝所習知之電漿蝕刻製程中，第一電極係被設置於習知電漿蝕刻製程反應器之反應室內，而基材係被置於第一電極上。第二電極係相分離且相對於第一電極，例如，第二電極可被置於製程反應器的蓋子中或或依附於其上，然而亦可使用其他排列方式。電漿之氣體介質係以流通過反應室，無線電頻率或射頻電壓型式 (其可包含具有不同頻率之成分) 的能源係被施加於兩電極之間以產生氣體放電，此氣體放電可離子化介質、形成電漿、離子轟擊和蝕刻晶圓。如此技藝所習知，可改變氣體和射頻來產生高選擇性和非等向性蝕刻。典型地，乾式蝕刻係使用在晶圓暴露於電漿反應室的蝕刻氣體中，蝕刻氣體包括例如四氟甲烷 ( $\text{CF}_4$ )、三氟甲烷 ( $\text{CHF}_3$ )、六氟化硫磺 ( $\text{SF}_6$ ) 或三氟化氮 ( $\text{NF}_3$ )，亦可使用如氮、氧和氫之其他氣體。然而，可改變淺溝渠隔離區 107 之深度，如使用介於 1000 埃至 5000 埃之間的深度。

第 3 圖係繪示填滿溝渠氧化層 106 於淺溝渠隔離區 107 中後的基材 101。可用二氧化矽的 CVD 來傳統地形成溝渠氧化層 106，此二氧化矽係填滿淺溝渠隔離區 107 並進一步位於其餘之氮化層上。或者，可使用 PECVD 沉積法來形成溝渠氧化層 106。溝渠氧化層 106 可形成於對矽烷/氧或矽烷/氮前驅物使用 200°C 至 350°C 之溫度以的 PECVD 反應器中。溝渠氧化層 106 之厚度為一變數，但可為例如介於約 3000 埃至約 5000 埃之間。

第 3 圖係繪示從淺溝渠隔離中去除多餘之溝渠氧化層並經化學機械研磨 (Chemical Mechanical Polishing; CMP) 後的基材 101。化學機械研磨係去除多餘之材料，並將表面暴露至施加有壓力和旋轉的研磨材料而使表面平坦化。可使用如此技藝所習知之其他習知 CMP 步驟。溝渠氧化層 106 係被去除至某特定厚度；氮化材料層 104 係被移除，以保留所需量之溝渠氧化層 106 於基材 101 表面的淺溝渠隔離區 107 中。

第 3 圖係繪示沉積閘極介電層 122 和電晶體 111、113、115、117 和 119 之閘極電極材料；並接著進行圖案化和蝕刻來形成具有側壁之個別閘極後的基材。使用習知方法來沉積閘極氧化層或閘極介電層於基材 101 和淺溝渠隔離區 107 上；沉積閘極多晶矽層於閘極氧化層上；進行圖案化步驟以形成保護區和非保護區；使用習知之蝕刻步驟以去除非保護區中之閘極導電材料和閘極氧化材料；再自閘極和多晶矽導電層去除硬罩幕或硬化光阻，以形成如第 3 圖所示之結構。例如：閘極氧化層的形成可造成 20 埃至 70 埃厚的二氧化矽。

在形成閘極氧化層或介電層後，沉積多晶矽材料或金屬閘極導電材料於氧化層上，以形成閘極電極層，其可為具有約 1500 埃至約 2500 埃之厚度的多晶矽層。然後，使用如本技藝所知之習知光罩和光阻製程來圖案化此多晶矽層和位於其下之閘極，並去除多餘材料而留下電晶體 113、115 和 119 的閘極和位於其下方之閘極氧化物與多晶矽導體 111、117。由於閘極電極是位於淺溝渠隔離區 107 的上方而非位於主動區的上方，其當然不是做為如剖面所示之區域中的閘極裝置，反而是提供多晶矽階層之連接區，以容許其他階層之導體連接至閘極多晶矽層。

第 4 圖係繪示用以生產積體電路之記憶區的重要製程步驟。因為此裝置之邏輯區需要時可具有與記憶體區不同的某些物理特徵，故在記憶體區之輕摻雜汲極擴散區和源極擴散區 114 植入前，使用光罩(未繪示)來產生保護圖案化光阻層 112 於邏輯區的上方，此植入步驟係繪示於第 4 圖中。保護光阻層 112 係使用有時稱為 CLDD (Cell Lightly Doped Drain；晶胞輕摻雜汲極)光罩來形成，並用以形成光阻塗佈 112，此光阻塗佈係於 CLDD 植入步驟中，用以保護邏輯區裝置。於記憶體區裝置之源極和汲極摻雜完成後，使用類似之第二光罩來形成光阻層(未繪示)於記憶體區上，且當使用不同能量和/或不同摻雜材料之離子植入於邏輯裝置區進行輕摻雜汲極擴散時，第二光罩可用來保護記憶體區。此非對稱之光學微影製程可使單一裝置之記憶體區和邏輯區電晶體區具有最佳化之物理特性，在單一相容之製程中，此兩區域的物理特性不

相同。特別是，此兩區域係受制於源極和汲極輕摻雜植入之不同且分開的離子植入步驟。

如此技藝所知，當閘極多晶矽電極係在源極區和汲極區植入步驟前形成時，此些閘極被稱為自行對準，電晶體 113、115 和 119 之閘極形成部分光罩於基材上，此基材係在植入步驟中定義出源極區和汲極區。在 N 井區中，可使用之 P 型植入係導至較佳為約  $10^{-14}$  atoms/cm<sup>2</sup> 至約  $5 \times 10^{-15}$  atoms/cm<sup>2</sup> 之濃度；及為 2 keV 至大約 5 keV 之能量，以形成 P 型區，其係使用如硼和 / 或二氟化硼之摻質。可使用垂直角度來對基材進行植入步驟，或如習知技藝所知，某些植入步驟可為口袋型離子植入 (Pocket Implant)，其係旋轉和傾斜基材以達成成功的植入。可利用如砷或磷之摻質來對 P 井區進行 N 型植入，以達到如約  $10^{13}$  atoms/cm<sup>3</sup> 至約  $5 \times 10^{13}$  atoms/cm<sup>3</sup> 之濃度；及約 500 埃至約 1200 埃之深度，其係使用約 2 keV 至約 5 keV 之能量來進行垂直植入，；使用約 100 keV 至約 150 keV 之能量來進行較深的植入或口袋型植入。

第 5 圖係繪示在記憶體區或邏輯區之電晶體；一些層間絕緣層的沉積；及形成電容於基材上之第一步驟完成後的基材 101，其中已進行習知之離子植入和退火步驟，以對具有電晶體 113、115 和 119 之閘極的平面電晶體產生源極區和汲極區 114。側壁氧化層 124 被繪示為沉積在電晶體 113、115 和 119 之閘極 (亦以元件符號 113、115 和 119 來表示) 上。此氧化層係藉由習知之沉積步驟所產生，例如：使用習知沉積技術 (如快速熱氧化) 來沉積二氧化矽。側壁氧化層 124 可由氮化物、

氮氧化矽、氧化物、二氧化矽、氮氧化矽或如氧化層-氮化層-氧化層(ONO)或氮化層-氧化層(NO)之複合物所形成。

第 5 圖係繪示在形成閘極之側壁氧化層 124 於具有閘極之電晶體 113、115 和 119 之側壁上；和完成源極和汲極區 114 之源極/汲極深植入步驟後的基材 101。因此，源極區和汲極區 114 之每一者皆具有淺區，此淺區係位於相鄰之側壁氧化層下方，且為由習知離子植入和摻質退火步驟所產生之深源極汲極區的一部分。這些步驟為此技術領域中具有通常知識者所知。

第 5 圖係繪示在自動對準金屬步驟和形成共形之保護氧化層於完成之電晶體上後的基材 101，此些完成之電晶體 113、115 和 119 具有閘極與多晶矽導體 111 和 117。如習知技術所知，沉積於基材上之導電材料的阻抗可藉由於材料上進行自動對準矽化物(Self Aligned Silicidation；Salicidation)來降低。以習知步驟係來形成自動對準矽化物層 130，其係被指為第 5 圖中之電晶體 113、115 和 119 之塗佈閘極、源極區和汲極區 122、及導體 111 和 117 之頂表面。金屬層係形成於此結構上，並被加熱以形成矽化物於如第 5 圖所示之暴露出的多晶矽閘極和導體、及源極和汲極植入區上。矽化結構 130 較佳係由矽化物和/或鈦矽化物所形成，此矽化物係藉由施加塗佈鈷並加熱、或形成鈷之金屬矽化物(Co-salicide)之步驟來形成；鈦矽化物係藉由進行塗佈鈦並予以加熱之步驟、或形成鈦金屬矽化物(Ti-salicide)來形成，然亦可藉由其他習知之自動對準矽化物的步驟。在進行自動對準矽化物的步驟後，

形成共形之保護氧化層 126 於此結構上。

第 5 圖係繪示形成第一絕緣層 157 後之基材 101。第一絕緣層 157 係沉積於共形之保護氧化層 126 上，且其厚度在初始時係相當厚(從約 3000 埃至約 5000 埃)，且可使用如快速熱氧化(Rapid Thermal Oxidation; RTO)、CVD 之習知技術來沉積，其材料係可包含如 CVD 二氧化矽、磷矽玻璃(Phosphosilicate Glass; PSG)、硼磷矽玻璃(Borophosphosilicate Glass; BPSG)、高密度沉積氧化電漿或其他材料之任何數量的習知絕緣層。在此厚度沉積後，以 CMP 技術加工並平坦化第一絕緣層 157 至較薄尺寸，如此技藝所知及如上所述。然後，可使用例如電漿乾式蝕刻或更精密控制之 CMP 技術的回蝕(Etching Back)步驟，來進一步薄化第一絕緣層 157。在 CMP 後，第一絕緣層 157 可為例如約 3000 埃厚，而在回蝕後，其最終厚度可為例如：位於電晶體 113、115 和 117 之閘極上方約 600 埃至 1400 埃。

在進行沉積步驟、CMP 步驟和回蝕步驟或其他製程步驟而形成第一絕緣層 157 後，形成第 5 圖中之鎢插塞 129、131、133、135 和 137 以接觸多晶矽導體、閘極和源極或汲極區，其中係使用習知技術來形成鎢插塞。終止層(未繪示)係形成於第一絕緣層 157 上。此終止層可至少包含例如氮化矽或氮氧化矽。接觸窗開口係被蝕刻至穿透終止層和第一絕緣層，而接觸窗之開口係形成於多晶矽導體(電晶體)111、117、113、115 和 119 之閘極、及源極或汲極區 114 上的共形保護氧化層 126 中，如第 5 圖所示。然後，以阻擋(Barrier)材料形成襯墊

(Lined)(亦未繪示)於接觸窗開口內，且以鎢或其他類似的導電材料來填充接觸窗開口，其中此導電材料係沉積至填滿接觸窗之開口並延伸至第一絕緣層 157 之頂表面。然後，以 CMP 或其他習知蝕刻技術來去除多餘的材料，而留下如第 5 圖所示之結構。

本技藝已知：使用接觸插塞(參考符號為 133)來形成 MIM 電容於層間絕緣層中，此接觸插塞係做為後續形成之電容底板的電性接觸，而此電容係形成於接觸插塞上之被蝕刻的凹槽中。於此特別的例子中，具有閘極之電晶體 119 將對電容形成平面 NMOS 或 PMOS 型式的存取電晶體，而電容和電晶體的組何(將於下文描述)將形成 1T 之儲存位元晶胞。

第 5 圖更繪示基材 101 為具有第二絕緣層 155。由於第二絕緣層 155 之厚度將實質提供電容的垂直高度，而影響可能達成的電容值，因此雖然第二絕緣層 155 之厚度可能大於(或可能大很多)第一絕緣層 157，仍使用與形成第一絕緣層 157 相同之技術來形成第二絕緣層 155。例如：對某一電容架構而言，第一絕緣層 157 的厚度可為 3000 埃至 5000 埃左右。在形成並以 CMP 技術平坦化第二絕緣層 155 後，形成氮化物或氮化矽的終止層(亦未繪示)於第二絕緣層 155 之氧化層上，並使用習知技術來圖案化和蝕刻接觸窗的開口，而產生接觸介層窗堆疊 138、136、134 和 132 之介層窗的開口，並填充有鎢插塞或其他類似材料於其中，以延續接觸多晶矽層和源極區或汲極區的垂直介層窗堆疊。此時尚未於介層窗 133 上形成開口，此係因為電容之底導電板將於下列步驟中形成。

第 6 圖係繪示形成電容 121 後之基材 101。再次，第二絕緣層 155 之表面係被圖案化和蝕刻以形成凹槽於電容 121 中，此凹槽將容納電容的底層。下列步驟係用以完成此結構，並描述由第 6 圖至第 1 圖之完成結構的最後步驟。可使用各種習知製程步驟或材料來形成電容 121。可藉由例如沉積與電容凹槽共形之氮化鈮或氮化鈦來形成底導電板，然後，基材受制於共形層上之光阻層，此共形層係被去除到只留下凹槽內的氮化鈮或氮化鈦沉積，而頂層之光阻和沉積材料並被剝除。於習知製程中，再沉積電容介電層，此電容介電層可為具有高介電常數之材料，並具有例如介於 100 埃至 800 埃之厚度，且可包含如氧化鈮( $Ta_2O_5$ )之介電材料、如氧化鋁( $Al_2O_3$ )之鋁化合物、鈣、鎳、氮化物或其他類似材料，或如二氧化矽之傳統介電材料。或者，例如：可藉由如 Ding 等人之論文(“High-Performance MIM Capacitor Using ALD High-k  $HfO_2-Al_2O_3$  Laminate Dielectrics,”(發表於 IEEE Electron Device Letters Vol. 24, No. 12, December 2003)所述之原子層沉積(Atomic Layer Deposition; ALD)製程步驟，來使用並形成氧化鈣-氧化鋁之薄層，此論文在此列為本發明之參考。

亦可知悉的是，可使用半晶粒型(Hemispherical Grain; HSG)多晶矽或其他晶粒材料當做底導電板，來自電容架構增加有效電容量，接著以共形的方式沉積在介電材料和頂電極之底導電極材料上，由於顆粒狀表面的緣故，因而實質地增加所造成之電容板的面積，故增加所造成之電容量而不用相對應增加矽晶片面積。因此，如需要的話，可使用這些方法

於來製造電容 121。

電容 121 係包含頂導電板，較佳係由兩材料層所形成，其他氮化鈦層或氮化鉭層係形成於介電層上，接著，以鑲嵌 (Damascene) 製程來形成銅頂導電板，並延伸至如圖所示之第三絕緣層 153，此些步驟為習知，故不在此詳細地闡述。

沉積通常與底導電板相同(如氮化鈦層或氮化鉭層)之導電材料層，以形成這些絕緣層於介電材料。可使用退火製程來完成氮化鈦層和介電層間的結合。沉積金屬層(例如鋁層或較佳是銅層)於頂導電板上，並填滿凹槽且延伸至第三絕緣層 153，此第三絕緣層 153 係被圖案化以完成電容。可使用電鍍或沉積來形成銅頂層，並以 CMP 步驟去除銅頂層來平坦化而完成此圖案，其中可使用雙重金屬鑲嵌製程。然後，以第三絕緣層 153 覆蓋電容之頂層，其係被沉積並再次受制於 CMP 平坦化。

為完成第 1 圖所示之結構，介層窗係形成於與元件符號 138、136、134、132 和 177 相同的位置。再次，對接觸窗進行開口並填入鎢插塞，以完成穿透第三絕緣層 153 至金屬層之介層窗堆疊。照慣例，沉積和圖案化導電金屬 151、149、147、145 和 143(可能為鋁)，或者，若導電體為銅(其正在成為習知技藝之標準)，則可利用銅金屬鑲嵌製程。

因此，如第 1 圖所示，基材 101 被繪示為具有包含形成於層間絕緣層中之 MIM 電容 121 的習知結構。層間氧化層 153 係被形成於層間氧化層 155 上，並具有導電金屬 151、149、147、145，導電金屬 151、149、147、145 係被形成來接觸耦

接至介層窗堆疊的源極、汲極和閘極電極。金屬導體 143 係經由穿透過第三絕緣層之介層窗 177 來接觸電容 121。傳統地，電容 121 可由底導電板所形成，此底導電板係由氮化鈮、氮化鈦、或包含氧化鈮 ( $Ta_2O_5$ )、氧化鈦 ( $HfO_2$ )、氧化鋁鈮 ( $AlTaO_x$ ) 之高介電常數材料所形成，並可由沉積和退火製程來形成。HSG 或粗糙之多晶矽可被用來增加導電板的面積和所造成之電容的容量。

為了取得積體電路之嵌入式 RAM 區的最大可能儲存容量，用以實作 RAM 的各種裝置必須盡可能地縮小並相當密集地被集中在一起。因此，除儲存電容本身之外，用來存取記憶體電容和存取電晶體之電晶體的所需面積亦相當重要。然而，當以習知 MOS 電晶體尺寸隨著整體製程技術之尺寸縮減而縮小時，習知之平面 MOS 電晶體結構則開始變得較不需要。當金氧半場效電晶體的通道寬度減時，某些“短通道”效應會發生，其中即使當裝置關閉時，源極區和汲極區仍電性耦接在一起，此些效應會造成不受歡迎或甚至不被接受的性能或失誤。

最近，已發展出另一種 MOS 電晶體佈局，即鰭式場效電晶體，如 Chen 等人之美國專利案第 6,729,619 號所述，此美國專利案係讓渡至本發明之專利受讓人，且列為本發明之參考；鰭式場效電晶體亦被描述於 Hu 等人之美國專利案第 6,413,802 號，其亦在此列為本發明之參考中。鰭式場效電晶體具有由矽或其他半導體鰭狀物 (Fins) 所形成之源極區、汲極區和閘極區，此些半導體鰭狀物可被製造在任何基材或絕緣

體上，以使電晶體通道不被形成在基材表面上，而被設置於基材上方之材料層中。因為通道可形成於絕緣體(絕緣層覆矽)上，而不在習知平面佈局所使用之主體矽基材上，故可於一些應用中消除短通道效應。典型的鰭式場效電晶體亦具有至少兩個閘極區(形成於鰭式的任一邊側壁上)，在某一裝置表面積下，此些閘極區可增強裝置效能。為了增加電流承載容量，可能可以加入額外的閘極區至裝置中，因而可製造出各種容量之電晶體。

第 7 圖係繪示如本技藝所習知之鰭式場效電晶體裝置的立體示意圖。此裝置可被設置於絕緣體、主體矽或矽基材 201 上，其可設置於絕緣體上，如 SOI 或 SIMOX。

當然可使用如矽化鍺(SiGe)或鍺之其他基材材料。第 7 圖繪示有基材 201 並提供矽鰭狀物(在此編號為 203)。鰭狀物 203 將形成完成之電晶體的源極區和汲極區，而通道將會形成於源極區和汲極區之間。閘極氧化層或介電層 205 係被提供且沉積於鰭狀物 203 之側邊、和如此例所示之源極汲極鰭式區(鰭狀物 203)的頂部上。因為閘極氧化層 205 係沉積於源極汲極之兩側上，所以此裝置具有多重閘極，其可稱為“多重閘極”裝置。閘極 207 係形成於閘極氧化層 205 上，且其形成方向可為例如垂直於鰭狀物 203 的方向，而使閘極與鰭狀物 203 相交，且位於通道區和閘極氧化層中之鰭狀物 203 的上方。在形成閘極電極後，可使用例如離子植入之習知製程步驟來摻雜源極區和汲極區，且亦可形成保護的側壁以窄化和保護鰭狀物 203，然亦可使用其他額外的習知製程步驟，在此並未

描述。

相較於平面電晶體裝置(如第 1 圖所形成之平面電晶體)，第 7 圖之裝置具有許多優點。多重閘極結構可大幅地減少或消除因習知裝置之尺寸縮小而造成的許多問題：包括短通道效應，並可改善習知平面裝置上之汲極感應能障減低(Drain Induced Barrier Lowering; DIBL)的問題。於目前之半導體縮小元件尺寸的製程中，這些效應將會變得越來越顯著，因此，finFET 電晶體之優點便變得更加重要。

因此，需要一種單一半導體製程，用以製造習知平面邏輯 MOS 電晶體或電路之各種元件、MIM 電容和 finFET 電晶體裝置於單一積體電路，而適用於製造使用任何或所有此些元件之充分整合和高度功能性的積體電路。本發明之各種方法和結構係用以滿足此需要。

### 【發明內容】

本發明之各種實施例之目的就是在提供一種新穎製程，用以製造平面邏輯電路結構、MIM 電容結構和 finFET 電晶體結構於單一積體電路或半導體裝置上，其中 finFET 電晶體係形成於多晶矽層中，而 MIM 電容係形成於半導體裝置之基材上方之絕緣層中。finFET 電晶體和 MIM 電容可形成 1T-RAM 位元晶胞，然而其他電路排列亦可被考慮來形成這些元件。

根據本發明之一較佳實施例，半導體裝置包含：其中形成有一個或多個平面電晶體裝置之基材；形成於基材上之第一絕緣層；形成於第一絕緣層上之至少一個第二絕緣層；形

成於第一絕緣層和第二絕緣層中之至少一個 MIM 電容；及形成於半導體裝置中之至少一個 finFET 電晶體。此至少一個 MIM 電容包含第一導體層、沉積於第一導體層上之介電層和沉積於介電層上之第二導體層。第一導體層係完全延伸至此至少一個第二絕緣層之頂表面。finFET 電晶體係形成於第一多晶矽層中或可形成於基材上方之其他絕緣層中。

根據本發明之又一較佳實施例，半導體裝置包含：包含有至少一個平面電晶體之基材；定義出矽狀鰭於基材上之淺溝渠隔離層；形成至少一個平面電晶體和至少一個 finFET 電晶體之閘極於基材上的閘極多晶矽層和閘極介電層；形成於基材上之第一絕緣層；形成於第一絕緣層上之第二絕緣層，及至少一個 MIM 電容，其係形成於至少一個第二絕緣層中，並且藉由通過第一絕緣層之介層窗耦接至 finFET 電晶體。此至少一個 MIM 電容包含第一導體層；沉積於第一導體層上之介電層；及形成於介電層上之第二導體層。

在本發明之較佳方法中，形成至少一個平面電晶體、至少一個 finFET 電晶體和至少一個電容於基材上，如下所述。蝕刻基材以產生淺溝渠隔離區。形成塗佈層於平面電晶體區上並暴露出其他區域。於此暴露出的區域中，於在某些淺溝渠隔離區中進行蝕刻，以去除部分之淺溝渠隔離氧化物，並提供具有暴露出之側面的矽鰭狀物於基材中。去除保護塗佈層，並繼續沉積閘極介電層於矽鰭狀物上和平面邏輯區上，且沉積閘極導體層於基材上。接著，圖案化閘極導體層和位於其下方之閘極介電層，以提供位於閘極介電層上之複數個

閘極導體層於平面電晶體區中、及閘極導體層於 finFET 中。使用摻雜步驟來產生自行對準至閘極導體層的源極和汲極摻雜區於平面電晶體區和 finFET 區中，較佳是，使用習知之光罩來沉積保護塗佈層，以容許進行不同摻雜步驟於平面電晶體區和 finFET 區。在形成平面電晶體和 finFET 後，沉積至少一個第一絕緣區和至少一個第二絕緣區於基材上，並形成至少一個 MIM 電容於第二絕緣區上。在變異例中，形成第三絕緣層於第二絕緣層上，並形成和圖案化導體層於第三絕緣層上。形成接觸窗和介層窗於每一個絕緣層中，以將源極、汲極、閘極導體與電容的至少一個導電板，耦接至形成於第三絕緣層上之某些導體，而使電路被平面電晶體、finFET 電晶體和 MIM 電容所定義出。

在又一實施例中，提供一方法來形成嵌入式 RAM 晶胞，以與單一半導體電路中之平面電晶體整合在一起。於半導體基材或另外於沉積在絕緣體上之半導體材料區中，形成淺溝渠隔離區並填充氧化物於其中。定義出平面電晶體區和記憶體區。利用第一光罩來形成用以保護平面電晶體區之保護塗佈層係平面電晶體區上。部分蝕刻某些淺溝渠隔離區，以形成具有部分暴露之側壁的矽鰭狀物於記憶體區中。從沉積於基材上之平面電晶體區和閘介電材料區中，去除保護塗佈層。沉積閘極導體材料層於閘極介電材料層上。圖案化閘極導體材料層和閘極介電材料層，以形成閘極於平面電晶體區，並形成閘極於記憶體區中之 finFET 電晶體上。再次使用第一光罩，以形成塗佈層於平面電晶體區上，並藉由植入與

閘極導體相鄰之摻質，來形成記憶體區之 finFET 電晶體的源極區和汲極區。接著，提供類似的保護塗佈層於記憶體區上，並藉由植入摻質至與平面電晶體中之閘極導體相鄰的基材，來為平面電晶體形成源極區和汲極區。在平面電晶體區和記憶體區之電晶體皆完成後，沉積第一絕緣層於基材上。藉由蝕刻第一絕緣層來形成接觸區至閘極導體，並至選自源極區和汲極區的區域。沉積導電材料於介層窗中，以形成導電介層窗。沉積第二絕緣層於基材上。圖案化和蝕刻一開口於第二絕緣層中，並沉積第一導電極材料、一或多個介電或絕緣材料和第二導電極材料，以形成電容於記憶區中。圖案化和蝕刻其他接觸窗於第二絕緣層中，並提供導體介層窗以電性接觸第一絕緣層中之導電介層窗。提供第三絕緣材料層，其亦被圖案化和蝕刻以形成接觸至第二絕緣材料層之介層窗和電容的第二導電板，並藉由沉積、圖案化和蝕刻導電材料於第三絕緣材料層上來形成導體。在上述之方法中，finFET 電晶體係以其源極端或汲極端來耦接至電容之一導電板，而 finFET 電晶體和電容係一起提供 1T-RAM 位元晶胞。於又一較佳實施例中，1T-RAM 位元晶胞可為巨集晶胞的一部分，此巨集晶胞可選項地包含額外之 1T-RAM 位元晶胞，以形成如記憶體陣列、暫存器、FIFO 記憶緩衝區、暫存器檔案(Register File)或其他儲存元件之邏輯電路，此巨集晶胞亦可包含以標準 CMOS 邏輯技術所製成之平面電晶體，例如：無 finFET 電晶體的週邊電路，諸如緩衝器、時脈扇出電路、反向器、邏輯閘和其他類似電路。

於又一實施例中，提供一種嵌入式 RAM 晶胞於具有平面電晶體之半導體裝置中。此 RAM 位元晶胞為 finFET 電晶體之 1T RAM 位元晶胞，此 finFET 電晶體係耦接至字元線和位元線、及 MIM 電容之一導電板，以容許電荷置入至電容和自電容去除；此電晶體和電容形成了 RAM 儲存位元晶胞。平面電晶體可被耦接至 finFET，而可提供與 RAM 儲存位元晶胞相關聯之額外功能，或者，平面電晶體可不耦接至 RAM 儲存位元晶胞，而可提供獨立於 RAM 儲存位元晶胞之功能。

於又一較佳實施例中，提供一種嵌入式記憶體陣列於具有平面邏輯電晶體電路之半導體裝置中；此記憶體陣列至少包含：形成於基材中之複數個 finFET 電晶體；及相鄰並電性連接至每一個 finFET 電晶體之複數個 MIM 儲存電容係，以提供 1T-RAM 位元晶胞之陣列，其中每一個 1T-RAM 位元晶胞具有此些 finFET 電晶體之一存取電晶體、和此些 MIM 電容之一儲存電容。較佳地，字元線係耦接於 finFET 電晶體之閘極導體，位元線係耦接於 finFET 電晶體的源極端或汲極端，而電容之一導電板則係耦接至 finFET 電晶體之其餘的汲極或源極端，操作電容和 finFET 電晶體來對字元線和位元線有所反應，以形成記憶體陣列於積體電路中。

於又一本發明之較佳實施例，以一種技術來形成 MIM 電容的係利用，來產生粗糙的、顆粒狀的底導電板於被照射到之金屬層上，以原子層沉積 (Atomic Layer Deposition; ALD) 技術來共形地沉積介電材料和頂電極材料，而導電板和介電材料間之粗糙表面係導致相同區域中之電容量的增加。

本發明之實施例的優點包括：提供形成 MIM 電容於一製程的方法，此製程亦與形成 finFET 電晶體、P 型 MOS 電晶體和 N 型 MOS 電晶體的方法相容。例如：當同時形成週邊電路之習知平面 MOS 電晶體時，這些元件可用來形成以 finFET 電晶體為晶胞存取電晶體之有效率的記憶體陣列。

上述係為了讓下文之實施方式更清楚明瞭，故概略性地介紹本發明實施例之特徵和技術優點。此應足以讓熟習此技藝之人士理解到本發明所揭露之觀念和特定實施例所提到之結構或實現本發明相同目的之製程。亦任何讓熟習此技藝之人士，在不脫離本發明之精神和範圍內，當可作各種均等更動，因此本發明之保護範圍應視下文所附之申請專利範圍所界定者為準。

### 【實施方式】

本發明之較佳實施例之操作與製作將於下文中詳細地描述。然而，其中所述之較佳實施例並非本發明所能想到之唯一應用或使用。本發明所討論之特定的較佳實施例僅為製造和使用本發明之特定方法的描述，並未限制本發明之範圍。本發明之圖示係為了說明的目的，而未按比例描繪。

本發明將針對較佳實施例來描述，其中一些較佳實施例的描述係就嵌入式 DRAM 裝置之例示應用而言，此嵌入式 DRAM 裝置包括有記憶體陣列區中之 fFinFET 電晶體的存取電晶體。此嵌入式 DRAM 裝置可併入至任何數量之積體電路中，此些積體電路包含有微處理器、數位與類比信號處理器、

微控制器、任何種類之特殊應用積體電路，和使用儲存記憶為部分電路之其他積體電路，特別是處理資料之積體電路。然而，本發明之實施例亦可被應用於其他使用 MIM 電容之半導體應用中，例如：可使用本發明之 MIM 電容和 finFET 電晶體來製作積體記憶裝置 (SDRAM、DRAM、DDR SDRAM、RDRAM 和類似裝置等)；利用電容來做為利於本發明使用之電路元件的其他應用，其包含有交換式電容 (Switched Capacitor; SC) 電路、濾波器、類比至數位轉換器、數位至類比轉換器、射頻電路、信號處理器、數位信號處理器、類神經網路和類似裝置等。

第 8 圖係繪示基材 301 的剖面示意圖，其中基材 301 已被分成邏輯區和記憶體區。墊氧化層 303、墊氮化層 305 和圖案光罩 (未繪示) 已被沉積於基材上，而圖案光罩已被圖案化而定義出將被蝕刻之淺溝渠隔離區。

第 9 圖係繪示淺溝渠隔離蝕刻步驟後，具有基材 301 之第 8 圖的剖面示意圖，其中淺溝渠隔離蝕刻步驟可於例如使用如氟化氫 (HF) 之化學濕蝕刻，或乾式蝕刻之電漿蝕刻製程中進行。淺溝渠隔離區 307 之深度可相當深，例如：約 500 埃至約 5000 埃，在一較佳實施例中，其深度為約 2000 埃。圖案光罩、墊氮化層 305 和墊氧化層 303 可在習知之蝕刻技術完成後被去除，或在後續之化學機械研磨步驟中被去除。此時，“鰭狀物”(Fins) 309 係被定義為基材材料之柱體，這些鰭狀物 309 之頂部將形成鰭式場效電晶體裝置之源極區、汲極區和通道區。

第 10 圖係繪示形成溝渠氧化物步驟後之半導體裝置 300 的剖面示意圖。如上所述，溝渠氧化物 308 係被沉積於基材 301 上，並填充淺溝隔離區，且延伸超過基材 301，通常係如圖所示之共形地形成。溝渠氧化物 308 可為由上述之方式所形成的高密度電漿。

第 11 圖係繪示化學機械研磨步驟後之第 10 圖的剖面示意圖，其中化學機械研磨步驟係用以透過平坦化來完成溝渠氧化物 308，和形成光罩塗佈 310 於半導體裝置 300 之邏輯區上。光罩塗佈 310 至少包含習知光阻，在保護邏輯區時，此習知光阻歷經沉積、曝光和圖案化而留下暴露出之記憶體區，以供處理。如本技藝所習知，可藉由熱製程或其他習知製程來硬化光罩塗佈 310。重要的是，當此罩幕步驟為在無 finFET 裝置之習知製程中形成 finFET 裝置所需之額外步驟時，可使用相同的 CLDD 光罩，如同用於後續步驟中，以形成輕摻雜汲極區和源極區於記憶體區中，故不需要額外的光罩製作，僅需額外的光阻塗佈和曝光步驟，因而可使用來自習知方法之現有光罩來製造新裝置，此為本發明之優點。一種光阻塗佈的使用，以容許基材 301 中之不同區域能於不對稱製程中被處理，係描述於 Tzeng 等人之美國專利第 6,620,679 號說明書第 3 段第 30 行-第 67 行至第 4 段第 1 行-第 55 行，此專利在此列為本發明之參考；在此專利中，輸入/輸出(Input/Output; I/O)區和核心裝置區受到不同離子值入，以產生所需之不同的摻雜濃度。同樣地，於本發明之製程中，某些製程步驟係於記憶體區中進行，其係不同於基材 301 之

邏輯區中進行的製程步驟，故本發明之製程亦為非對稱性。

第 12 圖係繪示額外之蝕刻步驟後之第 11 圖的剖面示意圖。再次進行氧化物蝕刻於記憶體區之淺溝渠隔離區 307 中，並圖案化溝渠氧化物 308 於淺溝渠隔離區 307 中，此蝕刻去除部分之淺溝渠隔離氧化物，以暴露出 finFET 電晶體之柱狀物 309 之上半部的一部分。柱狀物 309 的上半部(半導體基材 301 之一部分)係暴露至深度“r”，此深度“r”足以容許多重閘極式場效電晶體裝置製造於此些矽柱狀物上。深度“r”可為如所需之約 100 埃至約 1000 埃之間。

第 13 圖係繪示施加至半導體裝置 300 之又一製程步驟後之第 12 圖的剖面示意圖。在第 12 圖之圖案化蝕刻(其暴露出柱狀物 309 的側壁)後，藉由熱氧化來形成墊氧化物於這些側壁上，以形成二氧化矽或氮氧化矽 311。習知之熱氧化步驟(如快速熱氧化法)可用來形成此側壁氧化物，其較佳是消耗側壁上之一些矽，因而薄化後續將由柱狀 309 所形成之閘極式場效電晶體的閘極物，並且，氧化物具有修補側壁損壞的效果；及於後續之氮化物去除步驟中保護側壁的表面，此側壁損壞一般係發生於形成側壁的蝕刻步驟中。

第 14 圖係繪示去除光罩塗佈 310、墊氮化層 305、墊氧化層 303 和薄氧化側壁 311(留下一組較薄的閘極物 309)後之第 13 圖的剖面示意圖，並繪示半導體裝置 300。此組較薄的閘極物 309 可僅於閘極介電層或氧化層和閘極覆蓋閘極物之處變薄，如下文所述，源極區和汲極區可形成於閘極物之端點，此些端點的面積較大，以易於形成接觸和介層窗至上層

金屬層，其將敘述於後續步驟中。

在進行沉積、圖案化和蝕刻，以形成閘極和絕緣閘極於平面 MOS 電晶體 321 之邏輯區後，第 14 圖係進一步描繪示閘介電材料層 313 和閘極 315，其中並形成共閘極，以完成兩個鳍式場效電晶體 323 和 325 於記憶體區中。本例示中之鳍式場效電晶體可為例如：用於共字元線上之兩個記憶晶胞的存取記憶體，此共字元線為閘極 315，並繼續形成記憶體陣列中的列線。

正如習於此技藝之人士所知，鳍式場效電晶體係由矽基材料所形成，或可由摻雜的 N 型井或 P 型井材料所形成。已發現的是，正在形成之電晶體的型式，和關於晶圓晶格方向之鳍狀物的方向是重要的，且可用以進一步改善效能。當有足夠的閘極電壓 ( $V_g$ ) 提供於閘極時，已完成之 finFET 電晶體的汲極電流 ( $I_d$ ) 將自第 14 圖之頁面流進或流出 (從 finFET 之源極區至汲極區)。若此裝置為係 P 型，則鳍狀物之源極汲極應被定向，以使得電流沿著晶格方向表面從源極流至汲極。若鳍式場效電晶體裝置為 N 型，從源極流至汲極之電流應沿著晶格方向表面流動。此定向步驟可在開始處理半導體基材前，藉由正確地定位半導體基材而被控制，以使矽鳍狀物之方向正確地被定向至所使用之半導體基材材料的型態。

第 14 圖中之平面 MOS 電晶體 321 和鳍式場效電晶體 323、325 亦可形成在磊晶成長或沉積於矽基材或 SOI 材料上的材料層中。例如：應變矽材料的使用為此技藝所習知，藉以改善使用高介電常數 ( $k$ ) 之介電材料做為閘極介電層之電晶

體的通道層效能。可使用應變矽化鍺(SiGe)為矽基材 301，其亦可形成於矽基材上或 SOI 實施例的絕緣層上。如此技藝所知，針對 P 型電晶體，應變矽或應變矽化鍺可被壓縮地變形；或相對地，針對 N 型電晶體，應變矽或應變矽化鍺可於張力應變(Tensile Strain)下被提供。應變通道已知可透過加強載子移動率，來改善裝置的效能；在另一較佳實施例中，應變通道亦可與本發明之製程和結構一起使用來進一步改善效能。應力裝置亦能從接觸蝕刻終止層(Contact Etch Stop Layer；CESL)或淺溝隔離氧化物來產生。此方法係描述於 Ge 等人的美國專利(US10/366,220)和論文(題目為“Process-Strained Si (PSS) CMOS Technology Featuring 3D Strain Engineering,”發表於 IEEE, 2003, pp. 3.7.1 – 3.7.4)中，其係列為本發明之參考。

第 15 圖係繪示於製造記憶區之源極、汲極離子佈植步驟時，在邏輯區上再次使用光罩光阻塗佈 330 之半導體裝置 300 的剖面示意圖。利用光罩光阻塗佈 330 來植入鄰近於字元線的摻雜物，以形成鰭式場效電晶體 323、325 之源極、汲極區，此光罩光阻塗佈 330 係使用與第 11 圖所示之氧化蝕刻過程相同的光罩。於本發明之兩個不同的製程步驟，使用來自先前製程的現有光罩能使本發明的使用具經濟效率，其為本發明之優點。

第 16 圖係繪示在幾個額外之習知步驟後之半導體裝置 300 的剖面示意圖，以使用並耦接鰭式場效電晶體 323、325 至電容 341 和 343 來完成記憶體裝置。層間絕緣層 347 和層

間絕緣層 345 係形成於氧化保護層 350 上，並覆蓋位於邏輯區和記憶體區中之整個電晶體源極區、汲極區和閘極區，金屬導體層 353 和 355 係藉由介層堆疊層而耦接至源極區/汲極區 331 和 333，且經由氧化保護層 321 來接觸這些區域。電容 341 和 343 係形成於鰭式存取場效電晶體 325 和 323 上，並藉由習知介層堆疊窗 361 和 363 來耦接至鰭式場效電晶體的汲極區。位元線(未繪示)則耦接至鰭式場效電晶體的源極區，以完成嵌入式 DRAM 陣列，而閘極 315 係形成耦接至兩鰭式場效電晶體之共閘極元件的共列或字元線導體。

第 17 圖係繪示鰭式場效電晶體 325、323 和電容 341、343，其可耦接於嵌入式記憶儲存陣列電路的典型應用中。於此圖中，與習知相同，位元線 ( $B/L$ )、( $\overline{B/L}$ ) 係繪示為如記憶體習知技藝所知之位元線對。這些位元線形成記憶體陣列中的行 (Columns)，其可包含數千個晶胞。字元線 327 係耦接至鰭式場效電晶體 325 和 323 的閘極端點。每一個電晶體形成儲存晶胞之存取記憶體，其包含如第 17 圖所示之 MIM 電容 343 和 341，每一個電容具有耦接至各自之存取電晶體之汲極端的電極或電極板，而另一個電極或電極板則耦接至固定電極電位 ( $V_{plate}$ )，此固定電極電位可為接地或其他固定之電壓。在操作中，當字元線 327 在工作時，存取電晶體能儲存或移除代表某資料數值之電荷，並施加電壓於閘極端，而施加相對應字元線上之電位至電容的第一電極板。每一個存取電晶體 325 和 323 具有耦接至字元線之源極端。

第 18 圖係繪示第 16 圖之剖面所示之半導體裝置 300 之

記憶體區的俯視示意圖。電容 341 和 343 係繪示成位於鰭式場效電晶體 323 和 325 之汲極區上方的圓柱形排列。字元線源極接觸 (Source Contacts) 371 和 373 係藉由垂直介層堆疊層而耦接各自的位元線 (未繪示) 至鰭式場效電晶體之源極區。電晶體 325 和 323 係形成於字元線 327 與每一個電晶體之各自之源極汲極鰭狀物的交錯位置。金屬導體層 355 和 353 係位於邏輯裝置上。

電容 341 和 343 可為 MIM 電容，其在此技藝所知係做為形成於第一絕緣層 347、第二絕緣層 345 中之存取儲存電晶體上的金屬/絕緣體/金屬。此技藝亦知可使用半晶粒型 (HSG) 多晶矽做為底電極板和頂電極板；及使用共形介電層來增加電容量，藉以增加電極板和介電質的表面積，因而製成電容。在 Yang 等人之論文中，其題目為 “Excimer laser manipulation and patterning of gold nanoparticles on the SiO<sub>2</sub>/Si surface,” (發表於 Journal of Applied Physics (JAPL) Vol. 95, No. 9, May 2004)，其亦列為本發明之參考，其描述以準分子雷射 (Excimer Laser) 處理金屬層來獲得金屬層中之顆粒化表面或奈米粒子的技術。在本發明之較佳實施例中，此種金屬層係做為底層，而後續之製程步驟係被用來形成如下所述之電容 341 和 343。

如金或如銀、鎳、銅、鉑、鈮、鈦等之其他金屬的第一金屬層係沉積於凹槽區中，此凹槽區係被蝕刻至電容之層間絕緣層 345 中。如此技藝所知，針對製作於存取電晶體上之垂直 MIM 之電容而言，可利用如某個製程和標的電容量所欲

獲得之較薄或較厚的層間絕緣層，來改變垂直側壁的高度。電容之底層係藉由穿透第一絕緣層 347 之介層窗，而耦接至存取電晶體，且藉由典型的接觸窗而耦接至存取電晶體的汲極端，此接觸窗係圖案化至位於 finFET 電晶體上之氧化保護層或氮化保護層。可利用例如電子束(E-beam)蒸鍍或其他方式來形成底層。

施加準分子照射至金底層上，以形成奈米粒子，例如：可使用具有約 248nm 波長且操作於例如約 20Hz 頻率和約 20ns 脈衝寬度(Pulse)之氟化氬(KrF)雷射(此雷射可為如由美國 GSI Lumonics 所製造之 PulseMaster PM-800 之商業上可取得的準分子脈衝雷射)，來處理此金底層。只要在處理後奈米粒子可形成於金屬層中，亦可使用其他頻率和脈衝寬度。於其他實施例中，金層可由類似材料所形成，如銀、鉑或鈮，且可形成數奈米至數微米之厚度。

或者，可使用脈衝雷射沉積技術於金屬層中製造出角錐形。在 Zhou 等人之論文(“Formation of self-assembled epitaxial nickel nanostructure”, Journal of Applied Physics (JAPL) Vol. 94, No. 8, October 2003, pp. 4841-4846; 其亦列為本發明之參考)中，藉由脈衝雷射沉積來沉積氮化鈦(TiN)層和第三鎳化層；而若於 400°C 至 650°C 之溫度範圍進行沉積，則可形成角錐形之奈米結構。此面積增加之結構亦可用在本發明之電容結構的底層中，此結果將增加電容電極板的表面積，因而獲得有效電容。

於底層中形成奈米粒子或角錐形結構後，可使用原子層

沉積 (Atomic Layer Deposition ; ALD) 來共形地沉積由多晶矽、摻雜多晶矽或金屬所製成之第一導電電極。第一電極可至少包含金屬或耐火金屬，例如：包括有氮化鈦 (TiN) 或氮化鈮、鈮、氮矽化鈮、鎢化鈦、鉻化鎳、氮化鈮、鈮、氮化鎢、矽化鎢、銅、鋁、鎢、鈦、鈷、氮、鎳、鈮或其他可組合金屬的任何習知金屬和組合物。此第一電極層之厚度較佳為例如約 50 埃至約 1000 埃。

第一電極層 362 係 MIM 電容之底電極板的一部份，接著，沉積如上所述之介電層，例如高介電常數 (k) 之介電材料或材料組合物。第一電極層 362 可包含如氮化鈮、氧化鈮、氧化鋁之高介電常數 (k) 材料、或如氮化鈣、氧化矽鈣和其類似物之其他習知高介電常數 (k) 材料、包含有鋁、矽、氧、氮、鈦、鈮、銦鈦酸鉛 (Lead-zirconate-titanate ; PZT)、鈦酸鋇鈣 (Barium Strontium Titanate ; BST)、氮化鈮、氧化鋁、二氧化矽、其他介電材料或其組合物。第一介電層 366 係再次沿著底層之奈米粒子圖案共形地形成，且較佳是包含有例如約 10 埃至 500 埃之厚度。

第二電極層 364 (摻雜多晶矽或金屬) 亦係藉由原子層沉積法來沉積，且共形於第一介電層 366、第一電極層 362 和第一金屬層 365。一般，第一電極層 362 和第二電極層 364 係由相同或類似的材料所形成。接著，再使用如半導體技藝所知之接觸窗、介層窗和金屬化來耦接第二電極層 364 至電極板電位，此電極板電位可為固定電位或由習知電路於晶片上所產生的電壓。如上所述，使用銅或鋁金屬化或金屬鑲嵌

(Damascene)製程來完成上電極板。上電極板亦將耦接至固定電極板電位，並可排列成具有在特定區域中與其他電容相連接的共連接，或形成具有共同上電極端的陣列。

第 19 圖係繪示第 16 圖中之電容 341 和 343 的剖面示意放大圖。層間絕緣層 347 係和位於電容 341 和 343 下方之介層窗 361 和 363 一起繪示，以耦接至存取電晶體(未繪示)之汲極端。第一金屬層 365 可為金或其他金屬材料層，例如：鎢、鈦、鈮、鉑、銀、銅、鎳和可用做第一金屬層 365 之其他金屬。在使用準分子雷射法來沉積與形成奈米粒子；或使用金屬脈衝雷射沉積來形成角錐形奈米粒子後，可使用例如原子層沉積或其他能形成共形層於奈米粒子上之沉積技術，來沉積第一電極層 362，藉以達到增加表面積之目的。同樣地，可藉由原子層沉積法或其他沉積技術來沉積第一介電層 366 於第一電極層 362 上，並沉積第二電極層 364，且可填滿整個電容 341 和 343 之凹槽的剩餘空間，以完成電容的製作。

根據本發明之實施例，形成一種新穎的結構。具有一或多個平面 MOS 電晶體之邏輯區係被提供於基材中，此新穎的結構亦包含在相同基材上之具有 MIM 電容和至少一個繡式場效電晶體的記憶體區。較佳地，記憶體區中之存取電晶體為 finFET 電晶體。MIM 電容可包含形成奈米粒子之準分子雷射照射層，用以增加表面積和電容量。形成本發明之結構的新穎製程係以現有的半導體製程和現有的光罩來描述，以使本發明的應用不需昂貴的更換工具(Retooling)步驟。於其他實施例中，電容可不用為儲存資料之記憶體元件，而是做為濾波

器、交換式電容網路、電阻-電容網路、類比-數位轉換器或其他電路的一部份。邏輯區和記憶體區之組合可形成巨集晶胞的佈局，此巨集晶胞包含有 1T RAM 位元晶胞中之至少一個存取 finFET 電晶體和至少一個電容，且亦包含至少一個互補式金屬氧化半導體 (CMOS) 之邏輯電晶體。許多個電晶體可形成為單一巨集晶胞。可製造由許多個巨集晶胞所成之積體電路，其中此積體電路係包含至少一個巨集晶胞，此巨集晶胞包含至少一個記憶體儲存晶胞，而此記憶體儲存晶胞係使用如上所述之存取 finFET 電晶體、MIM 電容和至少一個平面電晶體。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，所附圖式之詳細說明如下：

第 1 圖係繪示習知半導體裝置之剖面示意圖，其中此半導體裝置包含形成於單一裝置結構中之平面電晶體、存取電晶體和 MIM 電容。

第 2 圖係繪示製造第 1 圖之剖面結構之第一部分製程步驟的示意圖。

第 3 圖係繪示額外製程步驟後之第 2 圖之結構的剖面示

意圖。

第 4 圖係繪示施加於第 3 圖之結構的離子植入步驟。

第 5 圖係繪示額外製程步驟後之第 4 圖之裝置的剖面示意圖。

第 6 圖係繪示額外製程步驟後之第 5 圖之裝置的剖面示意圖。

第 7 圖係繪示習知之鰭式場效電晶體裝置的三維示意圖。

第 8 圖係繪示部分製程步驟後之本發明之較佳實施例的剖面示意圖。

第 9 圖係繪示蝕刻步驟後之第 8 圖的剖面示意圖。

第 10 圖係繪示形成淺溝隔離材料後之第 9 圖的剖面示意圖。

第 11 圖係繪示形成塗佈保護層於部分基材上後之第 10 圖的剖面示意圖。

第 12 圖係繪示蝕刻第 11 圖之基材之未保護區後之第 11 圖的剖面示意圖。

第 13 圖係繪示形成氧化物側壁於被蝕刻的鰭狀物上後之第 12 圖的剖面示意圖。

第 14 圖係繪示額外製程步驟後之第 13 圖的剖面示意圖。

第 15 圖係繪示進行額外製程步驟以形成本發明之裝置後之第 14 圖的剖面示意圖。

第 16 圖係繪示本發明之完成較佳實施例的剖面示意圖。

第 17 圖係繪示可使用本發明之結構來形成之例示電路的排列。

第 18 圖係繪示第 16 圖之剖面圖所示之裝置的俯視圖。

第 19 圖係繪示應用於本發明之 MIM 電容的放大剖面示意圖。

除非另外指示，否則不同圖示中之相對應的元件符號與象徵通常係代表相對應的元件。圖示係為清楚說明本發明之較佳實施例的相關方面，而並不需要按尺寸比例繪示。

#### 【主要元件符號說明】

100：半導體裝置	101、201、300、301：基材
102、303：墊氧化層	103：N型井
104：氮化材料層	105：P型井
106、308：溝渠氧化物	107：淺溝渠隔離區
111、113、115、119：電晶體	
112：光阻塗佈保護層	
114、331、333：源極/汲極區	
121：MIM電容	122：閘介電層
123、129、133、135、137：接觸插塞	
124：側壁氧化層	126：共形保護氧化層
131、132、134、136、138、177：介層窗堆疊	
153、155、157：層間氧化層	
143、353、355：金屬導體層	
145、147、149、151：導電金屬	
203：鰭狀物	205：閘極氧化層
207、315：閘極	305：墊氮化層

- |                 |               |
|-----------------|---------------|
| 307：淺溝渠隔離區      | 309：鰭狀物       |
| 310、330：光罩塗佈    | 311：氧化側壁      |
| 313：介電材料層       | 321：平面電晶體     |
| 323、325：鰭式場效電晶體 |               |
| 327：字元線         |               |
| 341、343：電容      | 345、347：層間絕緣層 |
| 350：氧化保護層       | 361、363：介層堆疊窗 |
| 362：第一電極層       | 364：第二電極層     |
| 365：第一金屬層       | 366：第一介電層     |
| 371、373：源極接通體   |               |

## 五、中文發明摘要

### 單一電晶體型和巨集電晶體型之半導體裝置的製造方法與結構

一種單一電晶體(1T-RAM)型之隨機存取記憶位元晶胞和其製造方法。其係提供一種MIM(Metal-Insulator-Metal; 金屬/絕緣體/金屬)電容結構; 及於包含有1T-RAM位元晶胞之finFET電晶體(緒式場效電晶體)的整合積體製程中, 製造MIM電容結構的方法。此finFET電晶體和MIM電容係形成於記憶體區, 並揭示非對稱製程。1T-RAM記憶晶胞和其他電晶體可結合成巨集(Macro)晶胞, 而多個巨集晶胞可形成積體電路。MIM電容可包含奈米粒子或奈米結構, 以有效增加電容量。FinFET電晶體可形成於絕緣體上, 而MIM電容可形成於基材之層間絕緣層中。此製造上述結構的製程可利於使用習知光罩。

## 六、英文發明摘要

### Method and Structure for a 1T-RAM Bit Cell and Macro

A one transistor (1T-RAM) bit cell and method for manufacture are provided. A metal-insulator-metal (MIM) capacitor structure and method of manufacturing it in an integrated process that includes a finFET transistor for the 1T-RAM bit cell is provided. In some embodiments, the finFET transistor and MIM capacitor are formed in a memory region and an asymmetric processing method is disclosed, which allows planar MOSFET transistors to be formed in another region of a single device. In some embodiments, the 1T-RAM cell and additional transistors may be combined to form a macro cell, multiple macro cells may form an integrated circuit. The MIM capacitors may include nanoparticles or nanostructures to increase the effective capacitance. The finFET transistors may be formed over an insulator. The MIM capacitors may be formed in interlevel insulator layers above the substrate. The process provided to manufacture the structure may advantageously use conventional photomasks.

## 十、申請專利範圍

1. 一種半導體裝置，至少包含：

一基材；

一平面金屬氧化半導體 (Metal Oxide Semiconductor; MOS) 電晶體，形成於該基材之一第一區中；

至少一鰭式場效電晶體 (finFET)，形成於該基材之一第二區中；

複數個淺溝渠隔離區，形成於該第一區和該第二區之間；

一第一絕緣層，形成於該基材上；

一第二絕緣層，形成於該第一絕緣層上；以及

至少一 MIM (Metal-Insulator-Metal; 金屬/絕緣體/金屬) 電容，形成於該第二絕緣層中。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中該鰭式場效電晶體係具有一端點，該端點係電性連接至該至少一 MIM 電容之一第一電極，該鰭式場效電晶體和該至少一 MIM 電容因而形成一儲存晶胞於該第二區中。

3. 如申請專利範圍第 2 項所述之半導體裝置，其中該 MIM 電容之該第一電極係由一織構狀表面所形成。

4. 如申請專利範圍第 2 項所述之半導體裝置，其中

該 MIM 電容之該第一電極係由半晶粒型(Hemispherical Grain；HSG)材料所形成。

5. 如申請專利範圍第 1 項所述之半導體裝置，其中該 MIM 電容更至少包含：

一第一金屬層，沉積於該第二絕緣層之一凹槽中，其中該第一金屬層具有複數個奈米粒子；

一第一電極層，共形地沉積於該第一金屬層上，其中該第一電極層至少包含一導電材料；

一第一介電層，共形地沉積於該第一電極層上，其中該第一介電層至少包含一高介電常數(High-k)之介電材料；以及

一第二電極層，共形地沉積於該第一介電層上，其中該二電極至少包含一導電材料，用以接收之一電位。

6. 如申請專利範圍第 1 項所述之半導體裝置，其中該鰭式場效電晶體至少包含：

一矽鰭，形成於該基材之一凹槽中，其中該矽鰭係由該基材所形成，該矽鰭具有複數個側壁，和包含半導體摻雜物之源極區和汲極區；

一閘極介電材料層，沉積於該矽鰭上，且定義出一通道區；以及

一閘極電極，沉積於該矽鰭上，並形成來位於該通道區中之該矽鰭之上且與其相交錯，該閘極電極和該閘極介

電材料層係形成一 MOS 電晶體之一閘極區；

其中該閘極電極和該閘極介電材料層係位於該矽鍺之該些側壁上，藉以形成一多閘極 MOS 電晶體。

7. 如申請專利範圍第 6 項所述之半導體裝置，其中該鍺式場效電晶體更至少包含：

位於該矽鍺之頂表面上之該閘極電極和該閘極介電材料層，以形成一三閘極 MOS 電晶體。

8. 如申請專利範圍第 7 項所述之半導體裝置，其中該鍺式場效電晶體係一 P 型電晶體，而汲極電流係沿著該基材之表面流動。

9. 如申請專利範圍第 7 項所述之半導體裝置，其中該鍺式場效電晶體係一 N 型電晶體，而汲極電流係沿著該基材之表面流動。

10. 如申請專利範圍第 1 項所述之半導體裝置，其中形成於該第一區中之該平面金屬氧化半導體電晶體係由沉積於該基材上之一應變半導體材料所形成。

11. 如申請專利範圍第 10 項所述之半導體裝置，其中形成於該第一區中之該平面金屬氧化半導體電晶體係由一應變矽化鍺(SiGe)材料所形成。

12. 如申請專利範圍第 10 項所述之半導體裝置，其中該平面金屬氧化半導體電晶體之源極和汲極係形成於一提昇區 (Raised Region) 中，該提昇區係形成於該基材之表面的上方。

13. 如申請專利範圍第 1 項所述之半導體裝置，其中形成於該第一區之該平面金屬氧化半導體電晶體和形成於該第二區中之該鰭式場效電晶體係耦接在一起，而形成一巨集晶胞 (Macro Cell)。

14. 一種製造積體電路裝置的方法，其中該積體電路裝置至少包含一記憶體儲存晶胞，該製造積體電路裝置的方法至少包含：

定義一邏輯區和一記憶體區於一基材中；

提供填充有一溝渠隔離絕緣材料之複數個淺溝渠隔離區於該基材中；

使用一第一記憶體核心之輕摻雜汲極的步進式光罩，來形成一第一塗佈光阻於該基材上，並在留下暴露出之該記憶體區時，圖案化該第一記憶體核心之輕摻雜汲極的步進式光罩以覆蓋該邏輯區；

以該記憶體區中之暴露出的側壁來形成至少一矽鰭；

沉積一閘極介電材料層於該基材上；

沉積一閘極電極材料層於該閘極介電材料層上；

形成一第二塗佈光阻層於該基材上；

圖案化該第二塗佈光阻層於該基材上，以定義出至少一第一閘極電極於該邏輯區上、及至少一第二閘極電極於該矽鍍相交錯之該記憶體區上；

蝕刻該第二塗佈光阻層、該閘極電極材料層和該閘介電材料層，以暴露出該閘極電極材料層和該閘介電材料層之側壁；

使用該第一記憶體核心之輕摻雜汲極的步進式光罩，來形成一第三塗佈光阻層於該邏輯區上，且在留下暴露出之該記憶體區時，形成該第三塗佈光阻層於該邏輯區上；

植入源極和汲極摻雜材料至位於鄰近該第二閘極電極之該記憶體區的該至少一矽鍍中，以形成一鍍式場效電晶體；

去除該邏輯區上之該第三塗佈光阻層，並形成一第四塗佈光阻層於該記憶體區上，且留下暴露出之該邏輯區；

植入源極和汲極摻雜材料至位於鄰近該第一閘極電極之側壁之該邏輯區的該基材中，以形成至少一平面金屬氧化半導體電晶體之源極端和汲極端；

形成一第一層間絕緣層於該基材上；

形成一第二層間絕緣層於該第一層間絕緣層上；以及

形成一 MIM 電容於該記憶體區上之該第二層間絕緣層中，其中該 MIM 電容之一底電極係穿過該第一層間絕緣層電性連接至該鍍式場效電晶體；

藉以使該 MIM 電容和該至少一鱗式場效電晶體係一起形成一記憶體儲存晶胞於該記憶體區中。

15. 如申請專利範圍第 14 項所述之製造積體電路裝置之方法，更至少包含：

形成該平面金屬氧化半導體電晶體於該記憶體區外面之該基材上。

16. 如申請專利範圍第 14 項所述之製造積體電路裝置之方法，其中該形成該 MIM 電容的步驟更至少包含：

形成一凹槽於該第二層間絕緣層中；

形成一金屬層於該凹槽內；

處理該金屬層而形成複數個奈米結構；

共形地沉積一第一電極層於該金屬層上；

共形地沉積一高介電材料層於該第一電極層上；

共形地沉積一第二電極層於該高介電材料層上；

沉積一頂導體金屬層於該第二電極層上；以及

圖案化該基材，以定義出該 MIM 電容，並蝕刻該 MIM 電容外面的材料，以去除多餘之該第一電極層、該介電層、第二電極層和該頂金屬導體層。

17. 如申請專利範圍第 16 項所述之製造積體電路裝置之方法，其中該形成該些奈米結構的步驟更至少包含：

以一準分子雷射的放射線處理該金屬層，以形成複數

個奈米粒子。

18. 如申請專利範圍第 16 項所述之製造積體電路裝置之方法，其中該形成該些奈米結構的步驟更至少包含：

以一脈衝式雷射沉積法來沉積一第一氮化鈦金屬層；以及

以該脈衝式雷射沉積法來沉積一第二鎳金屬層，以形成複數個鎳的角錐型奈米結構。

19. 如申請專利範圍第 16 項所述之製造積體電路裝置之方法，其中該沉積該介電材料層的步驟至少包含：

沉積選自由鋁、矽、氧、氮、鈦、氟化氫、矽、銻、銻酸鉛 (Lead-zirconate-titanate ; PZT)、鈦酸鋇鉍 (Barium Strontium Titanate ; BST)、氮化鈮、氧化鋁、二氧化矽、氮氧化矽鈣 (HfSiON) 及其結合物所組成之一族群的材料。

20. 如申請專利範圍第 16 項所述之製造積體電路裝置之方法，其中該沉積該介電材料層的步驟更至少包含：

沉積由一第一氧化鈣 ( $\text{HfO}_2$ ) 層和一第二氧化鋁 ( $\text{Al}_2\text{O}_3$ ) 層所組成的一積層 (Laminate) 材料。

21. 如申請專利範圍第 16 項所述之製造積體電路裝置之方法，其中該沉積該介電材料層的步驟更至少包含沉積氧化鋁鈮 ( $\text{AlTaO}_x$ ) 材料的步驟。

22. 如申請專利範圍第 14 項所述之製造積體電路裝置之方法，其中該形成該 MIM 電容的步驟更至少包含：

共形地沉積半球狀晶粒多晶矽之一第一電極層於一凹槽中；

共形地沉積一高介電常數之介電材料的一介電層於該第一電極層上；

共形地沉積一第二電極層於該介電層上；

沉積一頂導體金屬層於該第二電極層上；以及

圖案化該基材，以定義出該 MIM 電容，並蝕刻該 MIM 電容外面的材料，以去除多餘之該第一電極層、該介電層、第二電極層和該頂金屬導體層。

23. 如申請專利範圍第 14 項所述之製造積體電路裝置之方法，更至少包含：

耦接該記憶體區中之該記憶體儲存晶胞至該邏輯區中之該平面金屬氧化半導體電晶體，以形成一巨集晶胞。

24. 一種半導體裝置，包含一邏輯區和一嵌入式記憶區，其中該半導體裝置至少包含：

一半導體基材，具有複數個淺溝渠隔離區形成於其中，並包含一溝渠隔離體；

至少一平面金屬氧化半導體電晶體，形成於該基材之該邏輯區中，其中該邏輯區係透過該些淺溝渠隔離區之至

少一者，而與該嵌入式記憶區隔離；

至少一 鳍式場效電晶體，形成於該嵌入式記憶區中之一矽鳍狀物上，其中該矽鳍狀物係形成在兩相鄰之淺溝渠隔離區間；以及

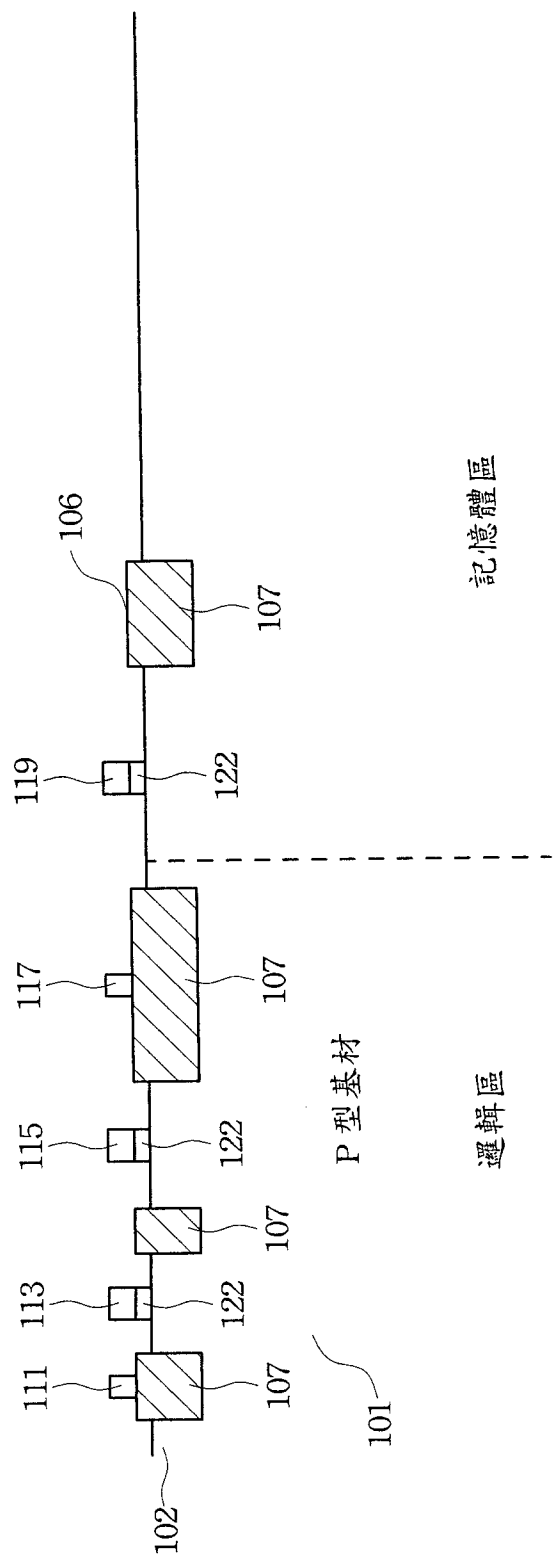
至少一 MIM 電容，形成於該嵌入式記憶區中，其中該至少一 MIM 電容至少包含一第一導電層、設置成於該第一導電層上之一介電層、和形成於該介電層上之一第二導電層，該第一導電層係耦接至該鳍式場效電晶體。

25. 如申請專利範圍第 24 項所述之半導體裝置，更至少包含：

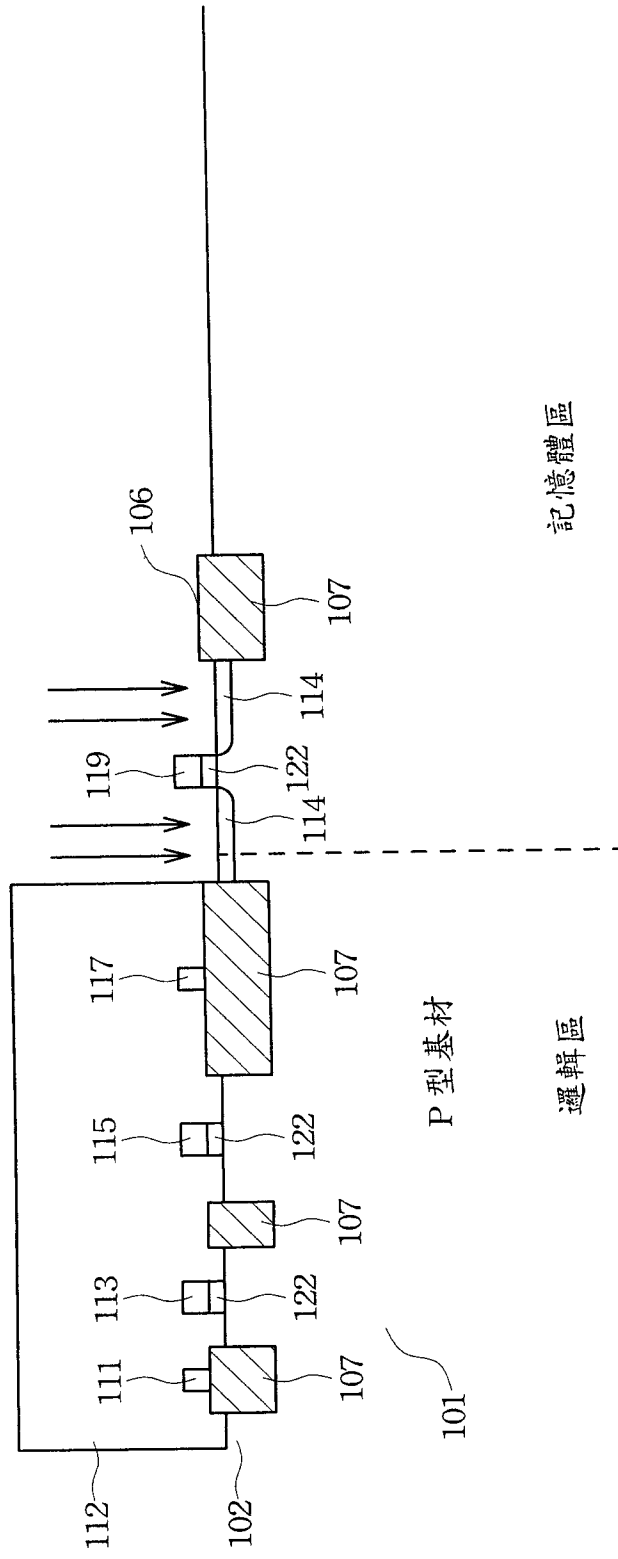
一巨集晶胞，其中將該至少一 鳍式場效電晶體和該至少一 MIM 電容耦接在一起，以形成一第一記憶儲存晶胞，並耦接該第一記憶儲存晶胞至該至少一平面金屬氧化半導體電晶體，來形成該巨集晶胞。





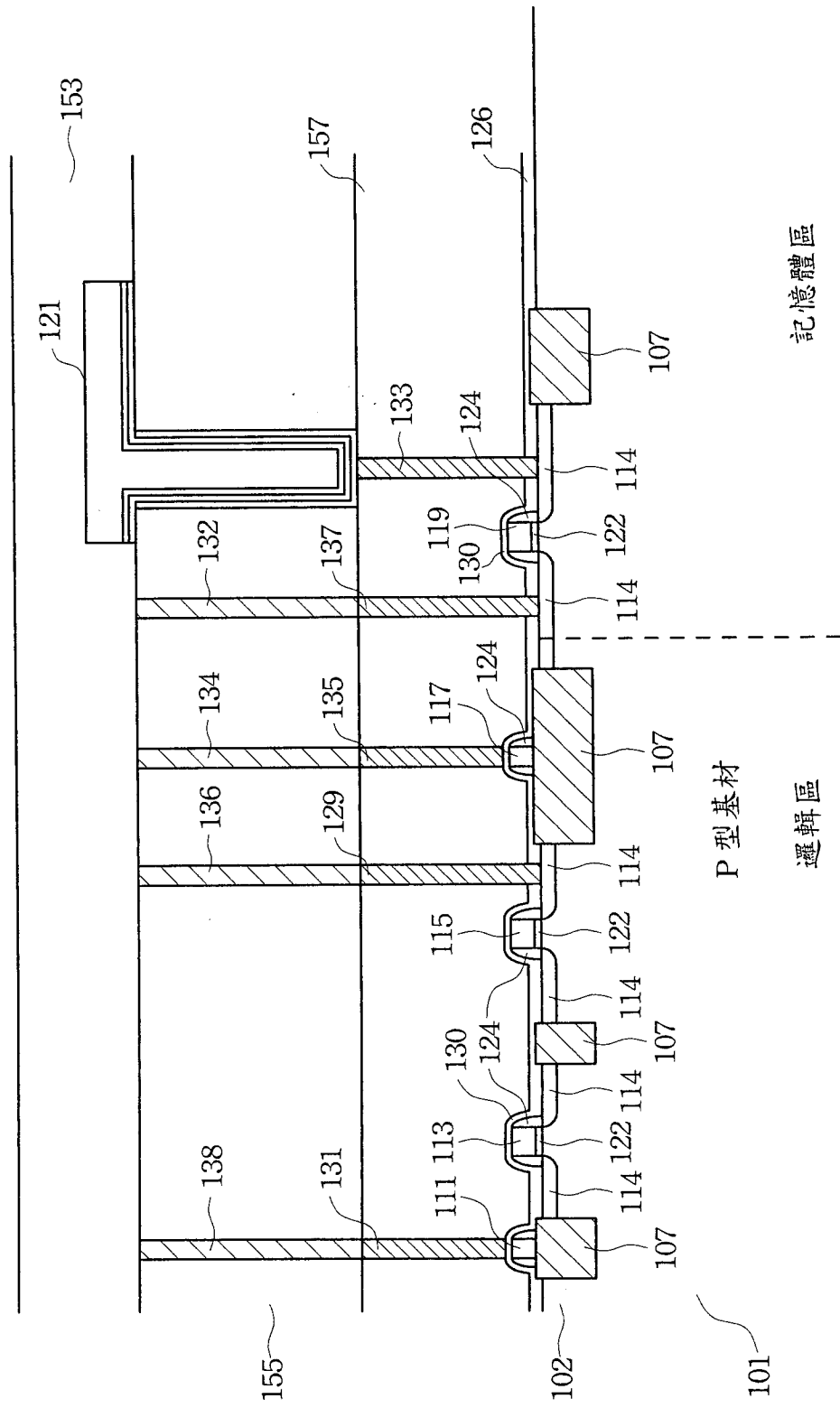


第3圖

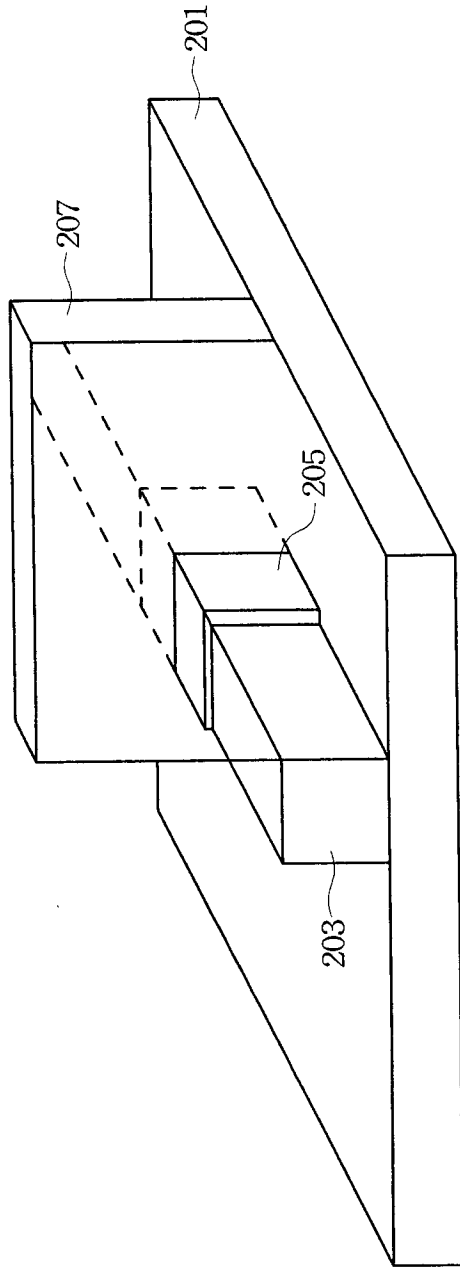


第 4 圖

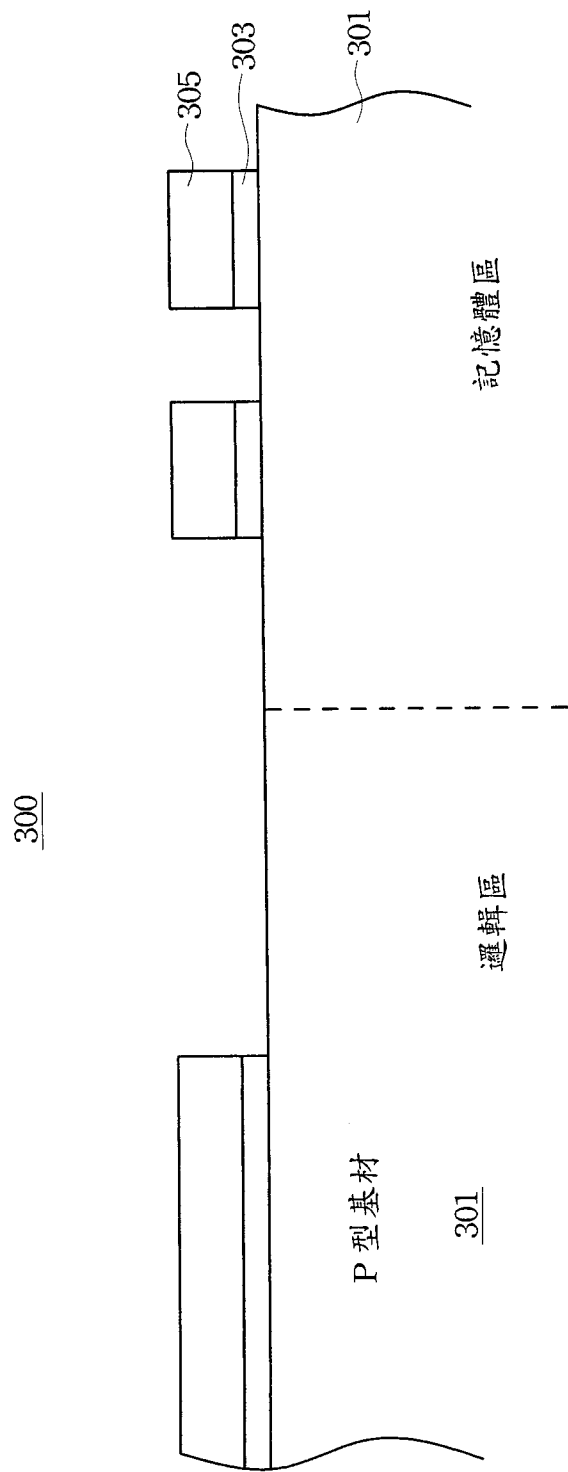




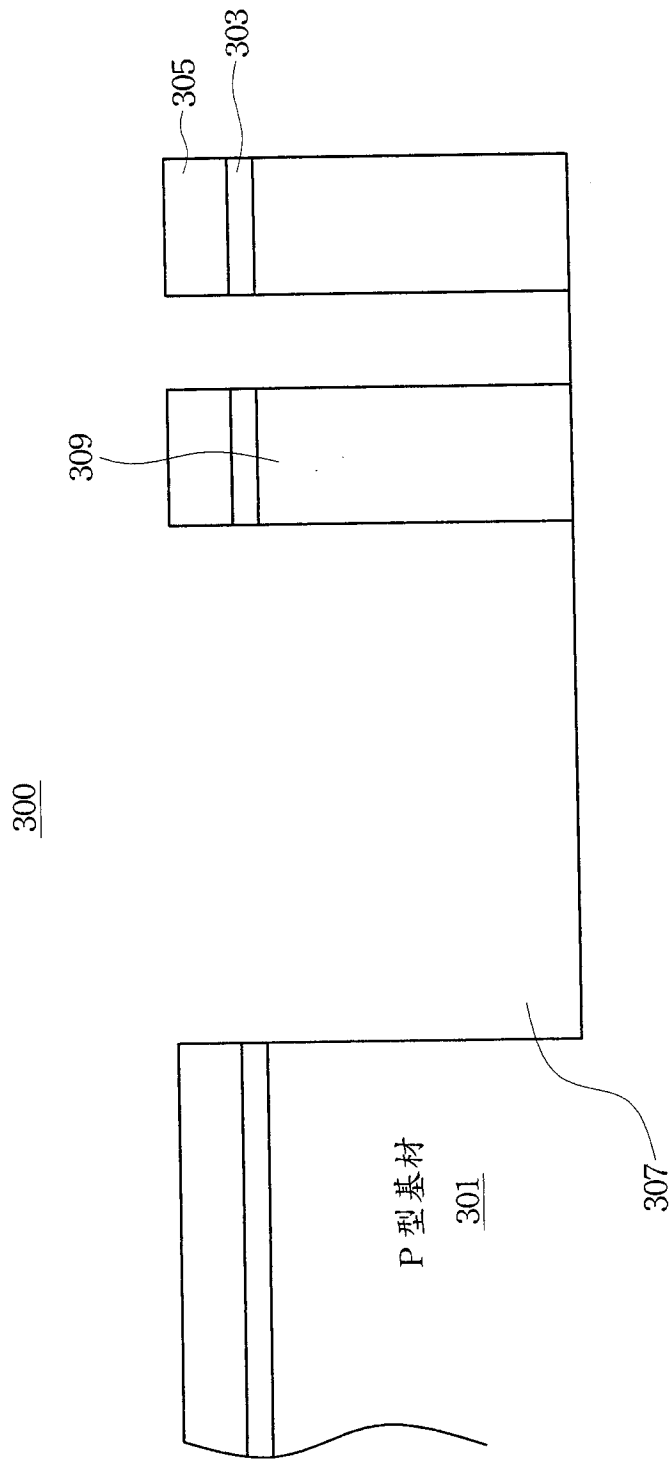
第 6 圖



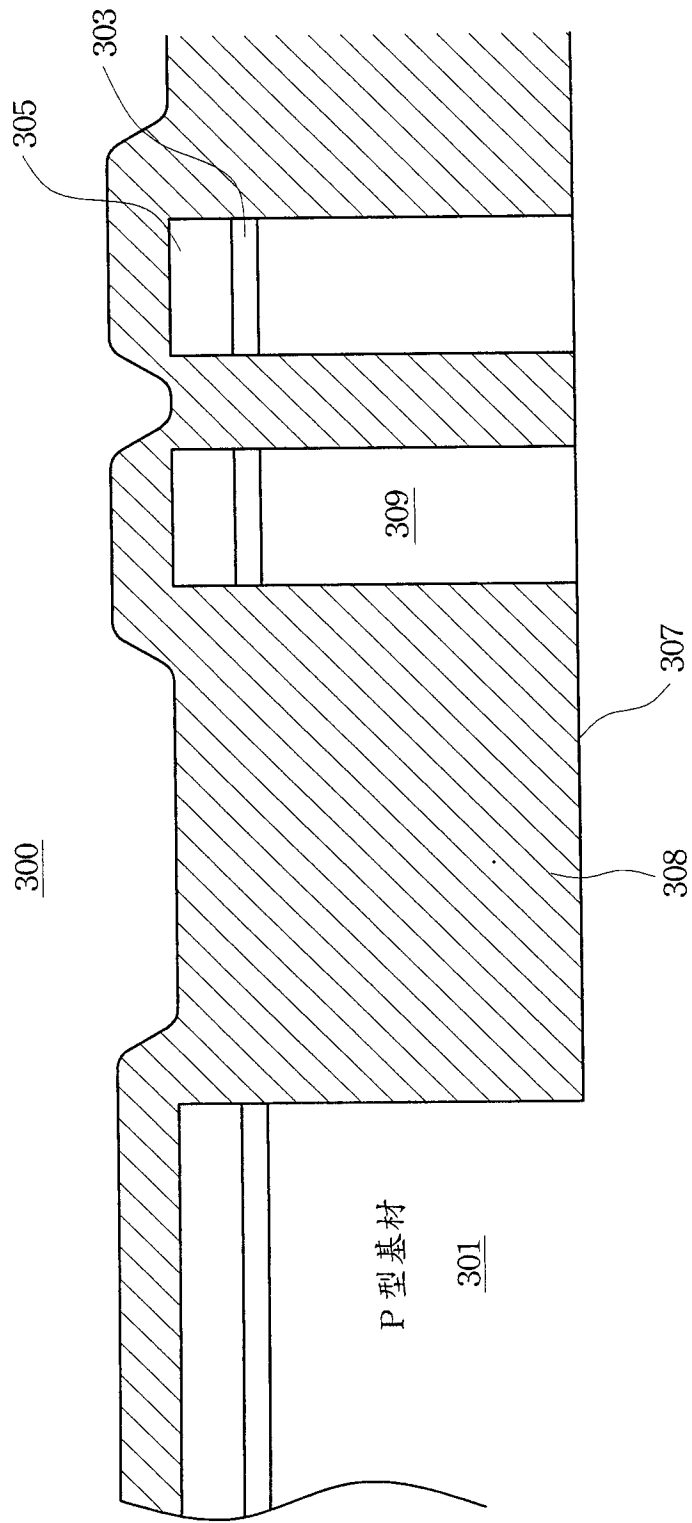
第7圖



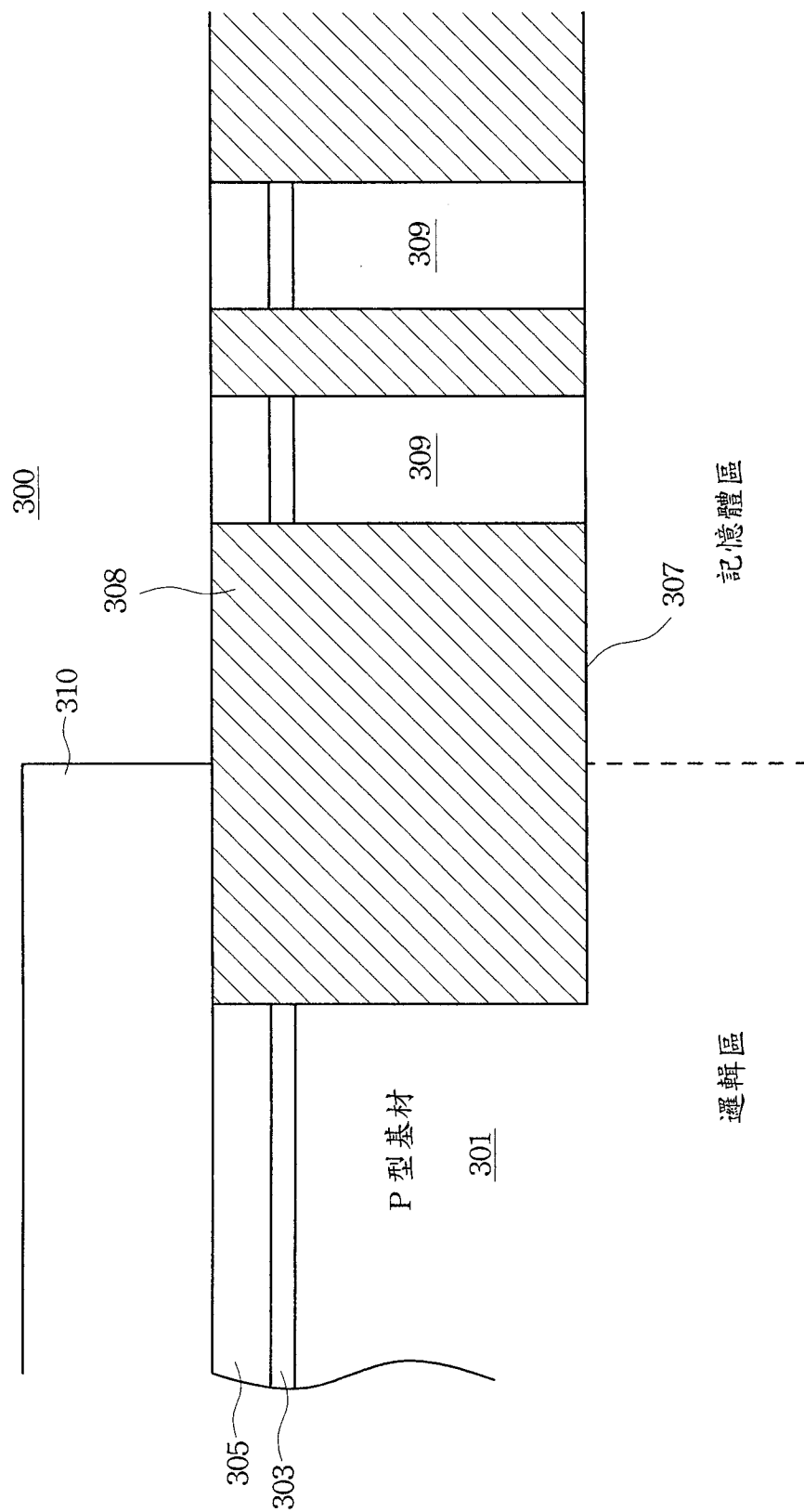
第 8 圖



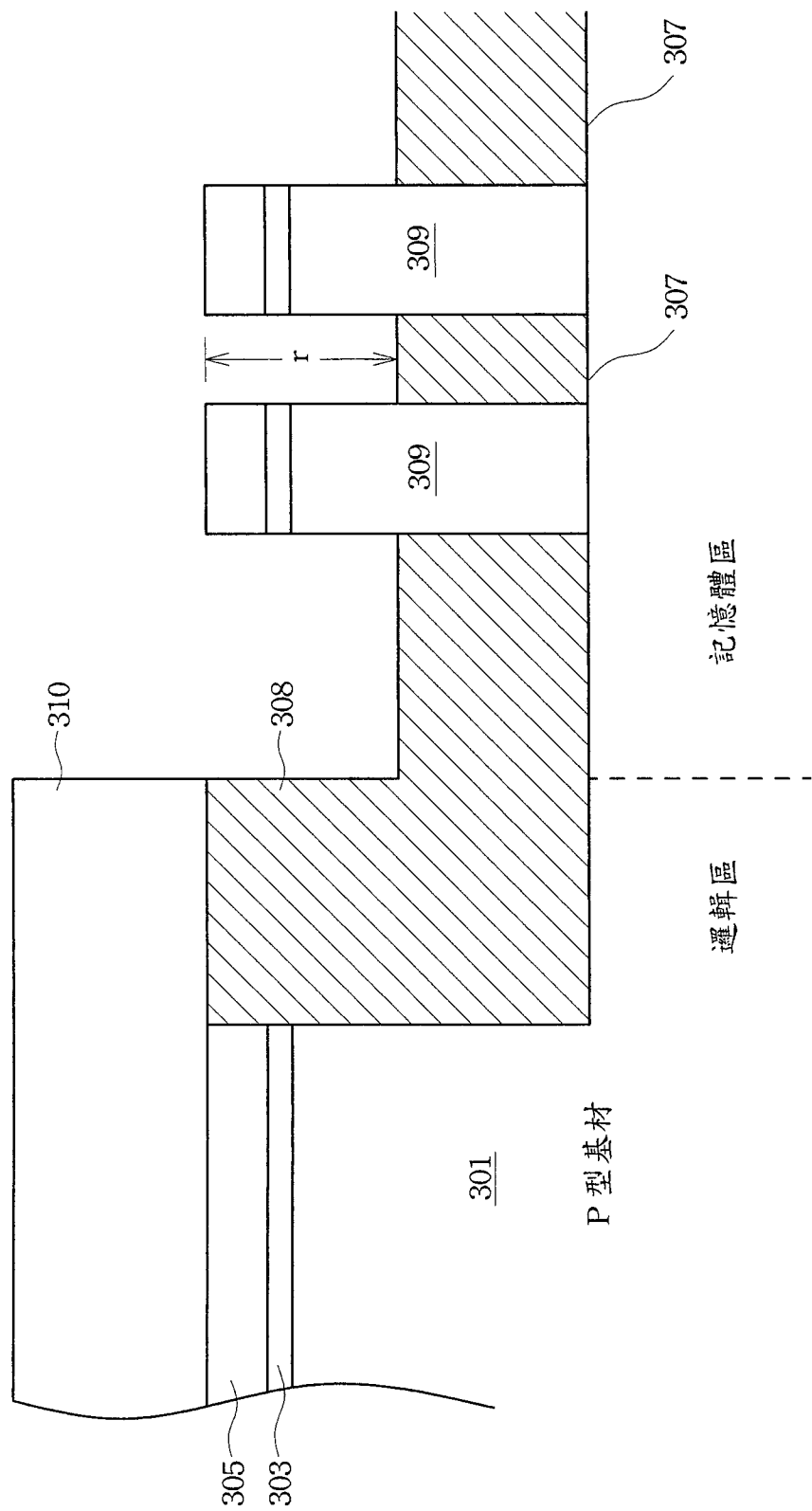
第9圖



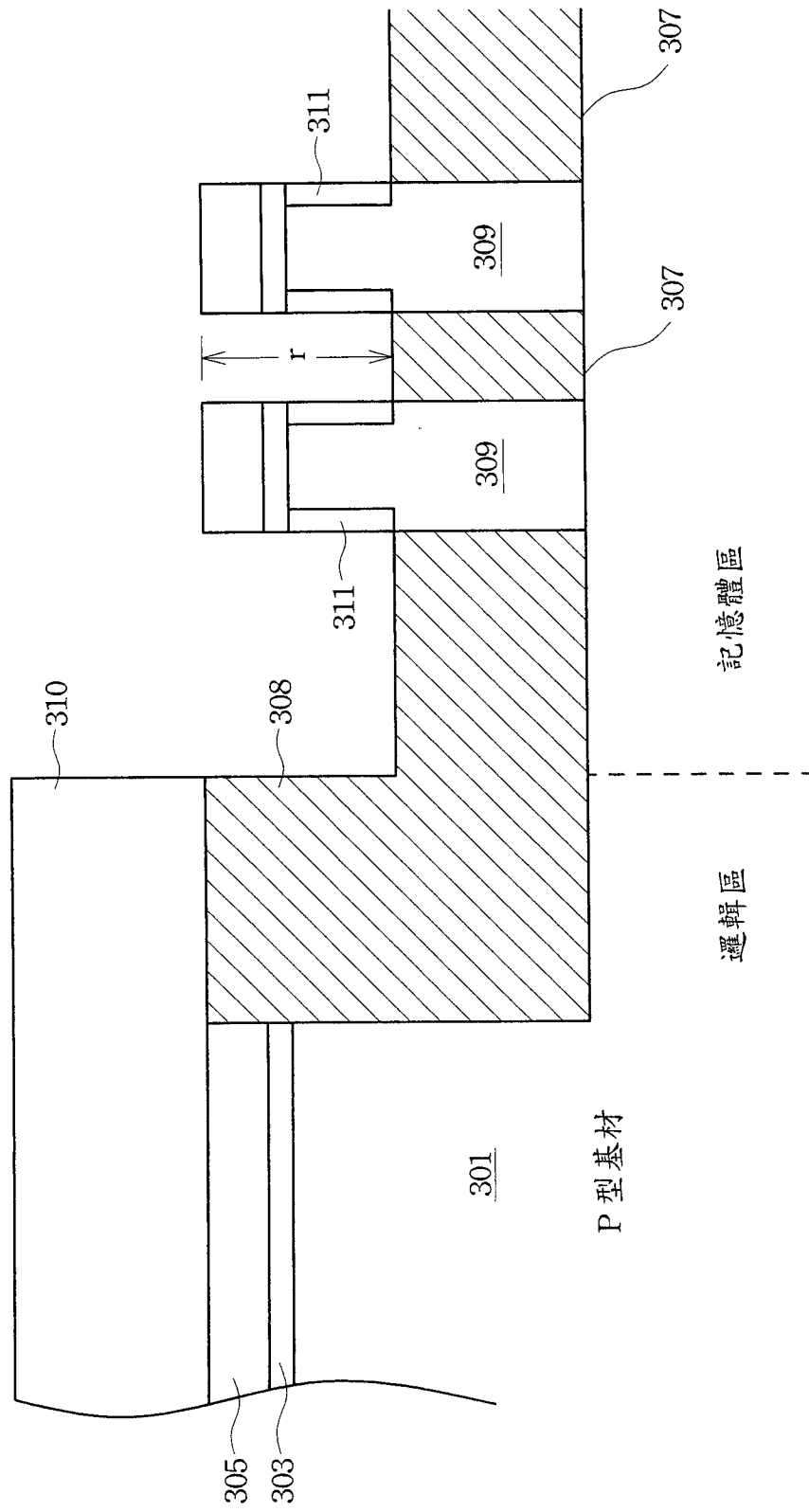
第 10 圖



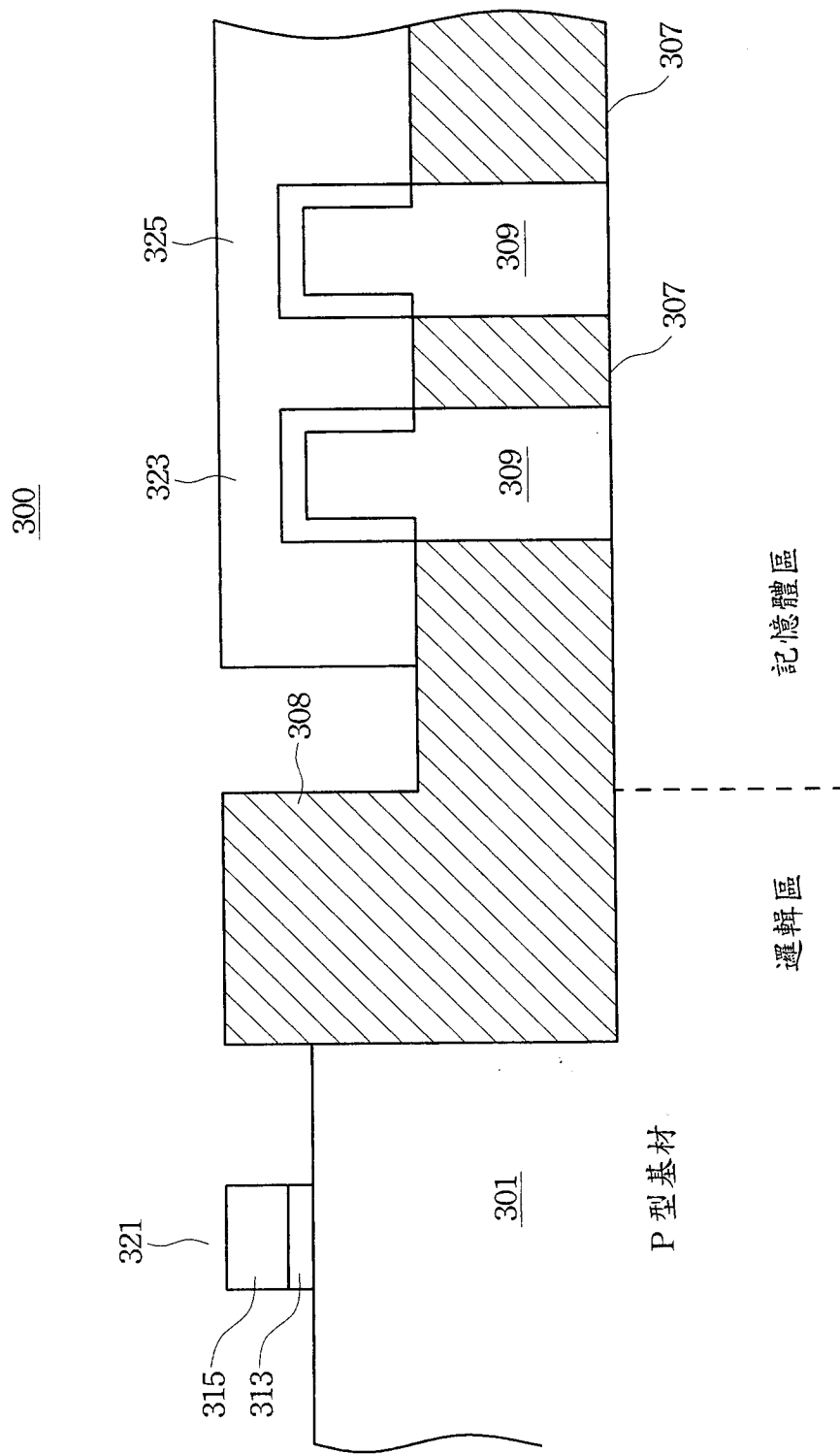
第 11 圖



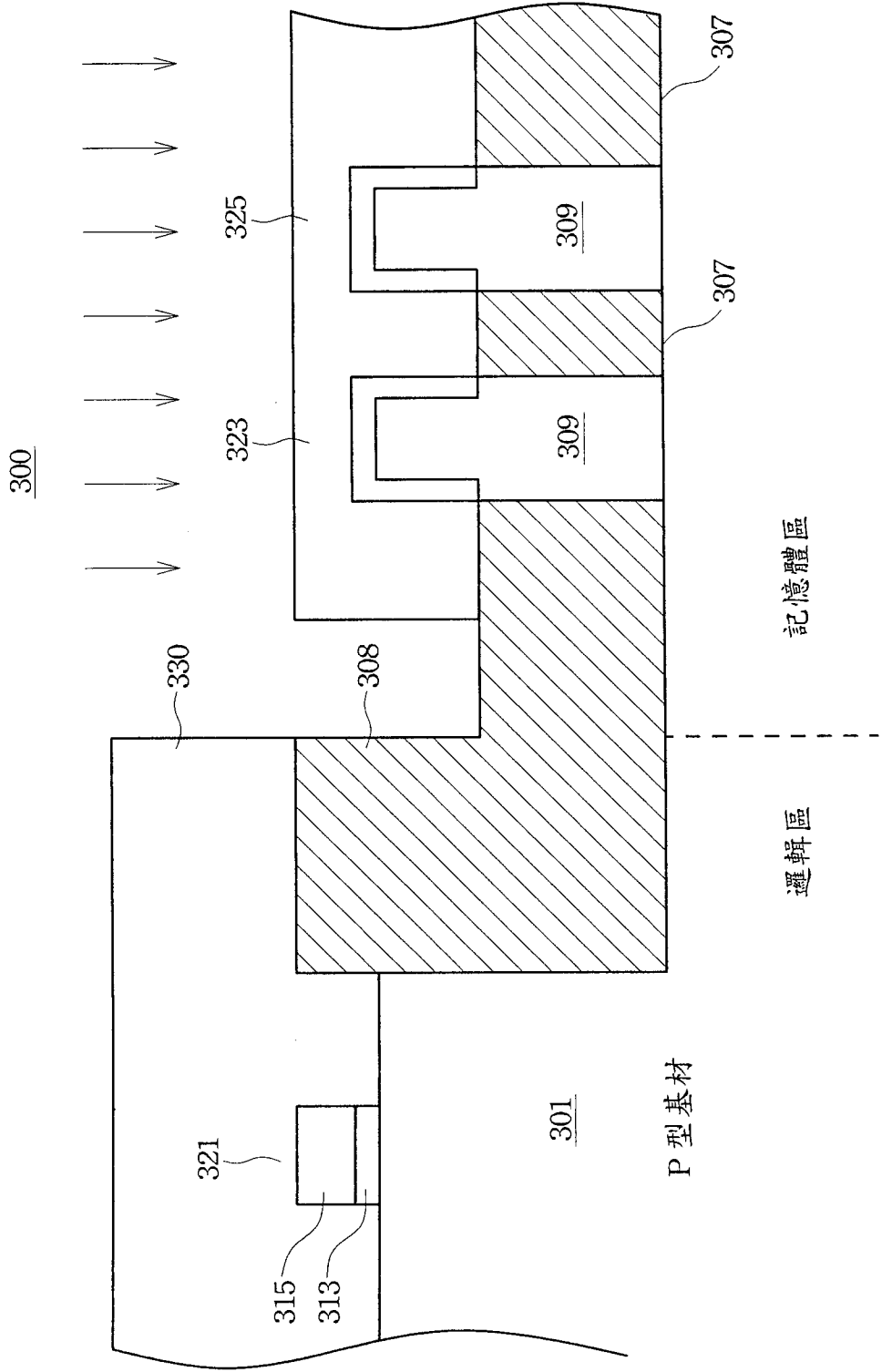
第 12 圖



第 13 圖

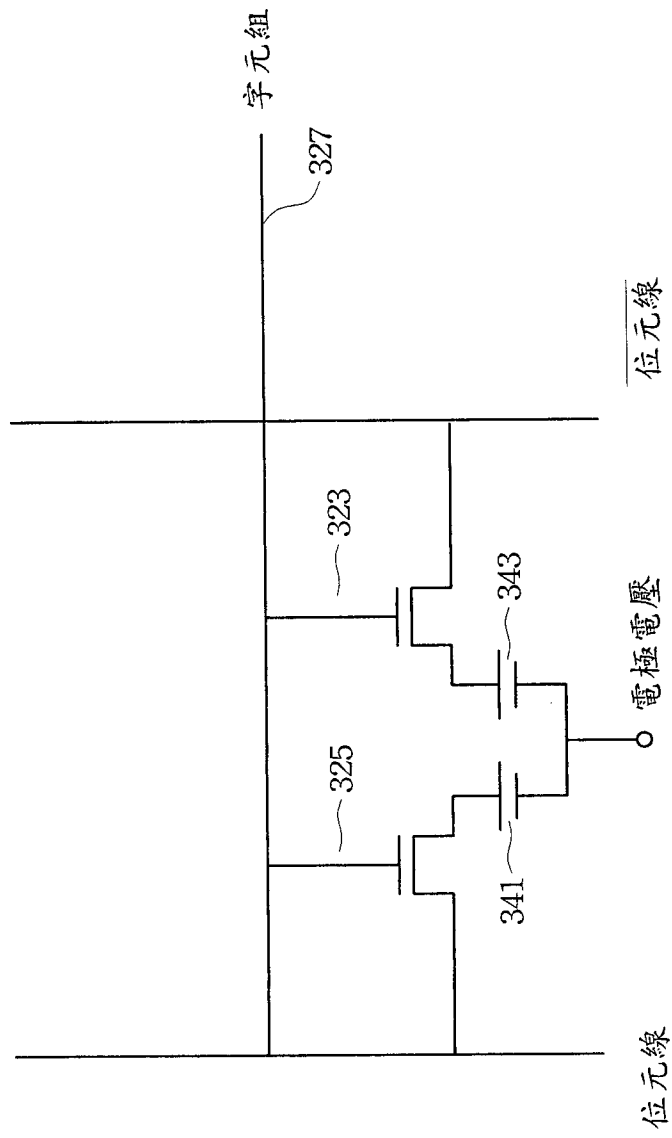


第 14 圖

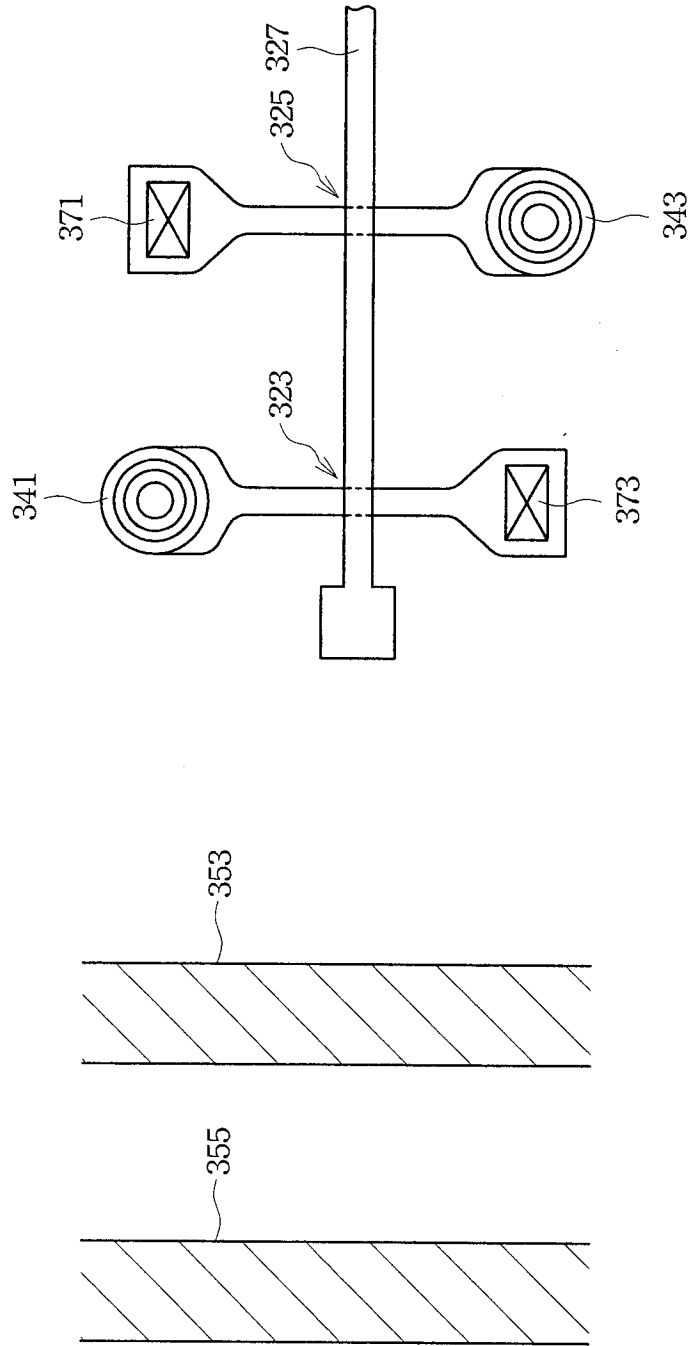


第 15 圖

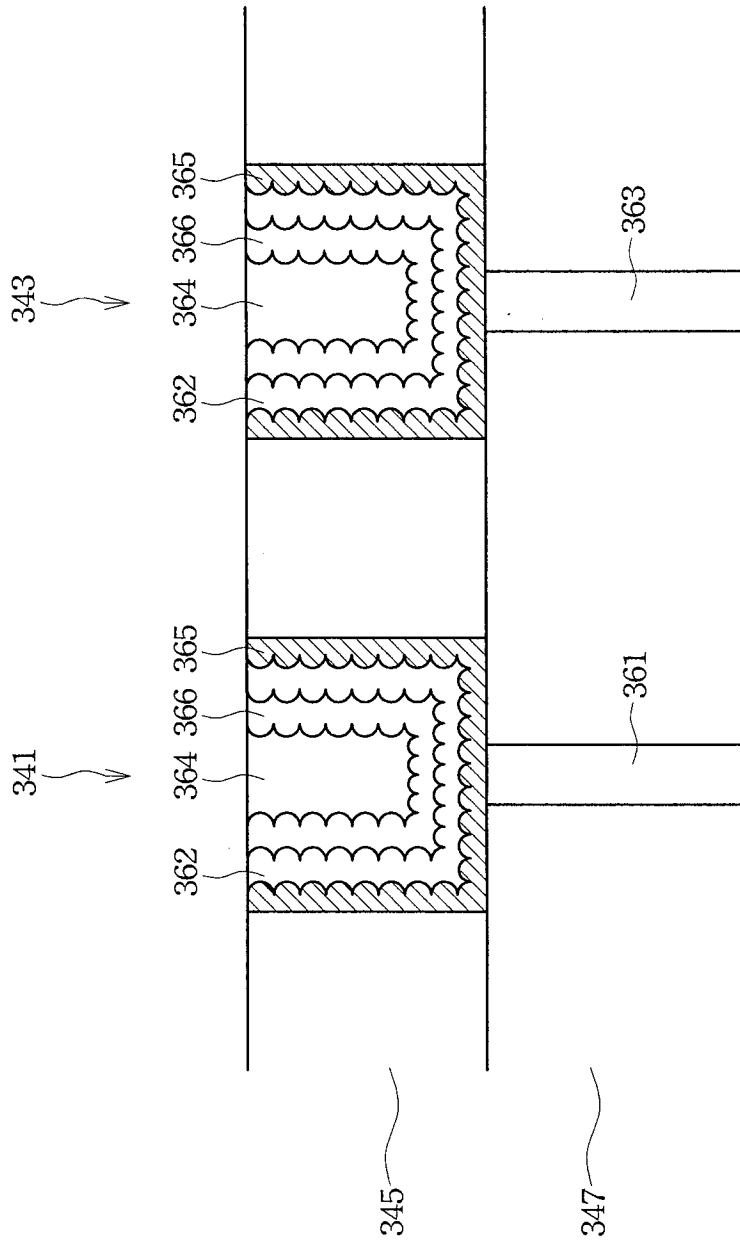




第 17 圖



第 18 圖



第 19 圖

七、(一)、本案指定代表圖為：第 16 圖

(二)、本代表圖之元件代表符號簡單說明：

300：基材

301：基材

307：淺溝渠隔離區

308：溝渠氧化物

309：緒狀物

313：介電材料層

315：閘極

321：平面電晶體

341、343：電容

345、347：層間絕緣層

350：氧化保護層

353、355：金屬導體層

361、363：介層堆疊窗

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：