



(12)发明专利申请

(10)申请公布号 CN 110751968 A

(43)申请公布日 2020.02.04

(21)申请号 201910867358.7

(22)申请日 2019.09.12

(71)申请人 浙江省北大信息技术高等研究院

地址 311200 浙江省杭州市萧山区宁围镇

市心北路857号288-1室

申请人 杭州未名信科科技有限公司

(72)发明人 刘毅华 肖韩 王宗巍 蔡一茂

(74)专利代理机构 北京辰权知识产权代理有限公司

公司 11619

代理人 刘广达

(51)Int.Cl.

G11C 11/413(2006.01)

G11C 7/24(2006.01)

权利要求书1页 说明书4页 附图4页

(54)发明名称

用于PUF的电路结构、获取PUF数据的方法及电子设备

(57)摘要

本申请提供一种用于PUF的电路结构、获取PUF数据的方法及电子设备,该电路结构包括:存储矩阵,所述存储矩阵包括多个存储单元;其中每个所述存储单元被施加形成电压;读取单元,用于读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元;所述比较单元,用于比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。相较于现有技术,由于存储单元阻值分布更加的不收敛,因此更加容易实现PUF功能,可以节约各种芯片的制造成本。



1. 一种用于物理不可克隆功能PUF的电路结构,其特征在于,包括:
存储矩阵,所述存储矩阵包括多个存储单元;其中,每个所述存储单元被施加形成电压;
读取单元,用于读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元;
所述比较单元,用于比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。
2. 根据权利要求1所述的电路结构,其特征在于,所述存储矩阵采用忆阻器阵列,所述存储单元为忆阻器器件。
3. 根据权利要求2所述的电路结构,其特征在于,所述忆阻器器件的制作材料为氧化钽。
4. 一种利用权利要求1至3任一项所述电路结构获取PUF数据的方法,其特征在于,包括:
对所述存储矩阵中的每个存储单元施加形成电压;
读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元;
利用所述比较单元比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。
5. 根据权利要求4所述的获取PUF数据的方法,其特征在于,所述存储矩阵采用忆阻器阵列,所述存储单元为忆阻器器件。
6. 根据权利要求5所述的获取PUF数据的方法,其特征在于,所述忆阻器器件的制作材料为氧化钽。
7. 一种电子设备,其特征在于,包括权利要求1至3任一项所述的用于PUF的电路结构。

用于PUF的电路结构、获取PUF数据的方法及电子设备

技术领域

[0001] 本申请涉及半导体技术领域,具体涉及一种用于PUF的电路结构、获取PUF数据的方法及电子设备。

背景技术

[0002] 物理不可克隆功能(Physical Unclonable Function,PUF)是一种“数字指纹”,用作半导体设备(如微处理器)的唯一身份。PUF基于在半导体制造过程中自然发生的物理变化,使得利用这些物理变化来区分其它相同的半导体成为可能。

[0003] 当前主流的基于存储器的PUF器件是基于SRAM(Static Random Access Memory,静态随机存取存储器)实现的,但是SRAM作为挥发性存储器,其工作状态依赖于外界电源,并且其基于晶体管的制造工艺偏差较小,实现PUF功能难度较大。再有,随着器件越做越小,各种芯片的产量也越来越大,因此随着数量的增大,传统的基于SRAM的PUF数量也直线上升,然而基于SRAM的PUF有着较大的面积,导致芯片中PUF面积比重增加,成本增大。

发明内容

[0004] 本申请的目的是提供一种用于物理不可克隆功能PUF的电路结构、一种获取PUF数据的方法及一种电子设备,以更加容易实现PUF功能,节约各种芯片的制造成本。

[0005] 本申请第一方面提供一种用于PUF的电路结构,包括:

[0006] 存储矩阵,所述存储矩阵包括多个存储单元;其中,每个所述存储单元被施加形成电压;

[0007] 读取单元,用于读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元;

[0008] 所述比较单元,用于比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。

[0009] 在本申请的一些实施方式中,所述存储矩阵采用忆阻器阵列,所述存储单元为忆阻器器件。

[0010] 在本申请的一些实施方式中,所述忆阻器器件的制作材料为氧化钽。

[0011] 本申请第二方面提供一种利用上述第一方面的电路结构获取PUF数据的方法,包括:

[0012] 对所述存储矩阵中的每个存储单元施加形成电压;

[0013] 读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元;

[0014] 利用所述比较单元比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。

[0015] 在本申请的一些实施方式中,所述存储矩阵采用忆阻器阵列,所述存储单元为忆阻器器件。

[0016] 在本申请的一些实施方式中,所述忆阻器器件的制作材料为氧化钽。

[0017] 本申请第三方面提供一种电子设备,该电子设备包括上述第一方面中的用于PUF的电路结构。

[0018] 相较于现有技术,本申请提供的用于PUF的电路结构、获取PUF数据的方法及电子设备,该电路结构包括:存储矩阵,所述存储矩阵包括多个存储单元;其中每个所述存储单元被施加形成电压。读取单元,用于读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元。所述比较单元,用于比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。相较于现有技术,由于存储单元阻值分布更加的不收敛,因此更加容易实现PUF功能,可以节约各种芯片的制造成本。

附图说明

[0019] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本申请的限制。而且在整个附图中,用相同的参考符号表示相同的部件。

[0020] 图1示出了本申请的一些实施方式所提供的一种用于PUF的电路结构的示意图;

[0021] 图2示出了基于氧化钽的忆阻器器件的工作原理示意图;

[0022] 图3示出了基于氧化钽忆阻器器件制备出的忆阻器阵列的示意图;

[0023] 图4示出了忆阻器阵列在施加适当的形成电压后存储单元的状态分布图;

[0024] 图5示出了本申请的一些实施方式所提供的一种获取PUF数据的方法的流程图;

[0025] 图6示出了本申请的一些实施方式所提供的一种电子设备的示意图。

具体实施方式

[0026] 下面将参照附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式,然而应当理解,可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反,提供这些实施方式是为了能够更透彻地理解本公开,并且能够将本公开的范围完整的传达给本领域的技术人员。

[0027] 需要注意的是,除非另有说明,本申请使用的技术术语或者科学术语应当为本申请所属领域技术人员所理解的通常意义。

[0028] 另外,术语“第一”和“第二”等是用于区别不同对象,而不是用于描述特定顺序。此外,术语“包括”和“具有”以及它们任何变形,意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元,而是可选地还包括没有列出的步骤或单元,或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0029] 本申请实施例提供一种用于PUF的电路结构,一种利用该电路结构获取PUF数据的方法,以及一种利用该电路结构获取PUF数据的电子设备,下面结合附图进行说明。

[0030] 请参考图1,其示出了本申请的一些实施方式所提供的一种用于PUF的电路结构的示意图。

[0031] 如图所示,所述电路结构10包括:存储矩阵100,读取单元200,比较单元300。

[0032] 所述存储矩阵100包括多个存储单元110。其中每个所述存储单元110可以被施加

形成电压,被施加形成电压后,其电阻值会发生改变。例如,存储单元110未被施加形成电压之前为高阻值状态,被施加形成电压后变为低阻值状态,反之也可以,该过程可以称为对存储矩阵100的初始化操作。本实施例,存储单元110可以利用自身的阻值变化来存储数据,以及利用制造过程中自然发生的物理变化来实现PUF功能。

[0033] 所述读取单元200读取每个所述存储单元110被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元300。即读取对存储矩阵100初始化操作后的结果,该初始化操作后的结果中,存储单元110在初始化操作后可以归为三种:未被初始化的高阻态单元,被成功初始化的低阻态单元,以及由于制造中出现问题的失效单元,这三种状态组成的阻值分布图(pattern)完全取决于制造过程,因此是完全随机的。所述读取单元200可以通过相互交叉对应设置的字线和位线来对每一个存储单元110进行施加形成电压和阻值读取的操作,当然施加形成电压的操作也可以通过其它单元(例如解码器)来施加。

[0034] 所述比较单元300接收到所述形成阻值后,比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。其中,预设阈值可以是预先测得的存储单元110未被施加形成电压之前的阻值。通过比较得到的阻值分布图完全取决于制造过程,可以确定为PUF数据,然后输出该PUF数据。

[0035] 本申请实施例提供的用于PUF的电路结构,包括:存储矩阵,所述存储矩阵包括多个存储单元;其中每个所述存储单元被施加形成电压。读取单元,用于读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元。所述比较单元,用于比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。相较于现有技术,由于存储单元阻值分布更加的不收敛,因此更加容易实现PUF功能,可以节约各种芯片的制造成本。

[0036] 在本申请的一些实施方式中,所述存储矩阵100可以采用忆阻器阵列,所述存储单元110为忆阻器器件。所述忆阻器器件的制作材料可以为氧化钽。

[0037] TaOx(氧化钽)是一种可以基于被施加的电压不同实现阻值连续变化的材料,因此被广泛的应用在忆阻器器件中,当基于TaOx的忆阻器器件被制备出来后,如图2所示,氧化钽两端分别为上电极和下电极。器件的初始电阻均为随机分布很不均匀的高阻值状态(HRS),需要一个形成电压(forming voltage)来将器件转换为相对均匀分布的低阻值状态(LRS)。基于TaOx忆阻器可以仅依托于后段金属连线工艺实现,相比晶体管,基于电阻变化的忆阻器器件的电阻值分布更加的不收敛,更加容易实现PUF功能,忆阻器器件的存储单元面积可以做到4F²(F为光刻特征尺寸),成本更低。

[0038] 图3所示为制备出的基于TaOx的忆阻器阵列,在制造完成后,对忆阻器阵列施加一个统一的特定形成电压后,忆阻器阵列存在三种单元:低阻态单元,高阻态单元和失效单元(可以通过不同的颜色表示,如黑色为高阻态单元,蓝色为低阻态单元,红色为失效单元),这三种单元在忆阻器阵列中的分布完全取决于制造过程中的工艺偏差,即这三种单元分布的pattern对每一个器件都是独一无二的,可以实现理想的PUF器件。图4所示为对忆阻器阵列初始化操作后的结果示意图。

[0039] 与现有的SRAM PUF相比,本实施方式的PUF制造成本低,同样的存储阵列大小下芯片面积小,更容易实现。

[0040] 在上述的实施例中,提供了一种用于PUF的电路结构,基于该用于PUF的电路结构,

本申请还提供了一种获取PUF数据的方法。请参考图5,其示出了本申请的一些实施方式所提供的一种获取PUF数据的方法的流程图,该方法包括以下步骤:

[0041] 步骤S101:对所述存储矩阵中的每个存储单元施加形成电压。

[0042] 步骤S102:读取每个所述存储单元被施加形成电压后的形成阻值,并将所述形成阻值输送至比较单元。

[0043] 步骤S103:利用所述比较单元比较所述形成阻值与预设阻值的大小,并根据比较结果确定PUF数据并输出该PUF数据。

[0044] 在本申请的一些实施方式中,所述存储矩阵采用忆阻器阵列,所述存储单元为忆阻器器件。

[0045] 在本申请的一些实施方式中,所述忆阻器器件的制作材料为氧化钽。

[0046] 本申请的上述实施例提供的获取PUF数据的方法与本申请实施例提供的用于物理不可克隆功能PUF的电路结构出于相同的发明构思,具有相同的有益效果。

[0047] 在上述的实施例中,提供了一种用于PUF的电路结构,与之相对应的,本申请还提供了一种电子设备,所述电子设备可以是传感器、电子标签或者用于客户端的电子设备,该电子设备中使用了上述用于PUF的电路结构10。请参考图6,其示出了本申请的一些实施方式所提供的一种电子设备的示意图。

[0048] 本申请的上述实施例提供的电子设备与本申请实施例提供的用于PUF的电路结构出于相同的发明构思,具有相同的有益效果。

[0049] 最后应说明的是:以上各实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述各实施例对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例技术方案的范围,其均应涵盖在本申请的权利要求和说明书的范围当中。



图1

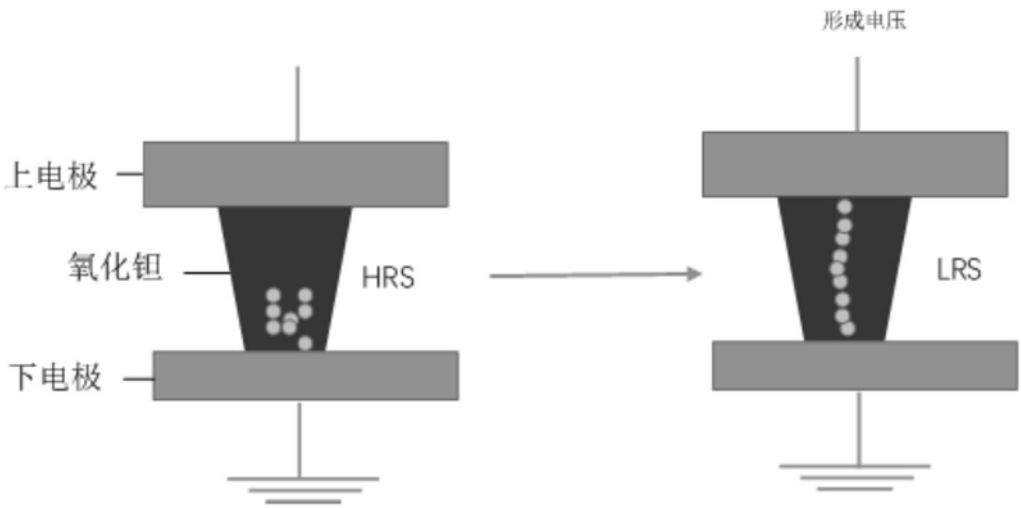


图2

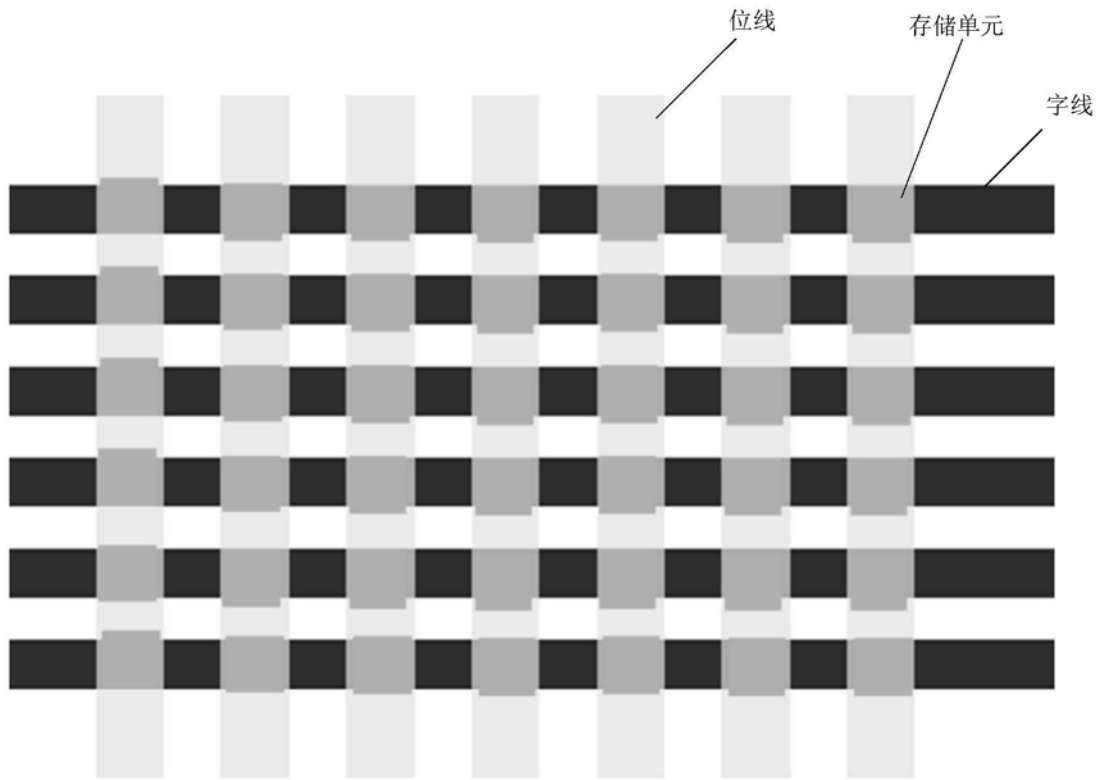


图3

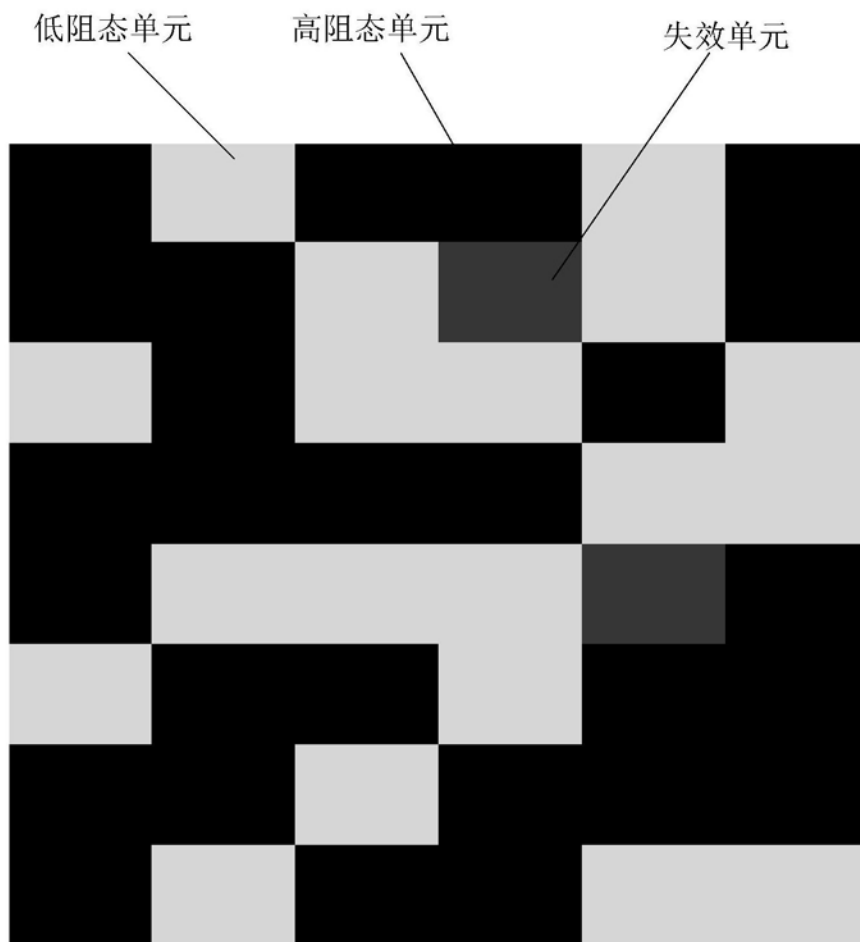


图4

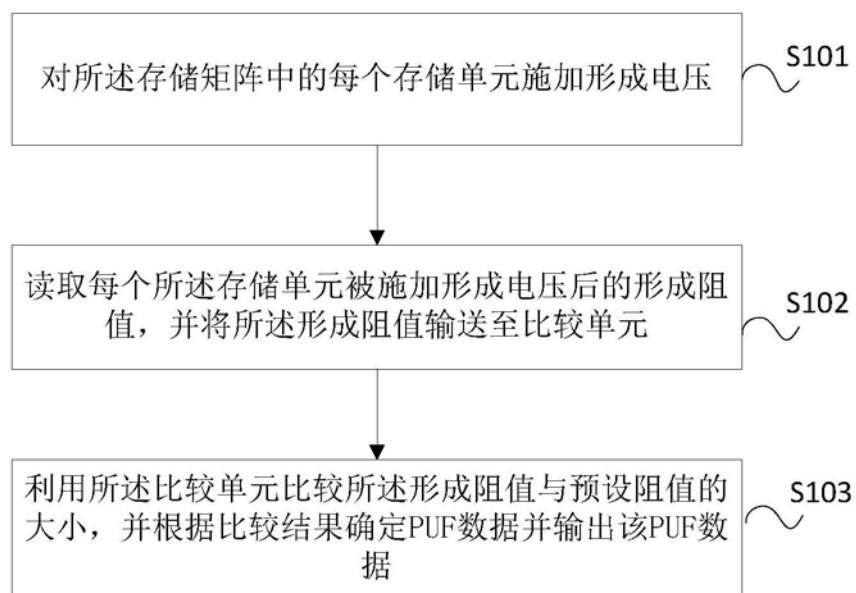


图5

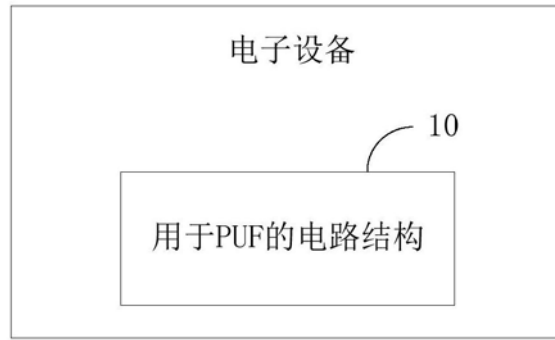


图6