



## (12) 发明专利申请

(10) 申请公布号 CN 103050104 A

(43) 申请公布日 2013. 04. 17

(21) 申请号 201210558831. 1

(22) 申请日 2012. 12. 14

(30) 优先权数据

101140235 2012. 10. 31 TW

(71) 申请人 矽创电子股份有限公司

地址 中国台湾新竹县竹北市台元一街 5 号  
11 楼之 1

(72) 发明人 苏忠信

(74) 专利代理机构 北京中原华和知识产权代理  
有限责任公司 11019

代理人 寿宁 张华辉

(51) Int. Cl.

G09G 3/36 (2006. 01)

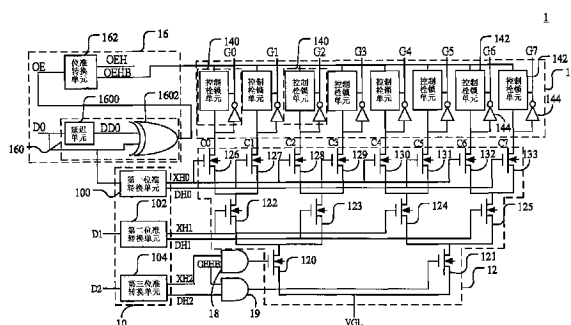
权利要求书 3 页 说明书 13 页 附图 22 页

(54) 发明名称

解码扫描驱动装置

(57) 摘要

本发明提出一种解码扫描驱动装置,其藉由一位准转换电路接收复数输入信号并转换该些输入信号的位准而产生复数解码控制信号;解码电路耦接位准转换电路,并依据该些解码控制信号而产生解码信号;一输出驱动电路耦接解码电路,并依据该些解码信号依序产生一驱动信号,并输出驱动信号而驱动一显示面板;一控制电路耦接输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至输出驱动电路而控制输出驱动电路输出驱动信号,以节省解码扫描驱动装置的电路面积,进而减少成本。



1. 一种解码扫描驱动装置,其特征在于,其包含:
  - 一位准转换电路,接收复数输入信号,并转换该些输入信号的位准,而产生复数解码控制信号;
  - 一解码电路,耦接该位准转换电路,并依据该些解码控制信号而产生复数解码信号;
  - 一输出驱动电路,耦接该解码电路,并依据该些解码信号依序产生一驱动信号,并输出该驱动信号而驱动一显示面板;以及
  - 一控制电路,耦接该输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至该输出驱动电路而控制该输出驱动电路输出该驱动信号。
2. 如权利要求1所述的解码扫描驱动装置,其特征在于,其中该控制电路系依据该些输入信号的最低位的该输入信号而产生该控制信号。
3. 如权利要求1所述的解码扫描驱动装置,其特征在于,该控制电路包含:
  - 一致能电路,接收并依据该输入信号而产生一致能信号;以及
  - 一位准转换单元,耦接该致能电路,并转换该致能信号的准位,以产生该控制信号。
4. 如权利要求3所述的解码扫描驱动装置,其特征在于,其中该控制电路更包含:
  - 一偏压产生电路,耦接该准位转换单元,并依据该准位转换单元的一输出信号而产生该控制信号。
5. 如权利要求1所述的解码扫描驱动装置,其特征在于,其中该输出驱动电路包含复数输出驱动单元,每一输出驱动单元包含:
  - 一控制控制单元,耦接该控制电路与该解码电路,并受控于该控制信号与该驱动信号;以及
  - 一反相器,具有一第一端与一第二端,该反相器的该第一端耦接该解码电路,而该反相器的该第二端耦接该控制控制单元。
6. 如权利要求5所述的解码扫描驱动装置,其特征在于,其中该控制控制单元包含:
  - 一第一晶体管,其一第一端耦接一电源端,该第一晶体管的一第二端耦接该解码电路与该反相器的该第一端,该第一晶体管受控于该控制信号;以及
  - 一第二晶体管,其一第一端耦接该电源端,该第二晶体管的一第二端耦接该第一晶体管的该第二端、该解码电路与该反相器的该第一端,该第二晶体管受控于该驱动信号。
7. 如权利要求5所述的解码扫描驱动装置,其特征在于,其中该控制控制单元包含:
  - 一晶体管,其一第一端耦接一电源端,该晶体管的一第二端耦接该解码电路与该反相器的该第一端。
8. 如权利要求1所述的解码扫描驱动装置,其特征在于,其更包含:
  - 一第一逻辑单元,具有一第一输入端、一第二输入端与一输出端,该第一输入端耦接该位准转换电路,该第二输入端接收该控制信号,该输出端耦接该解码电路;以及
  - 一第二逻辑单元,具有一第一输入端、一第二输入端与一输出端,该第二逻辑单元的该第一输入端耦接该位准转换电路,该第二逻辑单元的该第二输入端接收该控制信号,该第二逻辑单元的该输出端耦接该解码电路。
9. 一种解码扫描驱动装置,其特征在于,其包含:
  - 一位准转换电路,接收复数输入信号,并转换该些输入信号的位准,而产生复数解码控制信号;

一解码电路,耦接该位准转换电路,并依据该些解码控制信号,而产生复数解码信号;

一输出驱动电路,耦接该解码电路,并依据该些解码信号依序产生一驱动信号,并输出该驱动信号而驱动一显示面板;以及

一控制电路,耦接该输出驱动电路与该解码电路,并依据该些输入信号的其中之一而产生一控制信号,且传送至该输出驱动电路而控制该输出驱动电路输出该驱动信号,并传送该控制信号至该解码电路而控制该解码电路输出该些解码信号。

10. 如权利要求 9 所述的解码扫描驱动装置,其特征在于,其中该控制电路系依据该些输入信号的最低位的该输入信号而产生该控制信号。

11. 如权利要求 9 所述的解码扫描驱动装置,其特征在于,该控制电路包含:

一致能电路,接收并依据该输入信号而产生一致能信号;

一位准转换单元,耦接该致能电路,并转换该致能信号的准位,以产生该控制信号;以及

一偏压产生电路,耦接该准位转换单元,并依据该准位转换单元的一输出信号而产生该控制信号。

12. 如权利要求 9 所述的解码扫描驱动装置,其特征在于,其中该输出驱动电路包含:

一晶体管,其一第一端耦接该解码电路与该输出驱动电路的一输出端,并该晶体管受控于该控制信号。

13. 一种解码扫描驱动装置,其特征在于,其包含:

一解码电路,接收复数输入信号,并依据该些输入信号而产生复数解码信号;

一输出驱动电路,耦接该解码电路,并接收一正电压,且依据该些解码信号与该正电压依序产生高准位的一驱动信号,并输出该驱动信号而驱动一显示面板,该驱动信号的电压大于该些输入信号的电压;以及

一控制电路,耦接该输出驱动电路,并依据该些输入讯号的其中之一而产生一控制信号,并传送至该输出驱动电路而控制该输出驱动电路输出该驱动信号。

14. 如权利要求 13 所述的解码扫描驱动装置,其特征在于,其中该控制电路系依据该些输入信号的最低位的该输入信号而产生该控制信号。

15. 如权利要求 13 所述的解码扫描驱动装置,其特征在于,其中该输出驱动电路包含复数输出驱动单元,每一输出驱动单元包含:

一控制拴锁单元,耦接耦接该控制电路与该解码电路,并受控于该控制信号与该驱动信号;以及

一反相器,具有一第一端与一第二端,该反相器的该第一端耦接该解码电路,而该反相器的该第二端耦接该控制拴锁单元。

16. 一种解码扫描驱动装置,其特征在于,其包含:

一解码电路,接收复数输入信号,并依据该些输入信号而产生复数解码信号;

一输出驱动电路,耦接该解码电路,并接收一负电压,且依据该些解码信号与该负电压依序产生低准位的一驱动信号,并输出该驱动信号而驱动一显示面板,其中该驱动信号小于该些输入电压;以及

一控制电路,耦接该输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至该输出驱动电路而控制该输出驱动电路输出该驱动信号。

17. 如权利要求 16 所述的解码扫描驱动装置,其特征在于,其中该控制电路系依据该些输入信号的最低位的该输入信号而产生该控制信号。

18. 如权利要求 16 所述的解码扫描驱动装置,其特征在于,其中该输出驱动电路包含复数输出驱动单元,每一输出驱动单元包含:

一控制拴锁单元,耦接耦接该控制电路与该解码电路,并受控于该控制信号与该驱动信号;以及

一反相器,具有一第一端与一第二端,该反相器的该第一端耦接该解码电路,而该反相器的该第二端耦接该控制拴锁单元。

## 解码扫描驱动装置

### 技术领域

[0001] 本发明系有关于一种解码扫描驱动装置,其系尤指一种可节省电路面积的解码扫描驱动装置。

### 背景技术

[0002] 在科技发展日新月异的现今时代中,液晶显示器已广泛地应用在电子显示产品上,例如电视、计算机屏幕、笔记型计算机、行动电话或个人数字助理(PDA)等。液晶显示器包括数据驱动装置(Data Driver)、扫描驱动装置(Scan Driver)及液晶显示面板。液晶显示面板中具有像素数组,而扫描驱动装置用以依序开启像素数组中的多个像素列,以将数据驱动装置输出的像素数据扫描至像素,进而显示出欲显示的影像。

[0003] 承上所述,一般解码扫描驱动装置包含一解码电路与复数准位转换及驱动器。解码电路会依据解码控制信号而输出一解码信号至该些准位转换电路及驱动器,该些准位转换电路及驱动器再依据解码信号而依序产生一扫描信号,以扫描显示面板,即液晶显示面板的驱动方式用闸极端(Gate)控制内部单元打开,再用源极端(Source)送入准确的电压来控制显示面板的液晶转向,因为闸极端输出的电压为高电源电压(VGH)与低参考电位(VGL),所以必须使用高电压组件,其扫描驱动电路必须经准位转换及驱动器把扫描信号升到高电源电压(VGH)与低参考电位(VGL),而造成面积较大。

[0004] 然而,由于一般解码扫描驱动装置是先利用在低电压端做解码电路,再经该些准位转换电路推动该驱动器,如此,每一组驱动器要有准位转换电路进行转换控制信号的准位,所以最少需要10颗高电压的晶体管和两颗电阻才能形成一个扫描驱动装置。如此,习知技术增加了扫描驱动装置的面积,进而增加了其成本。

[0005] 再者,由于解码扫描装置应用于液晶显示面板的种类不同,例如液晶显示面板的尺寸不同或是驱动方式不同,而解码扫描装置所需要产生驱动信号的电压大小也不同,然而,若解码扫描驱动装置依据液晶显示面板的种类,而仅需要产生低电压准位(例如:1.8V转换到5V或1.8V转换到-5V)的驱动信号时,若解码扫描驱动装置使用准位转换电路则会增加解码扫描驱动装置的电路面积,进而增加成本。

### 发明内容

[0006] 本发明的目的之一,在于提供一种解码扫描驱动装置,其节省解码扫描驱动装置的电路面积,进而减少成本。

[0007] 本发明的目的之一,在于提供一种解码扫描驱动装置,其藉由一反相器回授至一控制拴锁单元,以减少偏压电流。

[0008] 本发明的目的之一,在于提供一种具有改变电压位准解码扫描驱动装置,其藉由一反相器的一输出电压,而不需要使用一位准转换电路,而能直接做位准转换和解码的功能,并可节省解码扫描驱动装置的电路面积,进而减少成本。

[0009] 本发明的解码扫描驱动装置包含一位准转换电路、一解码电路、一输出驱动电路

与一控制电路。位准转换电路接收复数输入信号,并转换该些输入信号的位准,而产生复数解码控制信号,解码电路耦接位准转换电路,并依据该些解码控制信号而产生复数解码信号;输出驱动电路耦接解码电路,并依据该些解码信号依序产生一驱动信号,并输出驱动信号而驱动一显示面板;以及控制电路耦接输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至输出驱动电路而控制输出驱动电路输出驱动信号。

[0010] 再者,本发明的输出解码驱动电路包含一控制控锁单元与一反相器。控制控锁单元耦接耦接控制电路与解码电路,并受控于控制信号与该驱动信号;以及反相器具有一第一端与一第二端,反相器的第一端耦接解码电路,而反相器的第二端耦接控制控锁单元。其中,控制控锁单元包含一第一晶体管与一第二晶体管。第一晶体管的第一端耦接一电源端,第一晶体管的一第二端耦接解码电路与反相器的第一端,第一晶体管受控于控制信号,第二晶体管的一第一端耦接电源端,第二晶体管的一第二端耦接第一晶体管的第二端、解码电路与反相器的第一端,第二晶体管受控于控制信号。如此,本发明藉由反相器回授至控制控锁单元,以减少偏压电流,

[0011] 另外,本发明的另一实施例的解码扫描驱动装置包含一位准转换电路、一解码电路、一输出驱动电路与一控制电路。位准转换电路接收复数输入信号,并转换该些输入信号的位准,而产生复数解码控制信号;解码电路耦接位准转换电路,并依据该些解码控制信号,而产生复数解码信号;输出驱动电路耦接解码电路,并依据该些解码信号依序产生一驱动信号,并输出驱动信号;以及控制电路耦接输出驱动电路与解码电路,并依据该些输入信号的其中之一而产生一控制信号,且传送至输出驱动电路与解码电路而控制输出驱动电路输出驱动信号。

[0012] 又,本发明的再一实施例的解码扫描驱动装置包含一解码电路、一输出驱动电路与一控制电路。解码电路接收复数输入信号,并依据该些输入信号而产生复数解码信号;输出驱动电路耦接解码电路,并依据该些解码信号依序产生高准位的一驱动信号,并输出驱动信号;以及控制电路耦接输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至输出驱动电路而控制输出驱动电路输出驱动信号。如此,本发明藉由输出驱动电路的一反相器的一输出电压,而不需要使用一位准转换电路,而可节省扫描驱动装置的电路面积,进而减少成本。

[0013] 另外,本发明的又一实施例的解码扫描驱动装置的包含一解码电路、一输出驱动电路与一控制电路。解码电路接收复数输入信号,并依据该些输入信号而产生复数解码信号;输出驱动电路耦接解码电路,并依据该些解码信号依序产生低准位的一驱动信号,并输出驱动信号;以及控制电路耦接输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至输出驱动电路而控制输出驱动电路输出驱动信号。如此,本发明藉由输出驱动电路的反相器的输出电压,而不需要使用位准转换电路,而可节省扫描驱动装置的电路面积,进而减少成本。

[0014] 实施本发明产生的有益效果是:本发明的解码扫描驱动装置藉由一位准转换电路接收复数输入信号并转换该些输入信号的位准而产生复数解码控制信号;解码电路耦接位准转换电路,并依据该些解码控制信号而产生复数解码信号;一输出驱动电路耦接解码电路,并依据该些解码信号依序产生一驱动信号,并输出驱动信号;一控制电路耦接输出驱动电路,并依据该些输入信号的其中之一而产生一控制信号,并传送至输出驱动电路而控制

输出驱动电路输出驱动信号,以节省解码扫描驱动装置的电路面积,进而减少成本。

## 附图说明

- [0015] 图 1 为本发明的第一实施例的解码扫描驱动装置的电路图；
- [0016] 图 2 为本发明的第一实施例的控制栓锁单元与反相器的详细电路图；
- [0017] 图 3 为本发明的图 1 所述解码扫描驱动装置的时序图；
- [0018] 图 4 为本发明的第二实施例的解码扫描驱动装置的电路图；
- [0019] 图 5 为本发明的一实施例的偏压产生电路的电路图；
- [0020] 图 6 为本发明的图 4 的解码扫描驱动装置的时序图；
- [0021] 图 7 为本发明的第三实施例的解码扫描驱动装置的电路图；
- [0022] 图 8 为本发明的另一实施例的偏压产生电路的电路图；
- [0023] 图 9 为本发明的图 7 的解码扫描驱动装置的时序图；
- [0024] 图 10 为本发明的第四实施例的解码扫描驱动装置的电路图；
- [0025] 图 11 为本发明的第四实施例的输出驱动单元的电路图；
- [0026] 图 12 为本发明的第五实施例的解码扫描驱动装置的电路图；
- [0027] 图 13 为本发明的图 10 与图 12 的解码扫描驱动装置的时序图；
- [0028] 图 14 为本发明的第六实施例的解码扫描驱动装置的电路图；
- [0029] 图 15 为本发明的第七实施例的解码扫描驱动装置的电路图；
- [0030] 图 16 为本发明的图 14 与图 15 的解码扫描驱动装置的时序图；
- [0031] 图 17 为本发明的第八实施例的解码扫描驱动装置的电路图；
- [0032] 图 18 为本发明的第九实施例的解码扫描驱动电装置的电路图；
- [0033] 图 19 为本发明的图 17 与图 18 的解码扫描驱动装置的时序图；
- [0034] 图 20 为本发明的第十实施例的解码扫描驱动装置的电路图；
- [0035] 图 21 为本发明的第十一实施例的解码扫描驱动装置的电路图；以及
- [0036] 图 22 为本发明的图 20 与图 21 的解码扫描驱动装置的时序图。

## 【图号对照说明】

- |                     |              |
|---------------------|--------------|
| [0038] 1 解码扫描驱动装置   | 10 位准转换电路    |
| [0039] 100 第一位准转换单元 | 102 第二位准转换单元 |
| [0040] 104 第三位准转换单元 | 12 解码电路      |
| [0041] 120 第一开关     | 121 第二开关     |
| [0042] 122 第三开关     | 123 第四开关     |
| [0043] 124 第五开关     | 125 第七开关     |
| [0044] 127 第八开关     | 128 第九开关     |
| [0045] 129 第十开关     | 130 第十一开关    |
| [0046] 131 第十二开关    | 132 第十三开关    |
| [0047] 133 第十四开关    | 14 输出驱动电路    |
| [0048] 140 输出驱动单元   | 142 控制栓锁单元   |
| [0049] 1420 第一晶体管   | 1422 第二晶体管   |
| [0050] 144 反相器      | 16 控制电路      |

[0051]	160 致能电路	1600 延迟单元
[0052]	1602 逻辑单元	162 位准转换单元
[0053]	18 第一逻辑单元	19 第二逻辑单元
[0054]	20 偏压产生电路	200 第一阻抗组件
[0055]	202 第一电流源	204 第一切换开关
[0056]	206 第二切换开关	3 解码扫描驱动装置
[0057]	30 位准转换电路	300 第一位准转换单元
[0058]	302 第二位准转换单元	304 第三位准转换单元
[0059]	32 解码电路	320 第一开关
[0060]	321 第二开关	322 第三开关
[0061]	323 第四开关	324 第五开关
[0062]	325 第六开关	326 第七开关
[0063]	327 第八开关	328 第九开关
[0064]	329 第十开关	330 第十一开关
[0065]	331 第十二开关	332 第十三开关
[0066]	333 第十四开关	334 第十五开关
[0067]	34 输出驱动电路	36 控制电路
[0068]	360 致能电路	3600 延迟单元
[0069]	3602 逻辑单元	362 位准转换单元
[0070]	40 偏压产生电路	400 第二阻抗组件
[0071]	402 第二电流源	404 第三切换开关
[0072]	406 第四切换开关	5 解码扫描驱动装置
[0073]	50 位准转换电路	500 反相器
[0074]	502 反相器	504 反相器
[0075]	52 解码电路	520 第一开关
[0076]	521 第二开关	522 第三开关
[0077]	523 第四开关	524 第五开关
[0078]	525 第六开关	526 第七开关
[0079]	527 第八开关	528 第九开关
[0080]	529 第十开关	530 第十一开关
[0081]	531 第十二开关	532 第十三开关
[0082]	533 第十四开关	534 第十五开关
[0083]	54 输出驱动电路	540 输出驱动单元
[0084]	542 控制拴锁单元	5420 第三晶体管
[0085]	5422 第四晶体管	544 反相器
[0086]	5440 第五晶体管	5442 第六晶体管
[0087]	56 控制电路	560 致能电路
[0088]	5600 延迟单元	5602 逻辑闸
[0089]	562 位准转换单元	7 解码扫描驱动装置



[0090]	700 反相器	702 反相器
[0091]	704 反相器	72 解码电路
[0092]	720 第一开关	721 第二开关
[0093]	722 第三开关	723 第四开关
[0094]	724 第五开关	725 第六开关
[0095]	726 第七开关	727 第八开关
[0096]	728 第九开关	729 第十开关
[0097]	730 第十一开关	731 第十二开关
[0098]	732 第十三开关	733 第十四开关
[0099]	734 第十五开关	74 输出驱动电路
[0100]	76 控制电路	78 第三逻辑单元
[0101]	79 第四逻辑单元	80 偏压产生电路

### 具体实施方式

[0102] 为了使本发明的结构特征及所达成的功效有更进一步的了解与认识,特用较佳的实施例及配合详细的说明,说明如下:

[0103] 请参阅图 1,系为本发明的一实施例的解码扫描驱动装置的电路图。如图所示,本发明的解码扫描驱动装置 1 包含一位准转换电路 10,一解码电路 12,一输出驱动电路 14 与一控制电路 16。位准转换电路 10 接收复数输入信号,并转换该些输入信号的位准,而产生复数解码控制信号。解码电路 12 耦接位准转换电路 10,并依据该些解码控制信号而产生复数解码信号,于本实施例中,本实施例的解码电路 12 为 3 对 8 的解码器,即位准转换电路 10 和解码电路 12 接收三位的输入信号  $D_2D_1D_0$ ,所以,本实施例的位准转换电路 10 包含一第一位准转换单元 100、一第二位准转换单元 102 与一第三位准转换单元 104。

[0104] 第一位准转换单元 100 接收输入信号  $D_0$ ,并转换输入信号  $D_0$  的位准而产生一第一同相输入信号  $DH0$  与一第一反相输入信号  $XH0$ ,其中,第一同相输入信号  $DH0$  与输入信号  $D_0$  同相,而第一反相输入信号  $XH0$  与输入信号  $D_0$  反相。同理,第二位准转换单元 102 接收输入信号  $D_1$ ,并转换输入信号  $D_1$  的位准而产生一第二同相输入信号  $DH1$  与一第二反相输入信号  $XH1$ ,其中,第二同相输入信号  $DH1$  与输入信号  $D_1$  同相,而第二反相输入信号  $XH1$  与输入信号  $D_1$  反相。又,第三位准转换单元 104 接收输入信号  $D_2$ ,并转换输入信号  $D_2$  的位准而产生一第三同相输入信号  $DH2$  与一第三反相输入信号  $XH2$ ,其中,第三同相输入信号  $DH2$  与输入信号  $D_2$  同相,而第三反相输入信号  $XH2$  与输入信号  $D_2$  反相。

[0105] 解码电路 12 接收第一同相输入信号  $DH0$ 、第一反相输入信号  $XH0$ 、第二同相输入信号  $DH1$ 、第二反相输入信号  $XH1$ 、第三同相输入信号  $DH2$  与第三反相输入信号  $XH2$  而对应输出八位的解码信号  $C_7C_6C_5C_4C_3C_2C_1C_0$ ,也就是,依据输入信号  $D_2D_1D_0$  而对应输出八位的解码信号  $C_7C_6C_5C_4C_3C_2C_1C_0$ ,例如当输入信号  $D_2D_1D_0$  为 001 时,则解码电路 12 输出的解码信号  $C_7C_6C_5C_4C_3C_2C_1C_0$  为 00000010;当输入信号  $D_2D_1D_0$  为 010 时,则解码电路 12 输出的解码信号  $C_7C_6C_5C_4C_3C_2C_1C_0$  为 00000100,以此类推。

[0106] 输出驱动电路 14 耦接解码电路 12,并依据该些解码信号依序产生一驱动信号,此驱动信号为低准位的驱动信号,并输出驱动信号,即本发明的解码扫描驱动装置 1 应用

于液晶显示装置时,解码扫描驱动装置 1 会依序产生驱动信号,并输出至液晶显示装置的显示面板的每一列的一像素结构,以依序控制每一列的像素结构的薄膜晶体管导通,使复数显示数据可以经由薄膜晶体管而输入至每一列的像素结构,以驱使该些像素结构显示影像。此为液晶显示装置基本驱动方式,为该技术领域中具有通常知识者所皆知的技术,故于此不再加以赘述。

[0107] 控制电路 16 耦接输出驱动电路 14,并依据该些输入信号的其中之一而产生一控制信号 OEHB,并传送控制信号 OEHB 至输出驱动电路 14 而控制输出驱动电路 14 输出驱动信号,于本实施例中,控制电路 16 依据该些输入信号  $D_2D_1D_0$  的最低位的输入信号  $D_0$  而产生控制信号 OEHB。其中,控制电路 16 包含一致能电路 160 与一位准转换单元 162。致能电路 160 接收并依据输入信号  $D_0$  而产生一致能信号 OE,位准转换单元 162 耦接致能电路 160,并转换致能信号 OE 的准位,以产生控制信号 OEHB。

[0108] 再者,致能电路 160 包含一延迟单元 1600 与一逻辑闸 1602。延迟单元 1600 接收该些输入信号  $D_2D_1D_0$  的最低位的输入信号  $D_0$  并延迟输入信号  $D_0$ ,而产生一延迟信号 DD0,逻辑闸 1602 具有一第一输入端、一第二输入端与一输出端,逻辑闸 1602 的第一输入端耦接延迟单元 1600,以接收延迟信号 DD0,逻辑闸 1602 的第二输入端接收输入信号  $D_0$ ,并于逻辑闸 1602 的输出端产生致能信号 OE,并传送致能信号 OE 至位准转换单元 162。其中,本实施例的逻辑闸 1602 为一互斥或门 (XNOR gate)。

[0109] 本发明的输出驱动电路 14 包含复数输出驱动单元 140,每一输出驱动单元 140 对应每一解码电路 12 的输出端,也就是,对应解码扫描驱动装置 1 的每一个输出,每一输出驱动单元 140 包含复数控制控锁单元 142 与复数反相器 144。每一控制控锁单元 142 对应每一反相器 144,并每一组控制控锁单元 142 与反相器 144 对应每一个解码电路 12 的输出端,例如本实施例的解码电路 12 的输出端有八位的解码信号  $C_7C_6C_5C_4C_3C_2C_1C_0$ ,所以,输出驱动电路 14 包含有 8 个控制控锁单元 142 与 8 个反相器 144。控制控锁单元 142 耦接控制电路 16 与解码电路 12,并受控于控制信号 OEHB 与驱动信号  $G_7 \sim G_0$ ,反相器 144 具有一第一端与一第二端。反相器 144 的第一端耦接解码电路 12,而反相器 144 的第二端耦接控制控锁单元 142 与解码扫描驱动装置 1 的输出端。

[0110] 承上所述,请一并参阅图 2,系为本发明的一实施例的控制控锁单元与反相器的详细电路图。如图所示,本发明的控制控锁单元 142 包含一第一晶体管 1420 与一第二晶体管 1422。第一晶体管 1420 的一第一端耦接一电源端 VGH,第一晶体管 1420 的一第二端耦接解码电路 12 与反相器 144 的第一端,第一晶体管 1420 受控于控制信号 OEHB,第二晶体管 1422 的一第一端耦接电源端 VGH,第二晶体管 1422 的一第二端耦接第一晶体管 1420、解码电路 12 与反相器 144 的第一端,并第二晶体管 1422 受控于驱动信号,于本实施例中,第二晶体管 1422 为场效晶体管,所以,第二晶体管 1422 的闸极耦接扫描驱动装置 1 的输出端,以接收驱动信号而受控于驱动信号。如此,本发明藉由反相器 144 的第一端与第二端分别第二晶体管 1422 的闸极与第二晶体管 1422 的第二端,也就是,反相器 144 的第一端与第二端分别耦接于控制控锁单元 142 的输入端与输出端,即本发明藉由反相器 144 回授至控制控锁单元 142,以达到减少偏压电流或是漏电流的目的。

[0111] 请复参阅图 1,本实施例的解码电路 12 包含一第一开关 120、一第二开关 121、一第三开关 122、一第四开关 123、一第五开关 124、一第六开关 125、一第七开关 126、一第八开关

127、一第九开关 128、一第十开关 129、一第十一开关 130、一第十二开关 131、一第十三开关 132 与一第十四开关 133。第一开关 120 的一第一端耦接一参考电位端 VGL, 第一开关 120 受控于位准转换电路 10 的第三位准转换单元 104, 而受控于第三位准转换单元 104 输出的第三反相输入信号 XH2, 第二开关 121 的一第一端耦接参考电位端 VGL, 并第二开关 121 受控于位准转换电路 10 的第三位准转换单元 104, 而受控于第三位准转换单元 104 输出的第三同相输入信号 DH2。

[0112] 第三开关 122 的一第一端耦接第一开关 120 的一第二端, 并第三开关 122 受控于位准转换电路 10 的第二位准转换单元 102, 而受控于第二位准转换单元 102 输出的第二反相输入信号 XH1, 第四开关 123 的一第一端耦接第一开关 120 的第二端与第三开关 122 的第一端, 并第四开关 123 受控于位准转换电路 10 的第二位准转换单元 102, 而受控于第二位准转换单元 102 输出的第二同相输入信号 DH1, 第五开关 124 的一第一端耦接第二开关 121 的一第二端, 并第五开关 124 受控于位准转换电路 10 的第二位准转换单元 102, 而受控于第二位准转换单元 102 输出的第二反相输入信号 XH1, 第六开关 125 的一第一端耦接第二开关 121 的第二端, 并第六开关 125 受控于位准转换电路 10 的第二位准转换单元 102, 而受控于第二位准转换单元 102 输出的第二同相输入信号 DH1。

[0113] 第七开关 126 的一第一端耦接第三开关 122 的一第二端, 并第七开关 126 的一第二端耦接于输出驱动电路 14, 且第七开关 126 受控于位准转换电路 10 的第一位准转换单元 100, 而受控于第一位准转换单元 100 输出的第一反相输入信号 XH0, 第八开关 127 的一第一端耦接第三开关 122 的第二端, 并第八开关 127 的一第二端耦接输出驱动电路 14, 且第八开关 127 受控于位准转换电路 10 的第一位准转换单元 100, 而受控于第一位准转换单元 100 输出的第一同相输入信号 DH0。第九开关 128 的一第一端耦接第四开关 123 的第二端, 第九开关 128 的一第二端耦接输出驱动电路 14, 并第九开关 128 受控于位准转换电路 10 的第一位准转换单元 100, 且受控于第一位准转换单元 100 输出的第一反相输入信号 XH0, 第十开关 129 的一第一端耦接第四开关 123 的第二端, 第十开关 129 的一第二端耦接输出驱动电路 14, 并第十开关 129 受控于位准转换电路 10 的第一位准转换单元 100, 且受控于第一位准转换单元 10 输出的第一同相输入信号 DH0。

[0114] 接上所述, 第十一开关 130 的一第一端耦接第五开关 124 的一第二端, 第十一开关 130 的一第二端耦接输出驱动电路 14, 并第十一开关 130 受控于位准转换电路 10 的第一位准转换单元 100, 且受控于位准转换单元 100 输出的第一反相输入信号 XH0, 第十二开关 131 的一第一端耦接第五开关 124 的第二端, 第十二开关 131 的一第二端耦接输出驱动电路 14, 并第十二开关 131 受控于位准转换电路 10 的第一位准转换单元 100, 且受控于位准转换单元 100 输出的第一同相输入信号 DH0, 第十三开关 132 的一第一端耦接第六开关 125 的一第二端, 第十三开关 132 的一第二端耦接输出驱动电路 14, 并第十开关 132 受控于位准转换电路 10 的第一位准转换单元 100, 且受控于第一位准转换单元 100 输出的第一反相输入信号 XH0, 第十四开关 133 的一第一端耦接第六开关 125 的一第二端, 第十四开关 133 的一第二端耦接输出驱动电路 14, 并第十四开关 133 受控于位准转换电路 10 的第一位准转换单元 100, 且受控于第一位准转换单元 100 输出的第一同相输入信号 DH0。其中, 第一开关 120 至第十四开关 133 皆为一场效晶体管。

[0115] 基于上述, 解码电路 12 依据该些输入信号而控制解码电路 12 的输出端的解码信

号  $C_7C_6C_5C_4C_3C_2C_1C_0$  的大小,例如输入信号  $D_2D_1D_0$  为 000 时,第一开关 120、第三开关 122、第五开关 124、第七开关 126、第九开关 128、第十一开关 130 与第十三开关 132 导通,其余开关皆截止,由于第一开关 120、第三开关 122 与第七开关 126 导通,所以,一参考电压会经参考电位端 VGL、第一开关 120、第三开关 122 与第七开关 126 而传送至扫描驱动装置 1 的输出端 G0,使解码扫描驱动装置 1 输出的驱动信号 G7G6G5G4G3G2G1G0 为 00000001。同理,当该些输入信号  $D_2D_1D_0$  为 001 时,则第一开关 120、第三开关 122、第五开关 124、第八开关 127、第十开关 129、第十二开关 131 与第十四开关 133 导通,其余开关皆截止,由于第一开关 120、第三开关 122 与第八开关 127 导通,所以,参考电压经参考电位端 VGL、第一开关 120、第三开关 122 与第八开关 127 而传送至解码扫描驱动装置 1 的输出端 G1,使解码扫描驱动装置 1 输出的驱动信号 G7G6G5G4G3G2G1G0 为 00000010,其余以此类推,于此不再赘述。其中,第一开关 120 至第十四开关 133 为一 N 型场效晶体管。

[0116] 另外,本实施例的解码扫描驱动装置 1 更包含一第一逻辑单元 18 与一第二逻辑单元 19。第一逻辑单元 18 具有一第一输入端、一第二输入端与一输出端。第一逻辑单元 18 的第一端耦接位准转换电路 10 的第三位准转换单元 104,以接收第三反相输入信号 XH2,第一逻辑单元 18 的第二输入端接收控制信号 OEHB,第一逻辑单元 18 的输出端耦接解码电路 12 的第一开关 120,第二逻辑单元 19 具有一第一输入端、一第二输入端与一输出端。第二逻辑单元 19 的第一输入端耦接位准转换电路 10 的第三位准转换单元 104,以接收第三同相输入信号 DH2,第二逻辑单元 19 的第二输入端接收控制信号 OEHB,第二逻辑单元 19 的输出端耦接解码电路 12 的第二开关 121,其中,由于该些输入信号  $D_2D_1D_0$  系依序由 000 至 111,所以,第一逻辑单元 18 会先产生一高准位信号至第一开关 120,以导通第一开关 120,此时,第二逻辑单元 19 产生一低准位信号至第二开关 120,使第二开关 121 截止,如此,则可避免产生瞬间的大电流。

[0117] 请一并参阅图 3,系为本发明的图 1 所述解码扫描驱动装置的时序图。如图所示,当该些输入信号  $D_2D_1D_0$  为 000 时,控制电路 16 的致能电路 160 延迟一段时间而产生致能信号 OE,并产生控制信号 OEHB,此时,解码电路 12 的第一开关 120、第三开关 122、第五开关 124、第七开关 126、第九开关 128、第十一开关 130 与第十三开关 132 导通,其余开关皆截止,由于第一开关 120、第三开关 122 与第七开关 126 导通,所以,参考电压会经参考电位端 VGL、第一开关 120、第三开关 122 与第七开关 126 而传送至解码电路 12 的输出端 C0,使解码扫描驱动装置 1 输出的解码信号 C7C6C5C4C3C2C1C0 为 11111110,此时,解码信号 C0 的电压准位为低准位 VGL,但经过反相器 144 后,则产生驱动信号 G0,并此时驱动信号 G0 的电压准位为 VGH;同理,当该些输入信号  $D_2D_1D_0$  为 001 时,则解码电路 12 的第一开关 120、第三开关 122、第五开关 124、第八开关 127、第十开关 129、第十二开关 131 与第十四开关 133 导通,其余开关皆截止,由于第一开关 120、第三开关 122 与第八开关 127 导通,所以,参考电压经参考电位端 VGL、第一开关 120、第三开关 122 与第八开关 127 而传送至解码电路 12 的输出端 C1,使解码电路 12 输出的解码信号 C7C6C5C4C3C2C0 为 11111101,此时,解码信号 C1 的电压准位为低准位 VGL,但经过反相器 144 后,则产生驱动信号 G1,并此时驱动信号 G0 的电压准位为 VGH,其余该些输入信号  $D_2D_1D_0$  的状态以此类推,于此不再加以赘述。

[0118] 请参阅图 4,系为本发明的第二实施例的解码扫描驱动装置的电路图。如图所示,本实施例的解码扫描驱动装置 1 与图 1 的实施例不同的处,在于本实施例的该些输出驱动

单元 140 中的每一控制锁单元 142 仅包含一个第一晶体管 1420。每一第一晶体管 1420 的第一端皆耦接在一起,并每一第一晶体管 1420 的第二端耦接反相器 144 的第一端。

[0119] 另外,本实施例的解码扫描驱动装置 1 更包含一偏压产生电路 20。偏压产生电路 20 耦接控制电路 16 的准位转换单元 162,并依据准位转换单元 162 的一输出信号 OEH 而产生控制信号 BOE。请一并参阅图 5,系为本发明的一实施例的偏压产生电路的电路图。如图所示,本实施例的偏压产生电路 20 包含一第一阻抗组件 200、一第一电流源 202、一第一切换开关 204 与一第二切换开关 206。第一阻抗组件 200 的一端接收一电源 VGH,第一阻抗组件 200 的另一端耦接第一电流源 202 的第一端,其中,第一阻抗组件 200 为一晶体管。第一电流源 202 的第二端耦接于接地端,第一切换开关 204 的第一端耦接第一阻抗组件 200 与第一电流源 202 的第一端,第一切换开关 204 受控于位准转换单元 162 的输出信号 OEH,第二切换开关 206 的第一端耦接第一切换开关 204 的第二端,并第二切换开关 206 的第二端耦接于接地端,第二切换开关 206 受控于位准转换单元 162 的输出信号 OEH,第一切换开关 204 与第二切换开关 206 依据位准转换单元 162 的输出信号 OEH 而产生控制信号 BOE,于本实施例中,第一切换开关 204 与第二切换开关 206 分别为 P 型晶体管与 N 型晶体管,所以,当位准转换单元 162 的输出信号 OEH 为低准位信号时,第一切换开关 204 导通,而第二切换开关 206 截止,而产生控制信号 BOE。

[0120] 请一并参阅图 6,系为本发明的图 4 的解码扫描驱动装置的时序图。如图所示,本实施例的解码扫描驱动装置 1 的时序图与图 3 的实施例不同的处,在于本实施例是利用偏压产生电路 20 至依据控制电路 16 输出的信号 OEH(即为信号 OEHB 的反相信号)而产生控制信号 BOE 至输出驱动电路 14,以产生该些驱动信号 G7 ~ G0,其余信号的时序已于图 3 说明,与此不再加以赘述。

[0121] 请参阅图 7,系为本发明的第三实施例的解码扫描驱动装置的电路图。如图所示,本实施例的解码扫描驱动装置 3 与上述实施例的解码扫描驱动装置 1 不同的处,在于本实施例的解码扫描驱动装置 3 的一解码电路 32 的复数开关为一 P 型场效晶体管,使一输出驱动电路 34 产生并输出高准位的一驱动信号。解码电路 32 包含一第一开关 320、一第二开关 321、一第三开关 322、一第四开关 323、一第五开关 324、一第六开关 325、一第七开关 326、一第八开关 327、一第九开关 328、一第十开关 329、一第十一开关 330、一第十二开关 331、一第十三开关 332 与一第十四开关 333。第一开关 320 的第一端用以接收电源 VGH,第一开关 320 受控于一位准转换电路 30 的一第三位准转换单元 304,而受控于第三位准转换单元 304 输出的第三同相输入信号 D2,第二开关 321 的第一端接收电源 VGH,并第二开关 321 受控于位准转换电路 30 的第三位准转换单元 304,而受控于第三位准转换单元 304 输出的第三反相输入信号 D2B。

[0122] 第三开关 322 的第一端耦接第一开关 320 的第二端,并第三开关 322 受控于位准转换电路 30 的第二位准转换单元 302,而受控于第二位准转换单元 302 输出的第二同相输入信号 D1,第四开关 323 的第一端耦接第一开关 320 的第二端与第三开关 322 的第一端,并第四开关 323 受控于位准转换电路 30 的第二位准转换单元 302,而受控于第二位准转换单元 302 输出的第二反相输入信号 D1B,第五开关 324 的第一端耦接第二开关 321 的第二端,并第五开关 324 受控于位准转换电路 30 的第二位准转换单元 302,而受控于第二位准转换单元 302 输出的第二同相输入信号 D1,第六开关 325 的第一端耦接第二开关

321 的第二端,并第六开关 325 受控于位准转换电路 30 的第二位准转换单元 302,而受控于第二位准转换单元 302 输出的第二反相输入信号 D1B。

[0123] 第七开关 326 的一第一端耦接第三开关 322 的一第二端,并第七开关 326 的一第二端耦接于一输出驱动电路 34,且第七开关 326 受控于位准转换电路 30 的第一位准转换单元 300,而受控于第一位准转换单元 300 输出的第一同相输入信号 D0,第八开关 327 的一第一端耦接第三开关 322 的第二端,并第八开关 327 的一第二端耦接输出驱动电路 34,且第八开关 327 受控于位准转换电路 30 的第一位准转换单元 300,而受控于第一位准转换单元 300 输出的第一反相输入信号 DOB。第九开关 328 的一第一端耦接第四开关 323 的第二端,第九开关 328 的一第二端耦接输出驱动电路 34,并第九开关 328 受控于位准转换电路 30 的第一位准转换单元 300,且受控于第一位准转换单元 300 输出的第一同相输入信号 D0,第十开关 329 的一第一端耦接第四开关 323 的第二端,第十开关 329 的一第二端耦接输出驱动电路 34,并第十开关 329 受控于位准转换电路 30 的第一位准转换单元 300,且受控于第一位准转换单元 30 输出的第一反相输入信号 DOB。

[0124] 接上所述,第十一开关 330 的一第一端耦接第五开关 324 的一第二端,第十一开关 330 的一第二端耦接输出驱动电路 34,并第十一开关 330 受控于位准转换电路 30 的第一位准转换单元 300,且受控于位准转换单元 300 输出的第一同相输入信号 D0,第十二开关 331 的一第一端耦接第五开关 324 的第二端,第十二开关 331 的一第二端耦接输出驱动电路 34,并第十二开关 331 受控于位准转换电路 30 的第一位准转换单元 300,且受控于位准转换单元 300 输出的第一反相输入信号 DOB,第十三开关 332 的一第一端耦接第六开关 325 的一第二端,第十三开关 332 的一第二端耦接输出驱动电路 14,并第十开关 332 受控于位准转换电路 30 的第一位准转换单元 300,且受控于第一位准转换单元 300 输出的第一同相输入信号 D0,第十四开关 333 的一第一端耦接第六开关 325 的一第二端,第十四开关 333 的一第二端耦接输出驱动电路 34,并第十四开关 333 受控于位准转换电路 30 的第一位准转换单元 300,且受控于第一位准转换单元 300 输出的第一反相输入信号 DOB。

[0125] 另外,本实施例的解码扫描驱动装置 3 更包含一第十五开关 334。第十五开关 334 的一第一端接收电源 VGH,并第十五开关 334 的一第二端耦接第一开关 320 的第一端与第二开关 321 的第一端,第十五开关 334 受控于一控制电路 36,即控制电路 36 的一位准转换单元 362 的一输出端耦接第十五晶体管 334,以控制第十五晶体管 334 导通或截止。

[0126] 再者,由于本实施例的解码电路 32 使用 P 型晶体管,所以,本实施例的偏压产生电路 40 的结构不同于上述的偏压产生电路 20 的结构,如图 8 所示,本实施例的偏压产生电路 40 包含一第二阻抗组件 400、一第二电流源 402、一第三切换开关 404 与一第四切换开关 406。第二阻抗组件 400 的一第一端接收参考电位 VGL,并第二阻抗组件 400 的一第二端耦接第二电流源 402 的一第一端,第二电流源 402 的一第二端接收电源 VGH,第三切换开关 404 的一第一端耦接第二阻抗组件的第二端与第二电流源 402 的第一端,并第三切换开关 404 受控于位准转换单元 362 的输出信号 OE,第四切换开关 406 的一第一端接收电源 VGH,第四切换开关 406 的一第二端耦接第三切换开关 404 的一第二端,以输出控制信号 BOE,第四切换开关 406 受控于位准转换单元 362 的输出信号 OE。

[0127] 请一并参阅图 9,系为本发明的图 7 的解码扫描驱动装置的时序图。如图所示,本实施例与图 6 的实施例的时序图相似,所以于不再加以赘述。

[0128] 请参阅图 10,系为本发明的第四实施例的解码扫描驱动装置的电路图。如图所示,本实施例的解码扫描驱动装置 5 与图 1 的解码扫描驱动装置 1 不同的处,在于本实施例的解码扫描驱动装置 5 应用于中低压时,则解码扫描驱动装置 5 不需要使用位准转换电路 50。本实施例的解码扫描驱动装置 5 包含一解码电路 52、一输出驱动电路 54 与一控制电路 56。解码电路 52 接收复数输入信号  $A_2A_1A_0$ ,并依据该些输入信号  $A_2A_1A_0$  而产生复数解码信号 XD7XD6XD5XD4XD3XD2XD1XD0,输出驱动电路 54 耦接解码电路 52,并依据该些解码信号依序产生低准位的一驱动信号 D7D6D5D4D3D2D1D0,并输出该些驱动信号 D7D6D5D4D3D2D1D0。控制电路 56 耦接输出驱动电路 54,控制电路 56 依据该切输入信号  $A_2A_1A_0$  的其中之一而产生一控制信号 OEHB,并传送控制信号 OEHB 至输出驱动电路 54 而控制输出驱动电路 54 输出该些驱动信号 D7D6D5D4D3D2D1D0。

[0129] 再者,本实施例的解码扫描驱动装置 5 更包含复数反相器 500、502、504。该些反相器 500、502、504 接收该些输入信号  $A_2A_1A_0$ ,并反相该些输入信号  $A_2A_1A_0$ ,而将反相后的该些输入信号  $A_2A_1A_0$  传送至解码电路 52,即该些反相器 500、502、504 反相该些输入信号  $A_2A_1A_0$  而产生复数反相输入信号  $XA_2XA_1XA_0$ ,并传送该些反相输入信号  $XA_2XA_1XA_0$  至解码电路 52。

[0130] 承上所述,输出驱动电路 54 包含复数输出驱动单元 540,每一输出驱动单元 540 包含一控制栓锁单元 542 与反相器 544。其中,控制栓锁单元 542 包含一第三晶体管 5420 与一第四晶体管 5422。第三晶体管 5420 的一第一端接收一电源 VH,第三晶体管 5420 的一第二端耦接解码电路 52,第三晶体管 5420 受控于控制电路 56 输出的控制信号 OEHB,第四晶体管 5422 的一第一端接收电源 VH,第四晶体管 5422 的一第二端耦接第三晶体管 5420 的第二端与解码电路 52,第四晶体管 5422 受控于解码信号。

[0131] 接上所述,请一并参阅图 11,系为本发明的第四实施例的输出驱动单元的电路图。如图所示,反相器 544 包含一第五晶体管 5440 与一第六晶体管 5442。第五晶体管 5440 的一第一端接收电源 VH,并第五晶体管 5440 的一第二端耦接第四晶体管 5422 的一控制端,且第五晶体管 5440 的一控制端耦接第三晶体管 5420 的第二端与第四晶体管 5422 的第二端,第六晶体管 5442 的一第一端耦接第五晶体管 5440 的第二端,并第六晶体管 5442 的一第二端耦接于接地端,且第六晶体管 5442 的一控制端耦接第五晶体管 5440 的控制端、第三晶体管 5420 的第二端与第四晶体管 5422 的第二端。由于控制栓锁单元 542 与反相器 544 的电源 VH,而电源 VH 大于一般电源 Vcc,所以,反相器 544 可以转换电压准位为电源 VH,例如反相器 544 可以将电压 1.8V 转换为 5V,因此,当解码扫描驱动装置 5 应用于中低电压准位时,则解码扫描驱动装置 5 不需要使用位准转换电路,而达到减省电路面积。

[0132] 此外,本发明另除了可以使用反相器的外,亦可以使用多任务器来达到不需要使用位准转换电路,而达到减省电路面积。

[0133] 另外,本实施例的解码电路 52、输出驱动电路 54 与控制电路 56 皆与图 1 的解码扫描驱动装置 1 所述的解码电路 12、输出驱动电路 14 与控制电路 16 相同,所以,于此将不再加以赘述。

[0134] 请参阅图 12,系为本发明的第五实施例的解码扫描驱动装置的电路图。如图所示,本实施例的解码扫描驱动装置 5 与图 10 的解码扫描驱动装置 5 不同的处,在于本实施例的解码扫描驱动装置 5 的解码电路 52 更包含一第十五开关 534。第十五开关 534 的一第一端耦接第一开关 520 的第一端与第二开关 521 的第一端,并第十五开关 534 的一第二端耦接

接地端 GND。

[0135] 请一并参阅图 13,系为本发明的图 10 与图 12 的解码扫描驱动装置的时序图。如图所示,本实施例的时序图与图 3 的实施例的时序图相似,故于此不再加以赘述。

[0136] 请参阅图 14,系为本发明的第六实施例的解码扫描驱动装置的电路图。如图所示,本实施例的解码扫描驱动装置 5 与图 12 的解码扫描驱动装置 5 不同的处,在于本实施的解码扫描驱动装置 5 的输出驱动电路 54 中的每一控制拴锁单元 542 仅包含一个第一晶体管 5420。每一第一晶体管 5420 的第一端皆耦接在一起,并每一第一晶体管 5420 的第二端耦接反相器 544 的第一端。也就是如图 4 所述,也因为在图 4 已经有详细描述了,于此将不再赘述。

[0137] 此外,本实施例的解码扫描驱动装置 5 是将输入电压转换为正电压  $V_H$ ,由于第一晶体管 5420 的一端接收正电压  $V_H$ ,而第一晶体管 5420 的另一端耦接反相器 544,所以,当解码电路 52 要输出时,则可以经由第一晶体管 5420 导通而使反相器 544 转换输入电压转换为正电压  $V_H$ ,例如反相器 544 可以将电压 1.8V 转换为正电压 5V,因此,当解码扫描驱动装置 5 应用于中低电压准位时,则解码扫描驱动装置 5 不需要使用位准转换电路,而达到减省电路面积。其中,正电压  $V_H$  可以大于小于或等于电源  $V_{CC}$ ,但正电压  $V_H$  大于接地端 GND。

[0138] 请参阅图 15,系为本发明的第七实施例的解码扫描驱动装置的电路图。如图所示,本实施例与第六实施例不同的处,在于本实施例的解码电路 52 更包含第十五开关 534。由于第十五开关 534 已经有在图 12 描述过,于此也不再加以赘述。

[0139] 请一并参阅图 16,为本发明的图 14 与图 15 的解码扫描驱动装置的时序图。如图所示,本实施例与图 6 的实施例的时序图相似,故于此不再加以赘述。

[0140] 请参阅图 17,系为本发明的第八实施例的解码扫描驱动装置的电路图。如图所示,本实施例与图 12 的实施例不同的处,在于本实施例是将一正电压转换成一负电压  $V_L$  的输出(如输入为  $0 \sim 1.8V$ ,输出为  $1.8V \sim -5V$ )的位准转移解码扫描驱动装置,其中,负电压  $V_L$  小于电源  $V_{CC}$  在位准转移解码扫描驱动装置 7 的一解码电路 72 的复数开关为一 P 型场效晶体管。解码电路 72 包含一第一开关 720、一第二开关 721、一第三开关 722、一第四开关 723、一第五开关 724、一第六开关 725、一第七开关 726、一第八开关 727、一第九开关 728、一第十开关 729、一第十一开关 730、一第十二开关 731、一第十三开关 732、一第十四开关 733 与一第十五开关 734。而第一开关 720 ~ 第十五开关 734 为 N 型场效晶体管。由于本实施例的第一开关 720 ~ 第十五开关 734 相同于图 7 所述的解码电路 32 的第一开关 320 至第十五开关 334,所以,于此将不再加以赘述。

[0141] 接上所述,本实施例是将输入电压转换为负电压  $V_L$ ,其转换的原理同图 11 所述,由于反相器 744 的电源  $V_L$ ,而电源  $V_L$  小于一般电源  $V_{CC}$ ,所以,反相器 744 可以转换电压准位为电源  $V_L$ ,例如反相器 544 可以将电压 1.8V 转换为  $-5V$ ,因此,当解码扫描驱动装置 7 应用于中低电压准位时,则解码扫描驱动装置 7 不需要使用位准转换电路,而达到减省电路面积。

[0142] 请参阅图 18,系为本发明的第九实施例的扫描驱动电装置的电路图。如图所示,本实施例与图 17 的实施例不同的处,在于本实施例的解码扫描驱动装置 7 更包含一第三逻辑单元 78 与一第四逻辑单元 79。第三逻辑单元 78 的一第一输入端接收输入信号  $A_2$ ,第三逻辑单元 78 的一第二输入端接收一控制电路 76 的一致能电路 760 的一致能信号 OE,并第三



逻辑单元 78 的一输出端耦接解码电路 72 的第一开关 720, 第四逻辑单元 79 的一第一输入端耦接收反相器 704 输出的一第三反相输入信号 XA2, 第四逻辑单元 79 的一第二输入端接收控制电路 76 的致能电路 760 的致能信号 OE, 并第四逻辑单元 79 的输出端耦接解码电路 72 的第二开关 721, 其中, 第三逻辑单元 78 与第四逻辑单元 79 为一或门, 本发明藉由第三逻辑单元 78 与第四逻辑单元 79 而避免瞬间的大电流。

[0143] 请参阅图 19, 系为本发明的图 17 与图 18 的解码扫描驱动装置的时序图。如图所示, 本实施例的时序图与图 9 的实施例的时序图相似, 故于此不再加以赘述。

[0144] 请参阅图 20, 系为本发明的第十实施例的解码扫描驱动装置的电路图。如图所示, 本实施例与图 17 的实施例不同的处, 在于本实施例的解码扫描驱动装置 7 的输出驱动电路 74 中的每一每一控制拴锁单元 742 包含二个晶体管, 其如同图 2 所述的控制拴锁单元 142 的第一晶体管 1420 与第二晶体管 1422, 所以, 于此将不再加以赘述。

[0145] 请参阅图 21, 系为本发明的第十二实施例的解码扫描驱动装置的电路图。如图所示, 本实施例的解码扫描驱动装置与图 20 的解码扫描驱动装置不同的处, 在于本实施例的解码电路 72 更包含第十五开关 734。由于第十五开关 734 已经有在图 12 描述过, 于此也不再加以赘述。

[0146] 请一并参阅图 22, 系为本发明的图 20 与图 21 的解码扫描驱动装置的时序图。如图所示, 本实施例的时序图与图 9 的实施例的时序图相似, 故于此不再加赘述。

[0147] 综上所述, 本发明的解码扫描驱动装置藉由一位准转换电路接收复数输入信号并转换该些输入信号的位准而产生复数解码控制信号; 解码电路耦接位准转换电路, 并依据该些解码控制信号而产生复数解码信号; 一输出驱动电路耦接解码电路, 并依据该些解码信号依序产生一驱动信号, 并输出驱动信号; 一控制电路耦接输出驱动电路, 并依据该些输入信号的其中之一而产生一控制信号, 并传送至输出驱动电路而控制输出驱动电路输出驱动信号, 以节省解码扫描驱动装置的电路面积, 进而减少成本。

[0148] 上文仅为本发明的较佳实施例而已, 并非用来限定本发明实施的范围, 凡依本发明权利要求范围所述的形状、构造、特征及精神所为的均等变化与修饰, 均应包括于本发明的权利要求范围内。

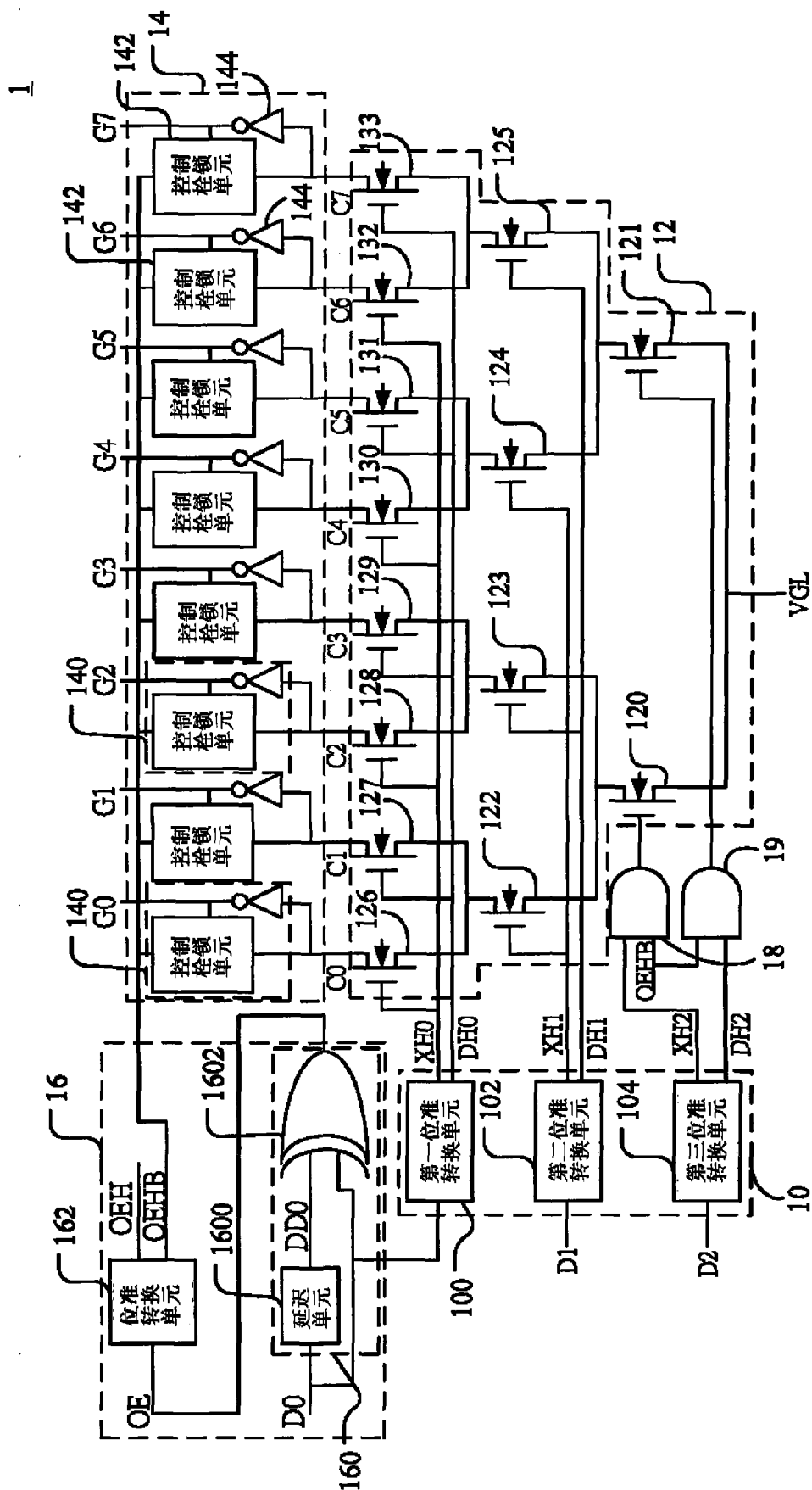


图 1

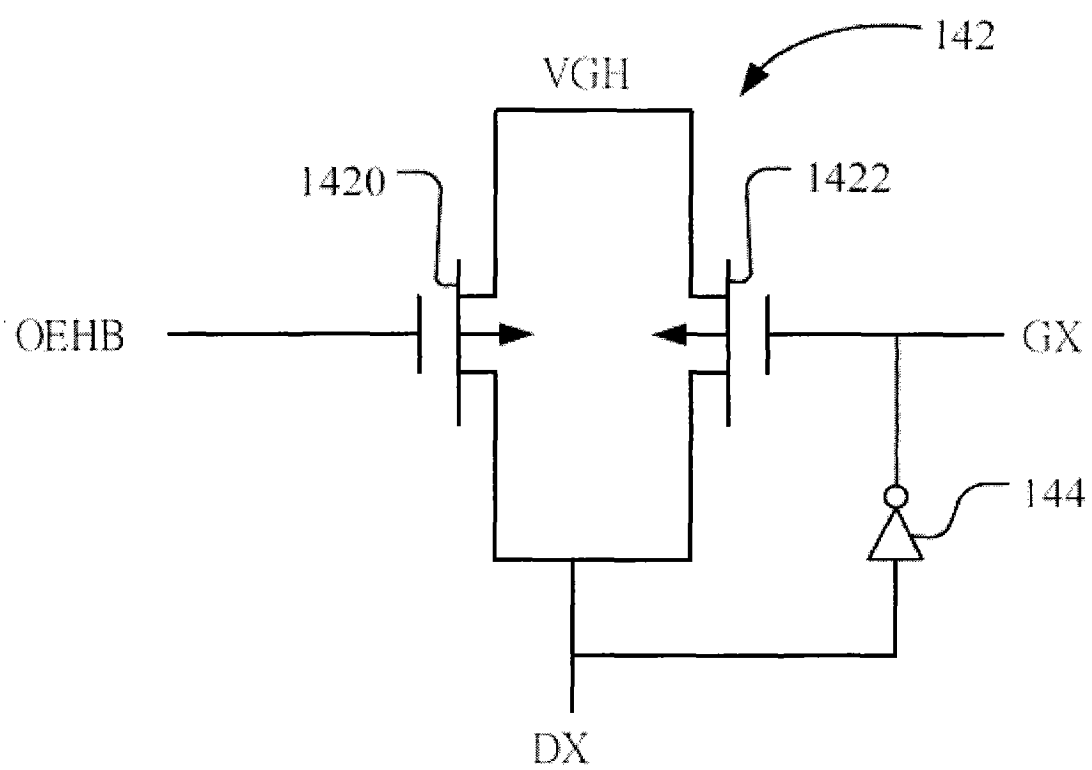


图 2

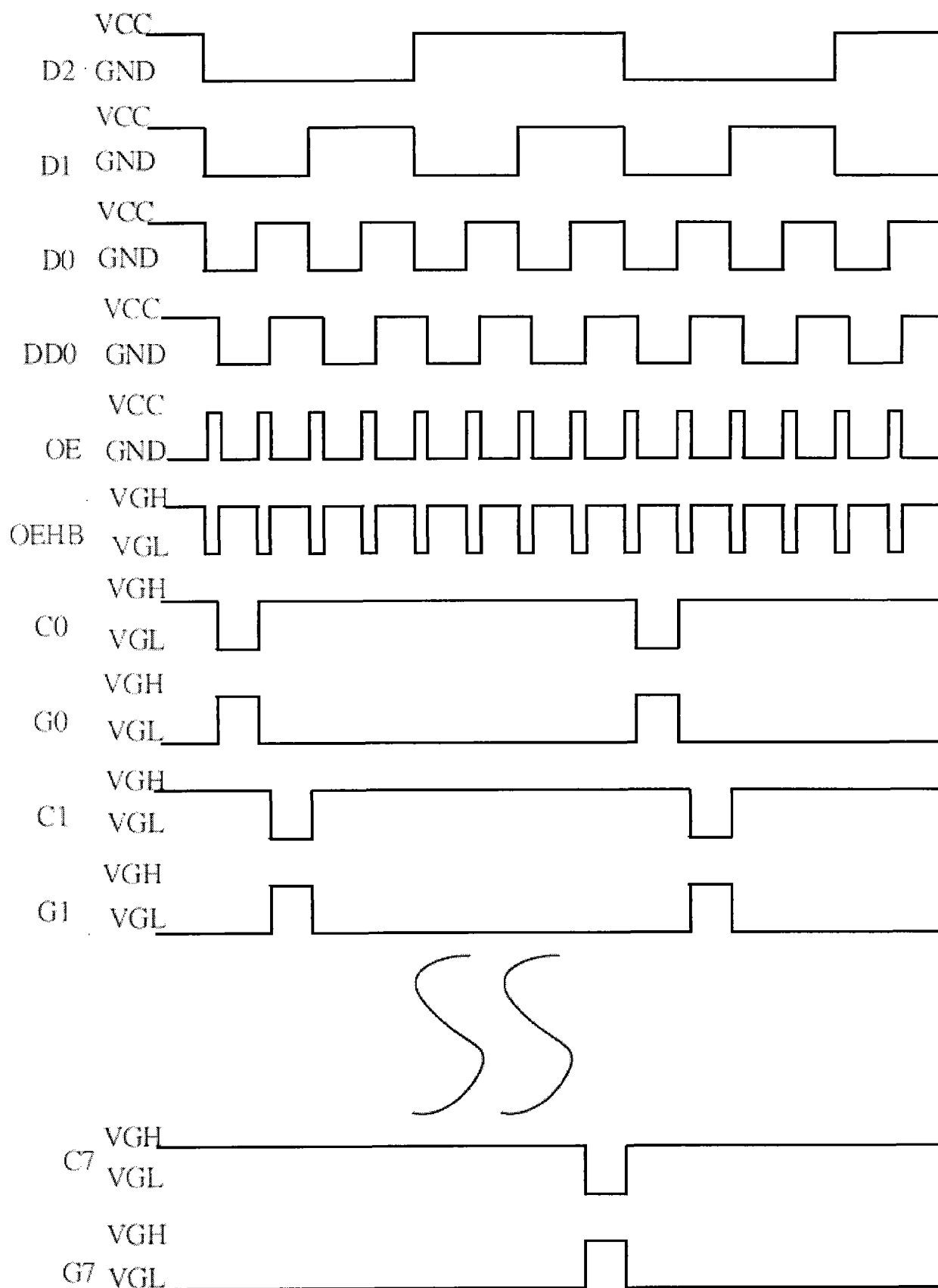


图 3

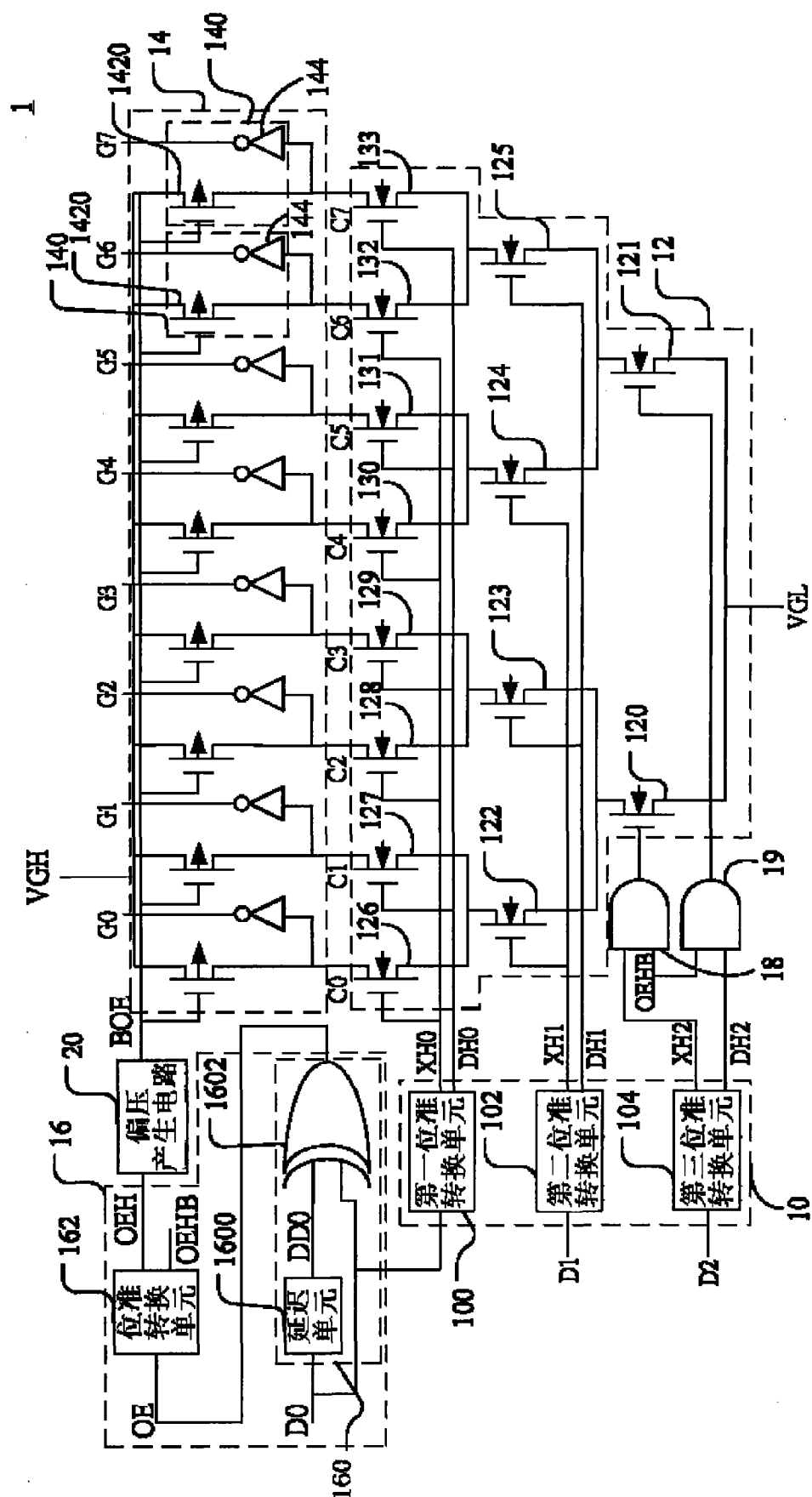


图 4

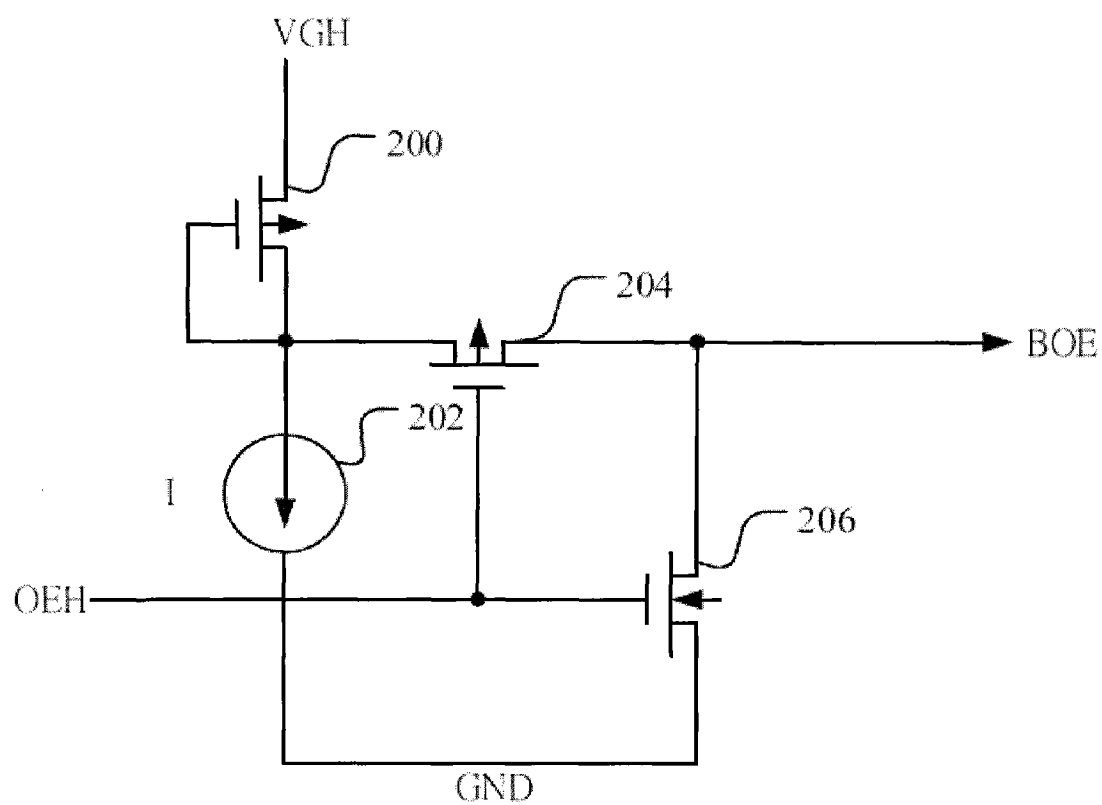
20

图 5

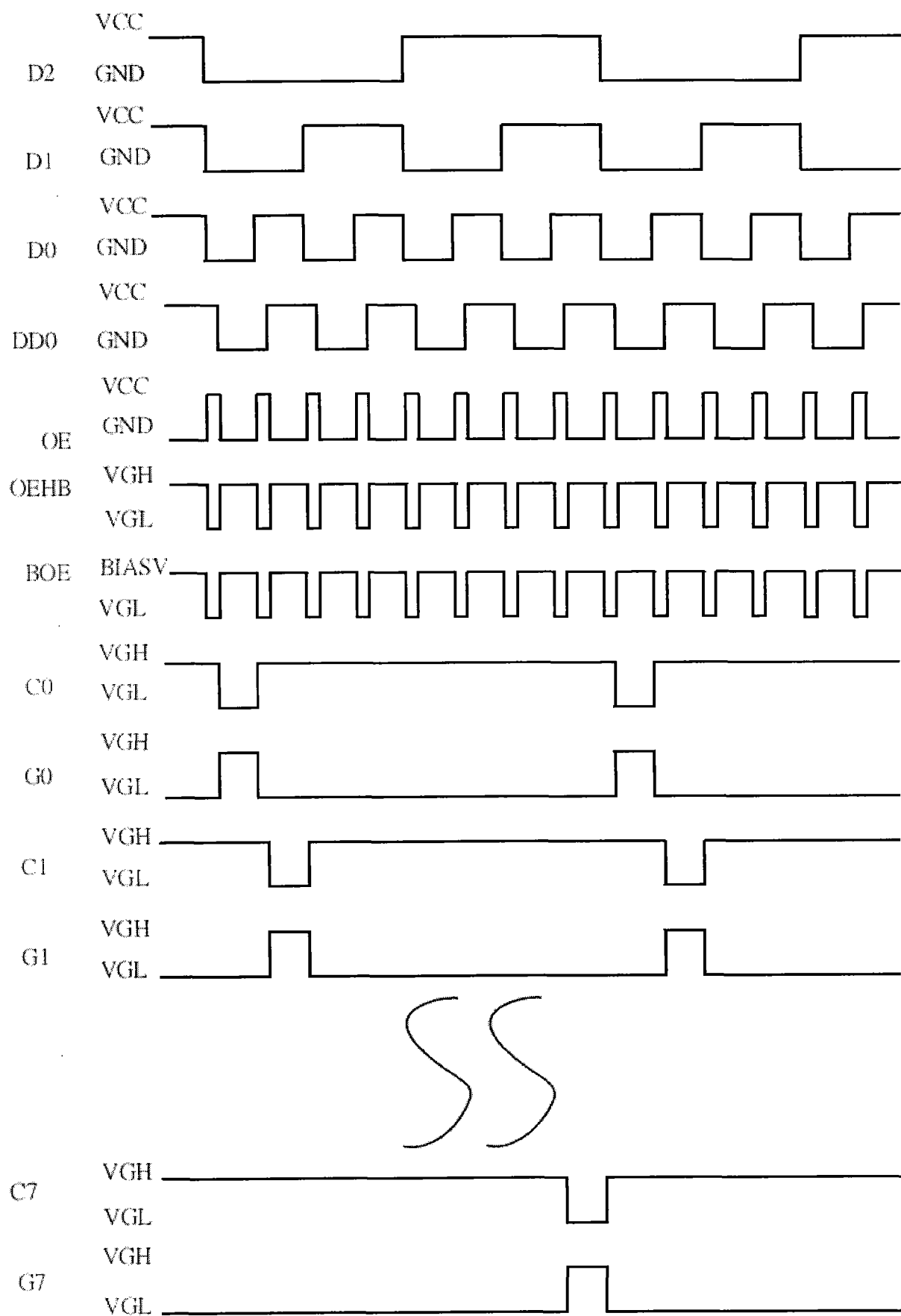


图 6

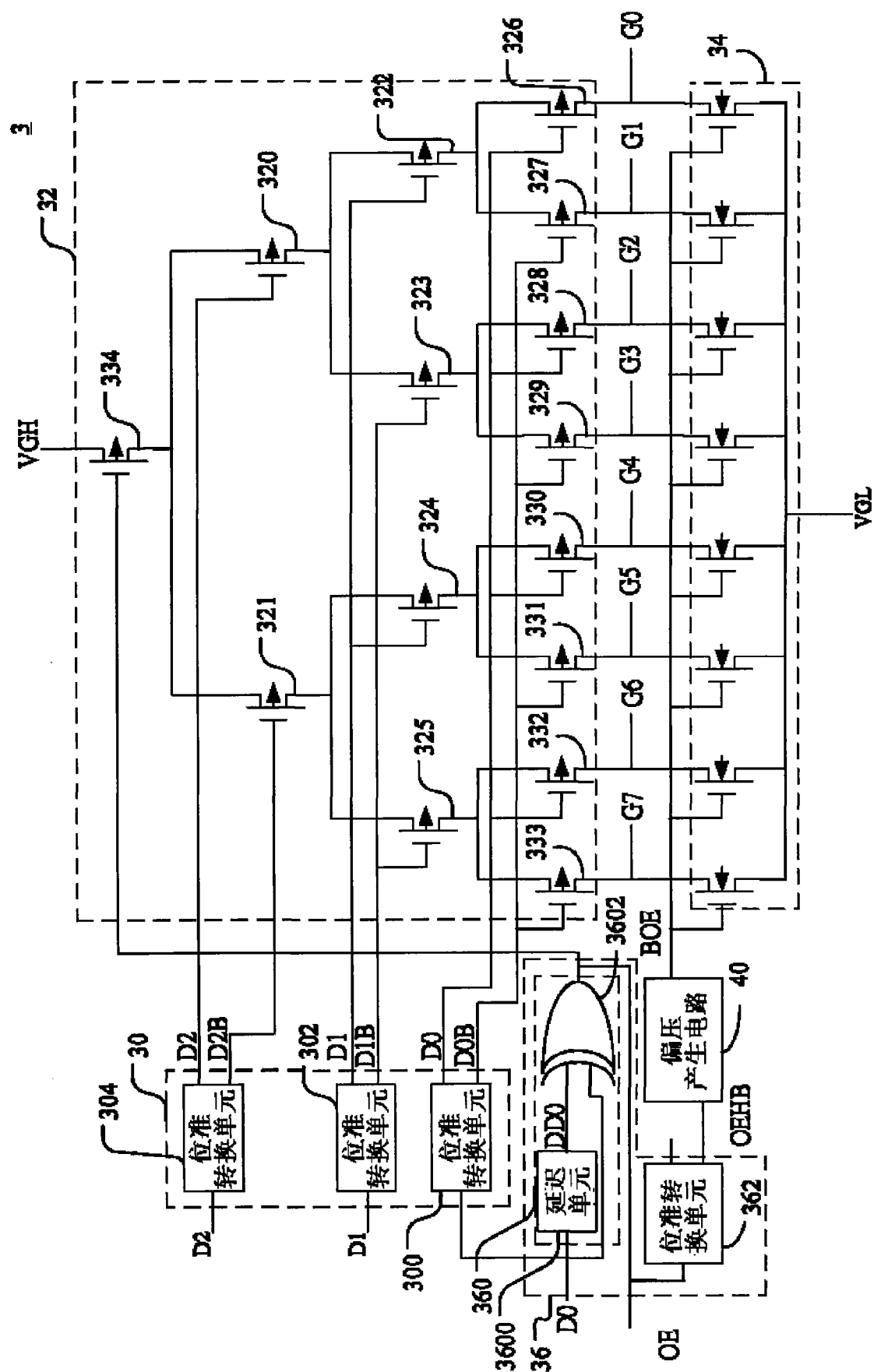


图 7



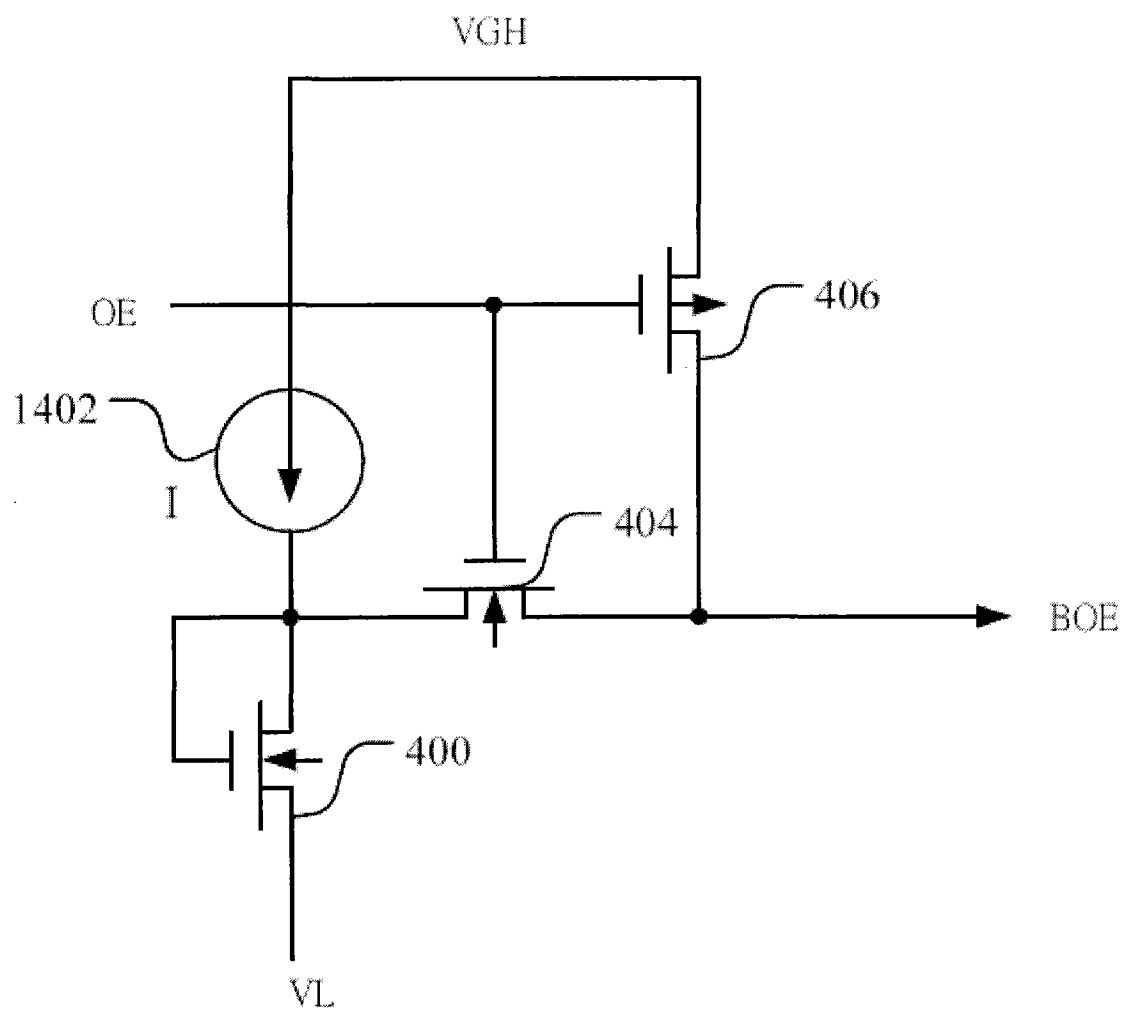
40

图 8

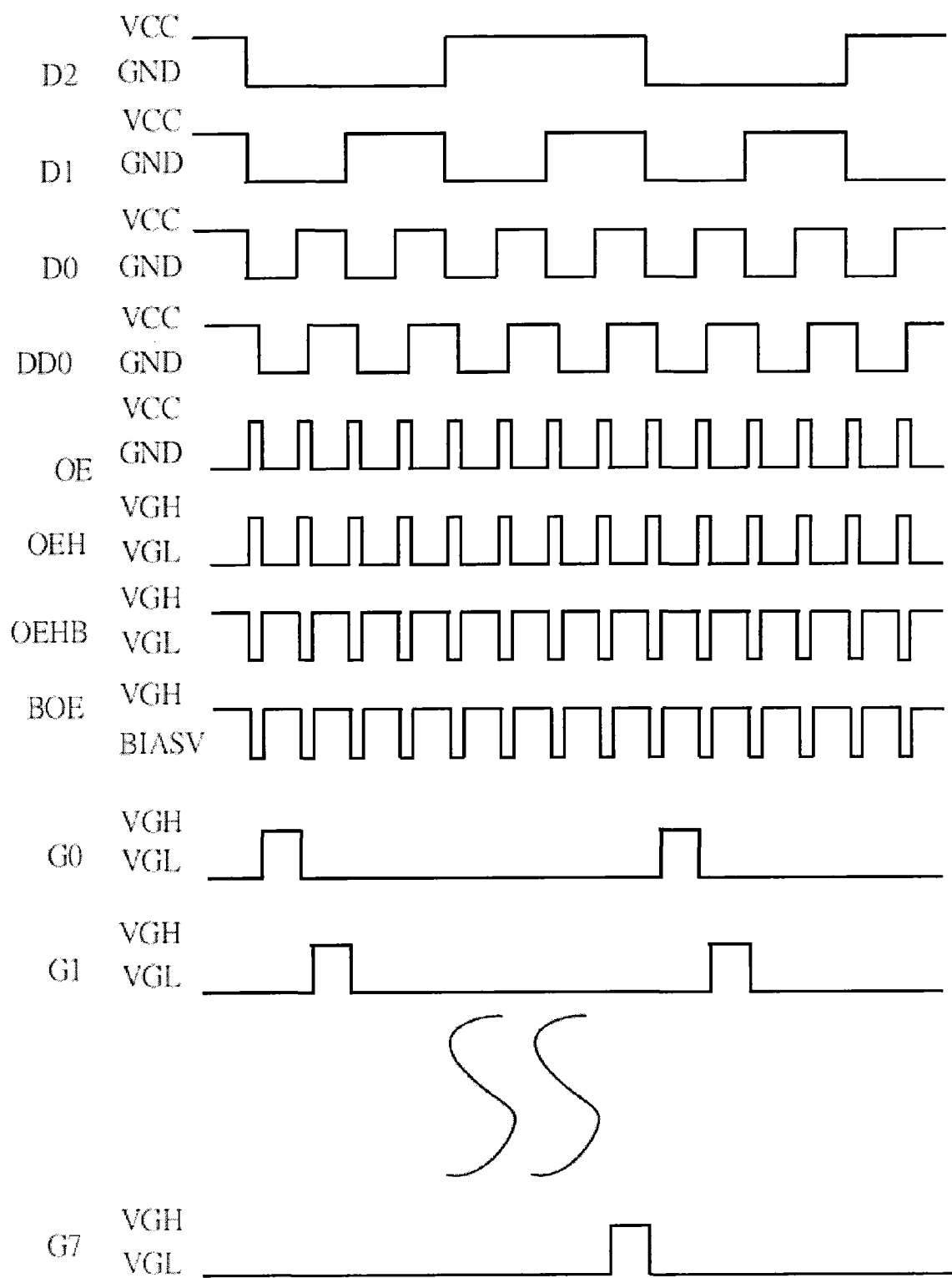


图 9

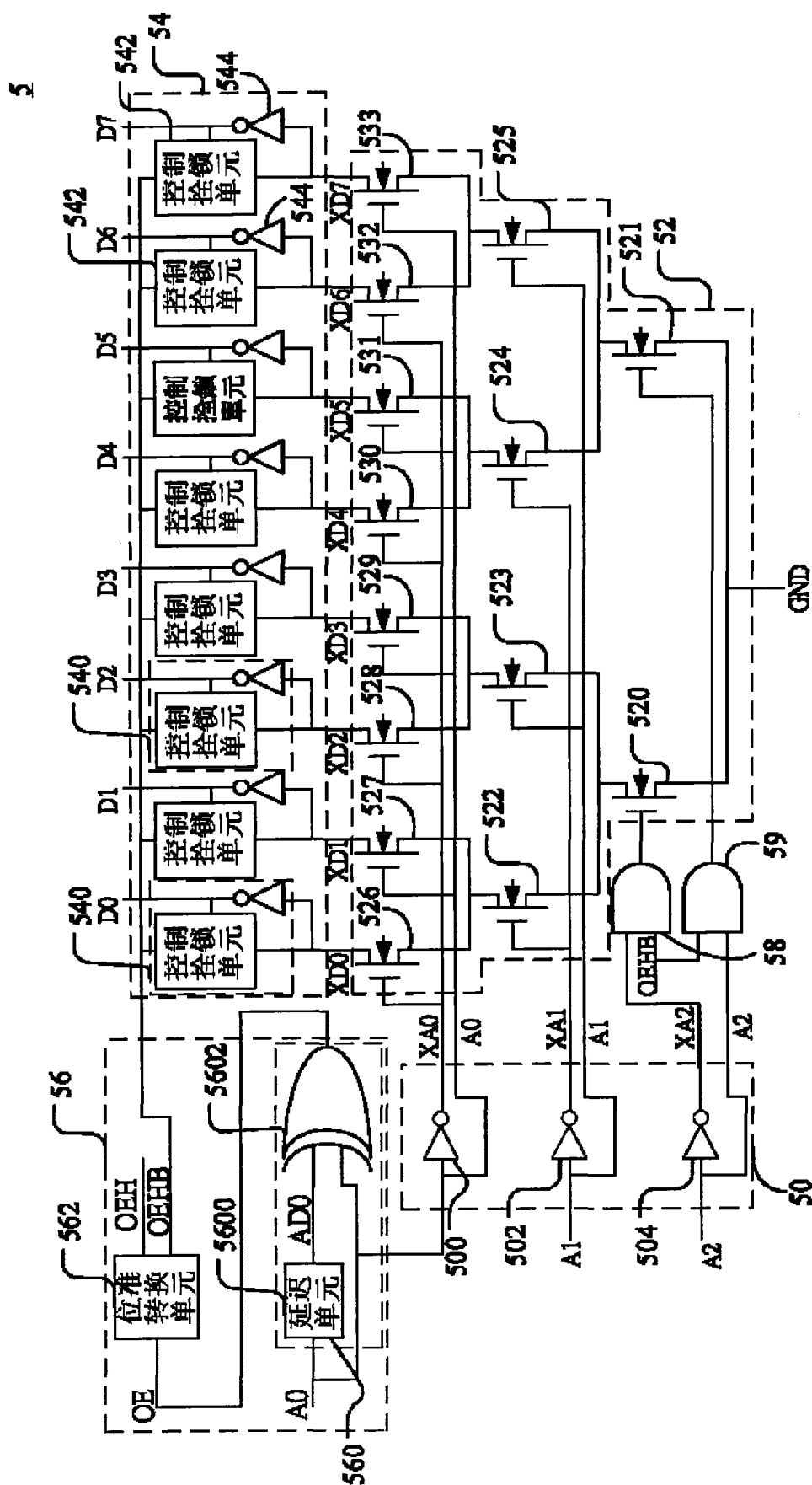


图 10

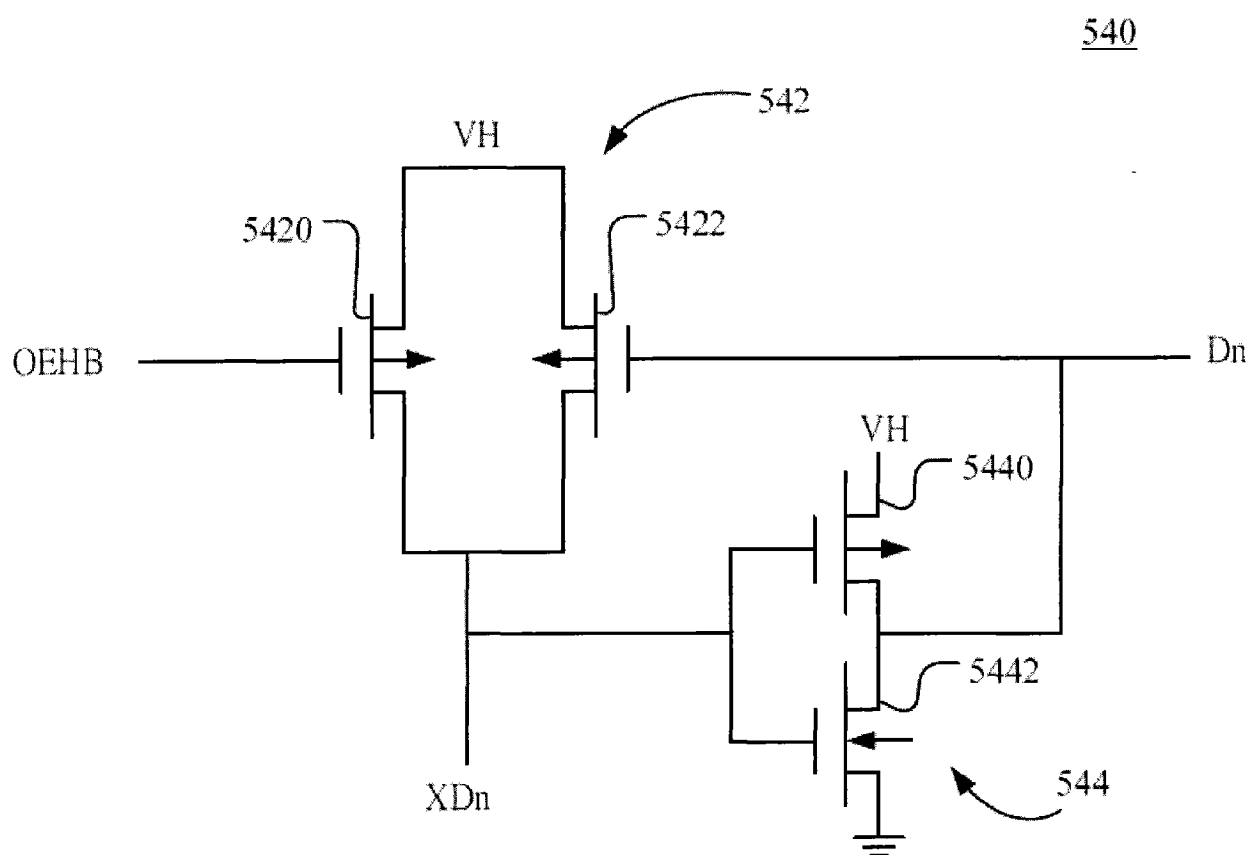


图 11

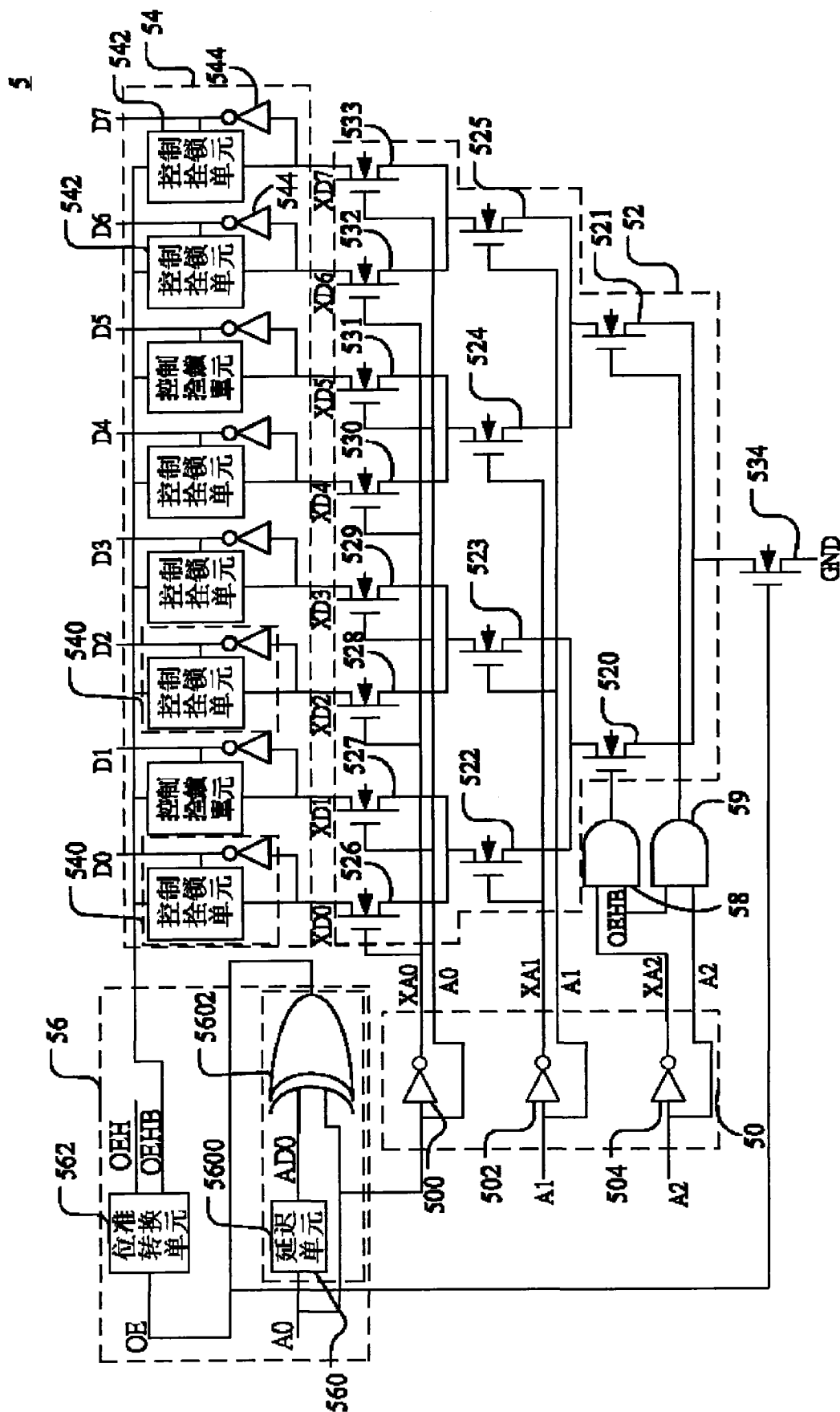


图 12

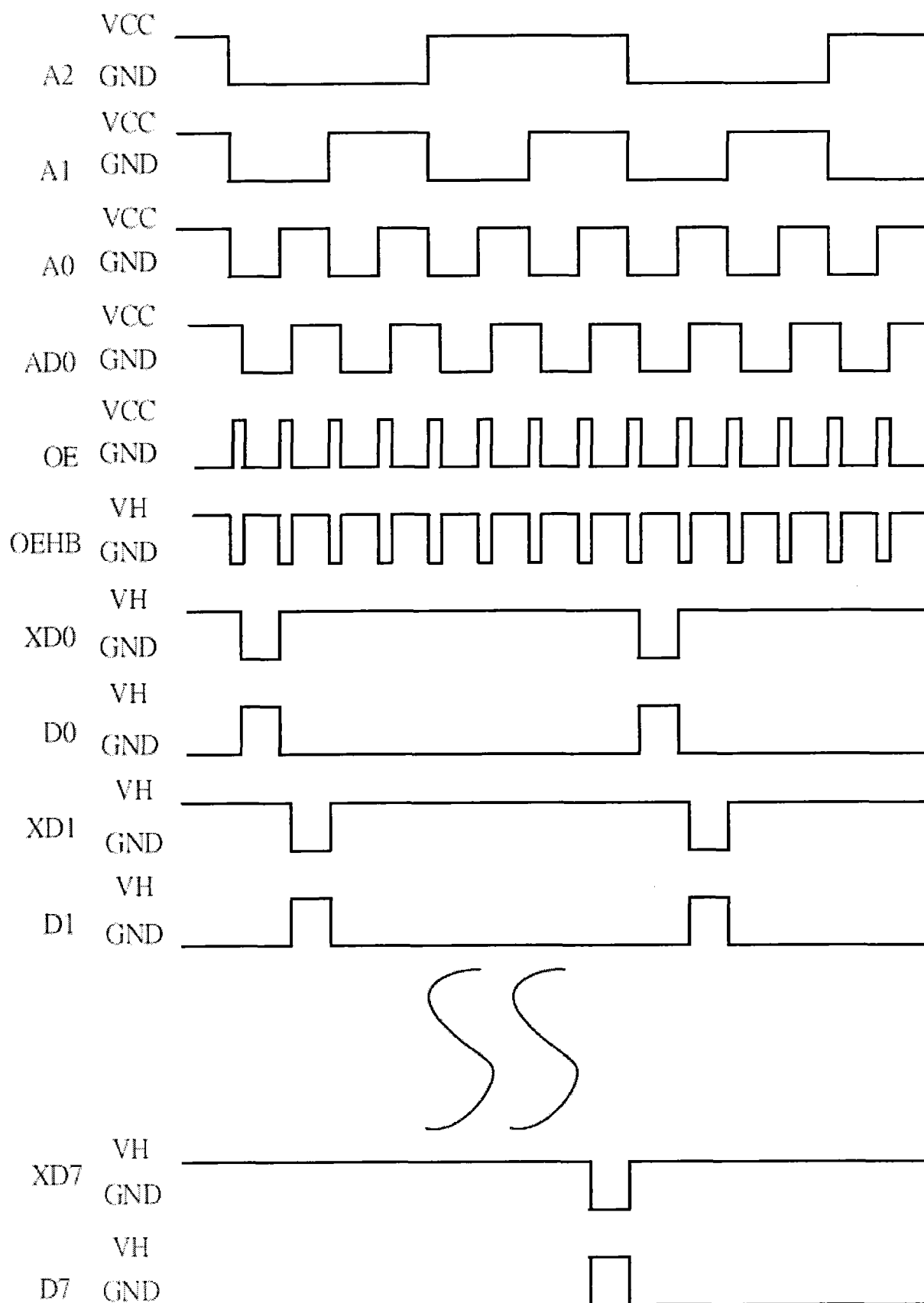


图 13

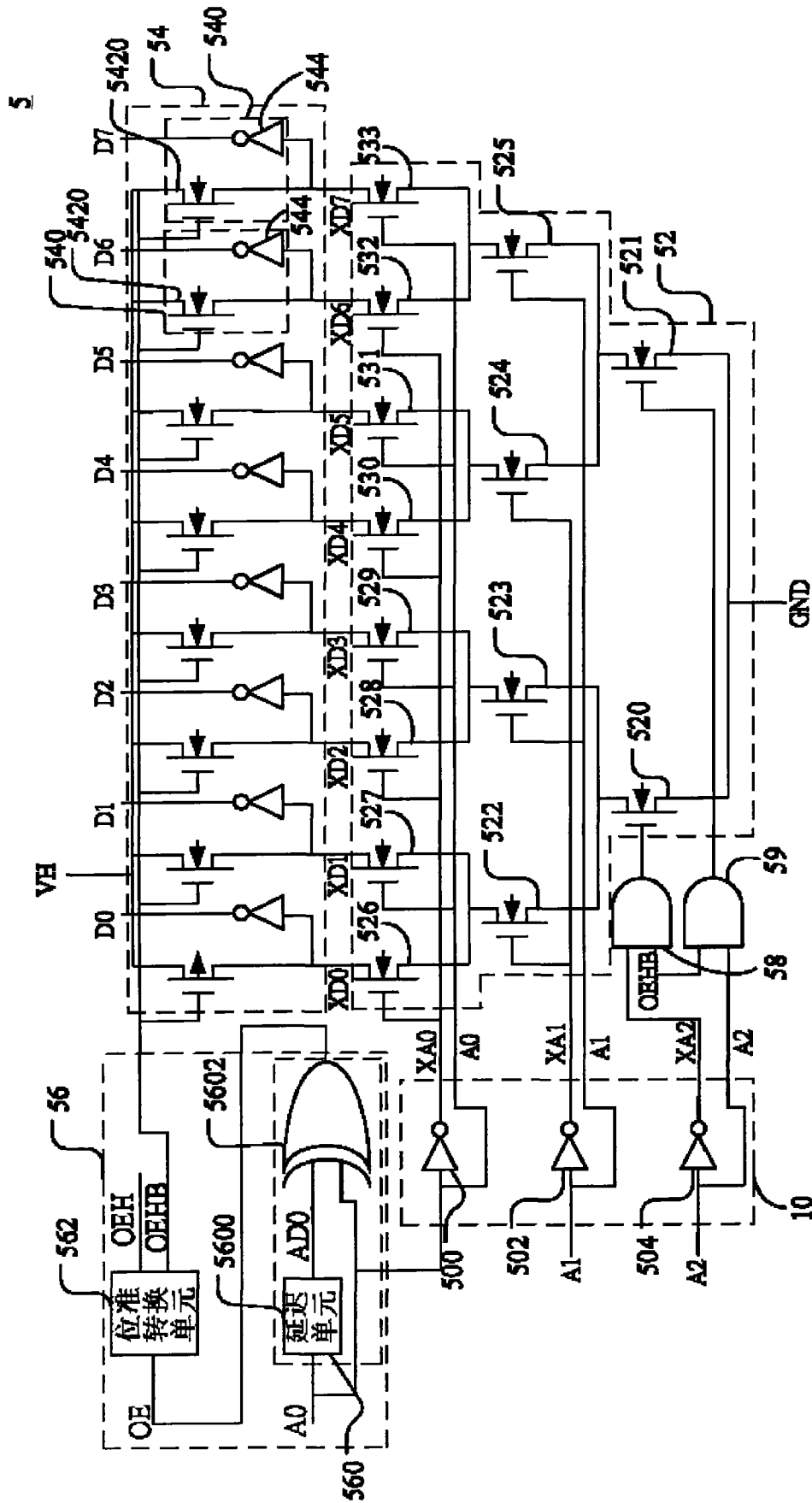


图 14

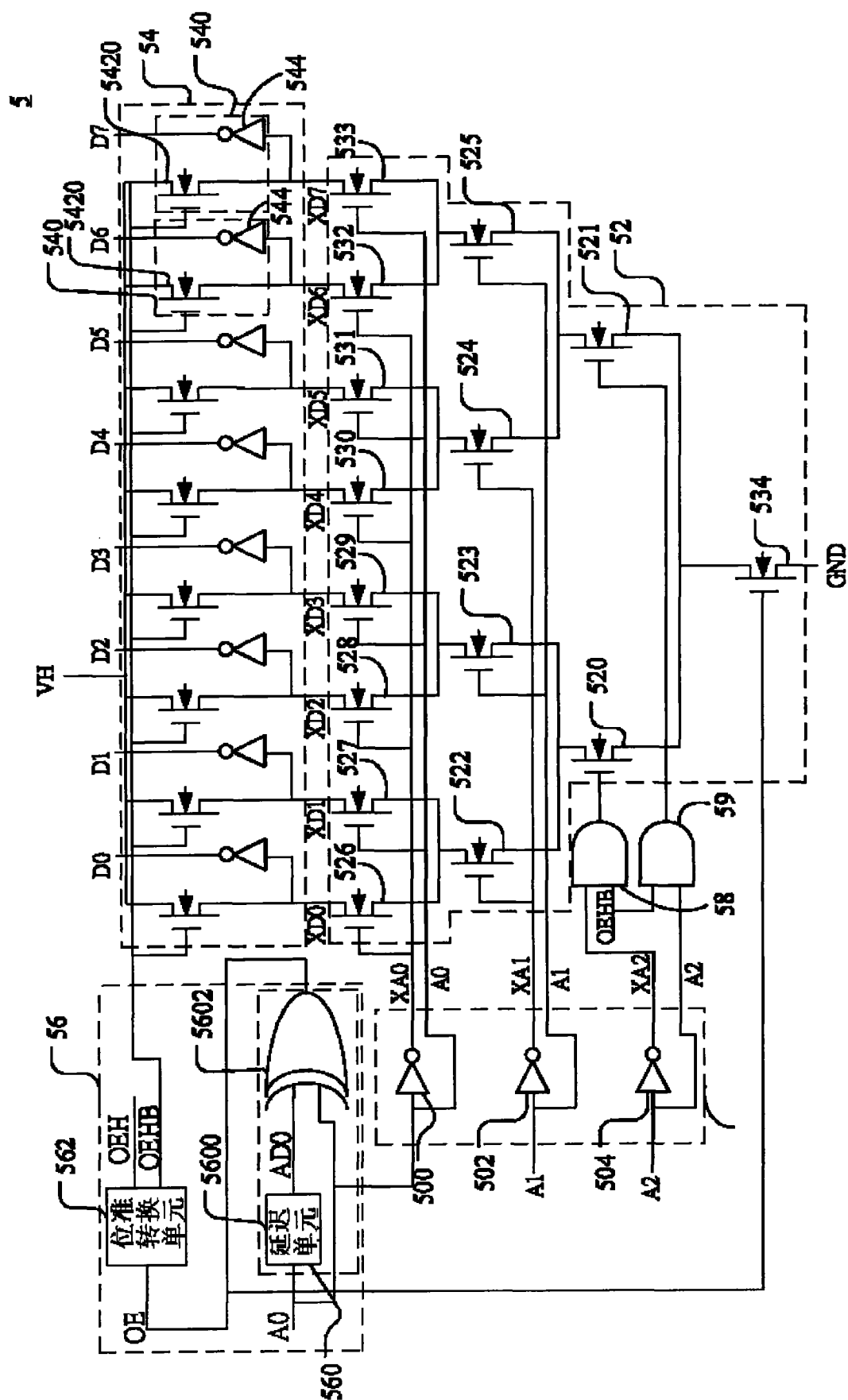


图 15



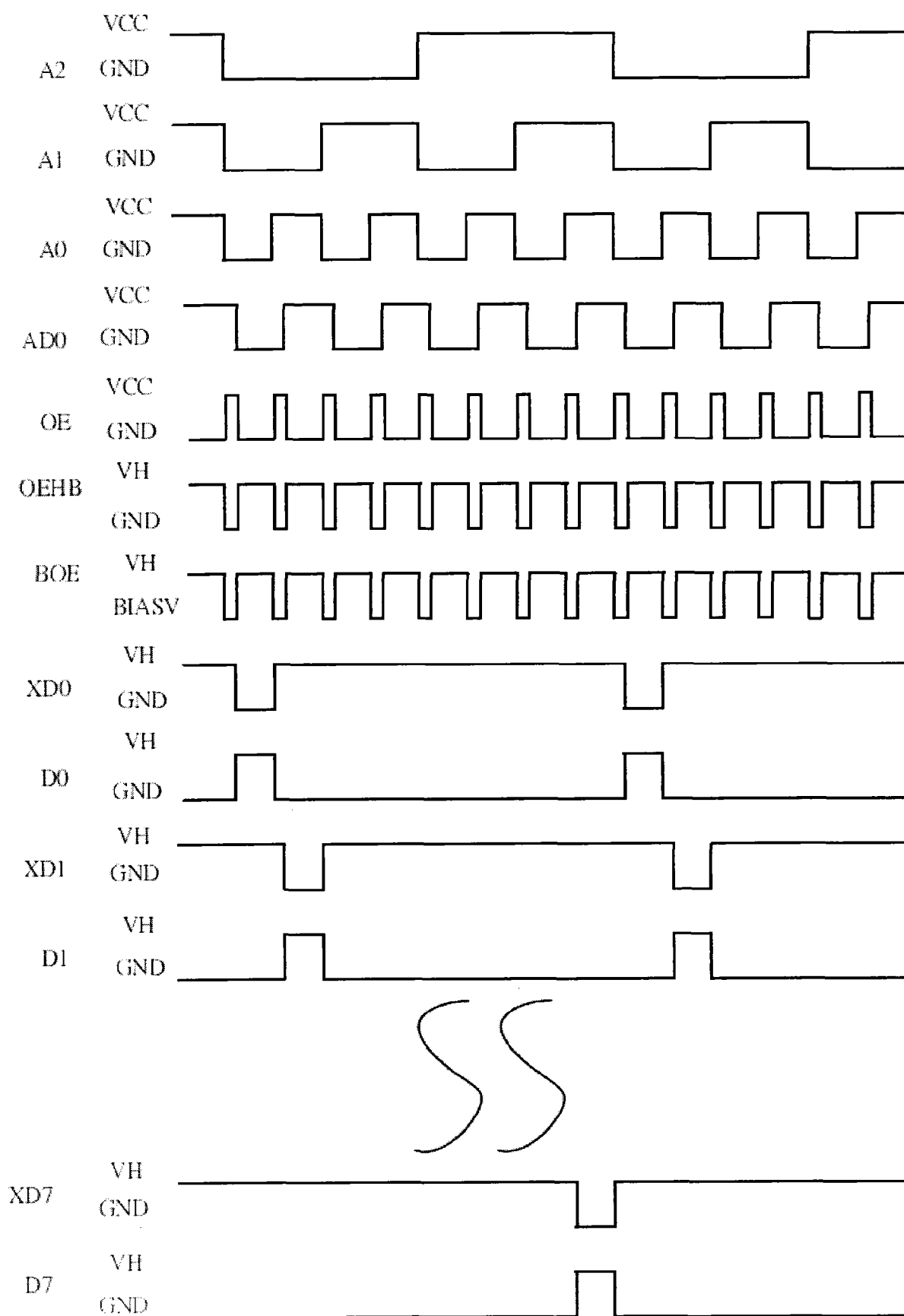


图 16

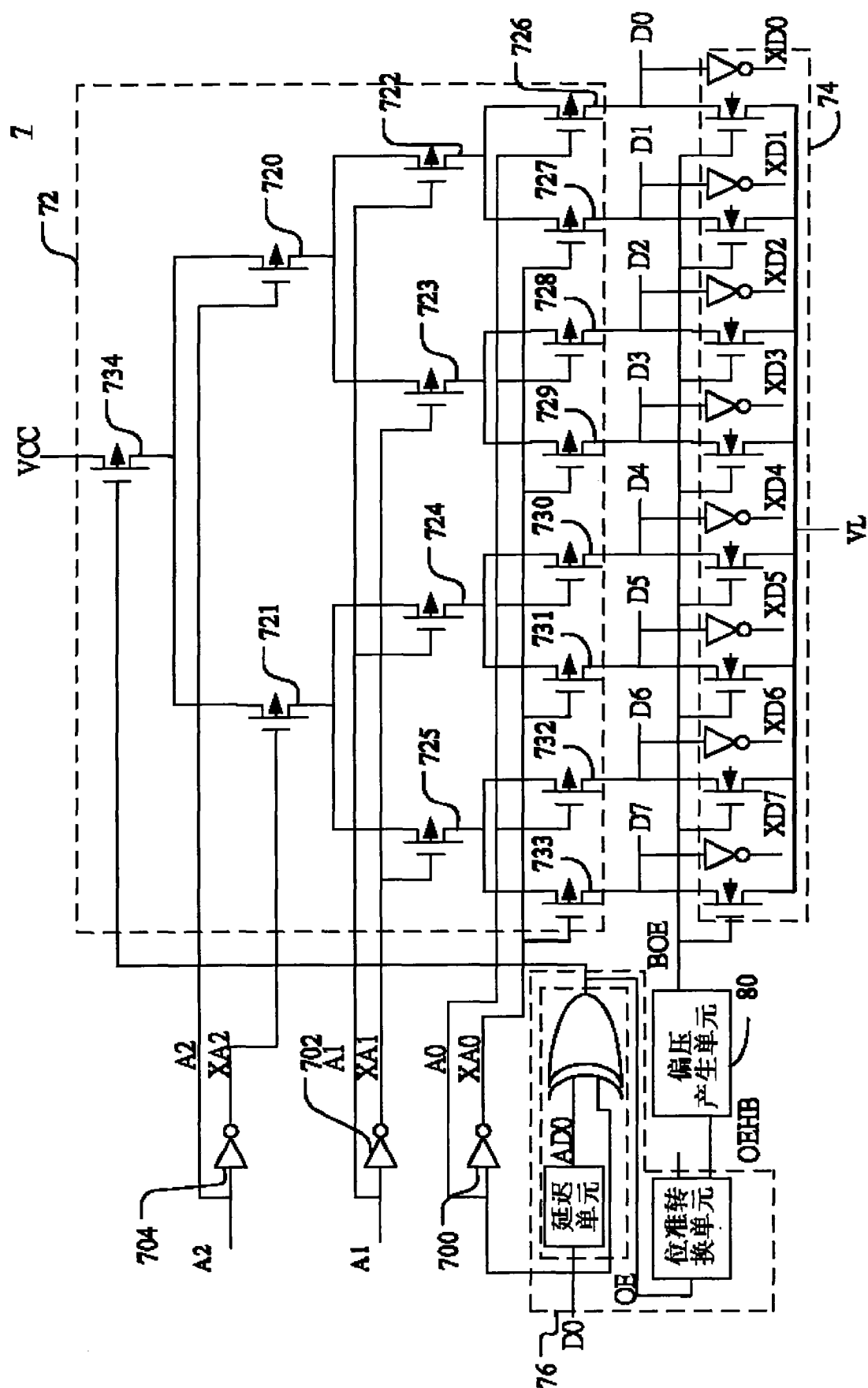


图 17

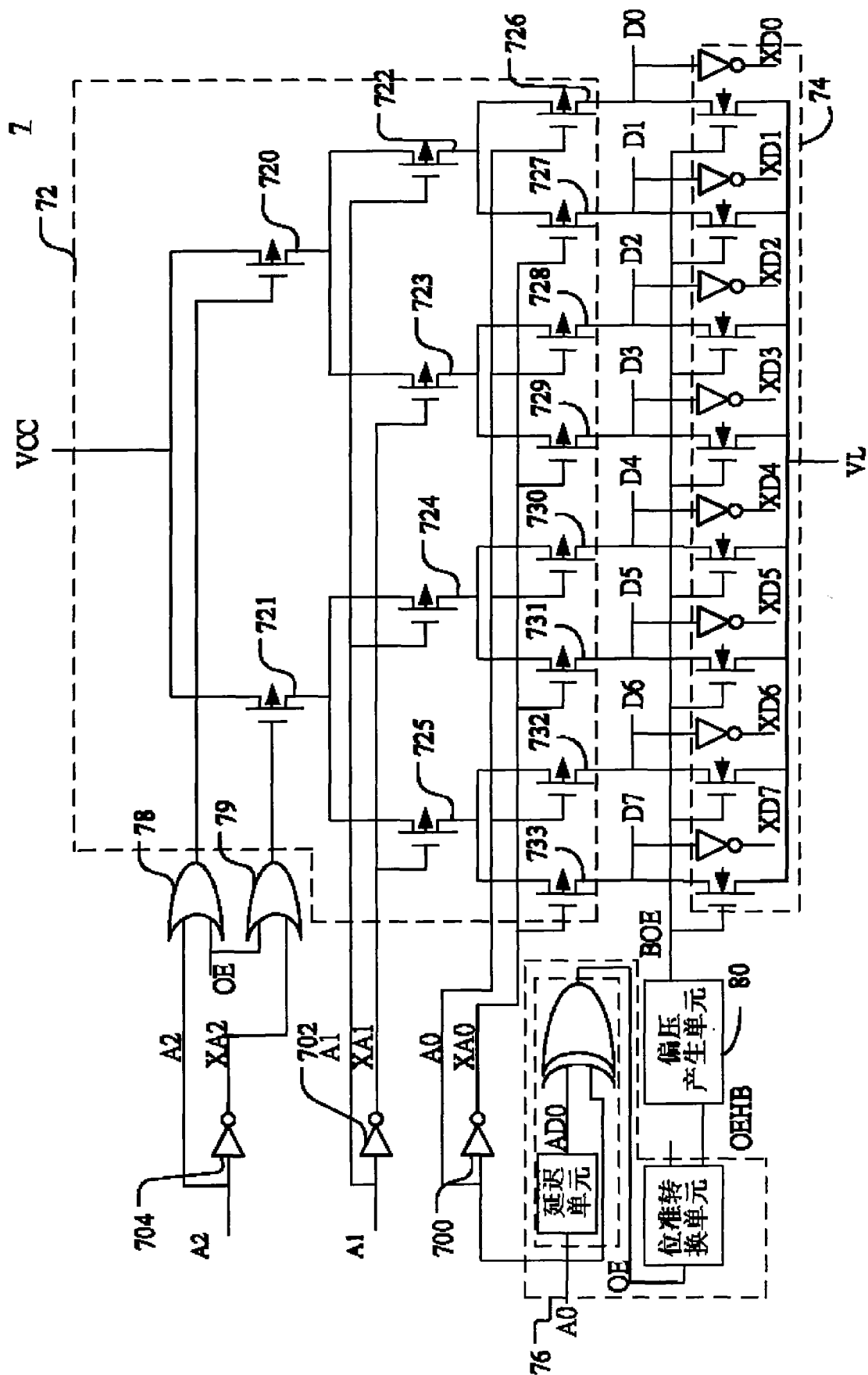


图 18

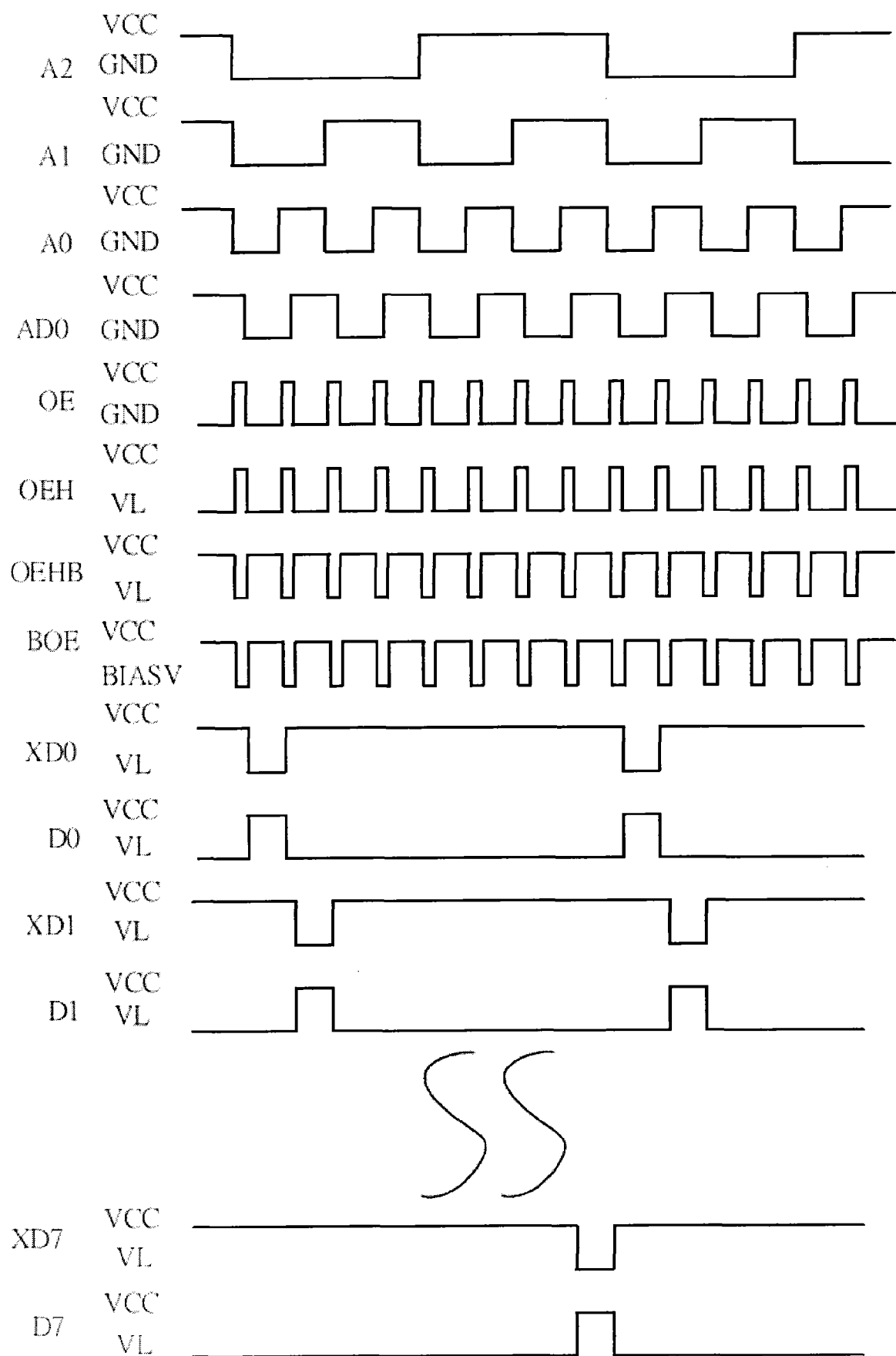


图 19

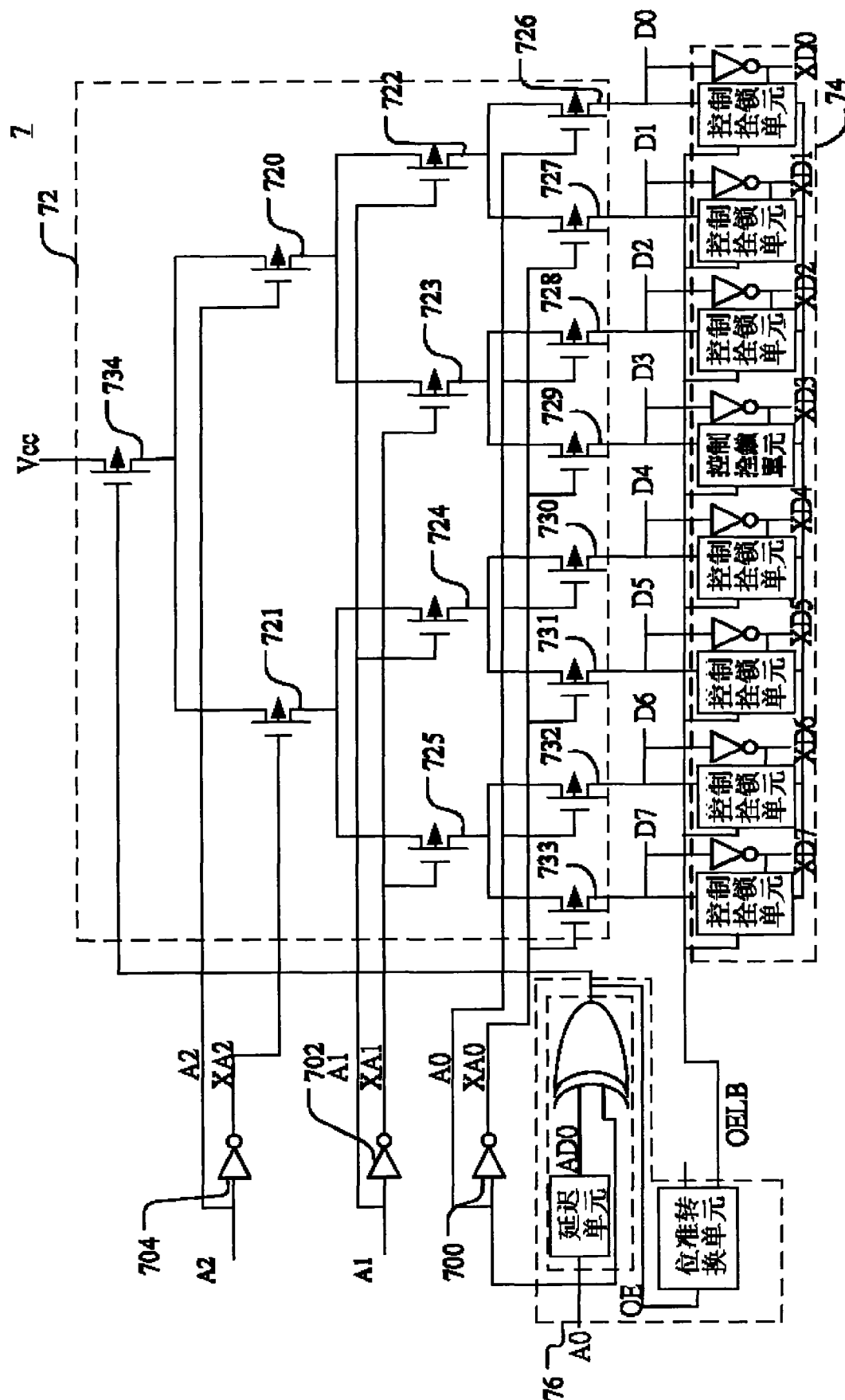


图 20

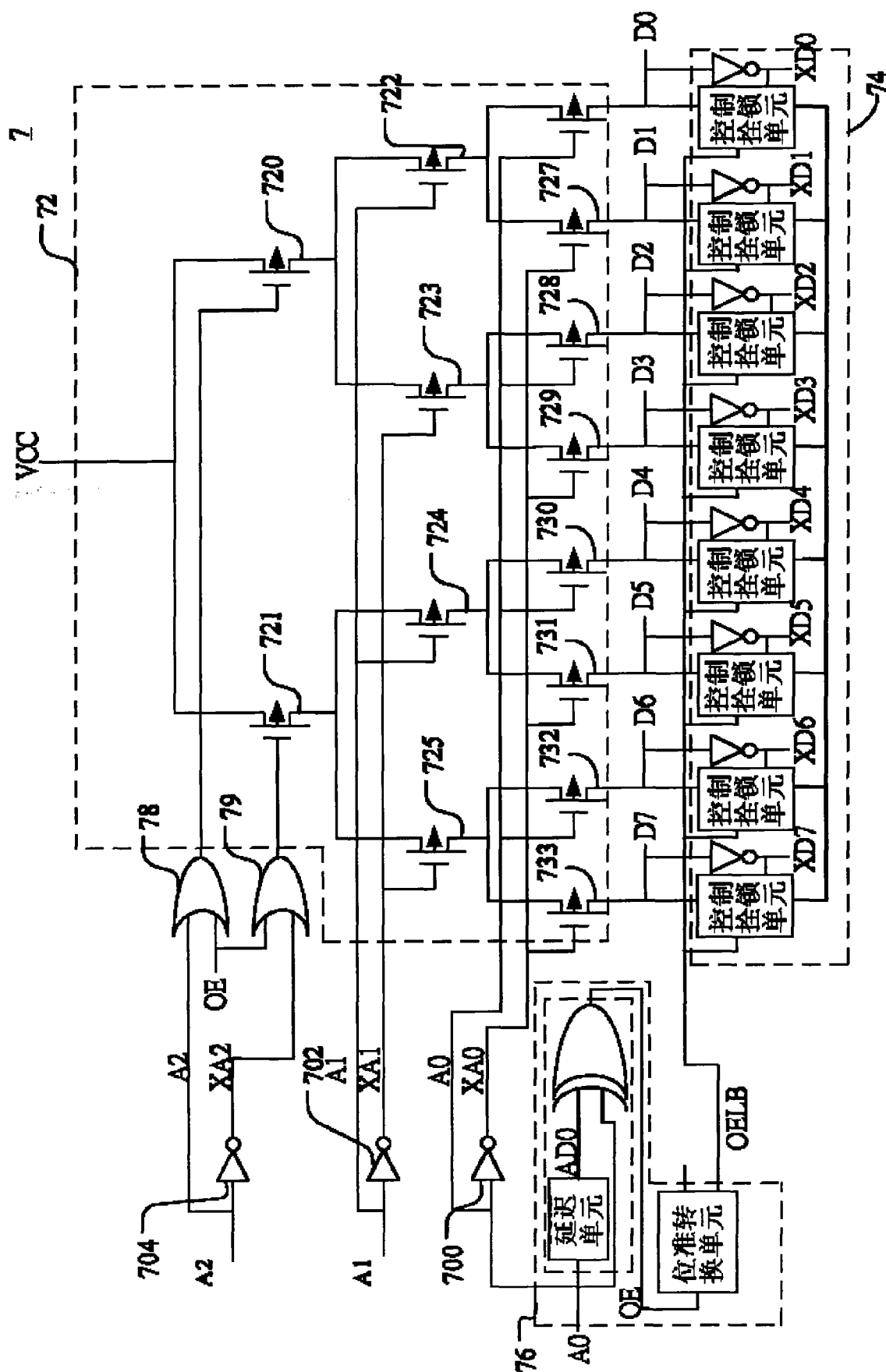


图 21

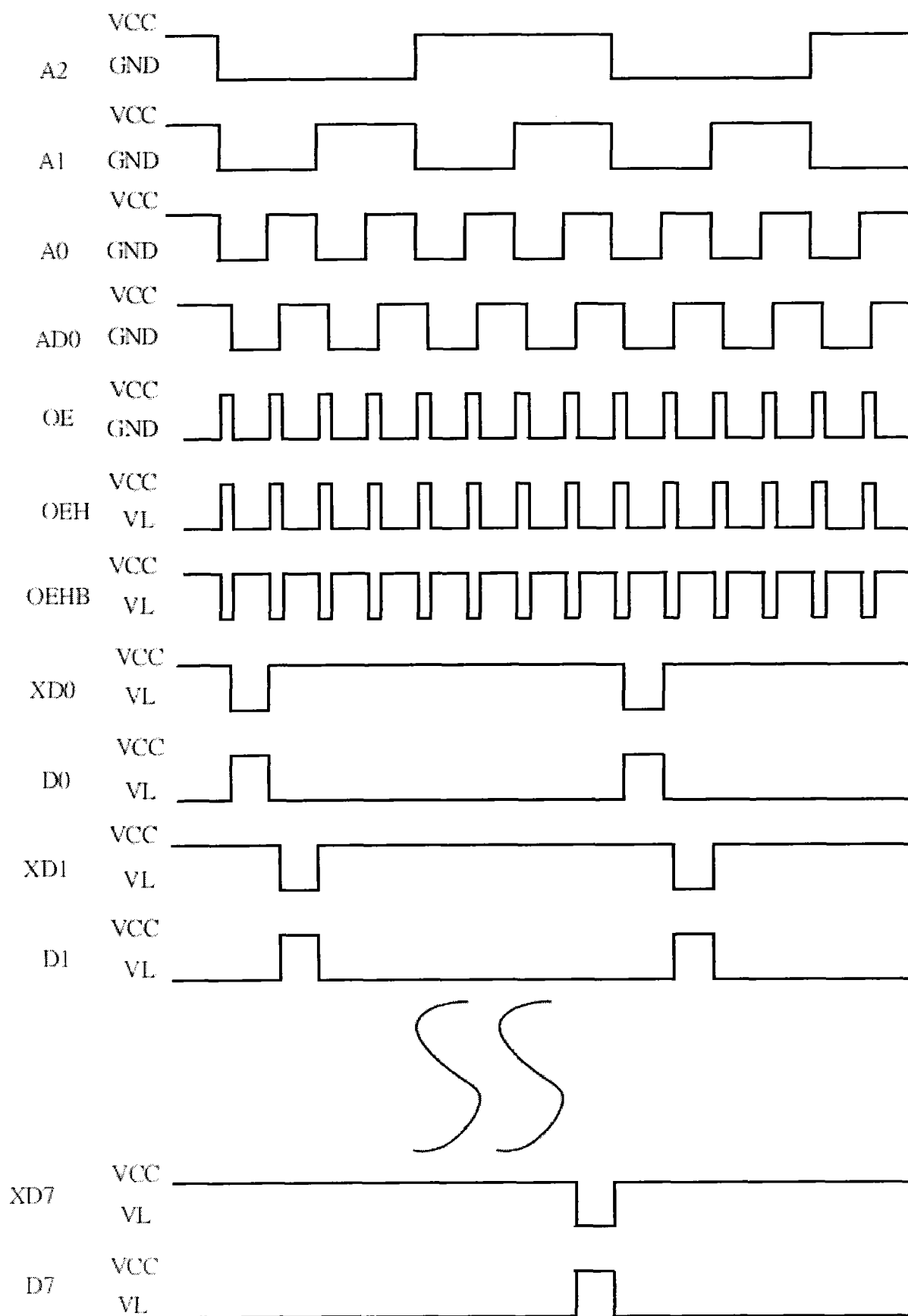


图 22