



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년08월17일

(11) 등록번호 10-1544931

(24) 등록일자 2015년08월10일

(51) 국제특허분류(Int. Cl.)

*H01L 21/20* (2006.01) *H01L 21/205* (2006.01)  
*H01L 21/31* (2006.01)

(21) 출원번호 10-2014-7014598(분할)

(22) 출원일자(국제) 2007년05월11일

심사청구일자 2014년06월13일

(85) 번역문제출일자 2014년05월29일

(65) 공개번호 10-2014-0089404

(43) 공개일자 2014년07월14일

(62) 원출원 특허 10-2009-7000140

원출원일자(국제) 2007년05월11일

심사청구일자 2012년05월09일

(86) 국제출원번호 PCT/US2007/011464

(87) 국제공개번호 WO 2007/145758

국제공개일자 2007년12월21일

(30) 우선권주장

11/536,463 2006년09월28일 미국(US)

60/811,703 2006년06월07일 미국(US)

(56) 선행기술조사문헌

US05766999 A

US20060115934 A1

WO2005071725 A1

(73) 특허권자

에이에스엠 아메리카, 인코포레이티드

미국 85034-7200 아리조나 피닉스 이스트 유니버시티 드라이브 3440

(72) 발명자

바우어 마티아스

미국 애리조나 85042 피닉스 싸우스 골프사이드 레인 7205

워스 케이쓰 도란

미국 애리조나 85233 길버트 싸우스 골든 키 730

(74) 대리인

리앤폭특허법인

전체 청구항 수 : 총 25 항

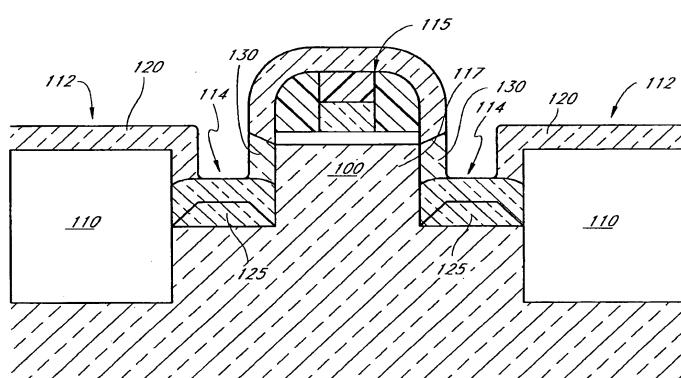
심사관 : 홍종선

(54) 발명의 명칭 반도체 박막의 선택적 에피택셜 형성

**(57) 요 약**

반복되는 블랭킷 증착 및 선택적인 식각의 주기적인 공정에 의하여 반도체 원도우들 내에 에피택셜 층들(125)이 선택적으로 형성된다. 상기 블랭킷 증착 단계들은 필드 산화물과 같은 절연성 영역들(112) 상에 비에피택셜 재료(120)를 잔준시키고, 상기 선택적인 식각 단계들은 증착된 에피택셜 재료(125)를 주기마다 상향으로 성장시키

(뒷면에 계속)

**대 표 도** - 도5a

면서, 비에피택셜 재료(120)를 우선적으로 제거한다. 에피택셜 재료(125)의 품질은 절연체들(112) 상에 어떠한 증착도 일어나지 않는 선택적인 공정들에 비하여 개선된다. 상기 공정의 식각 단계들 동안에 게르마늄 촉매들을 이용하는 것은, 식각 속도를 높이는데 유익하며, 상기 주기들 동안에 등온 및/또는 등압 조건들을 효율적으로 유지시키는 것을 용이하게 한다. 처리량 및 품질은 트리실란의 이용, 상기 절연성 영역들 상에 비정질 재료(120)의 형성, 및 각 증착 단계 내에서 비정질: 에피택셜 재료의 두께 비율의 최소화에 의하여 개선된다.

---

## 명세서

### 청구범위

#### 청구항 1

기판 상에 트리실란과 함께 탄소 소오스 증기를 유입시킴으로써, 상기 기판의 단결정 반도체 영역들 상에 에피택셜 실리콘 함유 재료를 형성하고 상기 기판의 절연성 영역들 상에 비에피택셜 실리콘 함유 재료를 형성하도록, 실리콘 함유 반도체 재료를 블랭킷 증착하는 단계로서, 상기 실리콘 함유 재료는 탄소 도핑된 실리콘을 포함하며, 상기 단결정 반도체 영역들 위의 상기 실리콘 함유 재료는 적어도 1.0%의 치환식 도핑된 탄소를 포함하는, 상기 블랭킷 증착하는 단계;

$\text{Cl}_2$  가스 소오스 및 게르마늄 식각 촉매를 포함하는 게르마늄 소오스를 포함하는 식각 케미스트리에 상기 블랭킷 증착된 실리콘 함유 반도체 재료를 노출시킴으로써, 상기 절연성 영역들 상으로부터 상기 비에피택셜 실리콘 함유 재료를 선택적으로 제거하는 단계; 및

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계를 적어도 한번 반복시키는 단계를 포함하며,

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 4nm/분 내지 11nm/분의 상기 실리콘 함유 재료의 순 성장율(net growth rate)을 제공하는 에피택셜 반도체 재료의 선택적 형성 방법.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 블랭킷 증착하는 단계는 각 주기에서 1nm 내지 10nm로 증착하는 단계를 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

#### 청구항 4

제 1 항에 있어서,

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 화학기상증착 챔버 내에서 수행되는 등온 및 등압 공정들인 에피택셜 반도체 재료의 선택적 형성 방법.

#### 청구항 5

제 1 항에 있어서,

상기 반도체 영역들은 리세스된 영역들을 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

#### 청구항 6

제 5 항에 있어서,

상기 리세스된 영역들 내의 상기 에피택셜 실리콘 함유 재료는 상기 기판의 인접 영역들에 변형을 유도하는 에피택셜 반도체 재료의 선택적 형성 방법.

#### 청구항 7

삭제

#### 청구항 8

기판 상의 선택된 위치들에 에피택셜 실리콘 함유 재료를 형성하는 방법으로서,

필드 분리 영역들 사이에 노출된 단결정 재료의 원도우들을 갖는 기판을 제공하는 단계;

상기 기판 상에 트리실란과 함께 탄소 소오스 증기를 유입시킴으로써, 상기 단결정 재료의 원도우들 및 상기 필드 분리 영역들 상에 실리콘 함유 재료를 블랭킷 증착하는 단계로서, 상기 실리콘 함유 재료는 상기 단결정 재료의 원도우들 위의 에피택셜 재료를 포함하며, 상기 실리콘 함유 재료는 탄소 도핑된 실리콘을 포함하며, 단결정 재료의 상기 원도우들 위의 상기 실리콘 함유 재료는 적어도 1.0%의 치환식 도핑된 탄소를 포함하는, 상기 블랭킷 증착하는 단계;

상기 필드 분리 영역들 상으로부터 상기 실리콘 함유 재료를 선택적으로 제거하는 단계; 및

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계를 복수의 주기로 반복시키는 단계를 포함하며,

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 4nm/분 내지 11nm/분의 상기 실리콘 함유 재료의 순 성장율(net growth rate)을 제공하는 실리콘 함유 재료의 형성 방법.

#### **청구항 9**

제 8 항에 있어서,

상기 선택적으로 제거하는 단계는, 상기 단결정 재료의 원도우들 상으로부터 에피택셜 재료를 제거하는 속도보다 더 빠른 속도로 상기 필드 분리 영역들 상으로부터 비에피택셜 재료를 식각하는 단계를 포함하는 실리콘 함유 재료의 형성 방법.

#### **청구항 10**

제 9 항에 있어서,

상기 원도우들은 리세스부들을 포함하며,

상기 선택적으로 제거하는 단계는 상기 리세스부들의 저부들에 에피택셜 재료를 잔존시키면서, 상기 리세스부들의 측벽들로부터 에피택셜 재료를 제거하는 단계를 더 포함하는 실리콘 함유 재료의 형성 방법.

#### **청구항 11**

제 8 항에 있어서,

상기 선택적으로 제거하는 단계는 할로겐화물 소오스 및 게르마늄 소오스를 포함하는 식각 케미스트리에 상기 블랭킷 증착된 실리콘 함유 재료 노출시킴으로써 수행되며,

상기 할로겐화물 소오스는 HCl 또는 Cl<sub>2</sub>를 포함하며, 상기 게르마늄 소오스는 GeH<sub>4</sub>, GeCl<sub>4</sub> 또는 Ge를 포함하는 실리콘 함유 재료의 형성 방법.

#### **청구항 12**

제 8 항에 있어서,

상기 단결정 재료의 원도우들은 상기 필드 분리 영역들의 상부 표면들과 대비되는 리세스부들을 포함하는 실리콘 함유 재료의 형성 방법.

#### **청구항 13**

제 8 항에 있어서,

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 등온 및 등압 조건들 중 하나 이상의 조건 하에서 수행되는 실리콘 함유 재료의 형성 방법.

#### **청구항 14**

삭제

#### **청구항 15**

내부에 형성된 절연성 영역들 및 반도체 원도우들을 갖는 기판을 제공하는 단계;

기판 상에 트리실란과 함께 탄소 소오스 증기를 유입시킴으로써, 상기 절연성 영역들 상에 비에피택셜 실리콘 함유 반도체 재료를, 그리고 상기 반도체 원도우들 상에 에피택셜 실리콘 함유 반도체 재료를 블랭킷 증착하는 단계로서, 상기 실리콘 함유 반도체 재료는 탄소 도핑된 실리콘을 포함하며, 상기 반도체 원도우들 위의 상기 실리콘 함유 반도체 재료는 적어도 1.0%의 치환식 도핑된 탄소를 포함하는, 상기 블랭킷 증착하는 단계;

상기 기판을 할로겐화물 소오스 및 게르마늄 식각 촉매를 포함하는 게르마늄 소오스에 노출시킴으로써, 상기 반도체 원도우들 내에 적어도 일부의 에피택셜 실리콘 함유 반도체 재료를 잔존시키면서, 상기 절연성 영역들 상으로부터 상기 비에피택셜 실리콘 함유 반도체 재료를 선택적으로 제거하는 단계; 및

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계를 복수의 주기로 반복시키는 단계를 포함하며,

상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 4nm/분 내지 11nm/분의 상기 실리콘 함유 재료의 순 성장율(net growth rate)을 제공하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 16**

제 15 항에 있어서,

상기 반도체 원도우들은 상기 절연성 영역들의 상부 표면들 하부에 리세스부들을 포함하며,

상기 반복시키는 단계는 에피택셜 반도체 재료로 상기 리세스부들을 충전하는 단계를 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 17**

제 16 항에 있어서,

상기 증착하는 단계는 탄소 도핑된 실리콘으로 상기 리세스부들을 충전하여 리세스된 소오스/드레인 구조들을 형성하는 단계를 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 18**

제 16 항에 있어서,

상기 증착하는 단계는 상기 리세스된 소오스/드레인 구조들에 전기적 도펀트들을 인시츄로 공급하는 단계를 더 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 19**

제 17 항에 있어서,

상기 증착하는 단계는 탄소 도핑된 실리콘을 형성하는 단계를 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 20**

제 19 항에 있어서,

상기 증착하는 단계는 상기 탄소 도핑된 실리콘 상에 탄소가 없는 캡핑층을 형성하는 단계를 더 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 21**

제 15 항에 있어서,

상기 반복시키는 단계는 상승된 소오스/드레인 구조들을 형성하는 단계를 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### **청구항 22**

제 15 항에 있어서,

상기 증착하는 단계는 인과 함께 탄소 도핑된 실리콘을 증착하는 단계를 포함하는 에피택셜 반도체 재료의 선택

적 형성 방법.

### 청구항 23

제 15 항에 있어서,

상기 반도체 윈도우들은 상기 절연성 영역들의 상부 표면들 하부에 리세스부들을 포함하며,

상기 리세스부들 내의 상기 에피택셜 실리콘 함유 반도체 재료는 인접 영역 상에 측방향의 인장 변형을 유도하는 에피택셜 반도체 재료의 선택적 형성 방법.

### 청구항 24

제 23 항에 있어서,

상기 인접 영역은 트랜지스터 채널 영역인 에피택셜 반도체 재료의 선택적 형성 방법.

### 청구항 25

제 23 항에 있어서,

상기 선택적으로 제거하는 단계는 상기 리세스부들의 저부들에 에피택셜 실리콘 함유 재료를 잔존시키면서, 상기 리세스부들의 측벽으로부터 에피택셜 실리콘 함유 재료를 제거하는 단계를 더 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### 청구항 26

제 15 항에 있어서,

상기 할로겐화물 소오스는 HCl 또는 Cl<sub>2</sub>를 포함하며, 상기 게르마늄 소오스는 GeH<sub>4</sub>, GeCl<sub>4</sub> 또는 Ge를 포함하는 에피택셜 반도체 재료의 선택적 형성 방법.

### 청구항 27

제 15 항에 있어서,

각 증착하는 단계에서, 상기 반도체 윈도우들 상의 상기 에피택셜 실리콘 함유 반도체 재료의 두께에 대한 상기 절연성 영역들 상의 상기 비에피택셜 실리콘 함유 반도체 재료의 두께의 비는 1.6보다 작은 에피택셜 반도체 재료의 선택적 형성 방법.

### 청구항 28

제 27 항에 있어서,

상기 비는 1.0 내지 1.3 사이인 에피택셜 반도체 재료의 선택적 형성 방법.

### 청구항 29

삭제

## 발명의 설명

### 기술 분야

(관련 출원)

[0001] 본 출원은 35 U.S.C 119(e)항에 의해 2006년 6월 7일자로 출원된 미국 임시출원 제60/811,703호를 기초로 우선권을 주장한다.

[0002] 또한, 본 출원은 2006년 1월 30일자로 출원된 미국 특허 출원 제11/343,275호(대리인 문서 제ASMEX.511A호), 2006년 1월 30일자로 출원된 미국 특허 출원 제11/343,264호(대리인 문서 제ASMEX.517A호), 2002년 5월 29일자로 출원된 미국 특허 출원 공개 제2003/0036268호(대리인 문서 제ASMEX.317A호), 및 2004년 1월 23일자로 출원된 미국 특허 제6,998,305호(대리인 문서 제ASMEX.425A호)와 관련된 출원이다. 이를 관련 출원들의 개시 사항

은 그 전체가 참조에 의해 본 명세서에 포함된다.

[0004] (기술 분야)

본 발명은 반도체 처리 공정의 실리콘 함유 재료의 증착에 관한 것이며, 더욱 상세하게는, 반도체 원도우들 상에서의 실리콘 함유 재료의 선택적 형성에 관한 것이다.

### 배경기술

[0006] 직접 회로의 형성시, 필드 분리 영역들 사이의 활성 영역 메사들(mesas)과 같은 선택된 위치 또는, 더욱 특별하게는, 정의된 소오스 및 드레인 영역들 상에 에피택셜 층들이 요구될 때가 있다. 비에피택셜(비정질 또는 다결정질) 재료는 증착 후에 상기 필드 분리 영역들로부터 선택적으로 제거될 수 있지만, 일반적으로, 화학기상증착(CVD)과 식각 케미컬들을 동시에 제공하고 조건들을 조절하여 절연성 영역 상에서는 순증착이 일어나지 않고 노출된 반도체 원도우들 상에서 에피택셜 순증착이 일어나도록 하는 것이 더욱 효과적인 것으로 여겨진다. 선택적 에피택셜 CVD로 알려진 이러한 공정은 실리콘 산화물 또는 실리콘 질화물과 같은 절연체들 상에서 나타나는 일반적인 반도체 증착의 느린 핵생성을 이용한다. 또한, 이러한 선택적 에피택셜 CVD는, 식각종에 대한 비정질 및 다결정질 재료들이 에피택셜 층의 반응성(susceptibility)보다 본질적으로 더 큰 반응성을 이용한다.

[0007] 반도체 층들의 선택적 에피택셜 형성이 요구되는 많은 경우에 관한 예들에는, 변형을 유도하기 위한 많은 설계가 포함된다. 실리콘, 게르마늄 및 실리콘 게르마늄 합금과 같은 반도체 재료들의 전기적 특성들은 상기 재료들이 변형되는 정도에 영향을 받는다. 예를 들면, 실리콘은 인장 응력 하에서 개선된 전자 이동도를 나타내며, 실리콘 게르마늄은 압축 응력 하에서 개선된 정공 이동도를 나타낸다. 반도체 재료들의 성능을 향상시키기 위한 방법은 상당한 관심을 받고 있으며, 반도체 공정 장치에서 잠재적인 응용을 갖는다. 일반적으로, 다양한 다른 분야들뿐만 아니라, 엄격한 품질 요구를 수반하는 집적 회로들의 제조시에도 반도체 공정이 이용된다. 예를 들면, 반도체 공정 기술은 미세전자기계 시스템(microelectromechanical system; MEMS)의 제조뿐만 아니라 광범위한 다양한 기술들을 이용하는 평판 디스플레이의 제조시에도 이용된다.

[0008] 실리콘 함유 및 게르마늄 함유 재료들 내에 변형을 유도하기 위한 많은 접근 방법들은 다양한 결정질 재료들 사이의 격자 상수의 차이를 이용하는데 집중한다. 예를 들면, 결정질 게르마늄의 격자 상수는 5.65 Å이고, 결정질 실리콘의 격자 상수는 5.431 Å이며, 다이아몬드 구조를 갖는 탄소의 격자 상수는 3.567 Å이다. 이종 에피택시는 증착된 층이 하지의 단결정 재료의 격자 상수를 채택하는 방식으로 다른 결정질 재료 상으로 특정 결정질 재료로 이루어진 박막 층들을 증착하는 것을 포함한다. 예를 들면, 이러한 접근 방법을 이용하여, 이종 에피택셜 증착에 의해 단결정 실리콘 기판들 상에 변형된 실리콘 게르마늄 층들이 형성될 수 있다. 게르마늄 원자들이 실리콘 원자들에 비하여 약간 더 큼에도 불구하고, 증착된 이종 에피택셜 실리콘 게르마늄이 하지의 실리콘의 더 작은 격자 상수로 수축되어, 상기 실리콘 게르마늄은 게르마늄 함량의 함수에 따라 변하는 정도로 압축 변형된다. 일반적으로, 상기 실리콘 게르마늄 층의 밴드갭은 상기 실리콘 게르마늄 층 내의 게르마늄 함량이 증가함에 따라 순수한 실리콘의 경우인 1.12 eV로부터 순수한 게르마늄의 경우인 0.67 eV로 단조롭게 감소된다. 다른 접근 방법으로서, 완화된 실리콘 게르마늄 층 상에 실리콘 층을 이종 에피택셜 증착함으로써 단결정 실리콘 박막층 내에 인장 변형이 제공될 수 있다. 이러한 예에서, 이종 에피택셜 증착된 실리콘의 격자 상수는 하지의 상기 완화된 실리콘 게르마늄의 더 큰 격자 상수로 제한되기 때문에 상기 이종 에피택셜 증착된 실리콘이 변형된다. 일반적으로, 상기 인장 변형된 이종 에피택셜 실리콘은 증가된 전자 이동도를 나타낸다. 이를 2 가지 접근 방법에서는, 소자들(예를 들면, 트랜ジ스터)이 제조되기 전에 기판 단계에서 상기 변형이 유도된다.

[0009] 이들 예에서는, 격자 구조 내에서 실리콘 원자들을 다른 원자들로 치환함으로써, 단결정 실리콘 함유 재료 내에 변형이 유도된다. 일반적으로 이러한 기술은 치환식 도핑(substitutional doping)이라고 지칭된다. 예를 들면, 단결정 실리콘의 격자 구조에서 일부의 실리콘 원자들을 게르마늄 원자들로 치환하면, 상기 게르마늄 원자들은 이들이 치환하는 실리콘 원자들보다 더 크기 때문에, 결과물인 치환식 도핑된 단결정 실리콘 재료 내에는 압축 변형이 유도된다. 단결정 실리콘 내에 탄소를 치환식 도핑하면, 탄소 원자들이 이들이 치환하는 상기 실리콘 원자들보다 더 작기 때문에, 상기 단결정 실리콘 내에 인장 변형이 유도될 수 있다. 추가적인 상세한 사항은, 2002년 뉴욕판 테일러 및 프란시스(Taylor and Francis)의 "실리콘-게르마늄 탄소 합금(Silicon-Germanium Carbon Alloy)"의 59 내지 89쪽의, 3 장의 쥬디 엘. 호이트(Judy L. Hoyt) 저인 "Si<sub>1-y</sub>C<sub>y</sub>/Si 및 Si<sub>1-y</sub>Ge<sub>x</sub>C<sub>y</sub>/Si 이종 접합의 치환식 탄소 함유 및 전기적 특성 평가(Substitutional Carbon Incorporation and Electronic Characterization of Si<sub>1-y</sub>C<sub>y</sub>/Si and Si<sub>1-y</sub>Ge<sub>x</sub>C<sub>y</sub>/Si Heterojunctions)"에 개시되어 있으며, 이의 개시

사항은 본 명세서에 참조에 의해 포함되며, 본 명세서에서는 호이트 논문이라고 칭한다. 그러나, 비치환식 불순물들은 변형을 유도하지 않는다.

[0010] 유사하게, 에피택셜 층들이 전기적으로 활성화되기 위해서는 상기 에피택셜 층들 내로 전기적 도편트들이 치환식으로 인입되어야 한다. 상기 도편트들은 증착된 대로 인입되거나 이들은 소정 수준의 치환성과 도편트 활성도를 얻기 위하여 어닐링될 필요가 있다. 조절된 격자 상수를 위한 불순물들 또는 전기적 도편트들의 인시츄 도핑은, 격자 구조 내로 도편트들을 인입하기 위해 열적 부담을 초래하는 어닐링 공정을 수반하는 엑스시츄 도핑에 비하여 종종 선호된다. 그러나, 실제로 인시츄 치환식 도핑은 도편트들이 증착시 비치환식으로 인입되는 경향, 예를 들면, 상기 격자 구조 내의 실리콘 원자들을 치환하는 것이 아니라 상기 실리콘 내의 도메인들 또는 클러스터들 내에 침입식으로 인입되기 때문에 어렵다. 비치환식 도핑은, 예를 들면, 실리콘의 탄소 도핑, 실리콘 게르마늄의 탄소 도핑 및 실리콘 및 실리콘 게르마늄의 전기적 활성 도편트의 도핑을 어렵게 한다. 상기 호이트 논문에서 73쪽의 도 3.10에 도시된 바와 같이, 5.4 Å 이상의 격자 간격과 1.0 GPa 미만의 인장 응력을 갖는 2.3 원자 %까지의 인시츄 도핑된 치환식 탄소 함량을 갖는 결정질 실리콘을 제조하기 위해서는 선행 증착 방법(prior deposition method)이 이용되어 왔다.

### 발명의 내용

#### 해결하려는 과제

[0011] 본 발명이 해결하고자 하는 과제는 개선된 반도체 박막의 선택적 에피택셜 형성을 제공하는 것이다.

#### 과제의 해결 수단

[0012] 본 발명의 일 태양에 따르면, 반도체 윈도우들 내에 반도체 재료를 선택적으로 형성하기 위한 방법이 제공된다. 상기 방법은 화학기상증착 챔버 내부에, 절연성 표면들 및 단결정 반도체 표면들을 포함하는 기판을 제공하는 단계를 포함한다. 반도체 재료는 상기 절연성 표면들 상의 비에피택셜 반도체 재료와 상기 단결정 반도체 표면들 상의 에피택셜 반도체 재료의 두께 비율이 약 1.6: 1 보다 더 작도록, 상기 기판의 상기 절연성 표면들 및 상기 단결정 반도체 표면들 상에 블랭킷 증착된다. 상기 비에피택셜 반도체 재료는 상기 절연성 표면들 상으로부터 선택적으로 제거되고, 상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 상기 화학기상증착 챔버 내부에서 수행된다.

[0013] 본 발명의 다른 태양에 따르면, 에피택셜 반도체 재료를 선택적으로 형성하기 위한 방법이 제공된다. 반도체 재료는 기판의 단결정 반도체 영역들 상에 에피택셜 재료를 형성하고 상기 기판의 절연성 영역들 상에 비에피택셜 재료를 형성하도록, 블랭킷 증착된다. 상기 비에피택셜 재료는 할로겐화물 소오스 및 게르마늄 소오스를 포함하는 식각 캐미스트리에 상기 블랭킷 증착된 반도체 재료를 노출시킴으로써, 상기 절연성 영역들 상으로부터 선택적으로 제거된다. 상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 적어도 한번 이상 반복된다.

[0014] 본 발명의 또 다른 태양에 따르면, 기판 상의 선택된 위치들에 실리콘 함유 재료를 형성하기 위한 방법이 제공된다. 상기 방법은 웨이브 분리 영역들 사이에 노출된 단결정 반도체의 윈도우들을 갖는 기판을 제공하는 단계를 포함한다. 실리콘 함유 재료는, 상기 기판 상에 트리실란을 유입시킴으로써, 상기 단결정 재료의 윈도우들 및 상기 웨이브 분리 영역들 상에 블랭킷 증착된다. 상기 실리콘 함유 재료는 상기 웨이브 분리 영역들 상으로부터 선택적으로 제거된다. 상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 복수의 주기로 반복된다.

[0015] 본 발명의 또 다른 태양에 따르면, 에피택셜 반도체 재료를 선택적으로 형성하기 위한 방법이 제공된다. 상기 방법은 내부에 형성된 절연성 영역들 및 반도체 윈도우들을 갖는 기판을 제공하는 단계를 포함한다. 비정질 반도체 재료는 상기 절연성 영역들 상에 증착되고, 상기 에피택셜 반도체 재료는 상기 반도체 윈도우들 상에 증착된다. 상기 비정질 반도체 재료는 상기 반도체 윈도우들 내에 적어도 일부의 에피택셜 반도체 재료를 잔존시키면서, 상기 절연성 영역들 상으로부터 선택적으로 식각된다. 상기 블랭킷 증착하는 단계 및 상기 선택적으로 제거하는 단계는 복수의 주기로 반복된다.

#### 발명의 효과

[0016] 본 발명에 따르면, 개선된 반도체 박막의 선택적 에피택셜 형성을 얻을 수 있다.

#### 도면의 간단한 설명

[0017]

본 명세서에 개시된 방법들 및 시스템들의 예시적인 실시예들은 첨부된 도면들에 도시되며, 이를 도면은 예시적인 목적으로서만 제공된다. 상기 도면들은 이하의 도면들을 포함하며, 동일한 참조 부호는 동일한 부재를 지시한다.

도 1은 본 발명의 일 실시예에 따라 혼합 기판의 리세스된 소오스/드레인 영역들 내에 탄소 도핑된 실리콘 박막을 증착하여 에피택셜 반도체 층들을 선택적으로 형성하는 공정을 도시하는 순서도이다.

도 2는 반도체 기판 내에 형성된 패터닝된 절연체 영역들을 포함하는 부분적으로 형성된 반도체 구조를 개략적으로 나타내는 도면이다.

도 3은 혼합 기판 표면 상에 탄소 도핑된 실리콘 박막을 블랭킷 증착을 한 후에 부분적으로 형성된 도 2의 반도체 구조를 개략적으로 나타내는 도면이다.

도 4는 혼합 기판의 산화물 영역들로부터 탄소 도핑된 실리콘을 제거하기 위해 선택적 화학기상 식각 공정을 수행한 후에 부분적으로 형성된 도 3의 반도체 구조를 개략적으로 나타내는 도면이다.

도 5a 내지 도 5d는 블랭킷 증착과 선택적 식각 공정을 추가적 주기들만큼 수행한 후에 부분적으로 형성된 도 4의 반도체 구조를 개략적으로 나타내는 도면이다.

도 6은 탄소 도핑된 실리콘 박막의 비정질 영역들의 식각 속도를 식각 케미스트리 내의 HCl 분압의 함수로 나타낸 그래프이다.

도 7은 비정질("a") 및 단결정("c")의 식각 속도 및 비율을 식각 케미스트리 내의 GeH<sub>4</sub> 유량의 함수로 나타낸 그래프이다.

도 8은 탄소 도핑된 실리콘 박막의 비정질 영역들의 식각 속도를 챔버 압력의 함수로 나타낸 그래프이다.

도 9는 탄소 도핑된 실리콘 박막의 비정질 영역들의 식각 속도를 온도의 역수의 함수로 나타낸 그래프이다.

도 10은 탄소 도핑된 실리콘 박막의 비정질 영역들의 두께를 누적 식각 시간의 함수로 나타낸 그래프이다.

도 11은 웨이퍼 상에 증착된 탄소 도핑된 실리콘 박막의 비정질 영역들의 식각 속도를 상기 웨이퍼 상의 반경 위치의 함수로 나타낸 그래프이다.

도 12는 웨이퍼 상에 증착된 탄소 도핑된 실리콘 박막의 비정질 영역들의 식각 속도를 상기 웨이퍼 상의 반경 위치의 함수로 나타낸 그래프이다.

도 13은 다양한 GeH<sub>4</sub> 식각종의 식각 케미스트리 및 다양한 식각 주기의 경과에 대한 웨이퍼의 증착된 탄소 도핑된 실리콘 박막의 비정질 영역들의 두께를 웨이퍼의 반경 위치의 함수로 나타낸 그래프이다.

도 14는 패터닝된 기판 상에 블랭킷 증착 및 부분적 식각 주기를 수행함으로써 부분적으로 형성된 탄소 도핑된 실리콘 구조를 도시하는 현미경 사진이다.

도 15는 본 명세서에 개시된 예시적인 기술들을 이용하여 부분적으로 형성된 탄소 도핑된 실리콘 박막에 대하여 원소의 농도를 깊이의 함수로 나타낸 그래프이다.

도 16은 패터닝된 기판 상에 복수의 증착과 식각 주기들을 수행함으로써 형성된 예시적인 탄소 도핑된 실리콘 구조를 나타낸 현미경 사진이다.

도 17은 본 명세서에 개시된 일 실시예에 따른 주기적 기술을 이용하여 선택적으로 형성된 에피택셜 탄소 도핑된 실리콘 박막의 원자힘 현미경(atomic force microscopy) 분석도이다.

도 18은 본 명세서에 개시된 일 실시예에 따른 주기적 기술을 이용하여 증착된 탄소 도핑된 실리콘 박막들의 x 선 회절 롤킹(rocking) 곡선을 도시한다.

### 발명을 실시하기 위한 구체적인 내용

증착 기술은 기판의 서로 다른 영역들 내에 증착의 양과 종류를 조절하기 위한 시도를 한다. 예를 들면, 미국 특허 제6,998,305호는 실리콘 산화물 상에 증착하지 않으면서 실리콘 상에 선택적으로 증착하기 위해 식각과 증착의 동시적인 반응이 효과적임을 인식하고 있다. 제 3 유형의 표면, 즉 노출된 트랜지스터 게이트 상에서의 증착을 제어하기 위하여, 상기 '305 특허는 선택적 증착과 식각 단계를 주기적으로 교번시키는 것을 교시한다. 그러나, 본 발명자들은 선택적 증착 케미스트리가 때로는 상기 증착된 층들 상에 바람직하지 못한 영향을 주는

[0018]

것을 인식하였다. 본 명세서에 개시된 실시예들은 NMOS 응용을 위한 탄소 도핑된 실리콘의 특정 실시예를 포함하지만, 당업자라면, 본 명세서에 개시된 방법들이 총의 선택적 형성이 요구되면서도 식각종들(etchants)이 상기 증착된 층들의 소정 특성을 방해할 수 있는 다양한 반도체 응용 장치들에 적용될 수 있다는 것을 이해할 것이다.

[0019] 치환식 도핑된 다양한 단결정 실리콘 함유 재료들을 제조하기 위해 유용한 증착 방법들이 개시된다. 예를 들면, 실리콘 소오스로서 트리실란( $\text{Si}_3\text{H}_8$ )과 탄소 소오스로서 탄소 함유 가스 또는 증기를 이용하여 비교적 높은 증착 속도로 증착을 수행함으로써 결정질 실리콘의 인시츄 치환식 탄소 도핑을 수행하는 것이 가능하다. 탄소 도핑된 실리콘 함유 합금들은 실리콘 게르마늄 시스템에 대하여 상보적 특성을 갖는다. 상기 실리콘 내의 (치환식 및 비치환식의) 전체 탄소 도편트의 양을 기준으로 치환식 탄소 도편트의 중량%로 표현하면, 치환식 도핑의 정도는 70% 이상이다. 탄소 도핑된 실리콘 함유 재료들을 형성하기 위한 기술들은, 탄소와 실리콘 사이의 큰 격자 불일치, 실리콘에 대한 탄소의 낮은 용해도 및 탄소 도핑된 실리콘의 침전 경향성을 포함하는 몇 가지 어려움들을 극복하여 왔다. 결정질 실리콘의 인시츄 치환식 탄소 도핑과 관련된 추가적인 사항은 2006년 1월 30일자로 출원된 미국 특허 출원 제11/343,275호(대리인 문서 제ASMEX.511A호)에 개시되어 있다.

[0020] 본 명세서에서, "실리콘 함유 재료(silicon-containing material)"란 용어 및 유사한 용어들은 (결정질 실리콘을 포함하는) 실리콘, 탄소 도핑된 실리콘(Si:C), 실리콘 게르마늄 및 탄소 도핑된 실리콘 게르마늄(SiGe:C)을 포함하는 다양한 실리콘 함유 재료들을 지칭하기 위하여 사용되며, 이들에 제한되는 것은 아니다. 본 명세서에서 사용된 바와 같이, "탄소 도핑된 실리콘", "Si:C", "실리콘 게르마늄", "탄소 도핑된 실리콘 게르마늄", "SiGe:C" 및 유사한 용어들은 다양한 비율로 지시된 화학적 원소들 그리고, 선택적으로는, 다른 소량의 원소들을 함유하는 재료를 지칭한다. 예를 들면, "실리콘 게르마늄"은 실리콘, 게르마늄 및, 선택적으로는, 다른 원소들, 예를 들면, 탄소 및 전기적 활성 도편트들과 같은 도편트들을 포함하는 재료들이다. "Si:C" 및 "SiGe:C"와 같은 용어들은 그 자체로 비화학양론적인 화학식이며, 따라서, 지시된 원소들을 특정 비율로 함유하는 재료들에 제한되는 것은 아니다. 또한, Si:C 및 SiGe:C와 같은 용어들은 다른 도편트들의 존재를 배제하는 것이 아니며, Si:C란 용어와 Si:C:P란 용어에는 인도핑된 및 탄소 도핑된 실리콘 재료가 포함된다. 본 명세서에서, 실리콘 함유 박막 내에 (탄소, 게르마늄 또는 전기적 활성 도편트와 같은) 도편트들의 백분율은, 다른 언급이 없는 한, 전체 막을 기준으로 하는 원자%로 표현된다.

[0021] 도핑된 실리콘 함유 재료의 수직 격자 간격을 X 선 회절에 의해 측정하고, 이후 단결정 실리콘과 단결정 탄소(다이아몬드) 사이의 선형 외삽(linear interpolation)을 수행하는 것에 의해 비가드 법칙(Vegard's Law)을 적용함으로써, 실리콘 함유 재료 내부에 치환식 도핑된 탄소의 양을 결정할 수 있다. 예를 들면, X 선 회절에 의해 도핑된 실리콘의 수직 격자 간격을 측정하고, 이후, 비가드 법칙을 적용함으로써 실리콘 내에 치환식으로 도핑된 탄소의 양을 결정할 수 있다. 이러한 기술에 대한 추가적인 사항은 상기 호이트의 논문에 의해 제공된다. 2차 이온 질량 분석법(secondary ion mass spectrometry; SIMS)에 의해 상기 도핑된 실리콘 내의 전체 탄소 함량을 결정할 수 있다. 전체 탄소 함량으로부터 치환식 탄소 함량을 감산함으로써 비치환식 탄소 함량을 결정할 수 있다. 유사한 방법으로, 다른 실리콘 함유 재료들 내에 치환식으로 도핑된 다른 원소들의 양을 결정할 수 있다.

[0022] 본 명세서에서 사용된 "기판(substrate)"은 상부에 증착이 요구되는 피처리체 또는 하나 이상의 증착 가스에 노출된 표면을 지칭한다. 예를 들면, 일부 실시예에서, 상기 기판은 단결정 실리콘 웨이퍼, 반도체-온-절연체("SOI") 기판 또는 웨이퍼 상에 증착된 에피택셜 실리콘 표면, 실리콘 게르마늄 표면, 또는 III-V 재료이다. 피처리체는 웨이퍼에 한정되지 않으며, 유리, 플라스틱 또는 반도체 공정에 적용되는 다른 기판들도 포함한다. 본 명세서에 참조에 의해 그 개시 사항 전체가 포함된 미국 특허 제6,900,115호에 개시된 바와 같이, "혼합 기판(mixed substrate)"은 2 이상의 서로 다른 종류의 표면들을 갖는 기판이다. 예를 들면, 일부 실시예에서, 혼합 기판은 제 1 표면 모폴로지를 갖는 제 1 표면 및 제 2 표면 모폴로지를 갖는 제 2 표면을 포함한다. 일부 실시예에서, 탄소 도핑된 실리콘 함유 층들은, 인접하는 유전체들 또는 절연체들 상에서의 증착을 최소화하거나, 더욱 바람직하게는, 방지하면서, 단결정 반도체 재료들 상에 선택적으로 형성된다. 절연성 재료의 예에는, (탄소 도핑된 및 불소 도핑된 실리콘 산화물과 같은 저유전율 형태를 포함하는) 실리콘 산화물, 실리콘 질화물, 금속 산화물 및 금속 실리콘화물이 포함된다. 본 명세서에서, "에피택셜(epitaxial)", "에피택셜 하게(epitaxially)", "이종 에피택셜(heteroepitaxial)", "이종 에피택셜하게(heteroepitaxially)" 및 유사한 용어들은, 증착된 층들이 결정질 기판의 격자 상수를 채택하거나 따르는 방식으로 상기 기판 상으로 결정질 실리콘 함유 재료가 증착되는 것을 지칭하기 위해 사용된다. 일반적으로, 증착된 층의 조성이 기판의 조성과 다른 경우, 에피택셜 증착은 이종 에피택셜인 것으로 여겨진다.

[0023]

동일한 원소들로 표면들이 형성된 경우라 하더라도, 상기 표면들은 상기 표면들의 모폴로지(결정성)가 다르다면 서로 다른 것으로 여겨진다. 본 명세서에 개시된 공정들은 다양한 기판들 상에 실리콘 함유 박막들을 증착하는데에 유용하지만, 특히 혼합된 표면 모폴로지들을 갖는 혼합 기판들의 경우에도 유용하다. 이러한 혼합 기판은 제 1 모폴로지를 갖는 제 1 표면 및 제 2 모폴로지를 갖는 제 2 표면을 포함한다. 이러한 맥락에서, "표면 모폴로지"는 상기 기판 표면의 결정질 구조를 지칭한다. 비정질 및 결정질은 서로 다른 모폴로지의 예이다. 다 결정질 모폴로지는 질서적인 결정들의 비질서적인 배열로 이루어진 결정질 구조이므로, 중간 정도의 질서도를 갖는다. 다결정질 재료의 원자들은 각 결정들 내에서 질서를 가지지만, 결정들 자체는 서로에 대하여 장거리 질서도를 갖지 않는다. 단결정 모폴로지는 높은 정도의 장거리 질서도를 갖는 결정질 구조이다. 에피택셜 박막들은 이들이 성장된 기판과 동일한 결정 구조 및 배향성, 일반적으로는, 단결정의 특징을 갖는다. 이를 재료들 내의 원자들은, (원자 스케일에서) 상대적으로 장거리에 걸쳐서 유지되는. 격자와 유사한 구조로 배열된다. 비정질 모폴로지는 원자들이 명확한 주기적 배열을 결여하고 있기 때문에, 낮은 정도의 질서도를 갖는 비결정질 구조이다. 다른 모폴로지들로서 마이크로 결정질 및 비정질과 결정질 재료의 혼합이 포함된다. 따라서, 비에피택셜(non-epitaxial)은 비정질, 다결정질, 마이크로 결정질 및 이들의 혼합물을 포함한다. 본 명세서에서 사용되는 "단결정" 또는 "에피택셜"은, 트랜지스터 제조에서 일반적으로 사용되는 바와 같이, 내부에 허용 가능한 개수의 결함을 갖는 지배적으로 큰 결정 구조를 기술하기 위해 사용된다. 일반적으로, 층의 결정성은 비정질로부터 다결정질을 걸쳐 단결정의 연속선 상에 있으며, 결정 구조는, 낮은 밀도의 결함들에도 불구하고, 때로는 단결정 또는 에피택셜로 여겨진다. 혼합 기판들의 실시예에는, 단결정/다결정질, 단결정/비정질, 에피택셜/다결정질, 에피택셜/비정질, 단결정/유전체, 에피택셜/유전체, 도전체/유전체 및 반도체/유전체가 포함되며, 이를 제한되는 것은 아니다. "혼합 기판(mixed substrate)"이란 용어는 2 이상의 서로 다른 표면들을 갖는 기판들을 포함한다. 또한, 본 명세서에 개시된, 2 종류의 표면들을 갖는 혼합 기판들 상에 실리콘 함유 박막을 증착하기 위한 방법들은 서로 다른 3 종류 이상의 표면들을 갖는 혼합 기판들에도 적용될 수 있다.

[0024]

리세스된 소오스/드레인 영역들 내부로 인장 변형된 탄소 도핑된 실리콘 박막(Si:C 박막들)이 성장되는 경우, 상기 인장 변형된 탄소 도핑된 실리콘 박막(Si:C 박막들)은 특히 NMOS 소자의 경우 유용한 개선된 전자 이동도를 갖는 인장 변형된 실리콘 채널을 제공한다. 바람직하게는, 이것은 상기 변형된 실리콘 층을 지지하기 위한 완화된 실리콘 게르마늄 베퍼층을 제공해야 할 필요성을 제거한다. 이러한 응용에 있어서, 바람직하게는, 전기적 활성 도편트들은, 도편트 소오스들 또는 도편트 전구체들을 이용하여 인시츄 도핑함으로써 인입된다. 또한, 인을 사용하여 높은 정도로 전기적 활성 치환식 도핑을 하는 것은 인장 응력에 기여한다. 전기적 도편트들을 위한 바람직한 전구체들은, 인, 비소 증기 또는 비소화물(arsine)과 같은 N 형 도편트 전구체들을 포함하는 도편트 수소화물들이다. 시릴인화물들(silylphosphines), 예를 들면,  $(H_3Si)_{3-x}PR_x$  및 시릴비소화물들(silylarsines), 예를 들면,  $(H_3Si)_{3-x}AsR_x$  ( $x = 0, 1$  또는  $2$  이고,  $R_x = H$  및/또는 중수소(D)는 인과 비소 도편트를 위한 선택적인 전구체들이다. 특히, 인 및 비소는 NMOS 소자들의 소오스 및 드레인 영역들을 도핑하는데 유용하다.  $SbH_3$  및 트리메틸인듐은 각각 안티몬과 인듐의 선택적인 소오스들이다. 이러한 도편트 전구체들은 하기의 바람직한 박막들, 바람직하게는, 붕소, 인, 안티몬, 인듐 및 비소 도핑된 실리콘, Si:C, 실리콘 게르마늄 및 SiGe:C 박막들 및 합금들을 형성하는 데에 유용하다.

[0025]

### 인장 변형된 Si:C 박막들의 선택적 에피택셜 형성

[0026]

현재까지 혼합 기판의 리세스된 소오스/드레인 영역들과 같은 노출된 반도체 윈도우들 내에 인장 변형된 Si:C 박막을 선택적으로 형성하기 위한 기술들이 개발되어 왔다. 예를 들면, 이러한 선택적 형성은, (a) 실리콘 전구체로서 트리실란을 사용하여 혼합 기판 상에 Si:C 박막을 블랭킷 증착하는 단계 및 (b) 상기 혼합 기판의 절연체 부분 상에 형성된 결과물인 비에피택셜 층을 선택적으로 식각하는 단계에 의해 달성된다. 선택적으로는, 상기 리세스된 소오스/드레인 영역들 상으로 에피택셜 박막의 목표 두께를 얻을 때까지 단계 (a)와 단계 (b)는 주기적으로 반복된다.

[0027]

건식 식각, 이후의 HF 세정 및 인시츄 어닐링에 의해 리세스된 소오스/드레인 영역들을 형성할 수 있다. 건식 식각이 이용되는 실시예들에서, 선택적 성장된 (약 1nm 내지 약 3 nm 사이의) 얇은 실리콘 시드층은 식각 손상을 감소시키는데 바람직하다. 또한, 시드층은 이전의 도편트 주입 공정들에 의하여 초래된 손상을 회복하는데 바람직하다. 일부 실시예들에서, 이러한 시드층은 약 700 °C 내지 약 800 °C 사이의 증착 온도에서 HCl과 이염화실란(dichlorosilane)을 동시에 제공하여 선택적으로 증착될 수 있다.

[0028]

일부 실시예들에 따르면, 주기적인 블랭킷 증착과 식각 공정은 도 1의 순서도와 도 2 내지 도 5d에 도시된 부분적으로 형성된 반도체 구조들의 개략적 도면들에 도시되어 있다. 리세스된 소오스/드레인 영역들에 Si:C를 증착하는 것이 도시되어 있지만, 본 명세서에 개시된 기술들은 게이트 정의 단계 이전 및 리세스 공정이 없는 필드 분리막에 의해 둘러싸인 활성 영역 섬들의 상부와 같이, 다른 상황에서 에피택셜 박막들을 선택적으로 형성하는 데에 유용하다.

[0029]

특히, 도 1은 공정 챕터 내부에 절연성 영역들 및 리세스된 소오스/드레인 영역들을 갖는 혼합 기판을 배치하는 것을 도시한다(블록 10). 도 2는 실리콘 웨이퍼와 같은 반도체 기판(100) 내에 형성된 패터닝된 절연체(110)를 포함하는 예시적인 혼합 기판을 개략적으로 도시한다. 도시된 산화물로 충전된 얇은 트렌치 분리막(STI) 형태의 절연체(110)는 필드 분리 영역들(112)을 한정하고 게이트 전극(115) 구조의 일 측상에 나타낸 리세스된 소오스/드레인 영역들(114)에 인접한다. 게이트 전극(115)은 상기 기판의 채널 영역(117)과 중첩된다. 또한, 채널(117), 소오스 및 드레인 영역들(114)은 함께 트랜지스터의 활성 영역을 한정하며, 상기 활성 영역은 일반적으로 인접하는 소자들 사이의 간섭(cross-talk)을 방지하기 위하여 필드 분리막(112)에 의해 둘러싸인다. 다른 실시예로서, 복수의 트랜지스터들이 필드 분리막에 의해 둘러싸일 수도 있다. 일 실시예에서는, 도시된 바와 같이, 게이트 구조(115)의 상부가 유전체로 캡핑될 수 있다. 이후, 이 표면은, 이들 상에 박막이 증착되는 경우, 필드 영역들(110)과 유사하게 거동하며, 상기 필드 영역들의 선택비를 유지하기 위한 조건이 상기 게이트의 상부에도 적용될 수도 있다. 게이트(115)가 유전체로 캡핑되지 않는 경우에는, 상기 게이트의 표면 상에서는 다결정질 재료가 성장되고 이후 다결정질 재료를 인시큐 식각하는 공정을 통하여 제거될 수 있는 가능성이 있지만, 필드 영역들(110) 상에 다결정질 재료의 잔류물이 남지 않는 것을 보장하기 위하여 사용되는 선택비 조건과 다른 선택비 조건들(압력, 가스 유량 등)이 적용될 수도 있다.

[0030]

도 1의 블록(20)에 의해 지시된 바와 같이, 그리고 도 3에 개략적으로 도시된 바와 같이, 블랭킷 Si:C 층은 실리콘 전구체로서 트리실란을 사용하여 상기 혼합 기판 상에 증착된다. 그 결과, 산화물 영역들(112) 상의 비정질 또는 다결정질 (비에피택셜) 증착물(120)과, 리세스된 소오스/드레인 영역들(114) 상의 하부 에피택셜 증착물(125) 및 측벽 에피택셜 증착물(130)이 형성된다. "블랭킷 증착(blanket deposition)"은 각각의 증착 단계에서 비정질 절연체(110) 및 단결정 영역들(114) 모두의 상부에 순증착(net deposition)이 일어나는 것을 의미함을 주의하라. 상기 블랭킷 증착에서, 식각종의 결여(예를 들면, 할로겐화물들의 결여)가 바람직하지만, 또한 상기 증착이 "비선택적인 것"으로 여겨질 수 있는 경우에는, 하기하는 바와 같이, 상기 다양한 영역들 상에 증착 두께의 비율을 조절하기 위하여 어느 정도의 식각종들이 요구될 수 있다. 이와 같이 작은 양의 식각종이 바람직한 경우에는, 상기 증착 공정은, 각 증착 단계가 절연체(110) 및 단결정 영역(114) 모두의 상부 상에 순증착이 일어나므로, 부분적으로 선택적이지만 블랭킷일 수 있다.

[0031]

비정질 또는 다결정 증착물(120)의 영역들 및 측벽 에피택셜 증착물(130)은 블록(30) 내에서 선택적으로 식각되고, 이에 따라 도 4에 개략적으로 도시된 구조 내의 결과물을 형성한다. 바람직하게는, 상기 선택적인 식각 동안에 리세스된 소오스/드레인 영역들(114) 내의 하부 에피택셜 층(125)으로부터 아주 적게 에피택셜 증착된 Si:C 층이 제거된다. 이하에서 상세히 개시되는 바와 같이, 상기 증기 식각 케미스트리는, 바람직하게는, 할로겐화물(예를 들면, 불소, 봉소 또는 염소 함유 증기 화합물들)을 포함하고, 특히 HCl 또는 Cl<sub>2</sub> 와 같은 염소 소오스일 수 있다. 또한, 더욱 바람직하게는, 상기 식각 케미스트리는 식각 속도를 향상시키기 위하여 게르마늄 소오스(예를 들면, 단일게르마늄화물(monogermane, GeH<sub>4</sub>), GeCl<sub>4</sub>, 금속유기물 Ge 전구체들, 고상 Ge 과 같은 게르마늄화물)을 포함할 수 있다. 비에피택셜 재료(120)가 선택적으로 제거됨과 동시에, 일부 에피택셜 재료는 잔존하면서 일부가 제거된다. 측벽 에피택셜 층(130)은 다른 평면이고, (두개의 표면상에서 성장율의 차이에 기인하여) 하부 에피택셜 층(125)보다 더 많은 결함을 가질 수도 있다. 따라서, 측벽 에피택셜 층(130)은 비에피택셜 재료(120)를 따라 더 빠르게 제거된다. 그러므로, 상기 공정의 각 주기는 리세스부들(114)의 저부가 대부분 충전되도록 조절될 수 있다. 일부 실시예들에서, 에피택셜 재료가 좋은 품질을 갖는다면, 상기 측벽들 상에서도 상기 공정들에 의하여 에피택셜 재료가 잔존할 수 있으며, 상기 선택적인 충전의 목표들이 방해받지는 않는다.

[0032]

도 1의 결정 블록(40)에 지시된 바와 같이, 그리고 도 5a(블랭킷 Si:C 층(120)의 두번째 주기에서의 증착) 및 도 5b(리세스된 소오스/드레인 영역들(114) 내에 에피택셜 층(125)의 증가된 두께를 갖는 에피택셜 Si:C 층을 잔존시키기 위한 Si:C 층의 두번째 주기에서의 식각)에 개략적으로 도시된 바와 같이, 이러한 공정은 에피택셜 Si:C 박막 두께의 목표 두께가, 리세스된 소오스/드레인 영역들(114) 상에 도달할 때까지 반복된다. 도 5c는 에피택셜 충전된 소오스/드레인 영역들(114)을 잔존시키기 위한 추가적인 주기(들)의 결과를 도시하고, 선택적

인 에피택셜 층들(125)은 대체로 필드 산화물(110)과 동일 평면을 이룬다. 도 5d는 상승된 소오스/드레인 영역들(114)와 같이 선택적으로 에피택셜 층들(125)을 잔존시키기 위한 추가적인 주기(들)의 결과를 도시한다.

[0033] 상기 선택적인 형성 공정은 캡핑층을 형성하기 위한 탄소 도핑을 포함하지 않지만, 유전체 영역들 상으로부터 블랭킷 증착 및 선택적인 식각의 추가적인 주기들을 더 포함할 수 있다. 상기 캡핑층은 전기적 도편트들을 가지거나 갖지 아니할 수 있다. 예를 들어, 원래의 기판 표면 상(즉, 채널(117)상)에 있는 도 5d의 상승된 소오스/드레인 영역들(125)의 일부는, 채널(117)의 변형에 기여하지 않기 때문에, 탄소를 포함하지 않을 수 있다.

[0034] 일부 실시예에서, 상기 증착된 Si:C 박막은, 선택적으로는, 특히 NMOS 장치들에 적합한 인 또는 비소와 같은 전기적 활성 도편트를 포함할 수 있고, 이에 의해, 인 도핑된 Si:C 박막들 또는 비소 도핑된 Si:C 박막들(각각 Si:C:P 또는 Si:C:As 박막들)이 증착될 수 있다. 상기 Si:C 박막은, 절연체 및 상기 리세스된 소오스/드레인 영역들 상에 상기 박막 두께가 동일하도록, 바람직하게는, 약 1.0:1 내지 약 1.6:1, 더욱 바람직하게는, 약 1.0:1 내지 약 1.3:1, 가장 바람직하게는, 약 1.0:1 내지 약 1.1:1 인 비정질-에피택셜 성장 속도로 증착된다. 바람직하게는, 에피택셜 성장 속도에 대한 비정질(또는, 더욱 일반적으로는, 비에피택셜) 성장 속도의 비율을 조절함으로써, 후속 식각 공정 이후의 상기 비정질과 결정질 Si:C의 계면에서의 퍼셋(facet) 각도를 조절할 수 있으며, 상기 절연체 상의 더 큰 두께들에 비하여, 제거를 위한 식각 지속 시간을 최소화할 수도 있다. 바람직하게는, Si:C 증착물의 상기 비정질 영역들은 약간의 결정성을 갖거나 전혀 결정성을 갖지 않으며(즉, 지배적으로 비정질임), 이로써 이러한 영역들에서의 후속의 식각을 용이하게 한다. 또한, 1:1에 가까운 두께 비율을 초래함으로써 비에피택셜 증착물이 과잉되는 것을 최소화하여, 상기 필드 영역들로부터(및, 선택적으로는, 상기 게이트로부터) 비에피택셜 증착물을 제거하기 위해 필요한 상기 식각 단계의 길이를 감소시킬 수 있다.

[0035] 바람직한 실시예에서, Si:C 막은 인시츄 화학기상식각 기술을 이용하여 혼합 기판으로부터 선택적으로 식각된다. 화학기상식각 기술은, 선택적으로는, 간단한 온도 스파이크와 동시에 수행된다. 일부 실시예에서, 상기 온도 스파이크는 2002년 5월 29일자로 출원된 미국 특허 출원 공개 제2003/0036268호(대리인 문서 제ASMEX.317A호)에 개시된 공정을 이용하여 수행된다. 본 명세서에 개시된 바와 같이, 냉각 석영(cold quartz) 또는 투명 월(transparent wall)을 통한 복사 가열 기능을 갖는 단일 웨이퍼 에피택셜 증착 수단을 이용하여, 온도 스파이크는 짧은 지속 시간(예를 들면, 약 12 내지 약 15초) 동안 하부 램프에 대해서는 역률(power ratio)을 디커플링하면서 상부 램프에 전체 전력을 인가할 수 있다. 이러한 방식으로, 웨이퍼 온도는 급격하게 램프업되면서도 세셉터 온도는 상당히 늦게 상승한다. 웨이퍼 온도는 로딩 온도로부터, 바람직하게는, 약 100 °C 내지 약 400°C 사이의 온도로, 더욱 바람직하게는, 약 200°C 내지 약 350°C의 온도만큼 증가한다. 온도 스파이크와 식각 단계의 짧은 지속 시간으로 인하여, 웨이퍼는 세셉터가 피크 온도에 도달하기 전에 냉각될 수 있다. 이러한 방식으로, 웨이퍼와 세셉터의 상당히 질량이 큰 조합의 온도를 동시에 주기적으로 반복하는 것과 비교시, 웨이퍼가 온도에 있어서 주기적으로 반복하는 데에 더욱 더 작은 시간이 요구된다. 이러한 온도 스파이크 기술이 사용되는 예시적인 반응로는 ASM America사(Phoenix, AZ 소재)로부터 상업적으로 입수 가능한 EPSILON® 씨리즈인 단일 웨이퍼 에피택셜 화학기상증착 챔버이다.

[0036] 그러나, 다른 실시예에서, 온도 램프/안정화 시간을 최소화하면서 치환식 탄소와 전기적 활성 도편트의 높은 농도를 유지하는 것을 돋기 위해서, 식각 온도는, 바람직하게는, 낮게 유지된다. 또한, 식각 동안 낮은 온도를 사용하는 것은 전기적 활성 도편트 원자가 식각 동안 비활성화되는 가능성을 감소시킨다. 예를 들면, Cl<sub>2</sub> 가스로 식각하는 것은, 바람직하게는, 식각 온도를 감소시켜서 치환식 탄소와 전기적 활성 도편트를 유지할 수 있도록 한다.

[0037] 식각 단계 동안의 낮은 온도는, 낮은 온도에서 달성되는 높은 도편트 함유의 이점을 이용하면서 증착 단계의 온도를 대체적으로 매칭할 수 있도록 한다. 처리량을 향상시키기 위해서, 상기 온도를 플래시 램프(flash ramping)하는 것 대신에 식각 단계 동안 게르마늄 소오스(예를 들면, GeH<sub>4</sub>, GeCl<sub>4</sub>, 금속 유기 Ge 전구체, 고상 소오스 Ge)를 포함함으로써 처리량의 희생 없이 이러한 낮은 온도가 가능하도록, 식각 속도가 향상될 수 있다. 본 명세서에서 사용되는 "등온의" 주기적 블랭킷 증착 및 식각은 서로 ±50°C 이내, 바람직하게는, ±10°C 이내의 증착 및 식각을 의미하며, 가장 바람직하게는, 설정 온도는 양쪽 단계에 대하여 ±5°C 이내이다. 바람직하게는, 등온 공정은 처리량을 향상시키고, 온도 램프 및 안정화를 위한 시간을 최소화시킨다. 유사하게, 블랭킷 증착 및 식각 공정은 모두, 서로 ±50 Torr 이내, 바람직하게는, ±20 Torr 이내에서 바람직하게는 등압이다. 등온 및/또는 등압 조건은 램프 및 안정화 시간을 회피할 수 있기 때문에 더욱 증가된 처리량을 얻을 수 있도록 한다.

[0038]

도 1에 도시된 바와 같이, 블랭킷 식각 및 후속하는 선택적 식각을 수행하는 2 단계 공정은, 선택적으로는, 리세스 소오스/드레인 영역 상에서의 에피택셜 박막의 목표 두께가 달성될 때까지 주기적으로 반복된다. 예시적인 공정 파라미터는 아래 표 1에 요약되어 있으며, 팔호 안에 바람직한 동작 범위뿐만 아니라 바람직한 동작점이 열거되어 있다. 표 1에 의해 뒷받침되는 것과 같이, 챔버 온도, 챔버 압력, 운반 가스 유량과 같은 공정 조건은, 바람직하게는, 증착 및 식각 단계의 경우 실질적으로 유사하며, 이로써 처리량이 증가될 수 있다. 따라서, 하기의 실시예는 주기의 양 단계에 대하여 등온 및 동압 조건을 채택하고 있다. 변형된 실시예들에서는, 다른 파라미터들이 사용된다.

[0039]

표 1에 제시된 파라미터들을 이용할 경우, 리세스 소오스/드레인 영역에 선택적으로 증착된 에피택셜 Si:C:P 막의 경우, 바람직하게는, 약 4nm/min 내지 약 11nm/min의, 그리고, 더욱 바람직하게는, 약 8nm/min 내지 약 11nm/min의 순성장 속도를 달성할 수 있다. 또한 비가드의 법칙(Vegard's Law)에 의해 결정된 3.6% 까지의 치환식 탄소 함량을 갖고 0.4mΩcm 내지 약 2.0 mΩcm의 저항을 갖는 Si:C:P 박막을 얻을 수 있다. 증착 조건들을 조절함으로써, 다른 박막 특성을 얻을 수도 있다.

표 1

표 1	공정 단계						
	안정화된 챔버의 온도 및 분위기	증착 전 단계	증착 단계	증착 후 공정 가스의 퍼짐 단계	베이크 전의 식각종 안정화 단계	플래쉬-베이크 온도 스파이크 (선택적임)	베이크 후의 냉각 및 온도 안정화
시간 (초)		5 (2.5-7.5)	15 (5-20)	5 (2.5-7.5)	5 (2.5-7.5)	6.5 (3.0-10)	12.5 (10-15)
온도 (°C)	550 (500-650)	550 (500-650)	550 (500-650)	550 (500-650)	550 (500-650)	온도 스파이크	550 (500-650)
압력 (Torr)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)
H <sub>2</sub> /He (sccm)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)
Cl <sub>2</sub> /HCl (sccm)					200 (5-1000)	200 (5-1000)	200 (5-1000)
Si <sub>3</sub> H <sub>8</sub> (mg/min)		75 (50-200)	75 (50-200)	75 (50-200)			
CH <sub>3</sub> SiH <sub>3</sub> (sccm)		150 (10-300)	150 (10-300)	150 (10-300)			
PH <sub>3</sub> (sccm)		50 (10-200)	50 (10-200)	50 (10-200)			

[0041]

[0042]

본 명세서에 개시된 식각 공정 동안에, 에피택셜 Si:C는 각각의 식각 단계에서 비정질 또는 다결정 Si:C 보다 상당히 늦게 식각된다(식각 선택비는 10:1 ~30:1임). 또한, 바람직하게는, 상기 식각 단계에서 결함을 갖는 에피택셜 재료가 제거된다. 바람직한 실시예에서, 각각의 주기 동안에 에피택셜 리세스된 소오스/드레인 영역에서 순성장을 얻으면서 산화막 상의 순성장을 감소 및 방지하기 위하여, 상기 주기적인 증착 및 식각 공정의 조건은 조절된다. 이러한 주기적인 공정은 증착과 시각 반응이 동시에 일어나는 종래의 선택적 증착 공정과 구별 될 수 있다.

[0043]

하기의 표 2 및 표 3은 표 1의 레시피와 유사한 레시피를 사용한 2 가지 실시예에 대한 증착 및 식각 시간과 그에 따른 두께를 제시한다. 레시피들은 Si<sub>3</sub>H<sub>8</sub>의 분압을 증가시키고 식각종의 분압을 최적화하여 증착 속도 및 식각 속도 모두를 조절하기 위해 서로 다르게 제어된다.

표 2

증착 단계		식각 단계	
성장 속도[nm/분]	28	13	a-식각 속도[nm/분]
증착 시간[초]	22	47.4	최소 식각 시간[s]
		60	% 과잉 식각
		75.8	유효 식각 시간[s]
증착된 a-두께[nm]	10.27	16.43	제거된 a 두께[nm]
증착단계 당 증착된 애피-두께[nm]	9.78	0.82	식각 단계당 제거된 c 두께[nm]
a / 애피 성장 속도의 비	1.05	20	인시츄 식각 선택비
퍼징(애피전+애피후)[초]	25	25	퍼징(애피전+애피후)[s]

[0045] 최종 시간/주기[초] 122.8

[0046] 최종 두께/주기[nm] 8.96

[0047] 평균 성장 속도[nm/분] 4.38

표 3

증착 단계		식각 단계	
성장 속도[nm/분]	80	25	a-식각 속도[nm/분]
증착 시간[초]	8	25.6	최소 식각 시간[초]
		30	% 과잉 식각
		33.28	유효 식각 시간[초]
증착된 a-두께[nm]	10.67	13.87	제거된 a 두께[nm]
증착 단계당 증착된 애피 두께[nm]	10.67	0.693	식각 단계당 제거된 c 두께[nm]
a / 애피 성장률의 비	1	20	인시츄 식각선택비
퍼지(애피전+애피후)[초]	20	20	퍼지(애피전+애피후)[초]

[0049] 최종 시간/주기[초] 61.3

[0050] 최종 두께/주기[nm] 9.977

[0051] 평균 성장율[nm/분] 9.76

표 1에 제시된 공정 파라미터는 Cl<sub>2</sub>/HCl 식각 케미스트리를 제시한다. 변형된 실시예에서, 식각 케미스트리에는 식각 촉매로서 약 20sccm 내지 약 200 sccm 의 10% GeH<sub>4</sub>가 포함된다. 일 실시예에서는, 상기 식각 케미스트리에, 바람직하게는, 게르마늄 소오스 (예를 들면, GeH<sub>4</sub> 와 같은 게르마늄화물, GeCl<sub>4</sub>, 금속 유기 Ge 전구체, 고상 소오스 Ge)를 포함시켜서, 식각 속도와 식각 선택비를 향상시킬 수 있다. 또한, 상기 등온 공정에 대한 설명에서 언급된 바와 같이, 촉매로서 게르마늄을 사용함으로써 낮은 식각 온도가 사용될 수 있으며, 식각 중에 온도 스파이크를 생략할 수 있는 이점을 갖는다. 비정질, 다결정 및 단결정 실리콘에서 게르마늄의 확산과 Ge 리치 실리콘 물질의 후속 식각에 관한 추가적인 정보는 문현에 개시되어 있다. 예를 들면, 다음 문현들을 참조 할 수 있다: 2002년 12월 1일자로 출판된 J. of Appl. Phys., 92(11)권, 6924-6926 쪽의 미첼(Mitchell) 등의 "Germanium diffusion in polysilicon emitters of SiGe heterojunction bipolar transistor fabricated by germanium implantation", 2004년 출판된 Phys. Rev. B, 69권의 우(Wu) 등의 "stability and mechanism of selective etching of ultrathin Ge films on the Si(100) surface" 및 2005년에 출판된 Semicond. Sci. & Tech. 20권, 127-134 쪽의 보구미로위츠(Bogumilowicz) 등의 "Chemical Vapour etching of Si, SiGe, and Ge with HCl; applications to the formation of thin relaxed SiGe buffers and to the revelation of threading dislocations upon chlorine adsorption"에 개시된다.

[0053] 도 6은 600 °C의 일정온도에서, 탄소 도핑 실리콘막의 비정질 영역의 식각 속도를 식각 케미스트리 내의 HCl 분압의 함수로서 나타낸 그래프이다. 일부 실시예에서, H<sub>2</sub> 운반 가스 유량을 감소시킴으로써, HCl과 GeH<sub>4</sub>의 분압이 감소되고, 이로 인하여, 비정질 식각 속도가 상당히 증가된다. 예를 들면, 도 6은 식각 케미스트리(기호 ▼와 ▲)에 20sccm의 10% GeH<sub>4</sub>가 포함되면, 상당히 더 높은 비정질 식각 속도를 얻을 수 있음을 나타낸다.

[0054] 도 7은 600°C 의 일정 온도, 2 slm의 H<sub>2</sub> 운반 가스의 일정 유량 및 64 Torr의 일정 챔버 압력에서, 식각 속도 및 비정질/에피택셜 식각 속도의 비를 GeH<sub>4</sub> 유량의 함수로서 나타낸 그래프이다. 비정질 식각 속도는 범례에서 "a-" 접두사로, 에피택셜 식각 속도는 범례에서 "c-" 접두사로, 그리고 식각 속도의 비는 범례에서 "ER"로 표시하였다. GeH<sub>4</sub> 유량을 증가시킴으로써, 초과시 추가적인 GeH<sub>4</sub> 가 식각선택비를 감소시키는 값까지 비정질/에피택셜 식각 속도의 비를 증가시키게 된다. 예를 들면, 도 7은 200 sccm의 HCl 및 약 30 내지 40 sccm의 10% GeH<sub>4</sub>를 포함하는 식각 케미스트리가, 더 높거나 낮은 GeH<sub>4</sub> 유량으로는 달성할 수 없는 비정질/에피택셜 식각 속도의 비를 얻을 수 있음을 나타낸다.

[0055] 도 8은 550°C 의 일정 온도, 2 slm의 H<sub>2</sub> 운반 가스의 일정 유량, 및 200 sccm의 HCl 식각종의 일정 유량에서, Si:C 막의 비정질 영역의 식각 속도를 식각 케미스트리 내의 다양한 GeH<sub>4</sub> 유량에 대한 챔버 압력의 함수로서 나타낸 그래프이다. 챔버 압력을 약 80 Torr 를 초과하도록 증가시킴으로써, GeH<sub>4</sub> 유량에 대한 식각 속도의 의존성이 감소된다. 그러나, 식각 케미스트리에 50 sccm의 10% GeH<sub>4</sub>가 포함될 때 약 64 Torr 내지 약 80 Torr로 챔버 압력을 증가시킴으로써, 비정질 식각 속도가 약 2 배로 증가된다.

[0056] 도 9는 64 Torr 의 일정 챔버 압력, 2 slm 의 H<sub>2</sub> 운반 가스의 일정 유량, 200 sccm 의 일정 식각종 유량, 및 50 sccm 의 10% GeH<sub>4</sub>의 GeH<sub>4</sub> 식각종 일정 유량에서, 탄소 도핑 실리콘 박막의 비정질 영역에서의 식각 속도를 온도의 역수(reciprocal temperature)의 함수로서 나타낸 그래프이다. 이들 식각 케미컬의 경우, 절대 식각 속도는 매우 낮은 온도에서도 매우 높다

[0057] 도 10은 64 Torr 의 일정 챔버 압력, 550°C 의 일정 챔버 온도, 2 slm 의 H<sub>2</sub> 운반 가스의 일정 유량, 및 200 sccm 의 HCl 식각종의 일정 유량에서, 탄소 도핑 실리콘 막의 비정질 영역의 두께를 누적 식각 시간의 함수로서 나타낸 그래프이다. 도 10에 도시된 선들의 기울기는 비정질 Si:C 막의 식각 속도에 대응된다. 도시된 바와 같이, 증착된 박막의 중앙에서의 식각 속도는 증착된 박막의 가장자리에서의 식각 속도 보다 크다. 따라서, 바람직한 실시예에서, 웨이퍼가 과잉 식각되어, 늦게 식각되는 웨이퍼 가장자리에서 비정질 Si:C이 제거될 가능성 이 증가된다. y 축에 대하여 도 10의 선들을 외삽하면, 초기 비정질막 두께와 성장 속도를 대략적으로 계산할 수 있다. 마찬가지로, x 축에 대하여 도 10의 선들을 외삽하면, 비정질 물질을 완전히 식각하는 데 필요한 시간을 대략적으로 계산할 수 있다. 도 10은 제시된 공정 파라미터들에 의해 약 140 Å/min 의 식각 속도를 얻을 수 있음을 나타낸다.

[0058] 도 11은 550°C의 일정 챔버 온도, 64 Torr의 일정 챔버 압력, 2 slm의 H<sub>2</sub> 운반 가스의 일정 유량 및 200 sccm의 HCl 식각종의 일정 유량에서, 탄소 도핑 실리콘 박막의 비정질 영역의 식각 속도를 웨이퍼 상의 반경 위치(radial position)의 함수로서 나타낸 그래프이다. 도 11은 식각 속도가 웨이퍼 중앙보다 웨이퍼 가장자리에서 조금 느리다는 것을 나타낸다.

[0059] 도 12는 550°C의 일정 챔버 온도, 80 Torr의 일정 챔버 압력, 2 slm의 H<sub>2</sub> 운반 가스의 일정 유량, 200 sccm의 HCl 식각종의 일정 유량, 및 6.5 sccm의 GeH<sub>4</sub> 식각종의 일정 유량에서, 웨이퍼 상에 증착된 탄소 도핑 실리콘 박막의 비정질 영역의 두께를 다양한 식각 주기 지속 시간에 대한 웨이퍼 상의 반경 위치의 함수로서 나타낸 그래프이다.

[0060] 도 13은 웨이퍼 상에 증착된 탄소 도핑 실리콘막의 비정질 영역의 두께를 다양한 GeH<sub>4</sub> 식각종 식각 물질 및 다양한 식각 주기 지속 시간에 대한 웨이퍼 상의 반경 위치의 함수로서 나타낸 그래프이다. 도 13에 도시된 바와 같이, 식각 주기가 더 클수록 그리고 GeH<sub>4</sub> 유량이 더 높을수록 불균일한 식각이 더 많이 초래된다. 변형된 실시예에서, 이런 현상은 연장된 지속 시간을 갖는 최종 식각 주기를 제공함으로써 웨이퍼 중앙에 잔류하는 비정질 Si:C를 제거하기에 충분한 과잉 식각을 제공하여, 보상된다. 따라서, 각각의 주기에서 상대적으로 작은 두께, 바람직하게는, 약 1nm/주기 내지 약 10nm/주기 사이, 더욱 바람직하게는, 약 2nm/주기 내지 5nm/주기로 증

착 및 식각을 하는 것이 바람직하다. 전술한 바와 같이, 표 1과 유사한 조건들이 4-11nm/분의 순증착 속도를 얻기 위해서 사용되었다.

[0061] 도 14는 일 실시예에 따라 패터닝된 기판 상에 한번의 증착 주기와 한번의 식각 주기를 수행하여 부분적으로 형성된 탄소 도핑 실리콘 구조를 나타내는 사진이다. 도시된 바와 같이, 결정질의 Si:C:P가 에피택셜 기판 영역 상에 존재하고 비정질 Si:C:P가 산화막 상에 존재한다. 노출된 결정학적 방향에 의존하여 상이한 성장 속도로 증착이 일어나기 때문에 비정질/에피택셜 계면에서는 비정질 포켓(pocket)이 존재한다. 도 14에 도시된 구조에서, 에피택셜 식각 속도에 대한 비정질 식각 속도의 비는 20을 초과한다. 도 16은 일 실시예에 따라 패터닝된 기판 상에 복수의 증착 및 식각 주기를 수행하여 부분적으로 형성된 탄소 도핑 실리콘 구조를 나타내는 사진이다. 도 14와 비교시, 실질적으로 모든 비정질 Si:C:P가 산화막 표면으로부터 제거되어, 유사(pseudo) 선택적 에피택셜 형성을 달성하였다. 도 17은 본 명세서에서 개시된 일 실시예에 따른 기술을 이용하여 선택적으로 증착된 에피택셜 탄소 도핑 실리콘 막의 원자힘 현미경(AFM: Atomic Force Microscopy) 분석을 나타낸다.

[0062] 도 15는 본 명세서에 개시된 예시적인 기술들을 이용하여 부분적으로 형성된 탄소 도핑된 실리콘 박막에 대하여 원소의 농도를 깊이의 함수로 나타낸 그래프이다. 도시된 바와 같이, 식각 단계 동안의 GeH<sub>3</sub>의 사용으로 인하여 상대적으로 높지 않은 수준의 게르마늄이 Si:C 막에 인입되었다. 바람직하게는, 게르마늄의 함량은 약 5 원자% 이하, 더욱 바람직하게는, 약 2 원자% 이하, 가장 바람직하게는, 약 1원자% 이하이다.

[0063] 도 18은 본 명세서에 개시된 기술을 이용하여 증착된 탄소 도핑 실리콘 박막의 X 선 회절 롤킹 곡선(X-ray diffraction rocking curve)을 나타낸다. 곡선들은 상이한 양을 갖는 증착/식각 주기를 나타내며, 실리콘 에피택셜 박막 내의 더 높은 치환식 C 농도에 대응하는 증가된 모노메틸실란(MMS: monomethylsilane; "MMS") 유량에 대응된다.

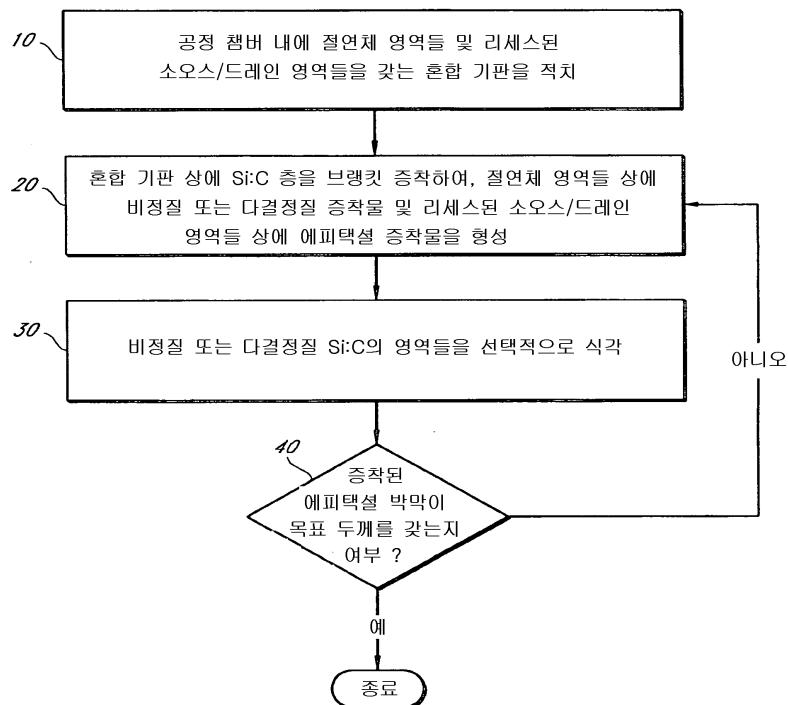
[0064] 본 명세서에서 Si:C 막의 선택적 에피택셜 증착에 대하여 개시된 기술은 종래 기술에 비하여 여러 가지 이점을 제공한다. 예를 들면, 절연 영역으로부터 다결정 또는 비정질 Si:C의 주기적인 제거는 비정질 Si:C 및 에피택셜 Si:C 사이의 계면을 개선한다. 특히, 주기적인 공정은 비 에피택셜(non-epitaxial) 성장이 발생할 수도 있는 계면 영역에서 에피택셜 성장이 발생할 수 있도록 한다. 또한, 식각 동안 온도 스파이크가 생략되어 식각 주기가 증착 주기와 동일하거나 단지 약간 상승된 온도에서 수행되는 실시예에서는, 낮은 온도가 많은 이점을 제공한다. 온도 (및/또는 압력) 램프 및 안정화 시간을 최소화시킴으로써, 처리량은 향상된다. 높은 치환식 탄소 함량 (예를 들면, 1.0-3.6 at %)을 달성할 수 있을 만큼 증착 온도가 충분히 낮으며 치환식 탄소와 전기적 활성 도편트의 상당 부분이 식각 동안 잔류하여, 결과적으로 높은 치환식 탄소 및 도편트 농도를 제공한다.

[0065] 여러 가지 특징들이 높은 처리량에 기여한다. 예를 들면, 트리실란(trisilane)의 사용은 매우 낮은 온도에서 증착 속도를 향상시키므로, 예를 들면, 낮은 온도와 높은 증착 속도로부터 기인하는 증착 상태의 높은 치환식 도편트의 농도를 희생시키지 않으면서 증착 단계의 지속 시간을 최소화할 수 있다. 또한, 전구체의 순서와 선택에 따라서, 단결정 및 비정질 영역들 상부 모두에 상대적으로 균일한 두께 (1.6:1 이하의 두께 비율을 가짐)를 제공하면서 비정질 절연성 영역 상에는 대체로 또는 전체적으로 비정질 증착을 용이하게 하여, 식각 단계 동안 전체 식각 시간을 최소화할 수 있다.

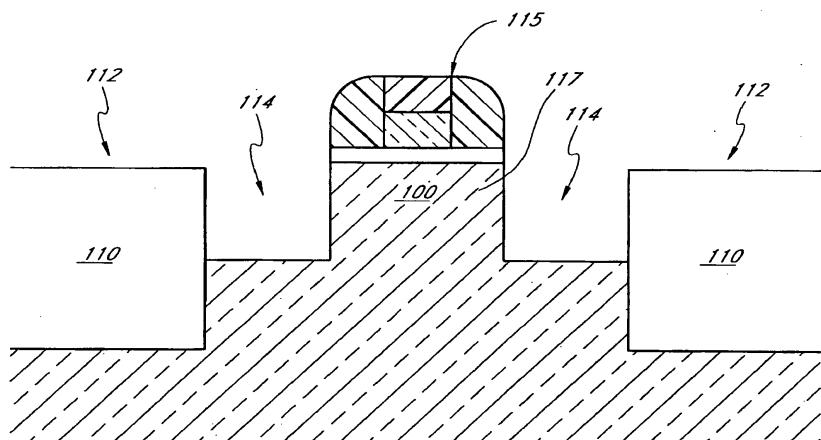
[0066] 전술한 설명은 본 발명의 여러 가지 실시예들을 개시하고 있지만, 이들 개시 사항은 설명을 위한 것일 뿐 본 발명을 제한하고자 함이 아니다. 또한, 개시된 특정 구성들과 조작들은 전술한 설명과 다를 수도 있으며, 본 명세서에 개시된 방법들은 반도체 장치의 제조 이외의 분야에서도 이용될 수 있다.

## 도면

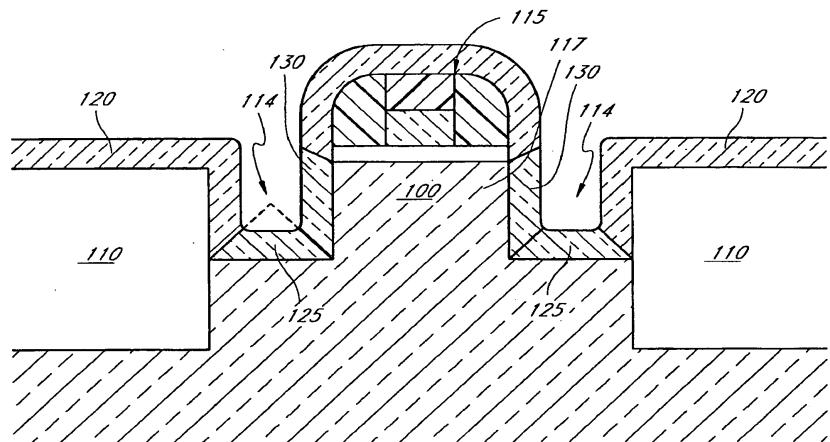
## 도면1



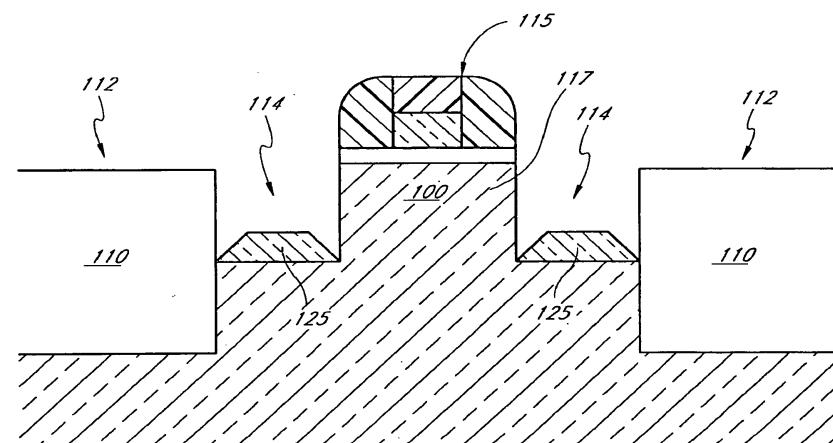
## 도면2



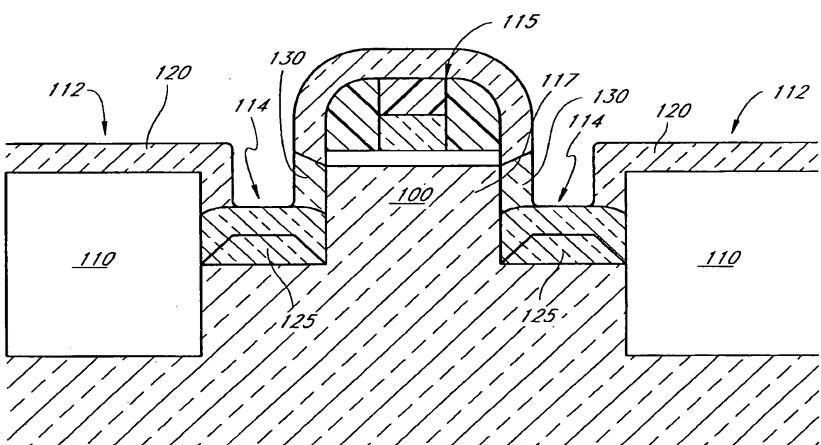
도면3



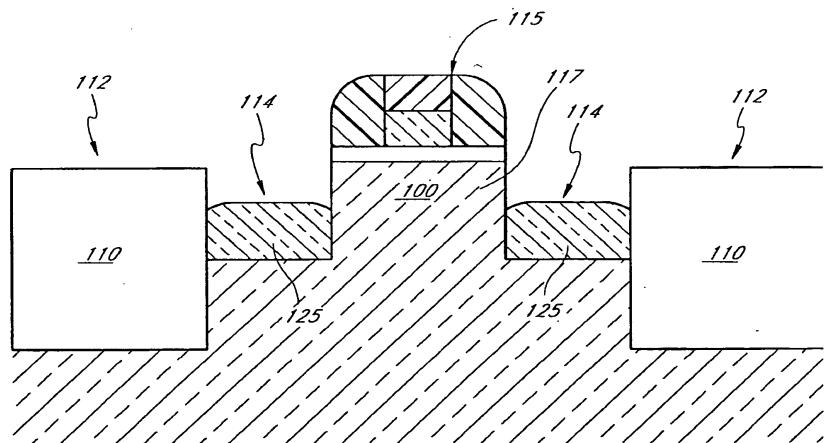
도면4



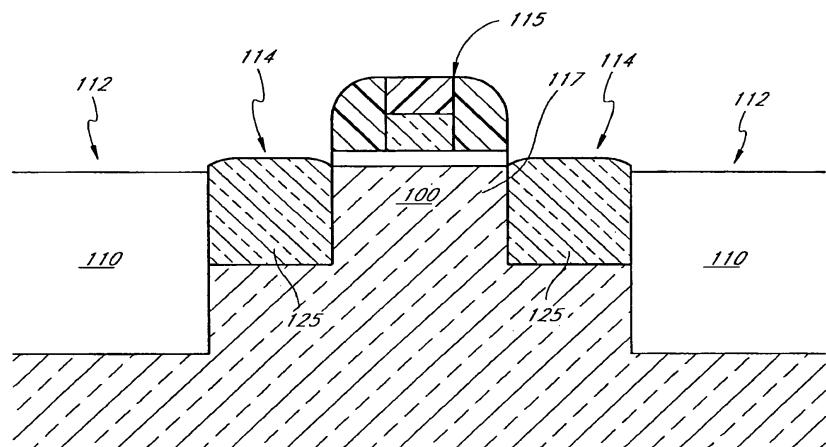
도면5a



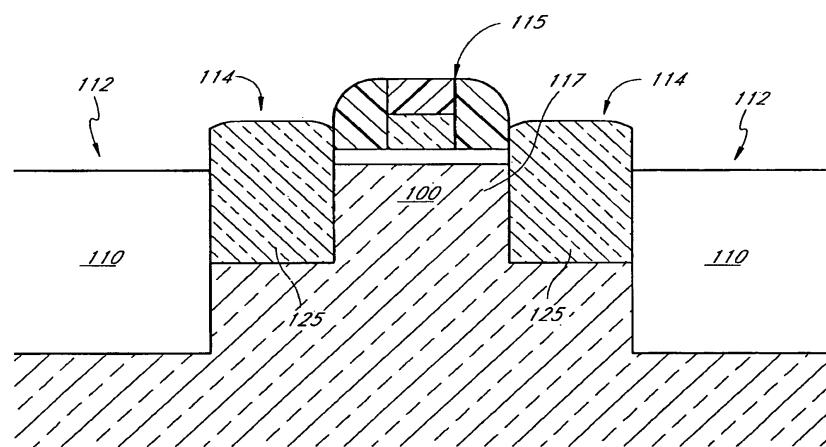
도면5b



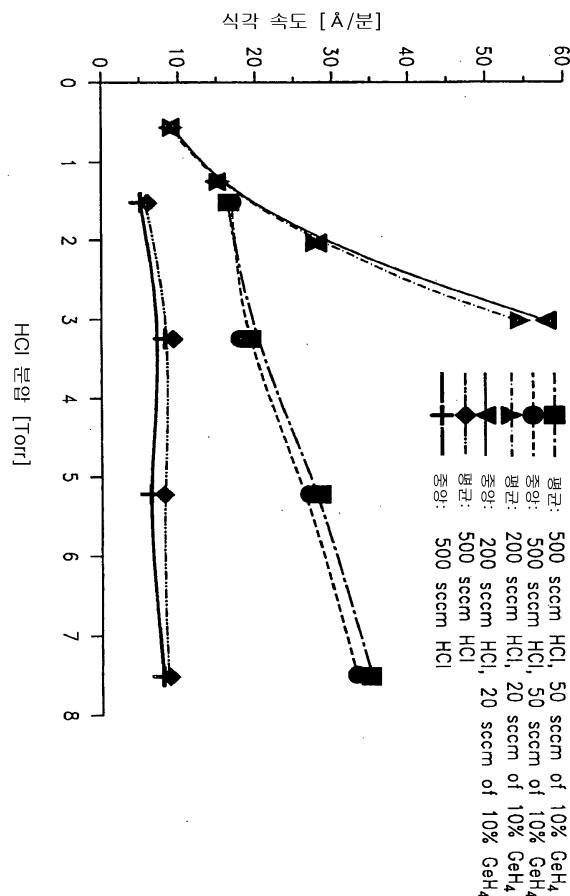
도면5c



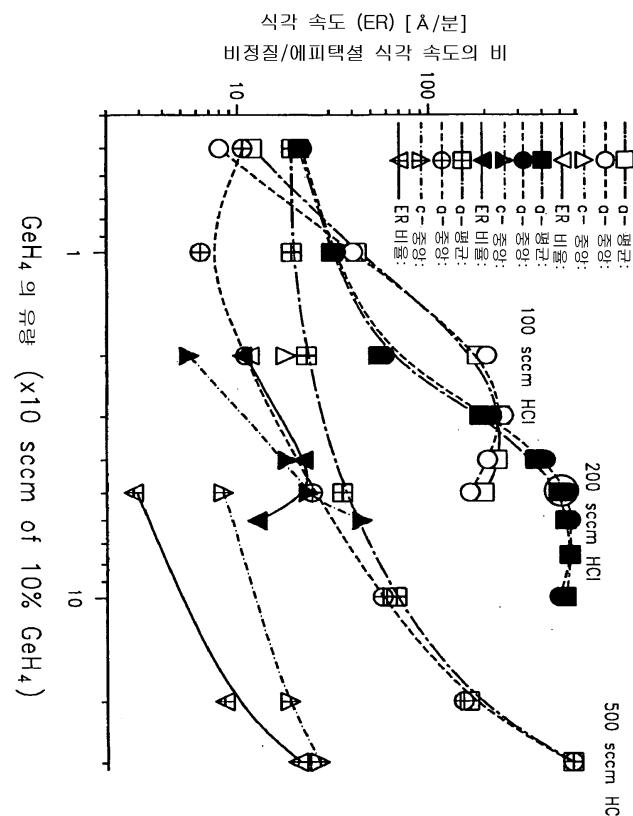
도면5d



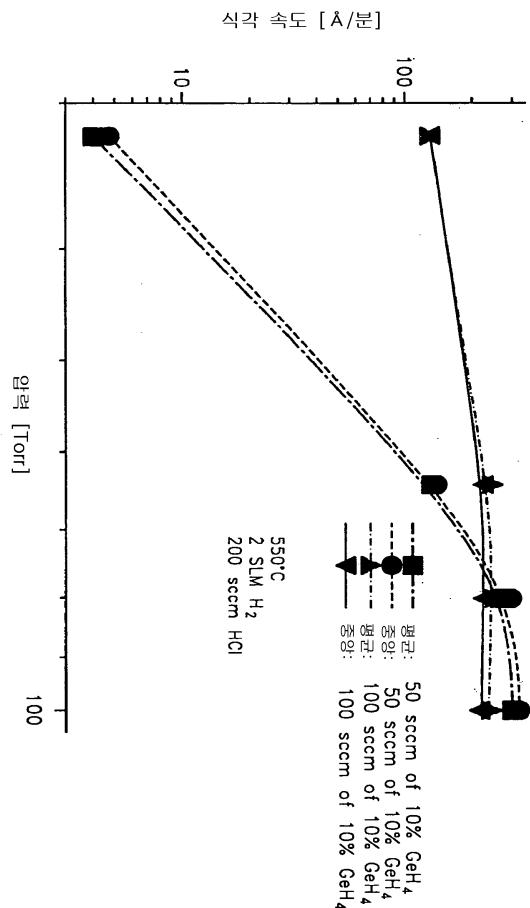
도면6



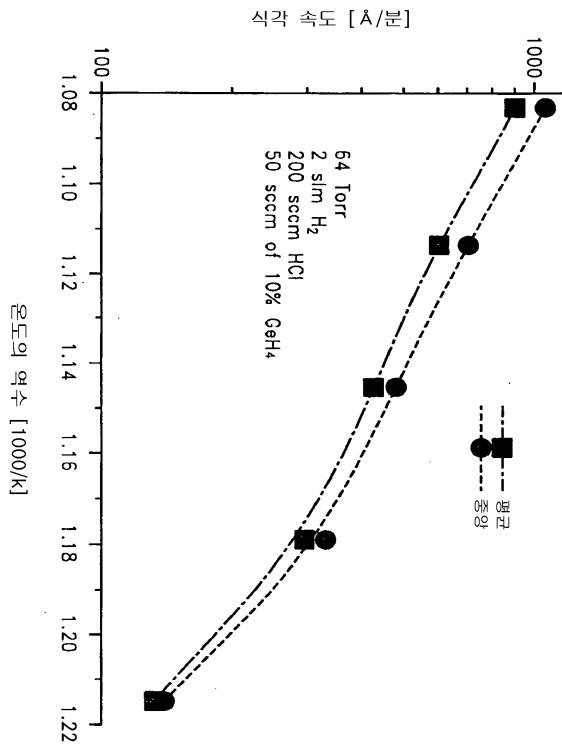
## 도면7



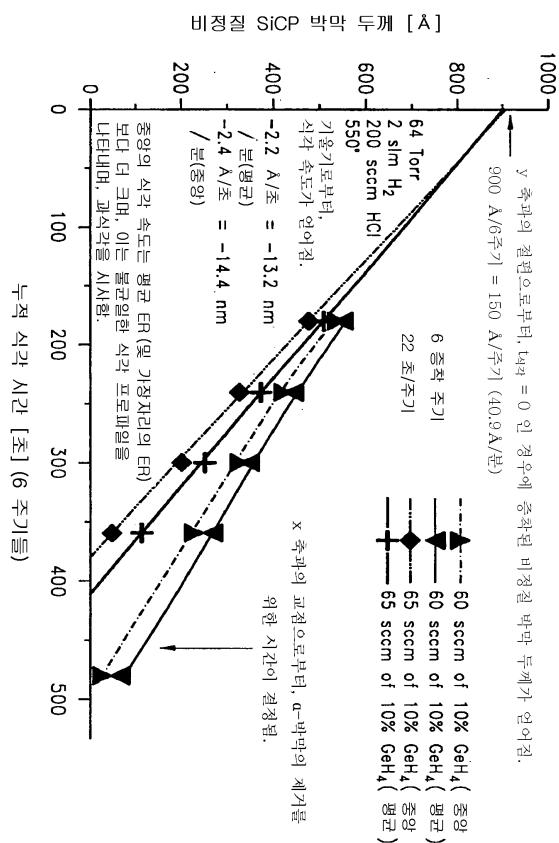
도면8



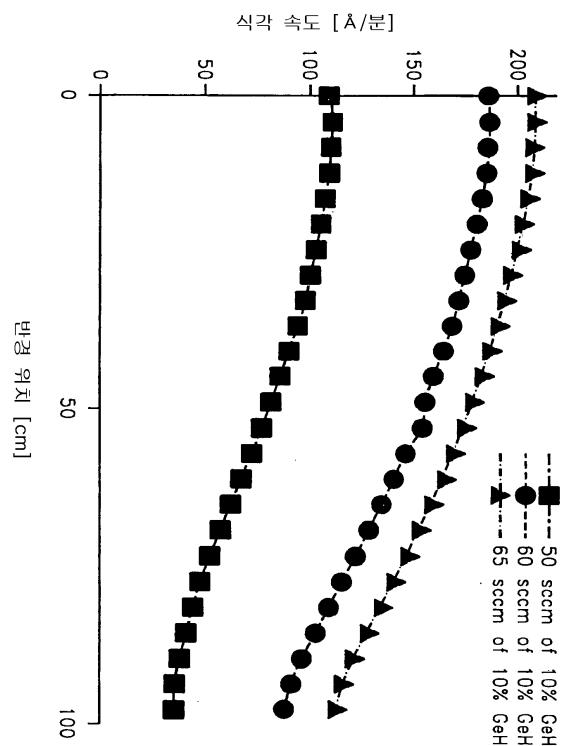
도면9



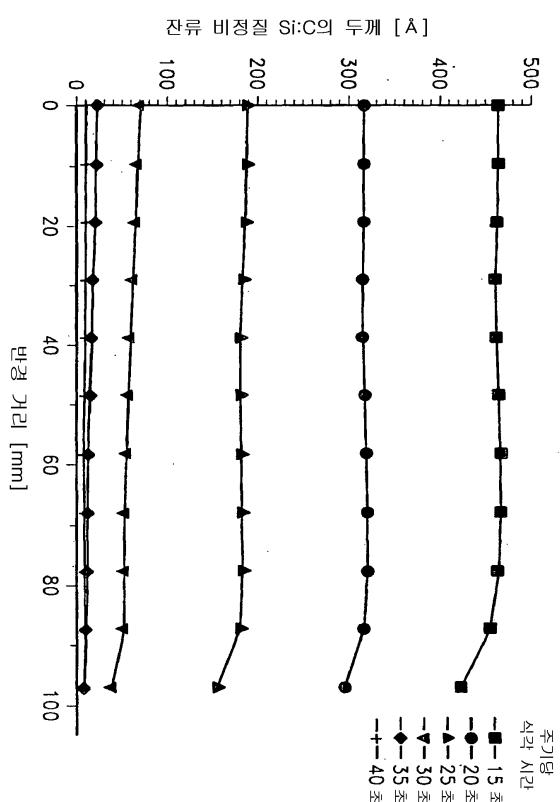
도면10



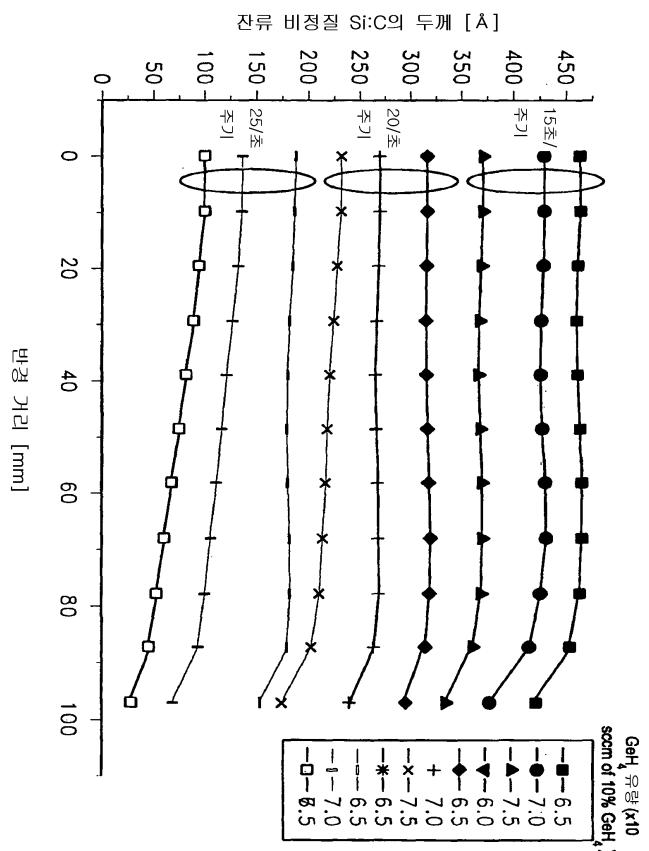
도면11



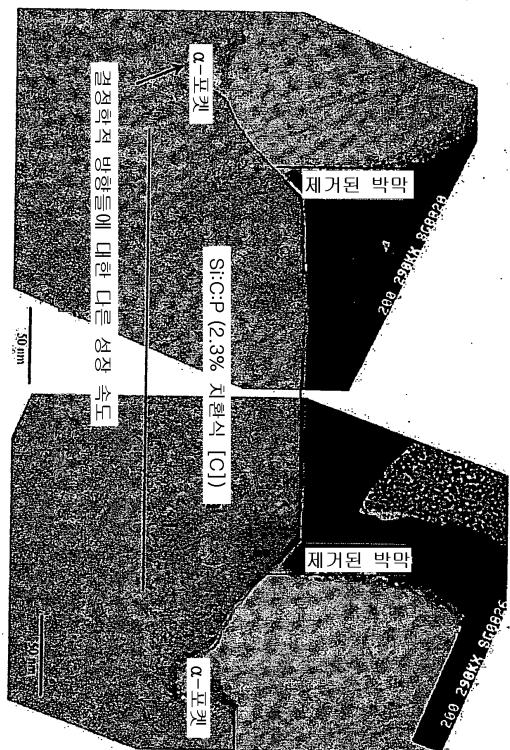
도면12



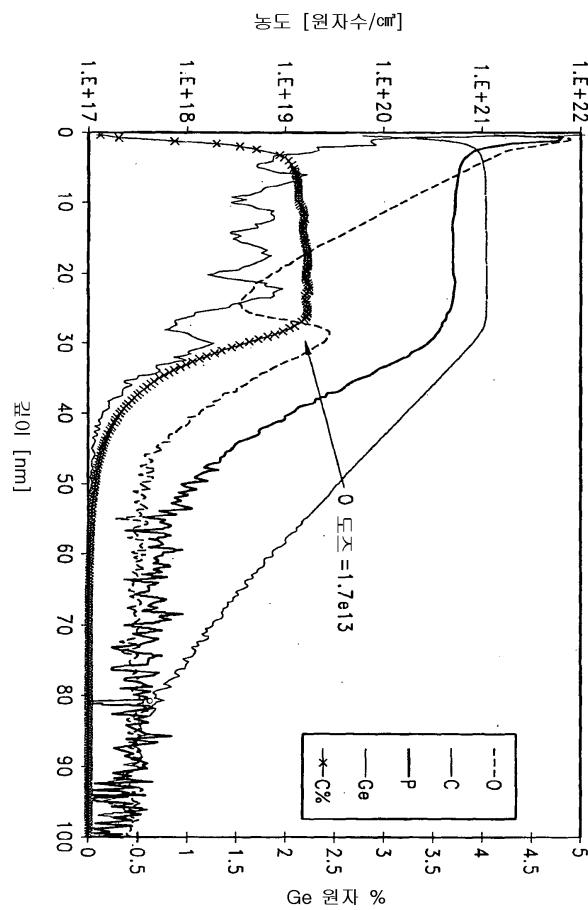
도면13



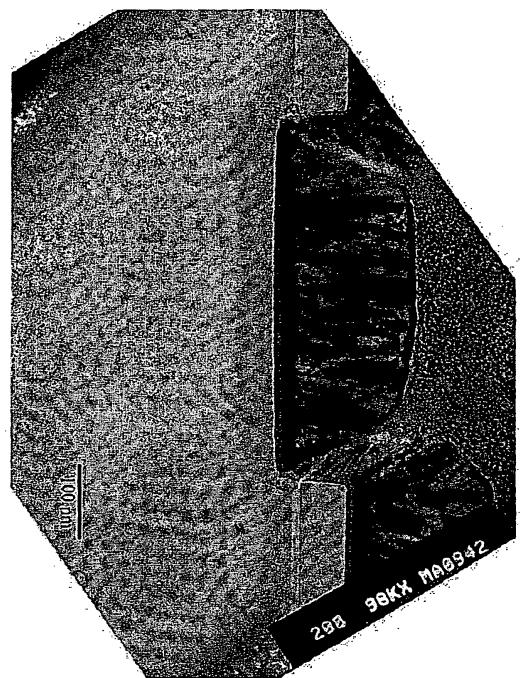
도면14



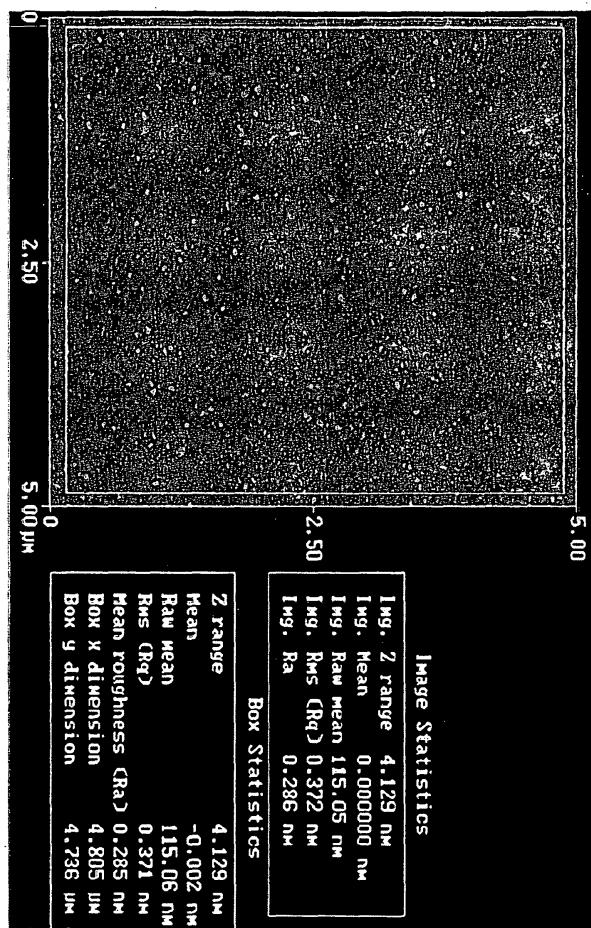
도면15



도면16



도면17



도면18

